



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0132360
(43) 공개일자 2015년11월25일

(51) 국제특허분류(Int. C1.)

G06F 12/08 (2006.01) *G11C 11/00* (2006.01)
G11C 11/16 (2006.01) *G11C 13/00* (2006.01)
G11C 14/00 (2006.01)

(52) CPC특허분류

G06F 12/08 (2013.01)
G06F 12/0802 (2013.01)

(21) 출원번호 10-2015-7029023

(22) 출원일자(국제) 2014년03월13일

심사청구일자 없음

(85) 번역문제출일자 2015년10월13일

(86) 국제출원번호 PCT/US2014/025971

(87) 국제공개번호 WO 2014/151548

국제공개일자 2014년09월25일

(30) 우선권주장

13/843,190 2013년03월15일 미국(US)

(71) 출원인

퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자

동, 시양우
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

서, 종원

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(74) 대리인

특허법인 남엔드남

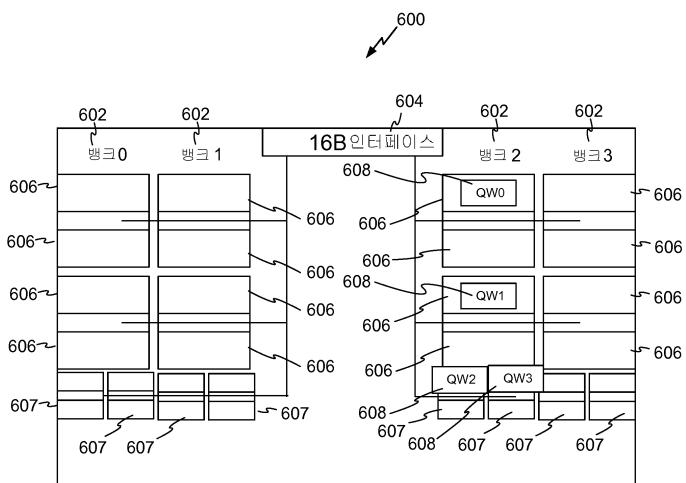
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 혼합 메모리 타입 하이브리드 캐시

(57) 요 약

하이브리드 캐시는 SRAM(static random access memory) 부분과 저항성 랜덤 액세스 메모리 부분을 포함한다. 하이브리드 캐시의 캐시 라인들은 SRAM 매크로들과 저항성 랜덤 액세스 메모리 매크로들을 모두를 포함하도록 구성된다. 하이브리드 캐시는, SRAM 매크로들이 각각의 캐시 액세스 사이클에서 저항성 랜덤 메모리 매크로들 전에 액세스되도록 구성된다. SRAM 매크로들이 액세스되는 동안, 더 느린 저항성 랜덤 액세스 메모리가 데이터 액세스 준비 상태에 도달한다.

대 표 도 - 도6



(52) CPC특허분류

G06F 12/0846 (2013.01)
G06F 12/0851 (2013.01)
G06F 12/0893 (2013.01)
G11C 11/005 (2013.01)
G11C 11/1659 (2013.01)
G11C 13/0002 (2013.01)
G11C 13/004 (2013.01)
G11C 13/0069 (2013.01)
G11C 14/0081 (2013.01)

명세서

청구범위

청구항 1

하이브리드 캐시 장치로서,

제 1 타입의 메모리;

제 2 타입의 메모리; 및

상기 제 1 타입의 메모리의 제 1 메모리 위치와 상기 제 2 타입의 메모리의 제 2 메모리 위치를 포함하는 제 1 캐시를 포함하고,

상기 제 1 캐시 라인은 캐시 액세스 동작 동안 상기 제 2 메모리 위치에 액세스하기 전에 상기 제 1 메모리 위치에 액세스하도록 구성되는, 하이브리드 캐시 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 메모리 위치는 상기 제 1 캐시 라인의 제 1 워드 위치를 포함하는, 하이브리드 캐시 장치.

청구항 3

제 1 항에 있어서,

캐시 정보의 중요 워드들을 상기 제 1 메모리 위치에 저장하도록 구성되는, 하이브리드 캐시 장치.

청구항 4

제 1 항에 있어서,

상기 제 2 타입의 메모리는 저항성 메모리를 포함하는, 하이브리드 캐시 장치.

청구항 5

제 1 항에 있어서,

상기 제 1 타입의 메모리는 SRAM(static random access memory)을 포함하고, 상기 제 2 타입의 메모리는 MRAM(magnetic random access memory)를 포함하는, 하이브리드 캐시 장치.

청구항 6

제 1 항에 있어서,

상기 제 1 타입의 메모리 및 상기 제 2 타입의 메모리를 포함하는 제 1 메모리 뱅크; 및

상기 제 1 타입의 메모리 및 상기 제 2 타입의 메모리를 포함하는 제 2 메모리 뱅크를 더 포함하는, 하이브리드 캐시 장치.

청구항 7

제 1 항에 있어서,

상기 제 1 타입의 메모리의 제 3 메모리 위치 및 상기 제 2 타입의 메모리의 제 4 메모리 위치를 포함하는 제 2 캐시 라인을 더 포함하고,

상기 제 2 캐시 라인은 상기 캐시 액세스 동작 동안 상기 제 2 메모리 위치에 액세스하기 전에 상기 제 3 메모리 위치에 액세스하도록 구성되는, 하이브리드 캐시 장치.

청구항 8

제 1 항에 있어서,

모바일 전화, 셋톱 박스, 음악 재생기, 비디오 재생기, 엔터테인먼트 유닛, 내비게이션 디바이스, 컴퓨터, 핸드-헬드 개인 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛 및/또는 고정식 위치 데이터 유닛에 통합되는, 하이브리드 캐시 장치.

청구항 9

하이브리드 캐시 장치에 액세스하기 위한 방법으로서,

캐시 정보의 제 1 부분을 제 1 캐시 라인의 제 1 타입의 메모리에 저장하는 단계;

상기 캐시 정보의 제 2 부분을 상기 제 1 캐시 라인의 제 2 타입의 메모리에 저장하는 단계; 및

캐시 액세싱 동작 동안 상기 캐시 정보의 상기 제 2 부분에 액세스하기 전에 상기 캐시 정보의 상기 제 1 부분에 액세스하는 단계를 포함하는, 하이브리드 캐시 장치에 액세스하기 위한 방법.

청구항 10

제 9 항에 있어서,

상기 제 2 타입의 메모리는 저항성 메모리를 포함하는, 하이브리드 캐시 장치에 액세스하기 위한 방법.

청구항 11

제 9 항에 있어서,

상기 제 1 타입의 메모리는 SRAM(static random access memory)을 포함하고, 상기 제 2 타입의 메모리는 MRAM(magnetic random access memory)를 포함하는, 하이브리드 캐시 장치에 액세스하기 위한 방법.

청구항 12

제 11 항에 있어서,

상기 캐시 정보의 중요 워드들을 상기 제 1 캐시 라인의 상기 SRAM에 저장하는 단계를 더 포함하는, 하이브리드 캐시 장치에 액세스하기 위한 방법.

청구항 13

제 9 항에 있어서,

상기 제 2 타입의 메모리가 준비 상태에 도달하기 전에 상기 제 1 부분에 액세스하는 단계가 발생하는, 하이브리드 캐시 장치에 액세스하기 위한 방법.

청구항 14

제 9 항에 있어서,

상기 캐시 정보의 제 3 부분을 제 2 캐시 라인의 상기 제 1 타입의 메모리에 저장하는 단계;

상기 캐시 정보의 제 4 부분을 제 2 캐시 라인의 상기 제 2 타입의 메모리에 저장하는 단계; 및

상기 캐시 액세싱 동작 동안 상기 캐시 정보의 상기 제 2 부분에 액세스하기 전에 상기 캐시 정보의 상기 제 3 부분에 액세스하는 단계를 더 포함하는, 하이브리드 캐시 장치에 액세스하기 위한 방법.

청구항 15

제 9 항에 있어서,

상기 하이브리드 캐시 장치를 모바일 전화, 셋톱 박스, 음악 재생기, 비디오 재생기, 엔터테인먼트 유닛, 내비게이션 디바이스, 컴퓨터, 핸드-헬드 개인 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛 및/또는 고정식 위치 데이터 유닛에 통합시키는 단계를 더 포함하는, 하이브리드 캐시 장치에 액세스하기 위한 방법.

청구항 16

하이브리드 캐시 장치로서,

캐시 정보의 제 1 부분을 제 1 캐시 라인의 정적 랜덤 액세스 메모리(SRAM) 위치에 저장하기 위한 수단;

상기 캐시 정보의 제 2 부분을 상기 제 1 캐시 라인의 저항성 랜덤 액세스 메모리 부분에 저장하기 위한 수단;
및

캐시 액세싱 동작 동안 상기 캐시 정보의 상기 제 2 부분에 액세스하기 전에 상기 캐시 정보의 상기 제 1 부분에 액세스하기 위한 수단을 포함하는, 하이브리드 캐시 장치.

청구항 17

제 16 항에 있어서,

상기 캐시 정보의 중요 워드들을 상기 제 1 캐시 라인의 상기 SRAM 위치에 저장하기 위한 수단을 더 포함하는,
하이브리드 캐시 장치.

청구항 18

제 16 항에 있어서,

상기 제 1 부분을 저장하기 위한 수단 및 상기 제 2 부분을 저장하기 위한 수단을 포함하는 제 1 메모리 뱅크;
및

상기 제 1 부분을 저장하기 위한 수단 및 상기 제 2 부분을 저장하기 위한 수단을 포함하는 제 2 메모리 뱅크를
더 포함하는, 하이브리드 캐시 장치.

청구항 19

제 16 항에 있어서,

캐시 정보의 제 3 부분을 제 2 캐시 라인의 상기 SRAM(static random access memory) 위치를 저장하기 위한 수
단;

상기 캐시 정보의 제 4 부분을 상기 제 2 캐시 라인의 저항성 랜덤 액세스 메모리 부분에 저장하기 위한 수단;
및

캐시 액세싱 동작 동안 상기 캐시 정보의 상기 제 2 부분에 액세스하기 전에 상기 캐시 정보의 상기 제 3 부분에
액세스하기 위한 수단을 더 포함하는, 하이브리드 캐시 장치.

청구항 20

제 16 항에 있어서,

모바일 전화, 셋톱 박스, 음악 재생기, 비디오 재생기, 엔터테인먼트 유닛, 내비게이션 디바이스, 컴퓨터, 핸드
-헬드 개인 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛 및/또는 고정식 위치 데이터 유닛에 통합되는, 하이브
리드 캐시 장치.

발명의 설명

기술 분야

[0001]본 개시물은 일반적으로 메모리 캐시들에 관한 것이다. 보다 구체적으로, 본 개시물은 상이한 타입들이
메모리와 동작하는 메모리 캐시 라인들에 관한 것이다.

배경 기술

[0002]종래의 RAM(random access memory) 칩 기술들과는 달리, MRAM(magnetic RAM)에서, 데이터가 전하로서 저
장되지는 않지만, 그 대신에 저장 엘리먼트들의 자기 편극(magnetic polarization)에 의해 저장된다. 저장 엘
리먼트들은 터널링 층에 의해 분리된 2개의 강자성(ferromagnetic) 층들로 형성된다. 2개의 강자성 층들 중에

서 고정층(fixed layer) 또는 펀층(pinned layer)으로 지칭되는 하나의 강자성 층은, 특정한 방향으로 고정된 자화를 갖는다. 자유층으로 지칭되는 다른 강자성 자기 층은, 자유층 자화가 고정층 자화에 역평행(anti-parallel)한 경우에는 "1"로 또는 자유층 자화가 고정층 자화에 평행한 경우에는 "0"으로 표현되도록 또는 그 반대로 표현되도록 변경될 수 있는 자화 방향을 갖는다. 고정층, 터널링 층, 및 자유층을 갖는 하나의 이러한 디바이스는 자기 터널 접합(MTJ;magnetic tunnel junction)이다. MTJ의 전기 저항은, 자유층 자화 및 고정층 자화가 서로 평행한지 또는 역평행한지 여부에 따른다. MRAM과 같은 메모리 디바이스는 독립적으로 어드레싱 가능한 MTJ들의 어레이로부터 구축된다.

[0003] [0003] 종래의 MRAM에서 데이터를 기입하기 위해, 임계 스위칭 전류를 초과하는 기입 전류(write current)가 MTJ를 통해 인가된다. 임계 스위칭 전류를 초과하는 기입 전류는 자유층의 자화 방향을 변경하기에 충분하다. 기입 전류가 제 1 방향으로 흐르는 경우, MTJ는, 자신의 자유층 자화 방향과 고정층 자화 방향이 평행 배향으로 정렬되는 제 1 상태에 놓이거나 또는 이 제 1 상태를 유지할 수 있다. 기입 전류가 제 1 방향에 반대인 제 2 방향으로 흐르는 경우, MTJ는, 자신의 자유층 자화와 고정층 자화가 역평행 배향에 있는 제 2 상태로 놓이거나 또는 이 제 2 상태를 유지할 수 있다.

[0004] [0004] 종래의 MRAM에서 데이터를 판독하기 위해, 판독 전류(read current)가 MTJ에 데이터를 기입하는데 이용된 동일한 전류 경로를 통해 MTJ를 통해서 흐를 수 있다. MTJ들의 자유층과 고정층의 자화들이 서로 평행하게 배향되면, MTJ는, 자유층과 고정층의 자화들이 역평행 배향에 있었을 경우 MTJ가 제시했었을 저항과는 상이한 저항을 제시한다. 종래의 MRAM에서, MRAM의 비트셀에서의 MTJ의 2개의 상이한 저항들에 의해 2개의 별개의 상태들이 정의된다. 이 2개의 상이한 저항들은 MTJ에 의해 저장된 로직 0 및 로직 1 값을 나타낸다.

발명의 내용

[0005] [0005] 본 개시물의 일 양상에 따른 하이브리드 캐시 장치는 제 1 타입의 메모리와 제 2 타입의 메모리를 포함한다. 하이브리드 캐시 장치의 제 1 캐시 라인은 제 1 타입의 메모리의 제 1 메모리 위치와 제 2 타입의 메모리의 제 2 메모리 위치를 포함한다. 제 1 캐시 라인은 캐시 액세스 동작 동안 제 2 메모리 위치에 액세스하기 전에 제 1 메모리 위치에 액세스하도록 구성된다.

[0006] [0006] 본 개시물의 다른 양상은 하이브리드 캐시 장치에 액세스하기 위한 방법을 포함한다. 방법은 캐시 정보의 제 1 부분을 제 1 캐시 라인의 제 1 타입의 메모리에 저장하는 단계, 및 캐시 정보의 제 2 부분을 제 1 캐시 라인의 제 2 타입의 메모리의에 저장하는 단계를 포함한다. 방법은 또한, 캐시 액세스 동작 동안 캐시 정보의 제 2 부분에 액세스하기 전에 캐시 정보의 제 1 부분에 액세스하기 위한 단계를 포함한다.

[0007] [0007] 본 개시물의 다른 양상에 따른 하이브리드 캐시 장치는 캐시 정보의 제 1 부분을 제 1 캐시 라인의 정적 랜덤 액세스 메모리(SRAM) 위치에 저장하기 위한 수단 및 캐시 정보의 제 2 부분을 제 1 캐시 라인의 저항성 랜덤 액세스 메모리 부분에 저장하기 위한 수단을 포함한다. 하이브리드 캐시 장치는 또한, 캐시 액세스 동작 동안 캐시 정보의 제 2 부분에 액세스하기 전에 캐시 정보의 제 1 부분에 액세스하기 위한 수단을 포함한다.

[0008] [0008] 상기 설명은, 후속하는 상세한 설명이 더 양호하게 이해될 수 있도록, 본 개시의 특성들 및 기술적 이점을 다소 광범위하게 약술하였다. 본 개시의 부가적인 특성들 및 이점들은 후술될 것이다. 본 개시의 동일한 목적들을 수행하기 위해 다른 구조들을 변형 또는 설계하기 위한 기반으로서 본 개시가 용이하게 이용될 수도 있다는 것이 당업자에 의해 인식되어야 한다. 또한, 그러한 등가 구성들이, 첨부된 청구항들에 기재된 바와 같은 본 개시의 교시들을 벗어나지 않는다는 것이 당업자에 의해 인지되어야 한다. 추가적인 목적들 및 이점들과 함께, 본 발명의 구성 및 동작 방법 양자에 대해 본 개시의 특징인 것으로 믿어지는 신규한 특성들은, 첨부한 도면들과 관련하여 고려될 경우 다음의 설명으로부터 더 양호하게 이해될 것이다. 그러나, 도면들의 각각이 단지 예시 및 설명의 목적을 위해 제공되며, 본 개시의 제한들의 의미로서 의도되지 않다는 것이 명백히 이해될 것이다.

[0009] [0009] 본 개시의 더욱 완전한 이해를 위해서, 이제, 첨부 도면들과 함께 다음 설명을 참조한다.

도면의 간단한 설명

[0010] [0010] 도 1은 저항성 메모리 엘리먼트의 다이어그램이다.

[0011] [0011] 도 2는 저항성 디바이스를 프로그래밍하고 판독하기 위한 저항성 메모리 디바이스 및 회로소자의 다이어그램이다.

[0012]도 3은 메모리 매크로의 다이어그램이다.

[0013]도 4는 종래 기술의 SRAM 캐시의 다이어그램이다.

[0014]도 5a는 SRAM 캐시 파이프라인 타이밍도이다.

[0015]도 5b는 MRAM 캐시 파이프라인 타이밍도이다.

[0016]도 6은 본 개시물의 일 양상에 따른 하이브리드 SRAM-MRAM 캐시의 다이어그램이다.

[0017]도 7은 본 개시물의 양상에 따른 하이브리드 SRAM-MRAM 캐시에 대한 캐시 파이프라인 타이밍도이다.

[0018]도 8은 본 개시물의 양상에 따른 하이브리드 SRAM-MRAM 캐시의 다이어그램이다.

[0019]도 9는 본 개시물의 일 양상에 따른 하이브리드 SRAM-MRAM 캐시에 대한 캐시 파이프라인 타이밍도이다.

[0020]도 10은 본 개시물의 양상에 따른 하이브리드 SRAM-MRAM 캐시에 액세스하기 위한 방법을 예시하는 프로세스 흐름도이다.

[0021]도 11은 본 개시물의 구성이 유리하게 활용될 수 있는 예시적인 무선 통신 시스템을 도시하는 블록도이다.

[0022]도 12는 일 구성에 따른 반도체 컴포넌트의 회로, 레이아웃, 및 로직 설계를 위해 사용된 설계 워크스테이션을 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0011] [0023]도 1은 액세스 트랜지스터(104)에 결합된 자기 터널 접합(MTJ)(102)을 포함하는 저항성 메모리 엘리먼트(100)를 도시하며, MTJ(102)의 자유층(110)이 비트 라인(112)에 결합된다. 액세스 트랜지스터(104)가 MTJ(102)의 고정층(106)과 고정 전위 노드(122) 사이에 결합된다. 터널 베리어 층(114)이 고정층(106)과 자유층(110) 사이에 결합된다. 액세스 트랜지스터(104)가 워드 라인(118)에 결합된 게이트(116)를 포함한다.

[0012] [0024] 합성 반강자성 재료들은 고정층(106) 및 자유층(110)을 형성하기 위해 사용될 수 있다. 예를 들어, 고정층(106)은 CoFeB, 및 Ru 층 CoFe 층을 포함한 다수의 재료 층들을 포함할 수 있다. 예를 들어, 자유 층(110)은 CoFeB와 같은 반강자성 재료일 수 있고, 터널 베리어층(114)은 MgO일 수 있다.

[0013] [0025]도 2는 종래의 자기 랜덤 액세스 메모리(MRAM)(200)의 일부를 도시하는 개략적인 회로이다. MRAM(200)은 데이터 회로(260), 및 기준 회로들(240, 210)로 분할되며, 각각의 회로(210, 240, 260)는 다수의 비트셀들(212, 226)을 포함한다(이해를 촉진시키기 위해서 단지 하나의 비트셀만을 도시함). 데이터 회로(260)의 비트셀의 관독 동안, 자기 터널 접합의 저항값은 평행하게 연결된 2개의 기준 MTJ들의 유효 저항값에 필적하며, 하나는 기준 회로(210)의 기준 평행 MTJ이고, 다른 것은 회로(240)의 기준 역평행 MTJ이다. 비트셀들의 저항값은, 소스 전압을 인가하고 비트셀들을 통해 흐르는 전류의 양을 결정함으로써 측정된다. 예를 들어, 회평행 기준 회로(210)의 비트셀에서, 전류원(220)은 관독 선택 트랜지스터들(222, 224) 및 워드 라인 선택 트랜지스터(226)에 의해 자기 터널 접합(MTJ)(212)에 인가된다. MTJ(212)는 고정층(214), 터널링층(216) 및 자유층(218)을 포함한다. 자유층(218) 및 고정층(214)이 실질적으로 평행하게 정렬된 자화들을 갖는 경우, MTJ(212)의 저항값, 및 그에 따른 비트셀(210)의 저항값은 낮다. 자유층(218) 및 고정층(214)이 실질적으로 역평행으로 정렬된 자화들을 갖는 경우, MTJ(212)의 저항값, 및 그에 따른 비트셀(210)의 저항값은 높다.

[0014] [0026] 자기 랜덤 액세스 메모리의 비트셀들은 일 패턴의 메모리 엘리먼트들(예를 들어, MRAM의 경우 MTJ)을 포함하는 하나 또는 그 초과의 어레이들로 배열될 수 있다. STT-MRAM(Spin-Transfer-Torque Magnetic Random Access Memory)은 신홍 비휘발성 메모리이고 그 이점은 비휘발성이며, DRAM(Dynamic Random Access Memory)에 대해 필적할 만한 속도, SRAM(Static Random Access Memory)에 비해 더 작은 칩 사이즈, 비체한적 기록/관독 내구성이 있고, 저 어레이 누설 전류가 시스템 온 칩(SoC) 설계 시 보편적인 작업 메모리로서 STT-MRAM(Spin-Transfer-Torque Magnetic Random Access Memory)에 대한 큰 기회를 열었다.

[0015] [0027] 저항성 메모리 어레이에서, 관독 이네이블 신호의 어써선에 의한 워드 라인(WL)의 활성화 시에 관독 감지를 위한 기준 레벨이 생성된다. 저항성 메모리들에서의 기준 레벨의 생성은 더 긴 메모리 액세스 사이클을 발생시킨다. 예를 들어, MRAM 어레이에서, WL의 활성화 이후, MRAM 비트셀이 데이터 아웃 준비 상태에 도달할 수 있기 전에 데이터 회로(260)와 기준 회로들(240, 210)에 대한 정착 시간을 수용하는 것을 포함하여 5회의 클럭

사이클들이 경과할 수 있다. 비교하면, SRAM 메모리 셀들이 3 클럭 사이클들 내에 액세스될 수 있다.

[0016] [0028]도 3은 메모리 매크로(300)를 도시한다. 매크로(300)는 로컬 데이터 경로(LDP)(302), 글로벌 데이터 경로(GDP)(304), 셀 어레이(306), 디코더(308), 및 글로벌 제어 유닛(310)을 포함할 수 있다. LDP(302)는 하나 이상의 감지 증폭기들 및 프로그래밍 기록 드라이버(미도시)를 포함한다. GDP(304)는 입력 및 출력 신호 라인들 또는 펈들, 이를 테면, D IN(312) 및 D OUT(314)을 위한 회로소자를 포함한다.

[0017] [0029] 셀 어레이(306)는 워드 라인들, 예를 들어, WL(316)에 해당하는 다수의 로우들 및 비트 라인들, 예를 들어, 비트 라인(318)에 해당하는 다수의 컬럼들을 포함한다. 예를 들어, 셀 어레이(306)는 워드 라인들을 위한 64개의 로우들과 비트 라인들을 위한 256개의 비트들을 가질 수 있다. 셀 어레이(306)는, 워드 라인(316)과 비트 라인(318)에 결합된 유닛 셀(320)과 같은 수많은 유닛 셀들을 포함한다. 메모리 매크로(300)는, 메모리 매크로(300) 내 각각의 유닛 셀이 비슷하게 구성된 메모리 엘리먼트를 포함하는 다양한 메모리 셀 기술들을 이용하여 구현된다. 예를 들어, 저항성 메모리 매크로에서, 각각의 유닛 셀(320)은 도 1을 대하여 설명된 바와 같이 저항성 메모리 엘리먼트(100)를 포함한다.

[0018] [0030] 캐시 메모리는 캐시 인터페이스에 결합된 다수의 매크로들을 포함할 수 있다. MRAM 캐시는 캐시 인터페이스에 결합된 MRAM 매크로들의 뱅크들을 포함한다. SRAM 캐시는 캐시 인터페이스에 결합된 SRAM 매크로들의 뱅크들을 포함한다. SRAM 매크로들은 MRAM 매크로들과 같은 저항성 메모리 매크로들보다 더 빠른 이점을 갖는다. 저항성 메모리 매크로들, 이를 테면, MRAM 매크로들은, 비트셀 감지의 곤란함으로 인해 SRAM 보다 더 긴 판독 레이턴시를 나타내고 스테이터스 스위칭의 곤란함으로 인해 더 긴 기록 레이턴시를 나타낸다. 그러나, SRAM 매크로들은 휘발성이 있고, 더 많은 누설 에너지를 소모하고, MRAM 매크로들보다 실질적으로 더 크다. 예를 들어, SRAM 비트셀의 사이즈가 약 $200F^2$ 이다. 여기서 F는 칩의 최소 피처 사이즈이다. SRAM 최종-레벨 캐시는 현재의 중앙 처리 유닛(CPU) 영역의 약 50%를 소모할 수 있다. 대조적으로 MRAM 매크로들은 비휘발성이 있고, 유휴 시 에너지 효율적이다. MRAM 비트셀의 사이즈는 단지 약 $4F^2$ 이다. 이들의 작은 사이즈로 인해서, MRAM 매크로들은 더 큰 레벨 2 및 레벨 3(L2/L3) 온-칩 캐시 통합에 적합하다.

[0019] [0031] SRAM 캐시 아키텍처의 예가 도 4를 참고로 하여 설명된다. SRAM 캐시(400)는 캐시 인터페이스(404)에 결합된 4개의 뱅크들(402)을 포함한다. 각각의 뱅크(402)는 다수의 SRAM 매크로들(406)을 포함한다. 이 예에서, 캐시 인터페이스(404)는 16 바이트 폭이고 따라서 한 번에 메모리의 1 쿼드 워드(QW)(408)에 액세스할 수 있고, 여기서, 각각의 QW(408)는 SRAM 매크로(406)에서 16 바이트 메모리이다. 캐시 액세스 동안, 고정 데이터량이 캐시에 기록되거나 또는 캐시로부터 판독된다. 캐시 라인에 대한 고정 데이터량과 연관된 메모리는 본원에서 캐시 라인으로 지칭된다. 64 바이트 캐시 라인은 뱅크(402)에서 4개의 QW들(408)을 포함하며, 여기서, 각각의 QW들(408)은 각각의 SRAM 매크로(406)에 존재한다. 64 바이트 캐시 액세스가 4개의 QW 액세스들로 분할되며, 여기서, 각각의 QW는 캐시 라인 상의 SRAM 매크로들(406) 중 하나에 대해 판독 액세스하거나 또는 캐시 라인 상의 SRAM 매크로들(406) 중 하나로부터 기록 액세스한다.

[0020] [0032] SRAM 캐시 라인 액세스의 타이밍이 도 5a의 SRAM 캐시 라인 액세스 다이어그램(500)에 대하여 설명된다. 이 예에서, SRAM 매크로 판독 액세스 또는 기록 액세스는 이네이블 사이클과 2 어레이 액세스 사이클들을 포함하여 3 클럭 사이클들을 사용한다. 이와 같이, 사이클 1 내지 사이클 3은, SRAM 매크로들 각각이 데이터 아웃 준비 상태에 도달할 수 있기 전에 경과한다. 데이터 버스로 또는 데이터 버스로부터 각각의 QW의 클럭을 측정하기 위해 다른 사이클이 사용되어 SRAM 캐시 라인의 4개의 QW들(QW0-QW3)이 사이클 5 내지 사이클 8에서 데이터 버스에 도달한다.

[0021] [0033] 도 5b의 MRAM 캐시 라인 액세스 다이어그램(550)에 대하여 MRAM 캐시 라인 액세스의 더 느린 동작이 설명된다. 이 예에서, MRAM 매크로 판독 액세스 또는 기록 액세스는 이네이블 사이클과 4 어레이 액세스 사이클들을 포함하여 5 클럭 사이클들을 사용한다. 이와 같이, 사이클 1 내지 사이클 5는, SRAM 매크로들 각각이 데이터 아웃 준비 상태에 도달할 수 있기 전에 경과한다. 데이터에 대한 각각의 QW의 클럭을 측정하기 위해서 다른 클럭 사이클이 사용되어, MRAM 캐시 라인의 4개의 QW들(QW0-QW3)이 사이클 7 내지 사이클 10에 데이터 버스에 도달한다.

[0022] [0034] 본 개시물의 양상들에 따르면, MRAM 매크로들은, 2 또는 그보다 많은 클럭 사이클들의 액세스 지연을 허용하는 것을 감수할 수 있는 중요하지 않은(non-critical) QW들을 저장하기 위해 사용될 수 있다. 이러한 지연이 감수될 수 없는 상황들을 위해서 더 많거나 더 적은 에너지 효율의 SRAM 매크로들의 사용이 예비될 수 있다. 도 5a 및 도 5b를 참고하면, 본 개시물의 양상들에 따르면, SRAM 매크로들이 메모리 액세스의 사이클 5와 사이

클 6에서 QW들을 제공하도록 캐시 라인 상에서 구성될 수 있고 MRAM 매크로들은 메모리 액세스의 사이클 7과 사이클 8에서 QW들을 제공하도록 구성될 수 있다.

[0023] 또한, 캐시 라인의 제 1 QW는 종종 메모리 액세스의 가장 중요한 데이터를 포함하고, 나머지 QW들은 보다 덜 중요한 정보를 포함할 수 있다. 이러한 구성들에서, 캐시 라인의 제 1 QW에 대해 더 빠른 액세스를 제공하는 것이 바람직하지만, 캐시 라인의 나머지 QW들에 대해 더 느린 액세스가 감수 가능할 수 있다. 본 개시물의 양상들에 따르면, 캐시 라인의 제 1 QW가 SRAM 매크로에 저장될 수 있고 나머지 QW들 중 하나 또는 그보다 많은 것이 MRAM 매크로에 저장될 수 있다. 본 개시물의 다른 양상에 따르면, 캐시 라인의 제 1 QW는 캐시 정보의 중요 워드들을 저장하도록 구성될 수 있다.

[0024] 본 개시물의 양상에 따르면, SRAM 매크로들 및 MRAM 매크로들 둘 모두를 포함하는 하이브리드 SRAM-MRAM 캐시 라인이 도 6에 대하여 설명된다. 하이브리드 SRAM-MRAM 캐시(600)는 캐시 인터페이스(604)에 결합된 4개의 뱅크들(602)을 포함한다. 각각의 뱅크(602)는 다수의 SRAM 매크로들(606)과 캐시 인터페이스(604)에 결합된 다수의 MRAM 매크로들(607)을 포함한다. 이 예에서, 캐시 인터페이스(604)는 16 바이트 폭이고, 따라서, 한 번에 메모리의 하나의 16바이트 퀄드 워드(QW)(608)에 액세스 가능하다. 64 바이트 캐시 라인은 뱅크(602)의 SRAM 매크로들(606)에서 2개의 QW들(608)을, 그리고 뱅크의 MRAM 매크로들(607)에서 2개의 QW들(608)을 포함한다. 64 바이트 캐시 액세스가 4개의 QW 액세스들로 분리되며, 첫 번째 2개의 QW는 캐시 라인 상의 SRAM 매크로들(606)로 판독 액세스하거나 또는 SRAM 매크로들(606)로부터 기록 액세스하고, 두 번째 2개의 QW는 캐시 라인 상의 MRAM 매크로들(607)로 판독 액세스하거나 또는 MRAM 매크로들(607)로부터 기록 액세스한다.

[0025] 도 6에 도시된 구현에서 하이브리드 SRAM-MRAM 캐시 라인 액세스의 타이밍이 도 7의 캐시 라인 액세스 다이어그램(700)에 대하여 설명된다. 이 구현에서, 각각의 SRAM 매크로 판독 액세스 또는 기록 액세스는 이네이블 사이클과 2개의 어레이 액세스 사이클들을 포함하는 3개의 클럭 사이클들을 이용한다. 각각의 MRAM 매크로 판독 액세스 또는 기록 액세스는 이네이블 사이클과 4개의 어레이 액세스 사이클들을 포함하는 5개의 클럭 사이클들을 이용한다. SRAM 매크로 판독 액세스 또는 기록 액세스가, 캐시 라인의 첫 번째 2개의 QW들(QW0 및 QW1)에 액세스하기 위해 이용된다. 클럭 사이클 1 내지 사이클 3은, SRAM 매크로가 데이터 아웃 준비 상태에 도달할 수 있기 전에 경과한다. 다음 클럭 사이클(사이클 4)이, 데이터 버스로 또는 데이터 버스로부터 캐시 라인의 제 1 QW(QW0)의 클럭을 측정하기 위해 사용된다. 이후, 다음 클럭 사이클(사이클 5)가 데이터 버스로 또는 데이터 버스로부터 캐시 라인의 제 2 QW(QW1)의 클럭을 측정하기 위해 사용된다. MRAM 매크로 판독 액세스 또는 기록 액세스가 캐시 라인의 다음 2개의 QW들(QW2 및 QW3)에 액세스하기 위해 사용된다. MRAM 매크로들이 클럭 사이클 6에서 데이터 아웃 판독 상태에 도달한다. 클럭 사이클들 6 및 7이 데이터 버스로의 또는 데이터 버스로부터의 캐시 라인의 제 3 QW(QW2)와 캐시 라인의 제 4 QW(QW3)의 클럭을 측정하기 위해 사용된다.

[0026] 도 6에 도시된 하이브리드 SRAM-MRAM 캐시의 구현 시, 캐시 라인의 SRAM 매크로들 및 MRAM 매크로들의 수가 선택되므로, 캐시 라인 액세스 파이프라인이 3 클럭 사이클들의 SRAM 매크로 액세스 시간과 5 클럭 사이클들의 MRAM 매크로 액세스 시간 간의 차에 대해 매칭된다. 다른 구현에서, 본 개시물의 일 양상에 따르면, 캐시 라인 액세스 파이프라인이, SRAM 매크로 액세스 시간과 MRAM 매크로 액세스 시간 사이의 차에 대해 완벽하게 매칭되지 않을 수 있다. SRAM-MRAM 매크로들이 데이터 액세스 준비 상태에 있기 전에 경과할 수 있는 추가 클럭 사이클들을 수용하기 위해서 2 이상의 캐시 라인에 대한 액세스들이 인터리빙될 수 있다. 본 개시물의 일 양상에 따른, 한 쌍의 인터리빙된 하이브리드 SRAM-MRAM 캐시 라인들의 구현이 도 8에 대하여 설명된다.

[0027] 본 개시물의 일 양상에 따른 SRAM 매크로들과 MRAM 매크로들 둘 모두를 포함하는 하이브리드 SRAM-MRAM 캐시 라인이 도 8에 대하여 설명된다. 하이브리드 SRAM-MRAM 캐시(800)는 캐시 인터페이스(806)에 결합된 4개의 뱅크들(801-804)을 포함한다. 각각의 뱅크(801-804)는 다수의 SRAM 매크로들(808)과 캐시 인터페이스(806)에 결합된 다수의 MRAM 매크로들(809)을 포함한다. 이 예에서, 캐시 인터페이스(806)가 16 바이트 폭이고, 따라서, 한 번에 메모리의 하나의 16바이트 퀄드 워드(QW)(810)에 액세스 가능하다. 첫 번째 64 바이트 캐시 라인은 제 1 뱅크(803)의 SRAM 매크로들(808)에서 2개의 QW들(810)을, 그리고 제 1 뱅크(803)의 MRAM 매크로들(809)에서 2개의 QW들(810)을 포함한다. 두 번째 64 바이트 캐시 라인은 제 2 뱅크(804)의 SRAM 매크로들(808)에서 2개의 QW들(810)을, 그리고 제 2 뱅크(804)의 MRAM 매크로들(809)에서 2개의 QW들(810)을 포함한다.

[0028] 첫 번째 64 바이트 캐시 액세스가 4개의 QW 액세스들로 분리되며, 첫 번째 2개의 QW(QW0 및 QW1)는 제 1 캐시 라인 상의 SRAM 매크로들(808)로 판독되거나 또는 SRAM 매크로들(808)로부터 기록되고, 두 번째 2개의 QW들(QW2 및 QW3)은 제 1 캐시 라인 상의 MRAM 매크로들(809)로 판독되거나 또는 MRAM 매크로들(809)로부터 기록된다. 두 번째 64 바이트 캐시 액세스가 4개의 QW 액세스들로 분리되며, 첫 번째 2개의 QW들(QW4 및 QW5)은 제

2 캐시 라인 상의 SRAM 매크로들(808)로 판독되거나 또는 SRAM 매크로들(808)로부터 기록되고, 두 번째 2개의 QW들(QW6 및 QW7)은 제 2 캐시 라인 상의 MRAM 매크로들(809)로 판독되거나 또는 MRAM 매크로들(809)로부터 기록된다.

[0029] [0041]도 8에 도시된 구현에서 하이브리드 SRAM-MRAM 캐시 라인 액세스의 타이밍이 도 9의 캐시 라인 액세스 다이어그램(900)에 대하여 설명된다. 이 구현에서, 각각의 SRAM 매크로 판독 액세스 또는 기록 액세스는 이네이블 사이클과 2개의 어레이 액세스 사이클들을 포함하는 3개의 클럭 사이클들을 이용한다. 각각의 MRAM 매크로 판독 액세스 또는 기록 액세스는 이네이블 사이클과 6개의 어레이 액세스 사이클들을 포함하는 7개의 클럭 사이클들을 이용한다. 첫 번째 SRAM 매크로 판독 액세스 또는 기록 액세스가 제 1 캐시 라인의 첫 번째 2개의 QW들(QW0 및 QW1)에 액세스하기 위해 이용된다. 클럭 사이클 1 내지 사이클 3은, SRAM 매크로가 데이터 아웃 준비 상태에 도달할 수 있기 전에 경과한다. 다음 클럭 사이클(사이클 4)이, 데이터 버스로 또는 데이터 버스로부터 제 1 캐시 라인의 첫 번째 QW(QW0)의 클럭을 측정하기 위해 사용된다. 이후, 다음 클럭 사이클(사이클 5)이 데이터 버스로 또는 데이터 버스로부터 제 1 캐시 라인의 두 번째 QW(QW1)의 클럭을 측정하기 위해 사용된다.

[0030] [0042]이 구현에서, MRAM 매크로 액세스가 7 클럭 사이클들이 걸리기 때문에, 이들은 클럭 사이클 8까지 데이터 액세스 준비 상태에 도달하지 않는다. 캐시 인터페이스(806) 상에서 유휴 사이클들을 방지하기 위해서, 데이터 아웃 준비 상태에 도달할 때까지 제 1 캐시 라인 상의 MRAM 매크로들을 대기하면서 제 2 캐시 라인 액세스가 시작된다. 클럭 사이클(사이클 6)이 데이터 버스로 또는 데이터 버스로부터 제 2 캐시 라인의 첫 번째 QW(QW4)의 클럭을 측정하기 위해 사용된다. 다음 클럭 사이클(사이클 7)이 데이터 버스로 또는 데이터 버스로부터 제 2 캐시 라인의 두 번째 QW(QW5)의 클럭을 측정하기 위해 사용된다.

[0031] [0043]제 1 캐시 라인의 다음 2개의 QW들(QW2 및 QW3)에 액세스하기 위해 MRAM 매크로 판독 액세스 또는 기록 액세스가 사용된다. 제 1 캐시 라인 상의 MRAM 매크로들이 클럭 사이클 8에서 데이터 아웃 판독 상태에 도달한다. 클럭 사이클들(8 및 9)이 데이터 버스로 또는 데이터 버스로부터 제 1 캐시 라인의 세 번째 QW(QW2)와 제 1 캐시 라인의 네 번째 QW(QW3)의 클럭을 측정하기 위해 사용된다. 제 2 캐시 라인 상의 MRAM 매크로들이 클럭 사이클 10에서 데이터 아웃 준비 상태에 도달한다. 클럭 사이클들(10 및 11)이, 데이터 버스로 또는 데이터 버스로부터 제 2 캐시 라인의 세 번째 QW(QW6) 및 제 2 캐시 라인의 네 번째 QW(QW7)의 클럭을 측정하기 위해 사용된다.

[0032] [0044]도 10은 본 개시물의 일 양상에 다른 캐시 메모리에 액세스하는 방법을 도시하는 프로세스 흐름도이다. 방법(1000)은, 캐시 라인의 SRAM(static random access memory) 위치에서 캐시 정보의 제 1 부분을 저장하는 단계(블록 1002), 및 캐시 라인의 저항성 랜덤 액세스 메모리 위치에서 캐시 정보의 제 2 부분을 저장하는 단계(블록 1004)를 포함한다. 방법은 또한, 캐시 액세스 동작 동안 정보의 제 2 부분에 액세스하기 전에 정보의 제 1 부분에 액세스하는 단계를 포함한다(블록 1006).

[0033] [0045]본 개시물의 다른 양상에 따른 하이브리드 SRAM-MRAM 캐시는 캐시 라인의 SRAM 위치에서 캐시 정보의 제 1 부분을 저장하기 위한 수단 및 캐시 라인의 저항성 메모리 위치에서 캐시 정보의 제 2 부분을 저장하기 위한 수단을 포함한다. 캐시는 또한, 제 2 부분에 액세스하기 전에 정보의 제 1 부분에 액세스하기 위한 수단을 포함한다. 캐시 정보의 제 1 부분을 저장하기 위한 수단은, 예를 들어, 도 6에 도시된 바와 같이 SRAM 매크로들(606)을 포함할 수 있다. 캐시 정보의 제 2 부분을 저장하기 위한 수단은, 예를 들어, 도 6에 도시된 바와 같이 MRAM 매크로들(607)을 포함할 수 있다. 액세스하기 위한 수단은, 예를 들어, 도 6에 도시된 바와 같이 캐시 인터페이스(604), SRAM 매크로들(606) 및 MRAM 매크로들(608)을 포함할 수 있다.

[0034] [0046]다른 구성에서, 상기 언급된 수단은 상기 언급된 수단에 의해 인용된 기능들을 수행하도록 구성되는 임의의 모듈 또는 임의의 장치일 수 있다. 특정 수단이 제시되었지만, 당업자는, 개시된 수단 전부가 개시된 구성들을 실시하기 위해 필요로 되는 것은 아니라는 것을 인식할 것이다. 더욱이, 본 발명에 계속 집중할 수 있도록 특정한 잘 알려진 수단은 설명되지 않았다.

[0035] [0047]도 11은, 본 개시물의 양상이 유리하게 활용될 수 있는 예시적인 무선 통신 시스템(1100)을 도시하는 블록도이다. 예시의 목적들을 위해, 도 11은 3개의 원격 유닛들(1120, 1130, 및 1150) 및 2개의 기지국들(1140)을 도시한다. 무선 통신 시스템들이 훨씬 더 많은 원격 유닛들 및 기지국들을 가질 수도 있음을 인식할 것이다. 원격 유닛들(1120, 1130, 및 1150)은, 개시된 하이브리드 캐시 장치를 포함하는 IC 디바이스들(1125A, 1125C 및 1125B)을 포함한다. 다른 디바이스들은 또한, 기지국들, 스위칭 디바이스들, 및 네트워크 장비와 같은 개시된 하이브리드 캐시 장치를 포함할 수 있다는 것을 인식할 것이다. 도 11은 기지국들(1140)로부터 원격 유닛들(1120, 1130, 및 1150)로의 순방향 링크 신호들(1180) 및 원격 유닛들(1120, 1130, 및 1150)로부터 기지

국들(1140)로의 역방향 링크 신호들(1190)을 도시한다.

[0036] [0048]도 11에서, 원격 유닛(1120)은 모바일 전화로서 도시되고, 원격 유닛(1130)은 휴대용 컴퓨터로서 도시되며, 원격 유닛(1150)은 무선 로컬 루프 시스템에서 고정 위치 원격 유닛으로서 도시된다. 예를 들어, 원격 유닛들은 모바일 전화기들, 핸드-헬드 개인용 통신 시스템들(PCS) 유닛들, 개인용 데이터 보조기기와 같은 휴대용 데이터 유닛들, GPS 인에이블드 디바이스들, 내비게이션 디바이스들, 셋탑 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 검침 장비(meter reading equipment)와 같은 고정 위치 데이터 유닛들, 또는 데이터 또는 컴퓨터 명령들을 저장하거나 또는 리트리브하는 다른 디바이스들, 또는 이들의 조합들일 수 있다. 도 11이 본 개시의 교시들에 따라 원격 유닛들을 도시하지만, 본 개시는 이들 예시적인 도시된 유닛들로 제한되지 않는다. 예를 들어, 본 개시의 양상들은 개시된 하이브리드 캐시 장치를 포함하는 많은 디바이스들에서 적절히 이용될 수도 있다.

[0037] [0049]도 12은 위에서 개시된 하이브리드 캐시 장치와 같은 반도체 컴포넌트의 회로, 레이아웃 및 로직 설계를 위해 이용되는 설계 워크스테이션을 도시하는 블록도이다. 설계 워크스테이션(1200)은 운영 시스템 소프트웨어, 지원 파일들, 및 설계 소프트웨어, 이를 테면, Cadence 또는 OrCAD를 포함하는 하드 디스크(1201)를 포함한다. 설계 워크스테이션(1200)은 하이브리드 캐시 장치와 같은 반도체 컴포넌트(1212) 또는 회로 설계(1210)의 설계를 용이하게 하기 위한 디스플레이(1202)를 또한 포함한다. 저장 매체(1204)는 회로 설계(1210) 또는 반도체 컴포넌트(1212)를 유형으로(tangibly) 저장하기 위해 제공된다. 회로 설계(1210) 또는 반도체 컴포넌트(1212)는 GDSII 또는 GERBER과 같은 파일 포맷으로 저장 매체(1204) 상에 저장될 수 있다. 저장 매체(1204)는 CD-ROM, DVD, 하드 디스크, 플래시 메모리 또는 다른 적절한 디바이스일 수 있다. 또한 설계 워크스테이션(1200)은 저장 매체(1204)로부터의 입력을 수락하거나 저장 매체(1204)에 출력을 기록하기 위한 드라이브 장치(1203)를 포함한다.

[0038] [0050] 저장 매체(1204) 상에 레코딩된 데이터는 로직 회로 구성, 포토리소그래피 마스크들에 대한 패턴 데이터 또는 전자 빔 리소그래피와 같은 직렬 기록 툴들에 대한 마스크 패턴 데이터를 특정할 수 있다. 데이터는 추가로 로직 시뮬레이션들과 연관되는 타이밍도들 또는 넷(net) 회로들과 같은 로직 검증 데이터를 포함한다. 저장 매체(1204) 상에 데이터를 제공하는 것은 반도체 웨이퍼들을 설계하기 위한 프로세스들의 수를 감소시킴으로써 반도체 컴포넌트(1212) 또는 회로 설계(1210)의 설계를 용이하게 한다.

[0039] [0051] 펌웨어 및/또는 소프트웨어 구현의 경우, 방법들은 여기에 설명된 기능들을 수행하는 모듈들(예를 들어, 절차들, 함수들 등)을 이용하여 구현될 수도 있다. 명령들을 유형으로 구현하는 임의의 머신 또는 컴퓨터 관독 가능 매체가, 여기에 설명된 방법들을 구현할 시에 사용될 수도 있다. 예를 들어, 소프트웨어 코드는 메모리에 저장되고 프로세서 유닛에 의해 실행될 수도 있다. 메모리는 프로세서 유닛 내부에서 또는 프로세서 유닛 외부에서 구현될 수도 있다. 여기에 사용된 바와 같이, 용어 "메모리"는 임의의 타입의 장기, 단기, 휘발성, 비휘발성, 또는 다른 메모리를 지칭하며, 임의의 특정한 타입의 메모리 또는 메모리들의 수, 또는 메모리가 저장되는 매체들의 타입에 제한되지 않는다.

[0040] [0052] 펌웨어 및/또는 소프트웨어로 구현되는 경우, 기능들은 하나 또는 그보다 많은 명령들 또는 코드로서 컴퓨터-관독가능 매체로서 저장될 수 있다. 예들은, 데이터 구조로 인코딩된 컴퓨터 관독가능 매체 및 컴퓨터 프로그램으로 인코딩된 컴퓨터 관독가능 매체를 포함한다. 컴퓨터 관독가능 매체는 물리적 컴퓨터 저장 매체들을 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체일 수도 있다. 제한이 아닌 예로서, 그러한 컴퓨터-관독가능 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장부, 자기 디스크 저장 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 저장하는데 사용될 수 있고 컴퓨터에 의해 액세스될 수 있는 다른 매체를 포함할 수 있다; 여기에 사용된 바와 같이, 디스크(disk) 및/또는 디스크(disc)는 컴팩트 디스크(disc)(CD), 레이저 디스크(disc), 광학 디스크(disc), DVD(digital versatile disc), 플로피 디스크(disk) 및 블루-레이 디스크(disc)를 포함하며, 여기서, 디스크(disk)들은 일반적으로 데이터를 자기적으로 재생하지만, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 상기의 결합들이 또한 컴퓨터 관독가능 매체들의 범위 내에 포함되어야 한다.

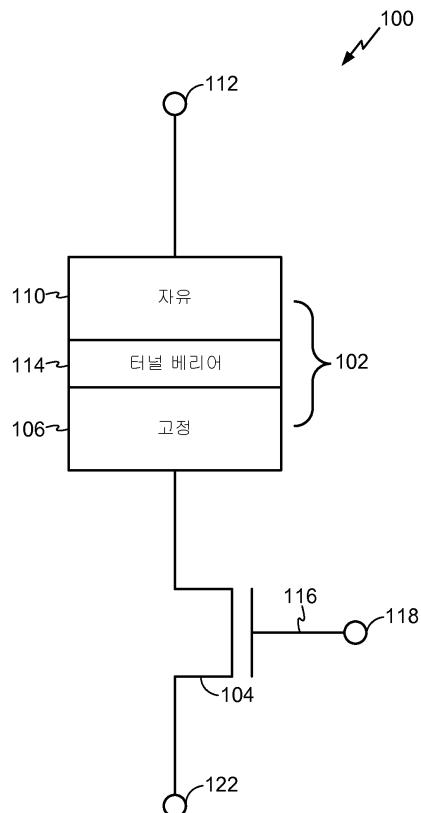
[0041] [0053] 컴퓨터 관독가능 매체 상의 저장에 부가하여, 명령들 및/또는 데이터가 통신 장치에 포함된 송신 매체들 상의 신호들로서 제공될 수도 있다. 예를 들어, 통신 장치는 명령들 및 데이터를 표시하는 신호들을 갖는 트랜시버를 포함할 수도 있다. 명령들 및 데이터는, 하나 또는 그 초과의 프로세서들로 하여금 청구항들에서 약술된 기능들을 구현하게 하도록 구성된다.

[0042] [0054] 본 발명의 교시들 및 그들의 이점들이 상세히 설명되었지만, 첨부된 청구항들에 의해 정의된 바와 같은

본 개시물의 기술을 벗어나지 않으면서 다양한 변화들, 치환들 및 수정들이 여기서 행해질 수 있음을 이해해야 한다. 예를 들어, SRAM 및 MRAM 이 메모리들의 타입들로서 설명되었지만, 다른 메모리 타입들, 이를 테면, DRAM, PCRAM 등이 또한 고려된다. 또한, 본 출원의 범위는, 그 명세서에 설명된 프로세스, 머신, 제조법, 조성물, 수단, 방법들 및 단계들의 특정한 구성들로 제한되도록 의도되지 않는다. 당업자가 본 발명으로부터 용이하게 인식할 바와 같이, 여기에 설명된 대응하는 구성들과 실질적으로 동일한 기능을 수행하거나 실질적으로 동일한 결과를 달성하는, 현재 존재하거나 추후에 개발될 프로세스들, 머신들, 제조법, 물질의 합성, 수단, 방법들, 또는 단계들이 본 발명의 교시들에 따라 이용될 수도 있다. 따라서, 첨부된 청구항들은 그들의 범위 내에, 그러한 프로세스들, 머신들, 제조법, 조성물, 수단, 방법들, 또는 단계들을 포함하도록 의도된다.

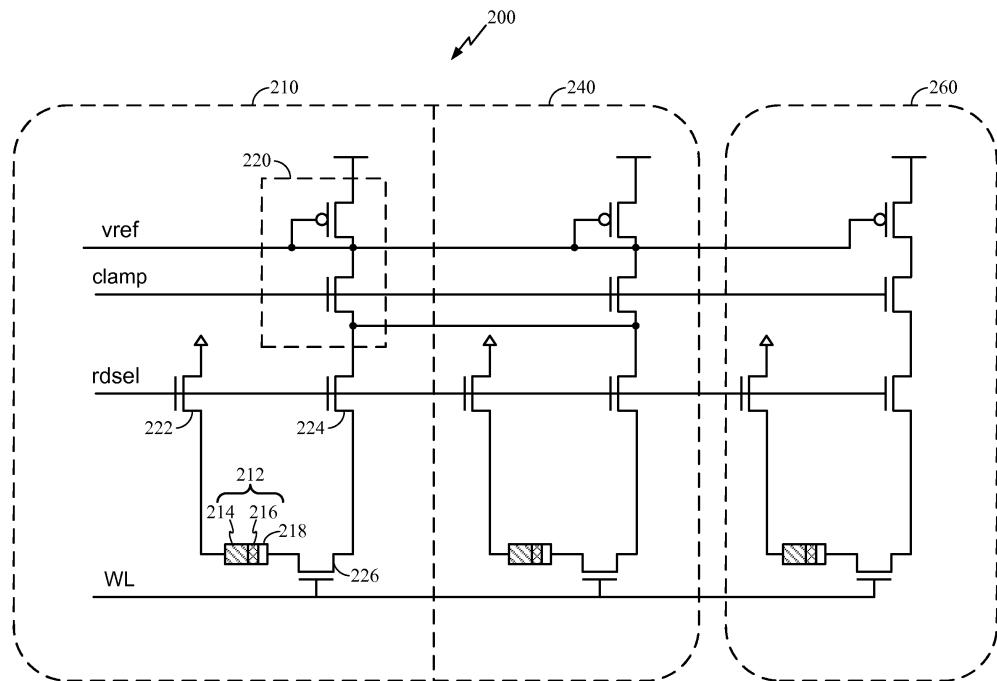
도면

도면1

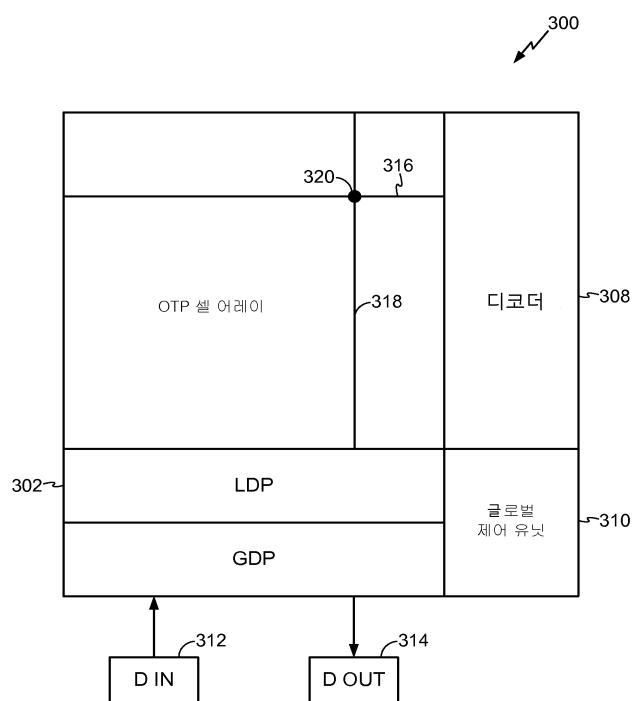


종래 기술

도면2

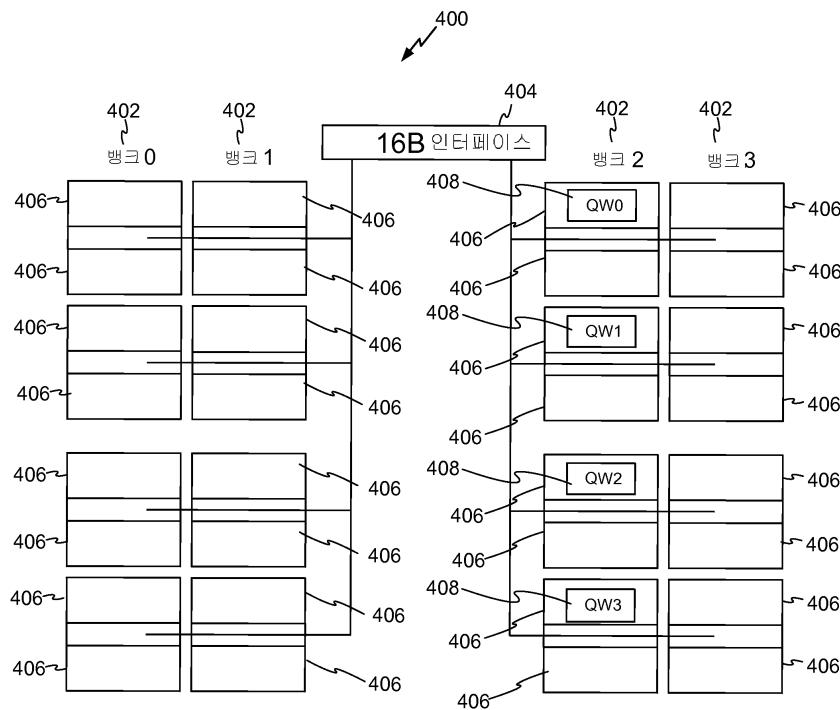


도면3



종래기술

도면4



종래기술

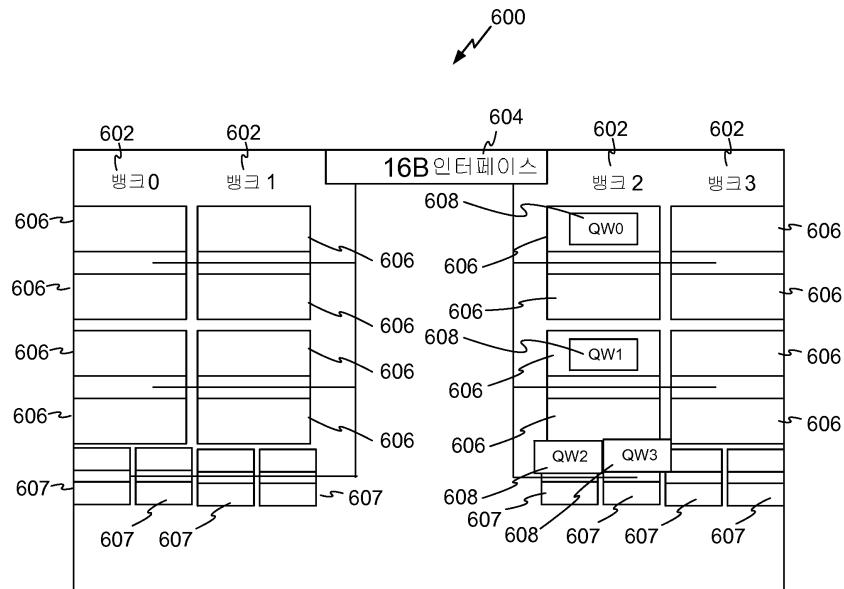
도면5a

	사이클 1	사이클 2	사이클 3	사이클 4	사이클 5	사이클 6	사이클 7	사이클 8	사이클 9
블록 QW0	이네이블	어레이 액세스	어레이 액세스	데이터 아웃 준비					
블록 QW1	이네이블	어레이 액세스	어레이 액세스	데이터 아웃 준비					
블록 QW2	이네이블	어레이 액세스	어레이 액세스	데이터 아웃 준비					
블록 QW3	이네이블	어레이 액세스	어레이 액세스	데이터 아웃 준비					
버스	-	-	-	-	QW0	QW1	QW2	QW3	

도면5b

	사이클 1	사이클 2	사이클 3	사이클 4	사이클 5	사이클 6	사이클 7	사이클 8	사이클 9	사이클 10
블록 QW0	이네이블	어레이 액세스	어레이 액세스	어레이 액세스	어레이 액세스	데이터 아웃 준비				
블록 QW1	이네이블	어레이 액세스	어레이 액세스	어레이 액세스	어레이 액세스	데이터 아웃 준비				
블록 QW2	이네이블	어레이 액세스	어레이 액세스	어레이 액세스	어레이 액세스	데이터 아웃 준비				
블록 QW3	이네이블	어레이 액세스	어레이 액세스	어레이 액세스	어레이 액세스	데이터 아웃 준비				
버스	-	-	-	-		QW0	QW1	QW2	QW3	

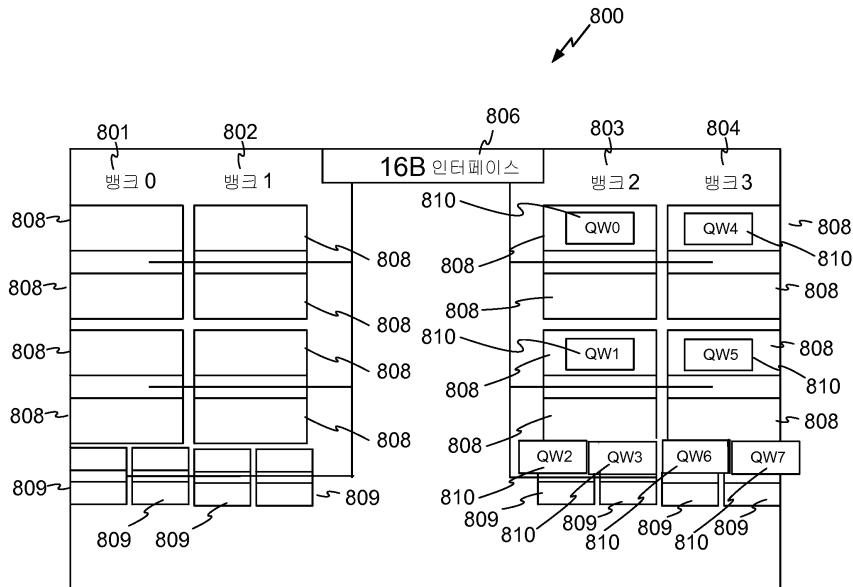
도면6



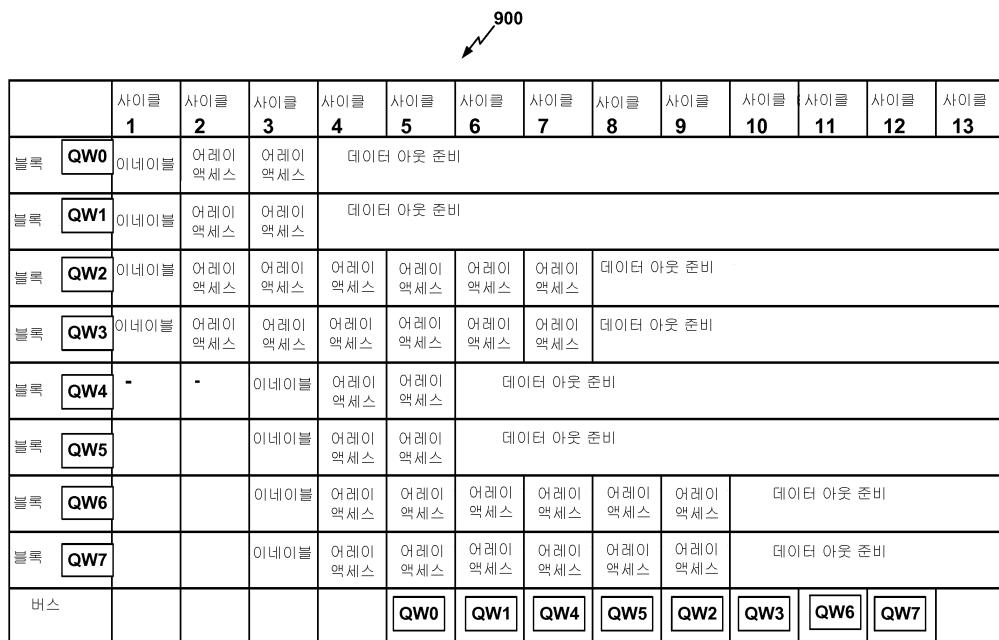
도면7

	사이클 1	사이클 2	사이클 3	사이클 4	사이클 5	사이클 6	사이클 7	사이클 8	사이클 9
블록 QW0	이네이블	어레이 액세스	어레이 액세스	데이터 아웃 준비					
블록 QW1	이네이블	어레이 액세스	어레이 액세스	데이터 아웃 준비					
블록 QW2	이네이블	어레이 액세스	어레이 액세스	어레이 액세스	어레이 액세스	데이터 아웃 준비			
블록 QW3	이네이블	어레이 액세스	어레이 액세스	어레이 액세스	어레이 액세스	데이터 아웃 준비			
버스	-	-	-	-	QW0	QW1	QW2	QW3	

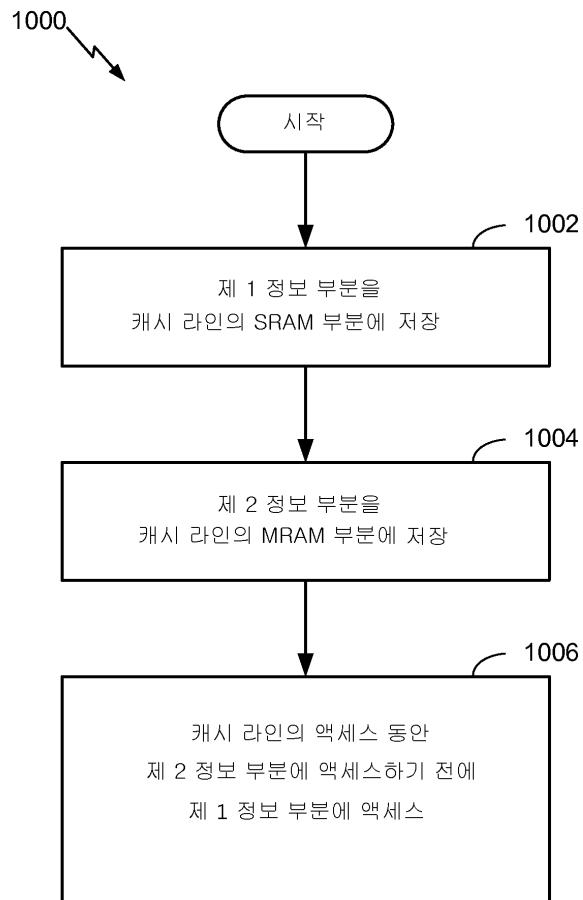
도면8



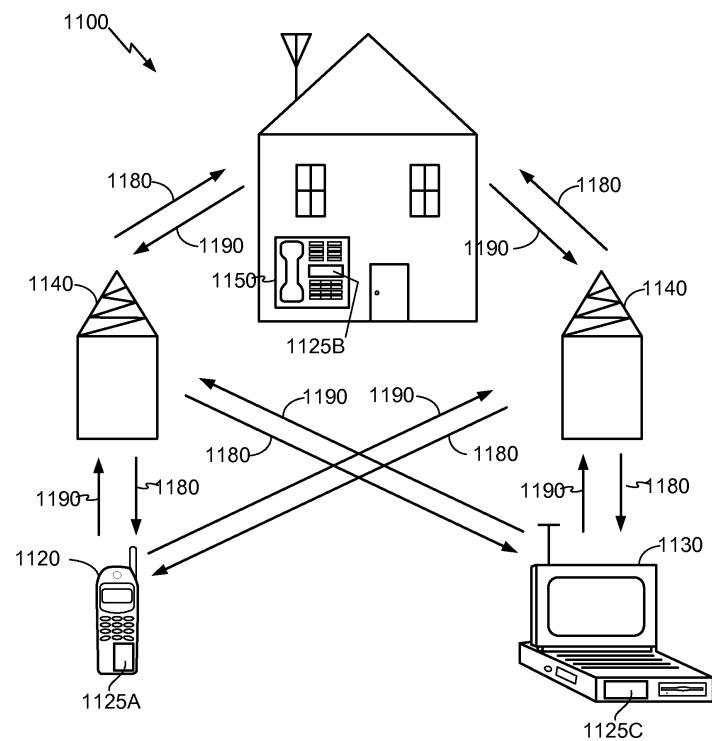
도면9



도면10



도면11



도면12

