

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 28 年 6 月 30 日 (2016.6.30)

【公開番号】特開 2011-139069 (P2011-139069A)

【公開日】平成 23 年 7 月 14 日 (2011.7.14)

【年通号数】公開・登録公報 2011-028

【出願番号】特願 2010-293198 (P2010-293198)

【国際特許分類】

H 0 1 L 27/146 (2006.01)

H 0 1 L 31/08 (2006.01)

G 0 1 T 1/24 (2006.01)

G 0 1 T 3/08 (2006.01)

【F I】

H 0 1 L 27/14 E

H 0 1 L 31/00 A

G 0 1 T 1/24

G 0 1 T 3/08

【誤訳訂正書】

【提出日】平成 28 年 5 月 17 日 (2016.5.17)

【誤訳訂正 1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項 1】

数個の画素を含み、各々の画素が少なくとも、

- 第 1 の電極 (1 2 2 、 2 0 4) 及び第 2 の電極 (1 0 2) の間に配置されたダイヤモンド層 (1 0 4) の一部であって、光子及び / または高エネルギー粒子放射の電気信号への変換を達成することのできる一部と、

- 前記電気信号の増幅及び / または読出しのための電子回路 (1 1 0 、 2 1 0) であって、少なくとも前記第 1 の電極 (1 2 2 、 2 0 4) に電氣的に接続され、及び 1 μ m に等しいかそれより薄い厚さを有し、及び同様に、前記ダイヤモンド層 (1 0 4) 及び該ダイヤモンド層 (1 0 4) と前記電子回路 (1 1 0 、 2 1 0) との間に配置された誘電層 (1 0 6 、 2 0 6) を含んでいる S O D 型基板の表面層を形成している半導体材料層 (1 0 8) の一部で作られた電子回路 (1 1 0 、 2 1 0) と、

を含んでいる撮像装置 (1 0 0 、 1 5 0 、 2 0 0) 。

【請求項 2】

前記電子回路 (1 1 0 、 2 1 0) は、一つまたはそれ以上の P D - S O I または F D - S O I 型のトランジスタ (2 1 0 a 、 2 1 0 b) を含んでいる請求項 1 に記載の撮像装置 (1 0 0 、 1 5 0 、 2 0 0) 。

【請求項 3】

前記第 1 の電極 (1 2 2) 及び前記電子回路 (1 1 0) は、前記ダイヤモンド層 (1 0 4) の第 1 の面の位置に並んで配置されている請求項 1 または 2 に記載の撮像装置 (1 0 0 、 1 5 0) 。

【請求項 4】

前記第 1 の電極 (1 2 2) は、誘電材料 (1 1 8) により少なくとも部分的に被覆された側壁を含んでおり、前記側壁は、前記ダイヤモンド層 (1 0 4) の第 1 の面に位置する

前記第 1 の電極 (1 2 2) の下部壁と直角にある請求項 3 に記載の撮像装置 (1 0 0 、 1 5 0) 。

【請求項 5】

前記ダイヤモンド層 (1 0 4) の第 1 の面と対向する第 2 の面の前面に配置され、およそ 3 8 0 と 7 8 0 nm の間を備えた波長の放射を吸収することのできるフィルタリング手段を含んでいる請求項 3 または 4 に記載の撮像装置 (1 0 0 、 1 5 0) 。

【請求項 6】

前記第 1 の電極 (2 0 4) は、前記ダイヤモンド層 (1 0 4) に対して配置されており、及び前記電子回路 (2 1 0) と前記ダイヤモンド層 (1 0 4) との間に配置されている請求項 1 または 2 に記載の撮像装置 (2 0 0) 。

【請求項 7】

前記ダイヤモンド層 (1 0 4) は、前記第 1 の面上に位置する核生成部分を含み、前記第 1 の電極 (1 2 2) が、前記ダイヤモンド層 (1 0 4) の前記核生成部分内に形成されたりセス内に部分的に配置されている請求項 3 ないし 5 のいずれか一項に記載の撮像装置 (1 0 0 、 1 5 0) 。

【請求項 8】

前記ダイヤモンド層 (1 0 4) は、前記第 1 の電極 (1 2 2) が配置される面とは反対の一面に位置する核生成部分を含む、請求項 1 ないし 6 のいずれか一項に記載の撮像装置 (1 0 0 、 1 5 0 、 2 0 0) 。

【請求項 9】

少なくとも前記電子回路 (1 1 0 、 2 1 0) を被覆している少なくとも一つのパッシベーション層 (1 1 2 、 2 1 2) をさらに備えており、前記電子回路 (1 1 0 、 2 1 0) は、前記パッシベーション層 (1 1 2 、 2 1 2) 上に配置された電気相互接続層 (1 2 4 、 2 2 4) の少なくとも一部を通して、及び少なくとも前記パッシベーション層 (1 1 2 、 2 1 2) を通して作られたビア (1 2 3 、 2 2 3) を通して、前記第 1 の電極 (1 2 2 、 2 0 4) に電氣的に接続されており、及び前記電気相互接続層 (1 2 4 、 2 2 4) の前記部分を前記電子回路 (1 1 0 、 2 1 0) に、及び前記第 1 の電極 (1 2 2 、 2 0 4) に電気接続している請求項 1 ないし 8 のいずれか一項に記載の撮像装置 (1 0 0 、 1 5 0 、 2 0 0) 。

【請求項 10】

数個の画素を含む撮像装置 (1 0 0 、 1 5 0 、 2 0 0) の製造方法であって、各々の画素は、少なくとも

- 1 μ m に等しいかまたはそれより薄い厚さで、及びダイヤモンド層 (1 0 4) を含んでいる S O D 型基板の表面層を形成している半導体材料層 (1 0 8) の一部において、電気信号の増幅及び / または読出しのための電子回路 (1 1 0 、 2 1 0) を形成する段階であって、前記基板は同様に、前記ダイヤモンド層 (1 0 4) と前記電子回路 (1 1 0 、 2 1 0) との間に配置された第 1 の誘電層 (1 0 6 、 2 0 6) を含んでいる段階と、

- 第 1 の電極 (1 2 2 、 2 0 4) を作成する段階であって、光子及び / または粒子放射を電気信号に変換することのできる前記ダイヤモンド層 (1 0 4) の一部が、前記第 1 の電極 (1 2 2 、 2 0 4) と第 2 の電極 (1 0 2) との間に配置されるようにする段階と、

- 少なくとも前記第 1 の電極 (1 2 2 、 2 0 4) と前記電子回路 (1 1 0 、 2 1 0) との間に電気接続 (1 2 3 、 1 2 4 、 2 2 3 、 2 2 4) を作成する段階と、

を含んでいる方法。

【請求項 11】

前記第 1 の電極 (1 2 2) の作成は、少なくとも以下の段階

- a) 前記電子回路 (1 1 0) 及び前記半導体材料層 (1 0 8) を被覆するパッシベーション層 (1 1 2) を堆積する段階と、

- b) 前記パッシベーション層 (1 1 2) 及び前記半導体層 (1 0 8) 内に、及び前記電子回路 (1 1 0) に隣接しているキャビティ (1 1 4) を形成する段階と、

- c) 少なくとも前記キャビティ (1 1 4) の壁に対して第 2 の誘電層 (1 1 8) を堆積

する段階と、

d) 前記第2の誘電層(118)の一部をエッチングする段階であって、前記キャビティ(114)内に下部壁を形成し、前記ダイヤモンド層(114)の第1の面の一部(120)を剥離する段階と、

e) 前記ダイヤモンド層(104)の第1の面に対して、前記キャビティ(114)内に位置された導電材料の一部を作成し、前記第1の電極(122)を形成する段階と、

を実施することによって達成される請求項10に記載の方法。

【請求項12】

前記第1の電極(122)の形成は、少なくとも以下の段階

a) 前記半導体材料層(108)内に、前記電子回路(110)に隣接しているキャビティを形成する段階と、

b) 少なくとも前記キャビティの壁に対して第2の誘電層(118)を堆積する段階と、

c) 前記キャビティ内に下部壁を形成するために第2の誘電層(118)の一部をエッチングし、前記ダイヤモンド層(104)の第1の面の一部(120)を剥離する段階と、

d) 前記ダイヤモンド層(104)の第1の面に対して、前記第1の電極(122)を形成するために、前記キャビティ内に位置した導電材料の一部を形成する段階と、

e) 前記第1の電極(122)、前記電子回路(110)、及び前記半導体材料層(108)を被覆するパッシベーション層(112)を堆積する段階と、

を実施することによって達成される請求項10に記載の方法。

【請求項13】

前記第1の誘電層(106)は、前記ダイヤモンド層(104)の第1の面と前記半導体材料層(108)との間に配置され、エッチングの段階d)または前記キャビティを形成する段階a)は同様に、前記キャビティ(114)の下部壁上で前記第1の誘電層(106)の一部をエッチングする段階を含んでいる請求項11または12に記載の方法。

【請求項14】

前記ダイヤモンド層(104)は、その第1の面上に位置された核生成部分を含んでおり、エッチングの段階c)またはd)は同様に、前記キャビティ(114)内の前記ダイヤモンド層(104)の核生成部分をエッチングする段階を含んでいる請求項11ないし13のいずれか一項に記載の方法。

【請求項15】

前記SOD型基板は、前記半導体材料層(108)と前記ダイヤモンド層(104)との間に位置された導電材料からなる層(202)を含んでおり、前記第1の電極(204)を形成する段階は、少なくとも該第1の電極(204)のパターンと一致するパターンに従って、前記半導体層(108)と前記導電層(202)のエッチングの実施により達成され、前記第1の電極(204)は、前記ダイヤモンド層(104)に対して、及び前記電子回路(210)と前記ダイヤモンド層(104)との間に配置されている請求項10に記載の方法。

【請求項16】

前記第1の誘電層(106)が、前記導電材料層(202)と前記半導体材料層(108)との間に位置され、及び前記第1の電極(204)の形成の間に、前記第1の電極(204)が前記ダイヤモンド層(104)に対して位置され、及び前記誘電層の残余部分(206)と前記ダイヤモンド層(104)との間に位置されるような方法で、前記第1の誘電層(106)を同様に、前記第1の電極(204)のパターンと一致するパターンに従ってエッチングする請求項15に記載の方法。

【請求項17】

前記第1の電極(204)を形成する段階と、前記電気接続(223、224)を形成する段階との間に、少なくとも前記電子回路(210)及び前記第1の電極(204)を被覆する平坦化層(212)を堆積する段階の実施を追加的に含んでいる請求項15また

は 16 に記載の方法。

【請求項 18】

前記第 1 の電極 (122、204) と前記電子回路 (110、210) との間の電気接続 (123、124、223、224) を形成する段階は、少なくとも以下の段階

f) 前記パッシベーション層 (112、212) 及び / または前記第 1 の電極 (122、204) を通って前記第 1 の電極 (122、204) 及び前記電子回路 (110、210) に電気接続される貫通ビア (123、223) を形成する段階と、

g) 前記パッシベーション層 (112、212) 上に電気相互接続層 (124、224) を形成する段階であって、前記電気相互接続層 (124、224) の少なくとも一部及び前記貫通ビア (123、223) が前記第 1 の電極 (122、204) を前記電子回路 (110、210) に電氣的に接続させるようにする段階と、

を実施することによって達成される請求項 11 ないし 14 のいずれか一項、または請求項 17 に記載の方法。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0055

【訂正方法】変更

【訂正の内容】

【0055】

図 2A には示されていないが、図 1 で示された前記ダイヤモンド層 10 の粒子構造と類似の粒子構造を有している前記ダイヤモンド層 104 は、前記ダイヤモンドの成長が生み出された表面の側に位置された核生成部分を有している。