

十一、圖式：

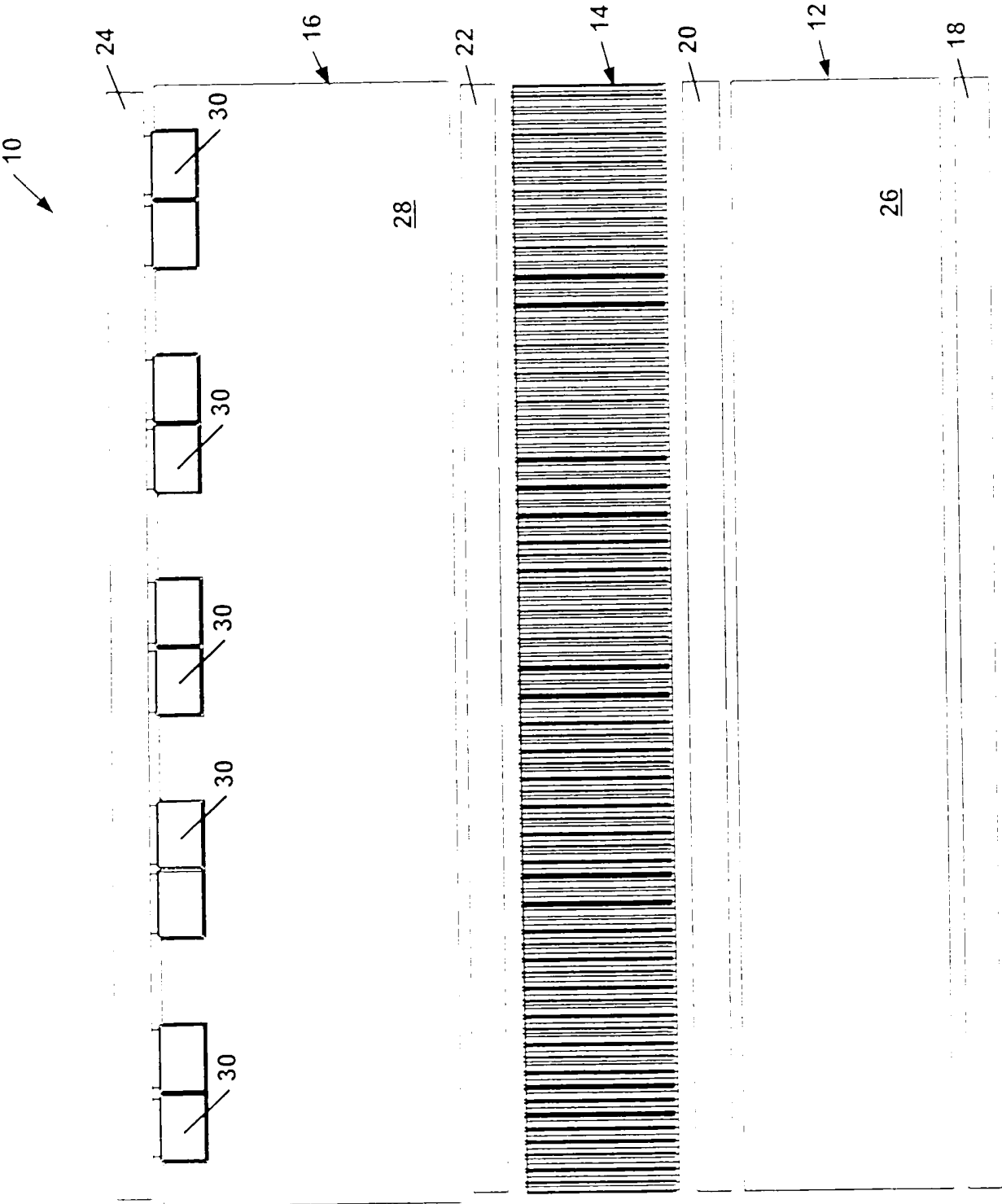


圖 1

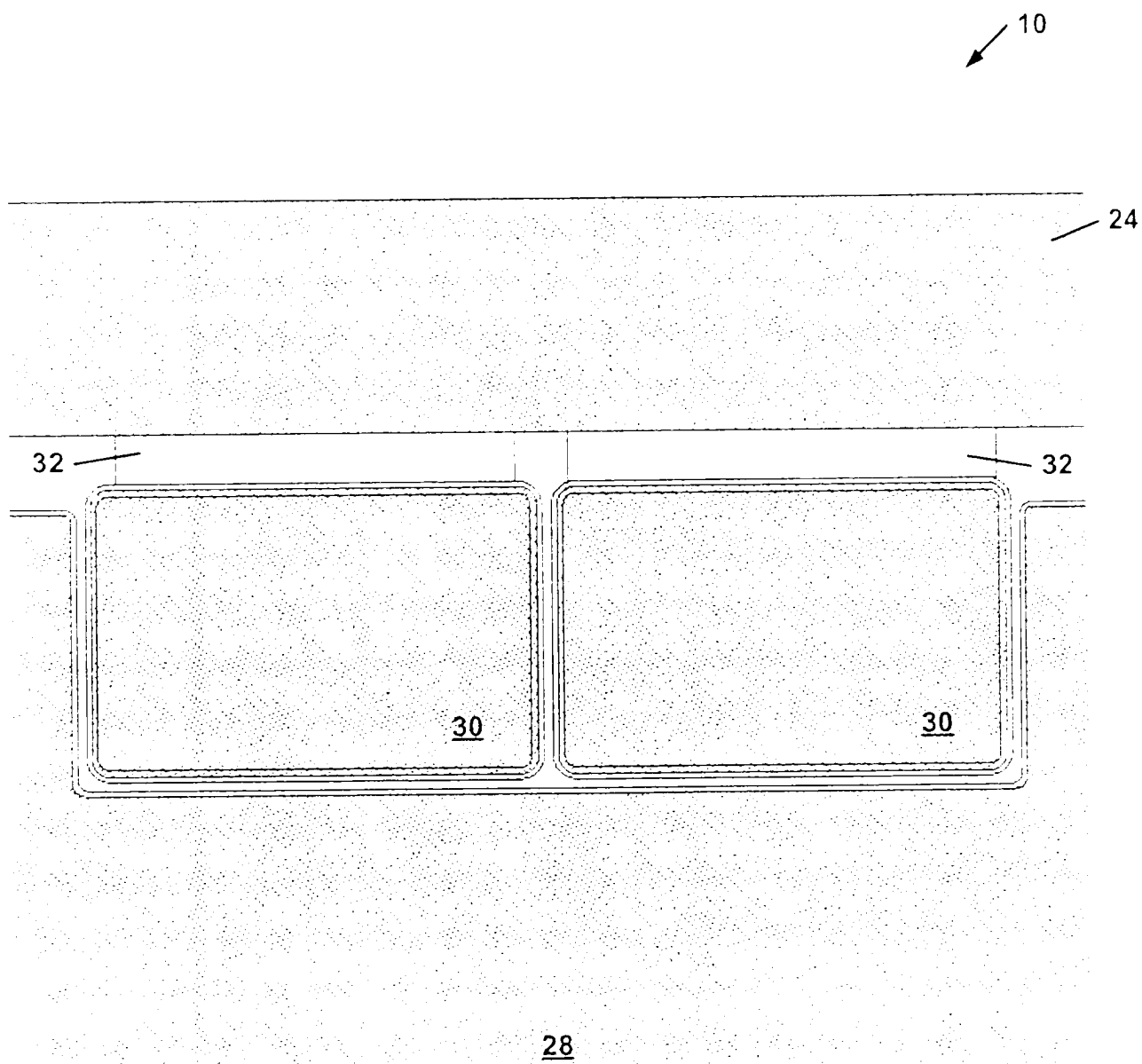


圖 2

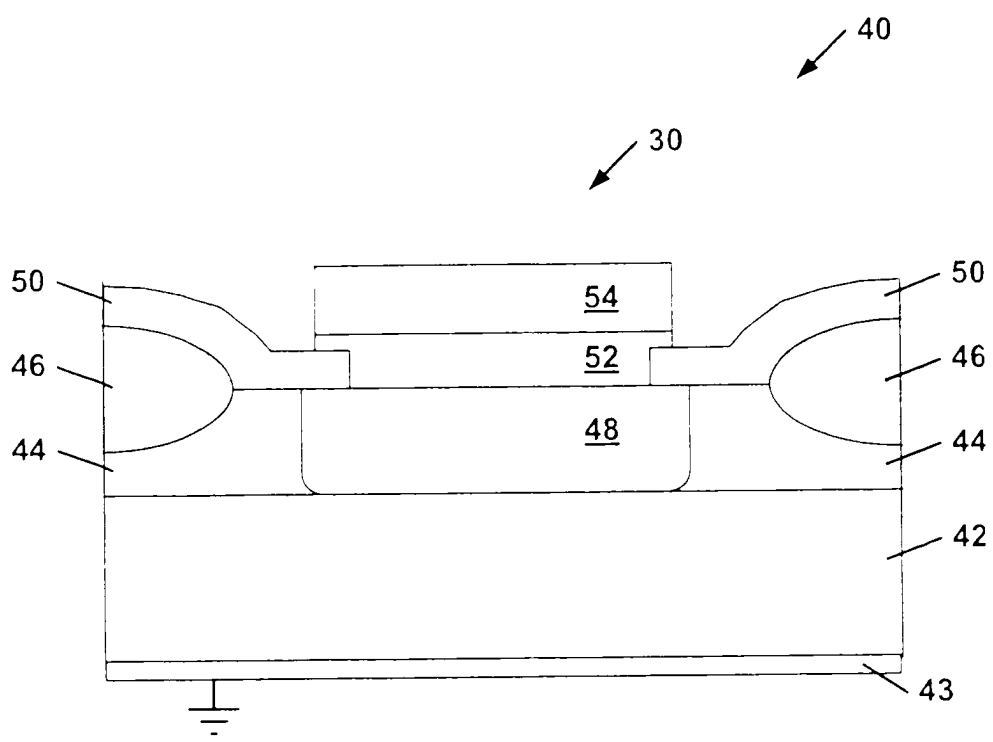


圖 3

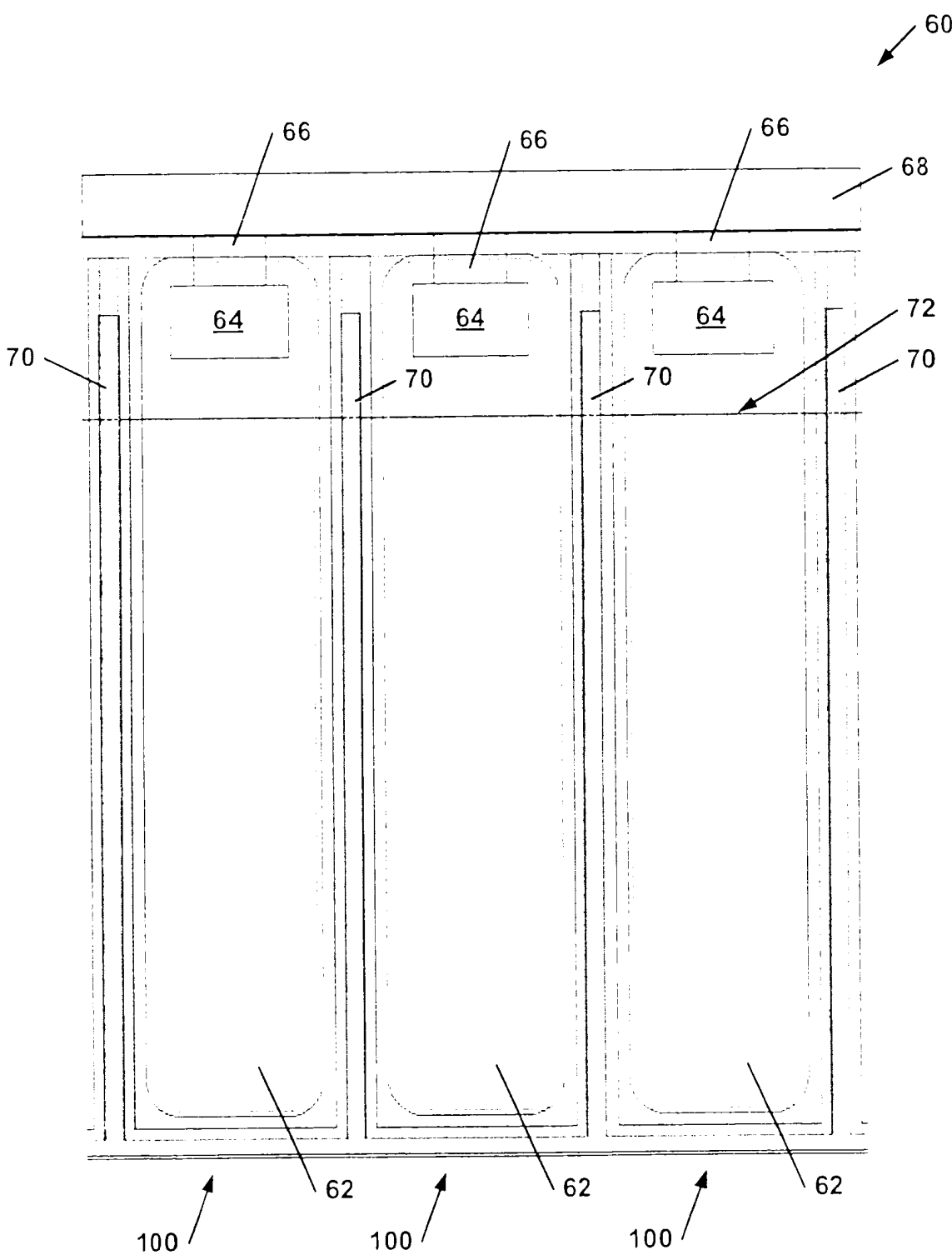


圖 4

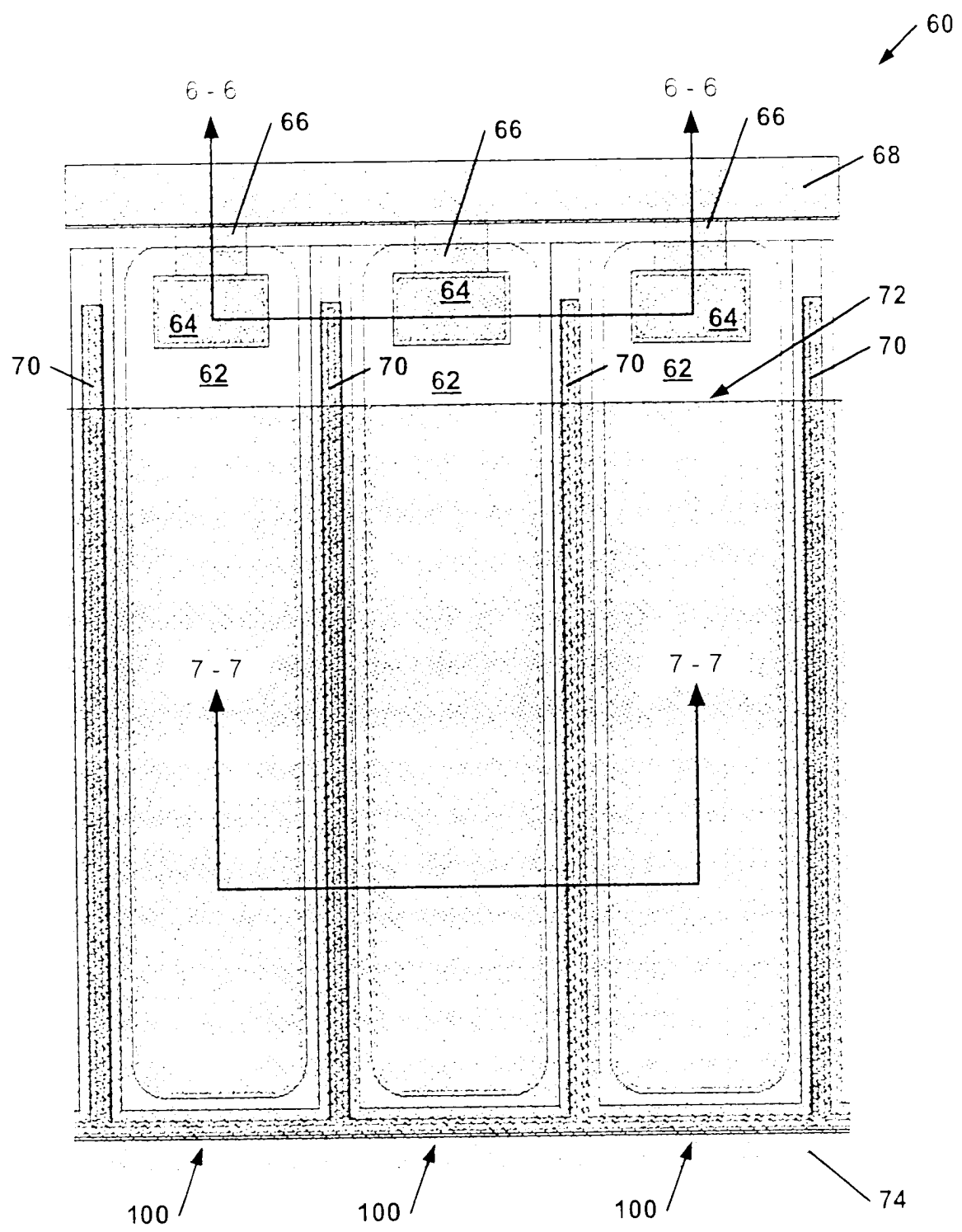


圖 5

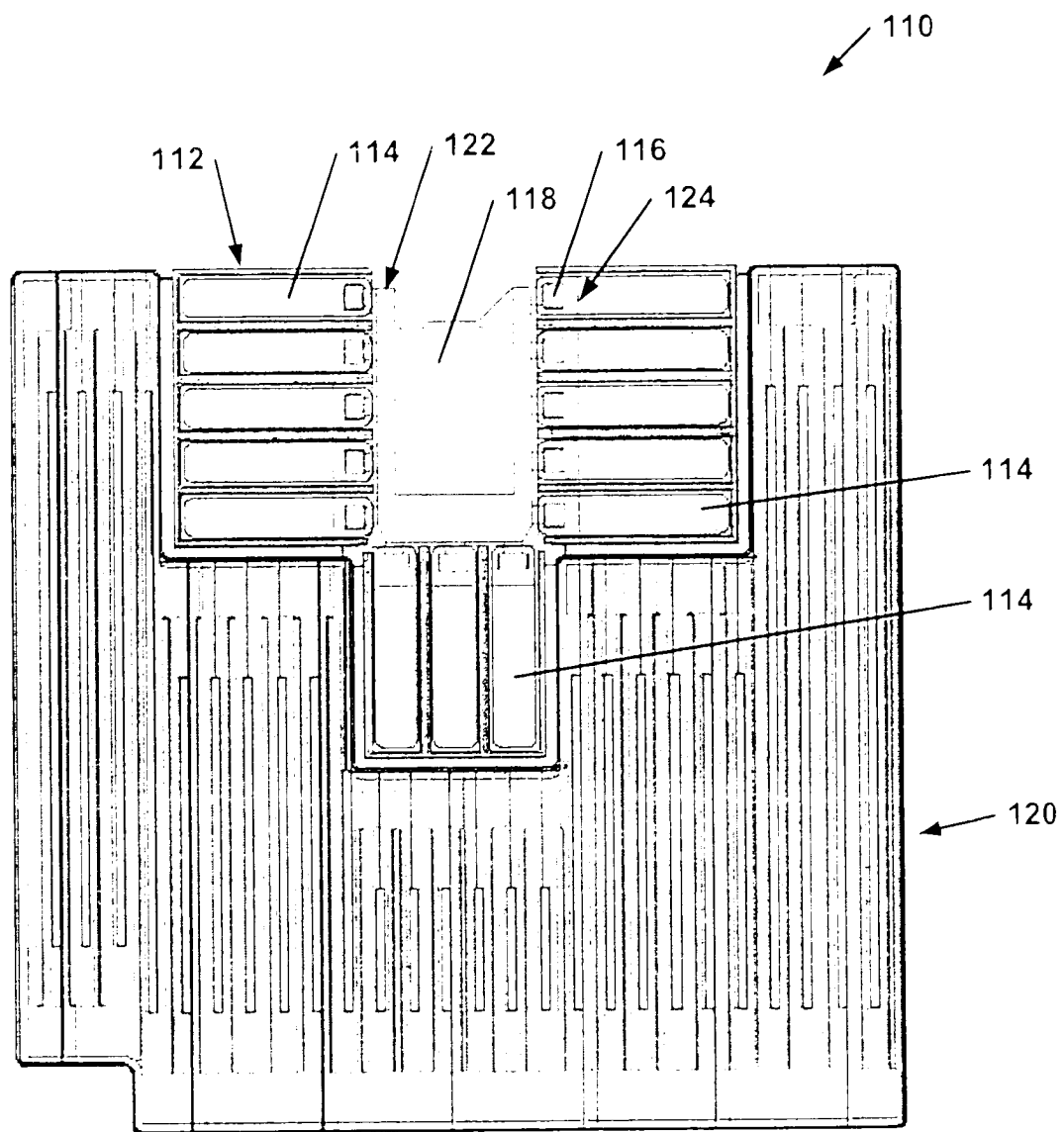


圖 8

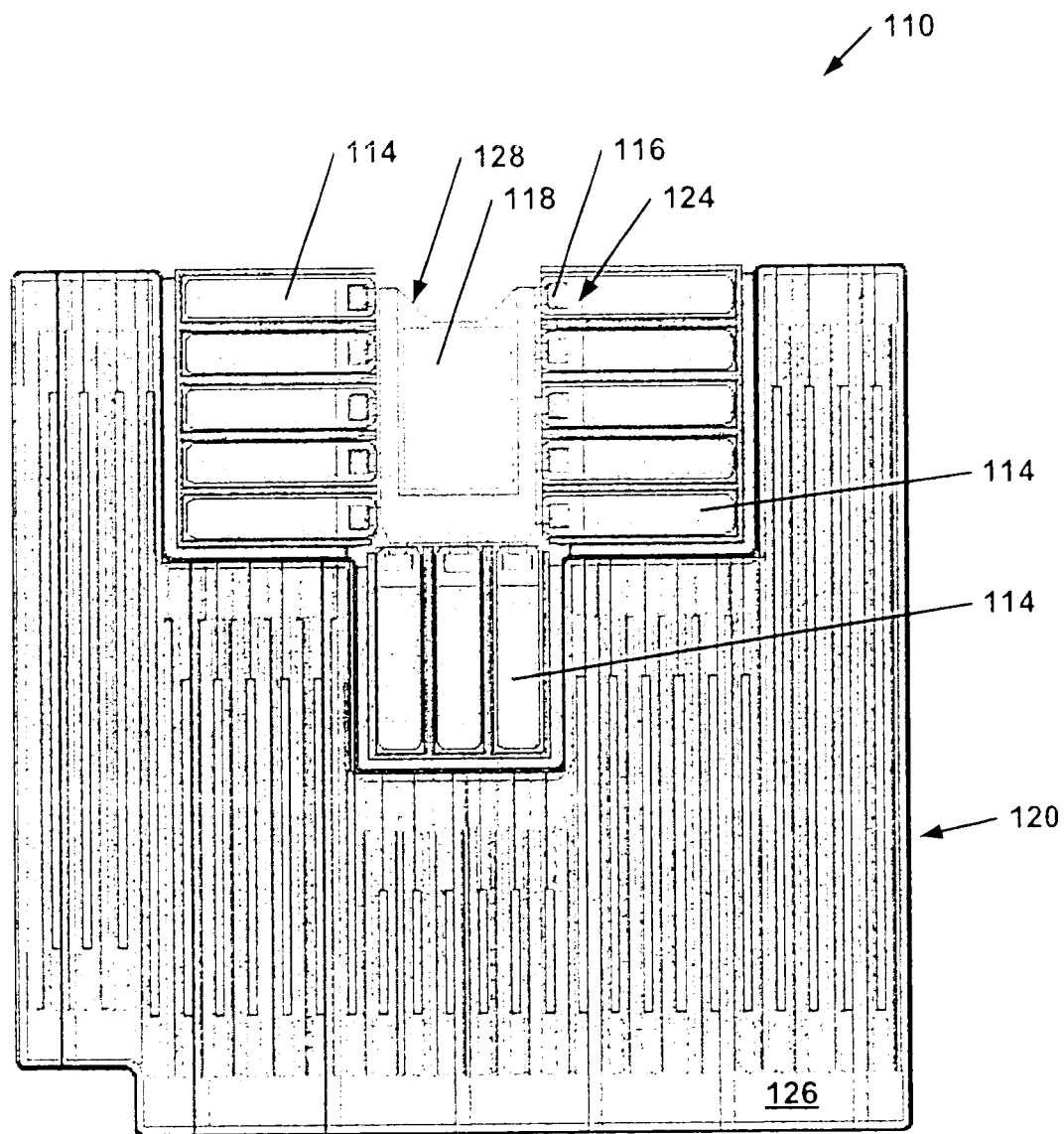


圖 9

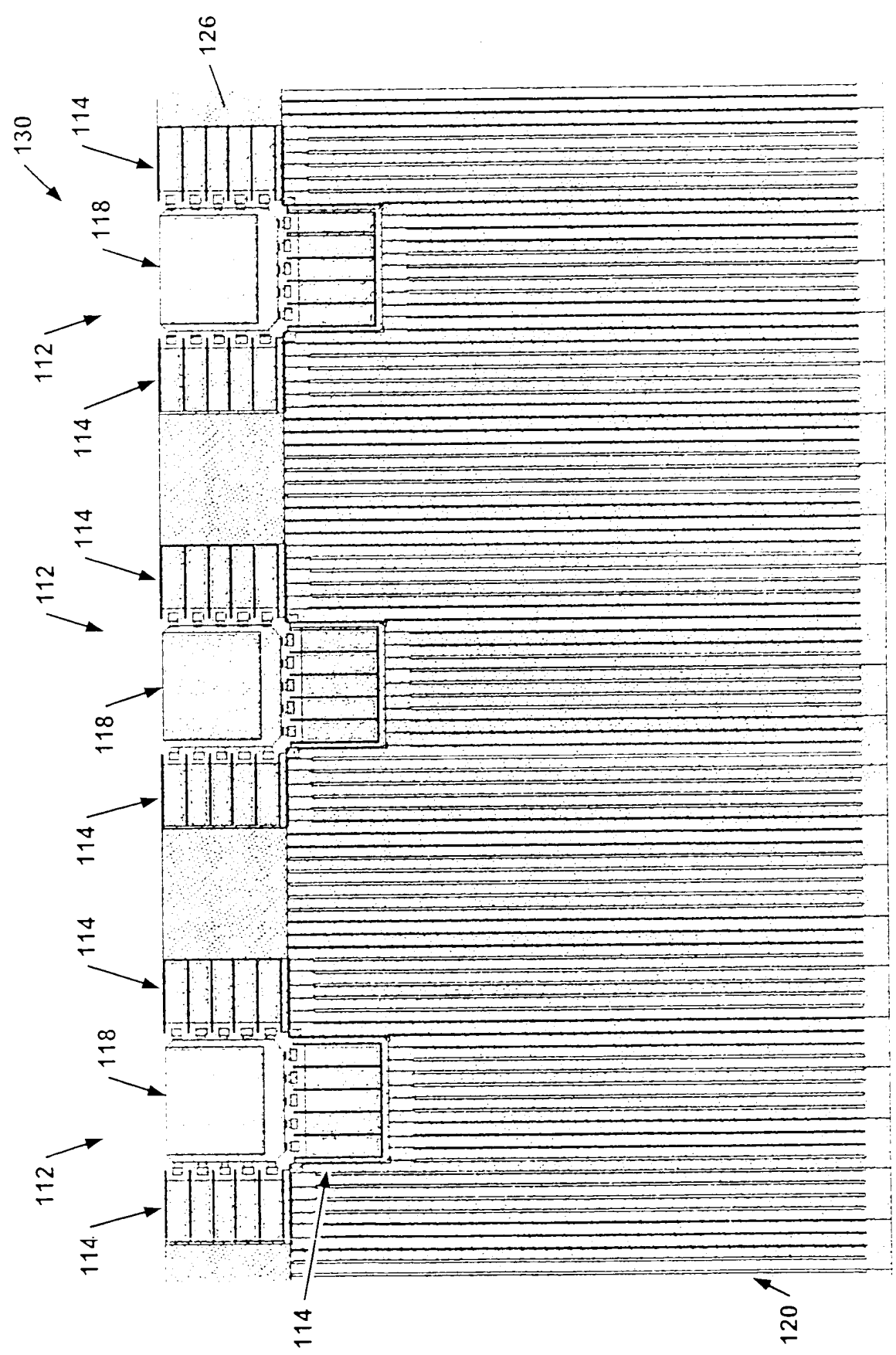


圖 10

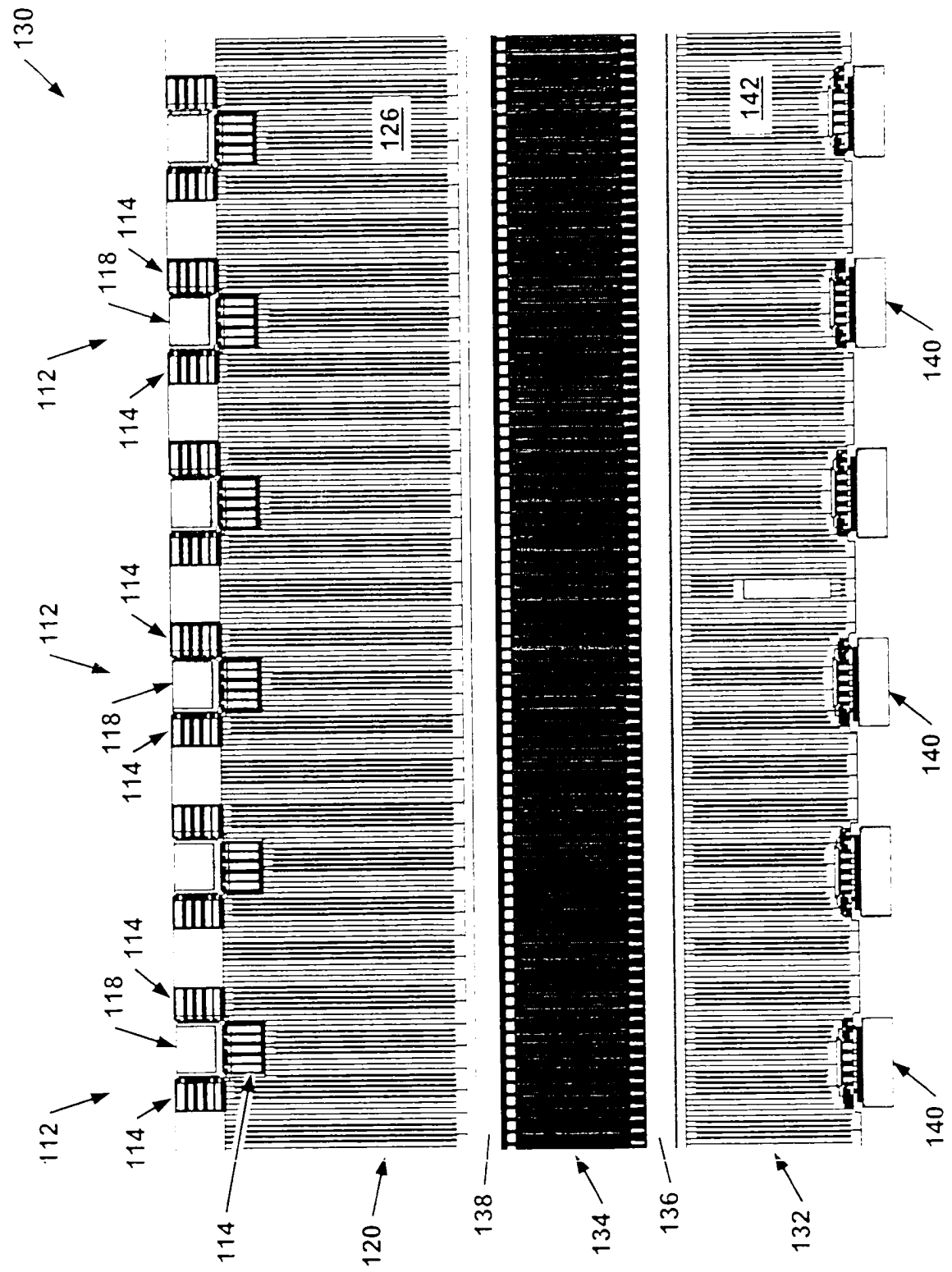


圖 11

公告本

發明專利說明書

中文說明書替換本(102年7月)26日

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：096121169

※ 申請日期：96.06.12

※IPC 分類：H01L

102年7月1日修(更)正本
P.1-23

一、發明名稱：(中文/英文)

>7/04 (2006.01)

並聯電容器及具有並聯電容器之射頻功率電晶體

SHUNT CAPACITOR AND RF POWER TRANSISTOR HAVING THE
SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 蕭衛 任

REN, XIAOWEI

2. 丹尼爾 J 拉梅

LAMEY, DANIEL J.

國 籍：(中文/英文)

1. 美國 U.S.A.

2. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年06月12日；60/804,526

2.

☒ 無主張專利法第二十七條第一項國際優先權：

1. 美國；2007年06月10日；11/760,775

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於射頻裝置，更明確地說，係關於一種有高效能並聯電容器之射頻功率電晶體裝置及其方法。

【先前技術】

射頻電晶體設計在傳統上具有一整合式並聯電容器設計；不過，傳統的整合式並聯電容器的射頻效能並不佳。換言之，此一傳統的整合式並聯電容器設計會降級射頻功率電晶體的功率、增益、以及效率。此射頻功率電晶體效能之降級在高功率的射頻功率電晶體塑膠封裝設計之中特別明顯。

在一已知的高功率射頻裝置中，係使用電線及晶片上高Q金屬-絕緣體-金屬(MIM)並聯電容器來達成該等高功率射頻裝置的輸入與輸出阻抗匹配。不過，此等MIM並聯電容器卻係製造在一具有耐火金屬基板的分離晶片之上。據此，該等MIM並聯電容器並不相容且無法利用以LDMOS矽為主之程序來整合。

據此，需要一種改良的方法與設備來克服上面所討論之本技術中的問題。

【實施方式】

圖1為本技術中已知的一射頻MOSFET設計10的一部分的俯視佈局圖。明確地說，射頻MOSFET設計10包含一具有整合式阻抗匹配網路的射頻功率放大器。放大器10包含一輸入阻抗匹配網路12、一主動裝置14、以及一輸出阻抗

匹配網路16。舉例來說，主動裝置14包含一射頻功率電晶體。輸入阻抗匹配網路12包括匯流排條焊墊18與20。輸出阻抗匹配網路16包括匯流排條焊墊22與24。

該輸入阻抗匹配網路12進一步包含一接地屏蔽26，其用以為該等輸入阻抗匹配網路連接線(圖中並未顯示)提供屏蔽，該等輸入阻抗匹配網路連接線通常會連接至並且延伸在匯流排條焊墊18與20之間。該輸入阻抗匹配網路12的接地屏蔽26通常包含被連接至接地的金屬，以便降低因設置在該輸入阻抗匹配網路的對應區域上方的連接線(圖中並未顯示)之中電流的損耗。輸入阻抗匹配網路12進一步包含鄰近匯流排條焊墊18之整合式輸入電容器(圖中並未顯示)。

此外，輸出阻抗匹配網路16包含一接地屏蔽28，其用以為該等輸出阻抗匹配網路連接線(圖中並未顯示)提供屏蔽作用，該等輸出阻抗匹配網路連接線通常會連接至並且延伸在匯流排條焊墊22與24之間；以及任何額外的連接線(圖中並未顯示)，其用以將匯流排條焊墊22連接至晶片外IC封裝。該輸出阻抗匹配網路亦包含複數個並聯電容器30，其中該等並聯電容器30會經由晶片上金屬被連接至匯流排條焊墊24。如圖所示，該等並聯電容器30會以陣列的方式被放置在該匯流排條焊墊24旁邊，該匯流排條焊墊24係位於該輸出阻抗匹配網路16的接地屏蔽28的旁邊。

圖2為圖1的射頻MOSFET設計10的一部分的更詳細俯視佈局圖。圖中所示的該射頻MOSFET設計10之該部分包含

下面部分：匯流排條焊墊24、輸出阻抗匹配網路的接地屏蔽28、以及兩個相鄰的並聯電容器30。圖2進一步顯示一金屬32，其會將一對應的並聯電容器30耦合至相鄰的匯流排條焊墊24。並聯電容器30的特徵為具有龐大的矩形形狀。此外，請注意，雖然輸出接地屏蔽28係設置在鄰近並聯電容器30（也就是，在對應的製造公差內）；不過，輸出接地屏蔽28並不位於並聯電容器30的任何部分上方。

圖3為施行在圖1的射頻MOSFET設計中的單一並聯電容器30的斷面圖40。該斷面圖40包含一重度摻雜的矽基板42。舉例來說，矽基板42可包括P型矽基板。在矽基板42的背面之上提供一背面金屬43，用以提供該基板接地。一輕度摻雜的矽磊晶層44係位於該重度摻雜的矽基板42上方。舉例來說，磊晶層可包括P磊晶層。矽磊晶層44係用來製造並聯電容器30與射頻LDMOS10。本技術中已知各種半導體製程步驟，因此，本文不再詳述。

並聯電容器30的底板48包括一被製造在該矽磊晶層44內的離子植入區，其中在離子植入之後會施行高溫處置，俾使該底板會電連接至下方的重度摻雜的矽基板42。舉例來說，底板48可包括P+散熱板。場氧化物區46與層間介電層50(ILD)會為並聯電容器30提供裝置隔離。介電層52包括該並聯電容器的介電質並會係形成在底板48的上方。舉例來說，介電層52可能包括氮化物。舉例來說，可利用合宜的金屬沉積技術、光微影技術、以及蝕刻技術，頂板54形成在介電層52之上。舉例來說，頂板54可能包括AlCuW。

在射頻應用中，一並聯電容器的品質因數(Q)係由儲存在該電容器之中的能量與透過電阻性損耗所消耗的能量之比率來定義。在圖3的並聯電容器之中，該具矽之底板48相較於具金屬之頂板54具有較高之固有串聯電阻。頂板54與底板48還分別遭遇個別板材無法有效電荷分佈。此外，由於有限接觸面積以及介於底板48與矽基板42間的連接介面處的摻雜濃度的關係，底板48至接地電位的接觸電阻還非常高。再者，頂板54會曝露在外，所以無針對電位干擾之保護。舉例來說，此干擾可能係源自於突出在該電容器上方的連接線之中的電流。

此外，對高功率射頻電晶體應用來說，為提供高效能電容器，該並聯電容器配置非常重要。如圖2中所示，複數個並聯電容器30會以陣列的方式被配置在匯流排條焊墊24旁邊(或相鄰)。從匯流排條焊墊24之上的一焊點至並聯電容器30的串聯電阻非常地高。據此，從一給定的連接線(圖中並未顯示)至對應的並聯電容器30存在無法有效電荷分佈。再者，介於並聯電容器30至匯流排條焊墊24之上的一個別焊點(圖中並未顯示)之間的距離通常並不一致。相對於並聯電容器30之該些因素組合以及結合高功率射頻電晶體裝置的輸入與輸出阻抗匹配網路，導致不良的電容器Q值及對應的射頻電晶體裝置的有限射頻效能。

圖4至9顯示根據本發明具體實施例的新穎並聯電容器結構的各種圖式。圖4為根據本揭示內容一具體實施例的一射頻功率電晶體的一並聯電容器設計60的一部分的俯視佈

局圖，圖中以透明圖式來圖解特定的特徵。圖4顯示出被配置在一列之中的三個並聯電容器100。每一個並聯電容器100係代表一單位晶胞100'，本文將參考圖6與7來作討論，且對該單位晶胞來說，單位晶胞圖案可根據一給定的射頻功率電晶體應用需求依所需次數來反覆或複製。

該等並聯電容器的頂板通常係以元件符號62來表示。該等並聯電容器的頂板會經由一金屬(通常係以元件符號64與66來表示)而耦合至一焊墊68，其中圖4中僅顯示出該焊墊的一小部分。為更瞭解焊墊68，本文將參考圖8與9來進一步討論。具有U形特徵形式的金屬(例如元件符號70所示)會沿著每一個並聯電容器的兩個側邊之上的長度維度延伸，並且沿著每一個並聯電容器的其中一側邊之上的寬度維度延伸。在圖4中，元件符號72代表延伸在並聯電容器100的一部分上方的一接地屏蔽的邊界(本文將結合圖5來作討論)。此外，本文還將參考圖6與7來進一步討論該(等)金屬。

進一步參考圖4，該並聯電容器會使用一導電層作為電容器底板，於一具體實施例中，其包含矽化鎢。請注意，一給定的高功率射頻電晶體應用的高電壓與大電容密度需求排除使用業界中常用的其它金屬-絕緣體-金屬電容器。其部分係因為由金屬底板所加諸的溫度限制與高溫CVD氮化物介電質並不相容。圖4顯示具有三個基本單位晶胞實例的並聯電容器的佈局，圖中概略顯示一金屬2。

圖5為圖4的該並聯電容器設計之該部分的俯視佈局圖，

圖中以不透明圖式來圖解圖4的特徵透明圖式。圖5和圖4雷同；不過，圖5中所示的係一頂金屬。如圖5中所示，該頂金屬包含金屬64與66，以及小部分的焊墊68。該頂金屬進一步包含U形特徵70與接地屏蔽74(圖中僅顯示接地屏蔽74的一部分)。

換言之，圖5的突顯區域代表一頂金屬層。該等區域包含該等U形特徵70以及接地屏蔽74之一部分，其中該等U形結構會透過接地屏蔽74全被耦合至接地電位。同樣突顯的頂金屬區域則係金屬64的連接部分(連接至頂板62)與金屬66的連接部分(介於該金屬通道與該焊墊之間)與焊墊68的部分。於一具體實施例中，例如圖中所示者，除了鄰近頂板與該電線焊墊之連接部分的一區域之外，大部分的並聯電容器100均會在接地屏蔽74的下方受到屏蔽。必要時，該並聯電容器中受到該接地屏蔽74屏蔽的部分可針對一給定的射頻功率電晶體應用的需求來訂製。舉例來說，該部分可能包括25%、50%、75%、或是適用於一給定的射頻功率電晶體應用的其它百分比。

圖6為沿著直線6至6圖5的並聯電容器設計的斷面圖80。斷面圖80含有基板82、絕緣層84、下電容器板(也就是底板)導電層86與88、第一層間介電質90、並聯電容器介電質92、第一層金屬94、第二層間介電質96、以及第二層金屬98。元件符號100'顯示根據本揭示內容具體實施例的並聯電容器的一單位晶胞施行方式，其中元件符號106所示的係單位晶胞間距。如圖6的斷面圖80中所示，在相鄰單

位晶胞100的底板導電層(86、88)之間會出現一間隙104(如圖所示)。於一具體實施例中，間隙104並不存在，其中相鄰的單位晶胞100'的底板導電層(86、88)會合併在一起。於另一具體實施例中，間隙104的間距根據一給定射頻功率電晶體應用的需求來決定。

於一具體實施例中，基板82包括適合一給定射頻功率電晶體應用的任何基板。舉例來說，基板82可包括P型矽基板。絕緣層84包括適合一給定射頻功率電晶體應用的任何絕緣層。舉例來說，絕緣層84可包括氧化物。下電容器板(也就是底板)導電層86與88包括適合一給定射頻功率電晶體應用的任何導電層。舉例來說，導電層86與88可能分別包括多晶矽層與矽化鎢層。第一層間介電質90與第二層間介電質96包括用於一給定射頻功率電晶體應用的任何合宜層間介電質。並聯電容器介電質92包括用於一給定射頻功率電晶體應用的任何合宜電容器介電質。舉例來說，並聯電容器介電質92可包括氮化物。再者，第一層金屬94與第二層金屬98包括用於一給定射頻功率電晶體應用的任何合宜金屬材料。

另外，繼續參考圖6，斷面80顯示圖5的裝置60之中包含一單位晶胞100'與部分相鄰的單元的區段。基板82包括任何合宜的單層或多層基板。舉例來說，基板82可包括一高度摻雜的矽基板且在該高度摻雜的矽基板上方為輕度摻雜的矽磊晶層，或是更適合或特定裝置中所需的其它層組合。絕緣層84係被製造在基板82的上方。於一具體實施例

中，絕緣層84可包括一場氧化物。於另一具體實施例中，絕緣層84可包括一閘極氧化物。

並聯電容器100的一導電底板(圖中係由導電層86與88堆積而成)會形成在絕緣層84上方。該導電底板可包括一單層金屬或一多層金屬。該導電底板亦可包括多晶矽，其後則為矽化層。舉例來說，該導電底板可能包括摻雜的多晶矽層，後面則係Wsi層88。圖中顯示在底導電板(導電層86、88)內的間隙104可能存在或不存在，其中在間隙104不存在時，相鄰的單位晶胞100'之間的底導電板(導電層86、88)會合併。

形成且圖案化第一層間介電質(ILD0)90，從而在該電容器頂板62與底板(導電層86、88)的金屬接點71之間產生隔離區塊。該並聯電容器的介電層92係被製造在每一個單位晶胞100'的中央區域之中。頂板62係由第一層金屬94(即，M1層或金屬1層)所構成。M1層可包括一單層金屬或多層金屬。頂板62至電線焊墊的連接部分係透過對第二層間介電層96(ILD1)與第二層金屬98(即，M2層或金屬2層)進行通道蝕刻而形成，如金屬64之中央結構處所示。該單位晶胞100'邊緣處的堆疊結構係利用該接點來接觸該底板(導電層86、88)與第一層金屬結構(金屬接點71)以及利用通道來接觸該底板(導電層86、88)與第二層金屬結構(U形特徵70)而形成。如圖6中所示，該等堆疊結構(U形特徵70、金屬接點71)包括位於圖5的U形特徵70的單位晶胞100'的長度維度中的兩接腳的斷面。一背面金屬102會為該射頻電晶

體裝置提供一背面接地接點。請注意，該接地並不受限於單獨連接自該背面；反之，根據本揭示內容具體實施例，頂面接地對於該射頻電晶體裝置同樣有效。

於一具體實施例中，並聯電容器100的底板(導電層86、88)包括一矽底板。於另一具體實施例中，該底板(導電層86、88)包括一導電性更高的板(也就是具有WSi堆疊的多晶矽)，以降低對應的本質串聯電阻。具有U形接點(U形特徵70、金屬接點71)的狹條底板(導電層86、88)(如俯視佈局圖中所示)至接地屏蔽74的接地屏蔽金屬(第二層金屬98)會進一步降低該底板(導電層86、88)的串聯電阻，並且降低至接地的接觸電阻與串聯電阻。換言之，位於該頂板62上方的第二層金屬98(對應於接地屏蔽74)會被耦合至該等底板(導電層86、88)並且主要提供一低阻抗路徑至該等並聯電容器底板(導電層86、88)之接地金屬。

圖7為沿著直線7至7圖5的並聯電容器設計的斷面圖。圖7的斷面圖和圖6的斷面圖雷同，不過，取得斷面的位置更遠離圖5的佈局60中的電線焊墊。明確地說，在圖7中，第二層金屬98會被耦合至接地屏蔽74的延伸部分並且從而在該等電容器結構單位晶胞100'的上方形成完整覆蓋，其具有每一個單位晶胞100'的長度側上之堆疊結構(U形特徵70與金屬接點71)的連接部分。因此會形成一接地腔室，用以隔離每一個單位晶胞的一部分。如本文的討論，該接地屏蔽74的邊界72，且進而該接地屏蔽74，會延伸在每一個單位晶胞100'的所需部分上方。

該電容器頂板上方的接地屏蔽結構的延伸部分會降低可能源自突出在該並聯電容器上方的連接線的外部干擾。此外，沿著該單位晶胞100'的該等三側邊被連接至該接地屏蔽/板74的U形結構(U形特徵70、金屬接點71)便有利於形成一接地壁，其進一步降低該晶胞外部的寄生干擾。因此，該些特徵與結構便會大幅地改良並聯電容器射頻效能。

圖8為施行在根據本揭示內容另一具體實施例的一射頻功率電晶體的輸出阻抗匹配網路120之中的一並聯電容器設計的一部分110的俯視佈局圖，圖中以透明圖式來圖解特定的特徵。在輸入與輸出阻抗匹配網路之中，和連接線位置相關聯的電容器配置對於該並聯電容器的射頻效能同樣重要。圖8為根據本發明具體實施例的並聯電容器單位晶胞配置112的俯視圖，其中該並聯電容器配置包含設置在一焊墊118周圍的複數個單位晶胞。於一具體實施例中，該並聯電容器單位晶胞配置112包含分別設置在焊墊118的三個側邊周圍的第一、第二、以及第三複數個單位晶胞110(114)。換言之，該並聯電容器單位晶胞會沿著焊墊118的三個側邊複製，從而形成三個電容器單元庫114。每一個電容器單元庫114均會透過連接處116的金屬延伸部分122被耦合至焊墊118的其中一側。圖中所示的接地屏蔽(圖9的126)的邊緣124和本文參考圖4至7的具體實施例所討論者雷同，其中該接地屏蔽會被耦合至該電容器單元庫114的個別底板。

圖9為圖8的該並聯電容器設計之該部分110的俯視佈局圖，圖中以不透明圖式來圖解圖8的特徵透明圖式。圖9和圖8雷同；不過，圖9中所示的係一頂金屬。該頂金屬包含金屬層128。該頂金屬進一步包含該電容器單元庫114之中個別者的U形結構(圖6與7中的元件符號70與71所示者)以及接地屏蔽126。此外，圖9顯示該等並聯電容器緊密地整合至一對應焊墊與該接地屏蔽兩者。

換言之，在圖9中，該頂金屬層係以陰影來突顯。該金屬接地層包含該接地屏蔽126並且沿著該電線焊墊的三個側邊延伸在該電容器單元庫114的一部分上方。金屬層128包含一從該電線焊墊延伸至該等個別並聯電容器單元的頂板接觸通道的頂金屬。

本揭示內容具體實施例中所使用的小型焊墊取代先前已知設計的匯流排條焊墊。據此，本揭示內容的並聯電容器具體實施例可有利地更靠近該焊墊放置，並且與其具有一更均勻的距離。因此，便會改良該等並聯電容器的充電與放電效率，並且降低從該焊點至該等並聯電容器的串聯電阻。根據本揭示內容具體實施例的並聯電容器的接地板還能讓該等並聯電容器直接被放置在上方連接線路徑(圖中並未顯示)的下方。該接地板會降低正在該等上方連接線之中導通的電流與該等並聯電容器之間的干擾交互作用，其會進一步地讓該等並聯電容器更靠近該等焊墊放置，以獲得效能改良。

圖10為施行在根據本揭示內容另一具體實施例的一射頻

功率電晶體的輸出阻抗匹配網路之中的一並聯電容器設計130的一部分的俯視佈局圖。也就是，圖10顯示複數個並聯電容器單位晶胞配置112，其設置在一射頻功率電晶體設計的輸出阻抗匹配網路120的外緣。該複數個並聯電容器單位晶胞配置112包含複數個電容器單元庫114以及一部分輸出阻抗匹配網路120的對應焊墊118。如圖所示，該等並聯電容器單位晶胞配置112包含三個電容器單元庫114，以及該接地屏蔽126。如本文前面討論，每一個並聯電容器單位晶胞配置112均具有一焊墊118以及該等電容器單元庫114。

圖11為施行在根據本揭示內容另一具體實施例的一輸出阻抗匹配網路120之中具有一並聯電容器設計130的一射頻功率電晶體的俯視佈局圖。明確地說，圖11和圖10雷同，不過，僅圖11顯示一射頻功率電晶體的更完整佈局圖。圖11顯示出一分別具有輸入阻抗匹配網路132與輸出阻抗匹配網路120的整合射頻LDMOS134。元件符號136與138所示的係連接線匯流排墊。此外，元件符號140與118所示的分別係輸入電線與輸出電線之焊墊。圖11所示之佈局圖包含本文參考本揭示內容各具體實施例所束的並聯電容器。

據此，本揭示內容的具體實施例提供一種用於射頻功率電晶體的新穎並聯電容器結構設計。該並聯電容器結構包括一具有低電阻的底板，其中該並聯電容器結構的該底板包含一雙層底板結構。於一具體實施例中，舉例來說，該底板包括一多晶矽/矽化鎢底板。此外，該底板會被耦合

至具有更低基板電阻的接地屏蔽。再者，本具體實施例的並聯電容器結構包含含有窄條板(舉例來說，指狀結構)的頂板作為對應的並聯電容器結構的頂板。相反地，先前已知的並聯電容器結構包含大型的正方形/矩形頂板。又另外，本具體實施例的並聯電容器結構還包含一該底板的U形連接部分，其用以進一步降低電阻並且改良該等並聯電容器的充電與放電效率。該U形連接線會將該底板電耦合至該接地屏蔽。

本揭示內容的具體實施例藉由利用小型電線焊墊來進一步提供一種用於射頻功率電晶體的新穎並聯電容器結構設計，不同於匯流排條焊墊，從而可讓該等並聯電容器結構更靠近對應的焊點/焊墊放置並且與其具有更均勻的距離。於一具體實施例中，會將複數個並聯電容器結構設置在一電線焊墊的三個側邊附近。

於另一具體實施例中，一接地屏蔽係位於該等並聯電容器結構的一部分上方，其中該上方部分大於一並聯電容器結構佈局的一給定百分比。該涵蓋百分比可根據一給定射頻功率電晶體應用的需求來決定。舉例來說，該涵蓋百分比的等級可能大於百分之二十五(25%)、百分之五十(50%)、百分之七十五(75%)、或是根據一給定射頻功率電晶體應用之需求所決定的其它百分比。據此，該上方接地屏蔽會延伸在該等並聯電容器結構的一部分上方，以便有利於降低該等連接線電線對該等並聯電容器結構的干擾。

根據本揭示內容具體實施例的並聯電容器結構可實現一

具有改良功率、增益、以及效率特徵的高電壓射頻功率電晶體設計。於一具體實施例中，一塑膠封裝射頻LDMOS電晶體應用包括一輸出阻抗匹配網路，其包含根據本揭示內容具體實施例的並聯電容器結構。此外，本揭示內容的並聯電容器結構可實現於塑膠封裝之中的先前已知並聯電容器設計無法達成的高功率射頻功率電晶體塑膠封裝效能。

在前面說明書中，已參考各具體實施例來說明本揭示內容。然而，熟知本技術者會明白本發明可作各種修正與變更，而不會背離以下申請專利範圍所定義之本發明範疇。因此，說明書及附圖應視為解說，而不應視為限制，而所有此類的修正皆屬本發明範疇之內。舉例來說，本揭示內容的其中一具體實施例包含用於通信裝置或類似裝置中的一射頻LDMOS 125W功率電晶體。本揭示內容的該等具體實施例亦可應用於任何合宜的射頻MOSFET裝置中。

上文已說明與特定具體實施例相關之優勢、其它優點及問題解決方案。但是，該等優勢、優點、問題解決方案及可能產生或彰顯任何優勢、優點或解決方案的任何元件均不應解釋為任何或所有申請專利範圍之關鍵、必要或基本功能或元件。本文中所使用的術語「包括」或其任何其它變化詞皆係非排外的內含用語，俾使含有一份元件清單的程序、方法、物件或設備不僅包含該些元件，而且可能還包含未明確列出或此類程序、方法、物件或設備固有的其它元件。

【圖式簡單說明】

本文藉由範例及附圖來解釋本發明，但本發明未限定在這些範例及附圖內，其中，相同的元件符號代表相同的元件，且其中：

圖1為本技術中已知的一射頻MOSFET設計的一部分的俯視佈局圖；

圖2為圖1的射頻MOSFET設計的一部分的更詳細俯視佈局圖；

圖3為施行在圖1的射頻MOSFET設計之中的一並聯電容器設計的斷面圖；

圖4為根據本揭示內容一具體實施例的一射頻功率電晶體的一並聯電容器設計的一部分的俯視佈局圖，圖中以透明圖式來圖解特定的特徵；

圖5為圖4的該並聯電容器設計之該部分的俯視佈局圖，圖中以不透明圖式來圖解圖4的特徵透明圖式；

圖6為沿著直線6至6圖5的並聯電容器設計的斷面圖；

圖7為沿著直線7至7圖5的並聯電容器設計的斷面圖；

圖8為施行在根據本揭示內容另一具體實施例的一射頻功率電晶體的輸出阻抗匹配網路之中的一並聯電容器設計的一部分的俯視佈局圖，圖中以透明圖式來圖解特定的特徵；

圖9為圖8的該並聯電容器設計之該部分的俯視佈局圖，圖中以不透明圖式來圖解圖8的特徵透明圖式；

圖10為施行在根據本揭示內容另一具體實施例的一射頻

功率電晶體的輸出阻抗匹配網路之中的一並聯電容器設計的一部分的俯視佈局圖；以及

圖 11 為施行在根據本揭示內容另一具體實施例的一輸出阻抗匹配網路之中具有一並聯電容器設計的一射頻功率電晶體的俯視佈局圖。

在不同的圖式中會使用相同的元件符號來表示雷同或相同的項目。習知此項技術者還會明白，為簡化及清楚起見，圖式中的元件並不必依比例縮放。舉例來說，為有助於瞭解本發明的具體實施例，相較於圖中其它元件，圖中部分元件的尺寸可能會被放大。

【主要元件符號說明】

12	輸入阻抗匹配網路
14	主動裝置
16	輸出阻抗匹配網路
18	匯流排條焊墊
20	匯流排條焊墊
22	匯流排條焊墊
24	匯流排條焊墊
26	接地屏蔽
28	接地屏蔽
30	並聯電容器
32	金屬
42	矽基板
43	背面金屬

44	矽 磊 晶 層
46	場 氧 化 物 區
48	底 板
50	層 間 介 電 層
52	介 電 層
54	頂 板
62	頂 板
64	金 屬
66	金 屬
68	焊 墊
70	金 屬
71	金 屬 接 點
72	邊 界
74	接 地 屏 蔽
82	基 板
84	絕 緣 層
86	導 電 層
88	導 電 層
90	第 一 層 間 介 電 質
92	並 聯 電 容 器 介 電 質
94	第 一 層 金 屬
96	第 二 層 間 介 電 質
98	第 二 層 金 屬
100	並 聯 電 容 器

102	背面金屬
112	並聯電容器單位晶胞配置
114	電容器單元庫
116	連接處
118	焊墊120 輸出阻抗匹配網路
122	金屬延伸部分
124	邊緣
126	接地屏蔽
128	區域
130	並聯電容器設計
132	輸入阻抗匹配網路
134	射頻LDMOS
136	連接線匯流排墊
138	連接線匯流排墊
140	焊墊

五、中文發明摘要：

本發明揭示一種整合式並聯電容器，其包括：一導電底板；一電容器介電質，其位於該導電底板之一部分上方；一導電頂板，其位於該電容器介電質之上方；一屏蔽，其位於該導電頂板之一部分上方；以及一金屬特徵，其係設置在該導電頂板的至少兩個側邊附近並且與其隔離，該金屬特徵係用於將該導電底板耦合至該屏蔽。於一具體實施例中，一射頻功率電晶體具有一阻抗匹配網路，其包含本文所述的一整合式並聯電容器。

六、英文發明摘要：

An integrated shunt capacitor comprises a conductive bottom plate, a capacitor dielectric overlying a portion of the conductive bottom plate, a conductive top plate overlying the capacitor dielectric, a shield overlying a portion of the conductive top plate; and a metallization feature disposed about and isolated from at least two sides of the conductive top plate, the metallization feature for coupling the conductive bottom plate to the shield. In one embodiment, an RF power transistor has an impedance matching network including an integrated shunt capacitor as described herein.

十、申請專利範圍：

1. 一種並聯電容器，其包括：
 - 一導電底板；
 - 一電容器介電質，其位於該導電底板之一部分上方；
 - 一導電頂板，其位於該電容器介電質之上方；
 - 一屏蔽，其位於該導電頂板之一部分上方；以及
 - 一金屬特徵，其係設置在該導電頂板的至少兩個側邊附近並且與其隔離，該金屬特徵係用於將該導電底板耦合至該屏蔽。
2. 如請求項1之並聯電容器，其進一步包括：
 - 一焊墊，其設置鄰近該導電頂板，其中一頂金屬會將該焊墊耦合至該導電頂板。
3. 如請求項1之並聯電容器，其中，該金屬特徵進一步包括一U形特徵。
4. 如請求項3之並聯電容器，其中該U形特徵係沿著該並聯電容器之兩個側邊上的一第一維度且沿著該並聯電容器之一第三側邊上的一第二維度延伸。
5. 如請求項1之並聯電容器，其中該金屬特徵包含一第一層金屬與一第二層金屬。
6. 如請求項1之並聯電容器，其中該屏蔽包括一接地屏蔽，該接地屏蔽包含一被耦合至一接地電位的一金屬特徵。
7. 如請求項6之並聯電容器，其中將該導電底板、金屬特徵、以及接地屏蔽耦合在一起會降低該導電底板至接地

電位的串聯電阻。

8. 如請求項6之並聯電容器，其中該並聯電容器包括一單位晶胞施行方式。
9. 如請求項8之並聯電容器，其中該導電底板、金屬特徵、以及接地屏蔽提供一接地室，其用以隔離該單位晶胞的一部分外部干擾。
10. 如請求項9之並聯電容器，其中沿著該單位晶胞的三個側邊延伸的該金屬特徵形成一接地壁，其用以降低該單位晶胞外部的寄生干擾。
11. 如請求項8之並聯電容器，其進一步包括：

彼此相鄰設置的複數個單位晶胞施行方式，其中相鄰單位晶胞施行方式的底板合併在一起。
12. 如請求項1之並聯電容器，其中該並聯電容器係施行在一射頻功率電晶體的一阻抗匹配網路之中。
13. 如請求項1之並聯電容器，其進一步包括：

一半導體基板；以及

一絕緣層，其位於該基板之上方，其中該導電底板係位於該絕緣層上方。
14. 如請求項1之並聯電容器，其中該導電底板包括矽化鎢，且其中該電容器介電質包括氮化物。
15. 如請求項1之並聯電容器，其中被該屏蔽屏蔽的該導電頂板之該部分包括根據一給定射頻功率電晶體應用之需求訂製的該導電頂板之一百分比。
16. 如請求項1之並聯電容器，其中該並聯電容器包括一單

位晶胞施行方式，其進一步包括：

一焊墊；以及

一並聯電容器單位晶胞配置，其設置在該焊墊的至少兩個側邊緣周圍。

17. 如請求項16之並聯電容器，其中該屏蔽進一步包含放置於被設置在該焊墊周圍的該並聯電容器單位晶胞配置中的每一個單位晶胞之該導電頂板之一部分上方。
18. 如請求項17之並聯電容器，其中該配置包含分別設置在該焊墊的三個側邊緣周圍的第一、第二、以及第三複數個單位晶胞。
19. 如請求項18之並聯電容器，其進一步其中每一複數個單位晶胞均會透過一金屬延伸部分被耦合至該焊墊的一對應側邊，該金屬延伸部分會被耦合至每一複數個單位晶胞中每一個單位晶胞的一對應頂板接觸通道。
20. 一種射頻(RF)功率電晶體，具有一阻抗匹配網路，該射頻功率電晶體包含如請求項1之並聯電容器。



圖 7

七、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

62	頂板
64	金屬
66	金屬
68	焊墊
70	金屬
72	邊界
100	並聯電容器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)