

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2009/148180 A1

PCT

(43) 国際公開日

2009年12月10日(10.12.2009)

(51) 国際特許分類:

H01L 21/331 (2006.01) H01L 27/06 (2006.01)
H01L 21/8222 (2006.01) H01L 29/732 (2006.01)

(21) 国際出願番号:

PCT/JP2009/060416

(22) 国際出願日:

2009年6月2日(02.06.2009)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2008-146054 2008年6月3日(03.06.2008) JP

(71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒5708677 大阪府守口市京阪本通二丁目5番5号 Osaka (JP). 三洋半導体株式会社 (SANYO Semiconductor Co., Ltd.) [JP/JP]; 〒3700596 群馬県邑楽郡大泉町坂田1丁目1番地1号 Gunma (JP). 三洋半導体製造株式会社 (SANYO Semiconductor Manufacturing Co., Ltd.) [JP/JP]; 〒

9478502 新潟県小千谷市大字千谷甲3000番地 Niigata (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 三田 恵司 (MITA, Keiji) [JP/JP]; 〒5708677 大阪府守口市京阪本通二丁目5番5号 三洋電機株式会社 知的財産本部内 Osaka (JP). 高橋 政男 (TAKAHASHI, Masao) [JP/JP]; 〒5708677 大阪府守口市京阪本通二丁目5番5号 三洋電機株式会社 知的財産本部内 Osaka (JP). 新井 貴雄 (ARAI, Takao) [JP/JP]; 〒5708677 大阪府守口市京阪本通二丁目5番5号 三洋電機株式会社 知的財産本部内 Osaka (JP).

(74) 代理人: 岡田 敬 (OKADA, Kei); 〒3730842 群馬県太田市細谷町170-1 Gunma (JP).

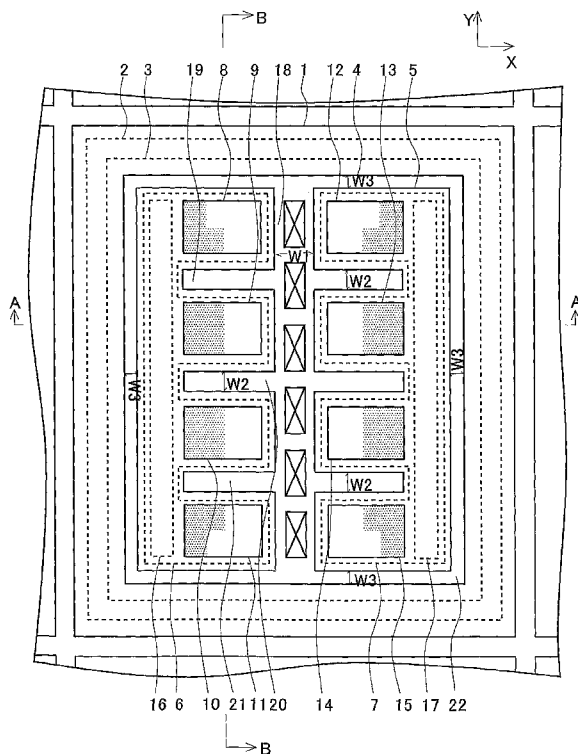
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

第1図



(57) Abstract: Provided is a semiconductor device wherein device size is reduced and a leak current to a substrate is eliminated. P-type diffusion layers (18-22) as a collector region are arranged so as to partition an emitter region. The P-type diffusion layer (22) is formed with an impurity concentration lower than that of the P-type diffusion layers (18-22) and a diffusion width narrower than that of the P-type diffusion layers. With such structure, current performance is improved, while increasing an effectively functioning emitter region, and reducing the device size. The leak current to the substrate is eliminated by having a desired parasitic transistor operate in a positive manner.

(57) 要約: デバイスサイズを縮小し、基板へのリーク電流を防止する半導体装置を提供する。コレクタ領域としてのP型の拡散層18から22が、エミッタ領域を区画するように配置される。そして、P型の拡散層22は、P型の拡散層18から21よりも不純物濃度が低く、その拡散幅が狭く形成される。この構造により、有効に機能するエミッタ領域が増大し、デバイスサイズを縮小しつつ、電流能力が向上される。そして、所望の寄生トランジスタを積極的に動作させることで、基板へのリーク電流が防止される。



GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,

NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則 4.17 に規定する申立て:

- 出願し及び特許を与えられる出願人の資格に関する申立て (規則 4.17(ii))
- 発明者である旨の申立て (規則 4.17(iv))

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

1
明 細 書
半導体装置

技術分野

- 5 本発明は、パワー用半導体素子として用いられる縦型PNPトランジスタに関し、電流能力を向上させ、トランジスタ面積を縮小し、更に、基板へのリーク電流を低減する半導体装置に関する。

背景技術

- 10 特開平8-148574号公報では、下記の縦型PNPトランジスタ71が開示されている。そして、第6図(A)は、従来の縦型PNPトランジスタを説明するための平面図である。第6図(B)は、従来の縦型PNPトランジスタを説明するための図であり、第6図(A)に示すC-C線方向の断面図である。

- 第6図(A)に示す如く、実線62で囲まれた領域が、縦型PNPトランジスタ61の
15 形成領域である。実線63、64で囲まれた領域が、コレクタ領域としてのP型の拡散層65である。実線64で囲まれた領域が、ベース領域としてのN型の拡散層66である。実線67で囲まれた領域が、エミッタ領域としてのP型の拡散層68である。実線69で囲まれた領域が、ベース導出領域としてのN型の拡散層70である。

- 第6図(B)に示す如く、P型の半導体基板71上にN型のエピタキシャル層72が形
20 成される。N型の埋込層73が、基板71及びエピタキシャル層72に形成され、P型の埋込層74が、埋込層73上に形成される。P型の拡散層65が、埋込層74と連結し、埋込層74はコレクタ領域として用いられる。そして、P型の拡散層65に囲まれた領域には、N型の拡散層66が形成され、拡散層66にはP型の拡散層68及びN型の拡散層70が形成される。

- 25 特開2004-207702号公報では、下記の縦型PNPトランジスタ81が開示されている。そして、第7図は、従来の縦型PNPトランジスタを説明するための断面図である。

第7図に示す如く、P型のシリコン基板82上には、N型のエピタキシャル層83が形

2

成される。基板 8 2 とエピタキシャル層 8 3 には、N型の埋込層 8 4 と P型の埋込層 8 5 とが形成される。そして、エピタキシャル層 8 3 には、コレクタ領域としての P型の拡散層 8 6、8 7 及びベース領域としての N型の拡散層 8 8 が形成される。P型の拡散層 8 6、8 7 は、P型の埋込層 8 5 と連結する。そして、N型の拡散層 8 8 には、エミッタ領域としての P型の拡散層 8 9 及びベース導出領域としての N型の拡散層 9 0 が形成される。

そして、エピタキシャル層 8 3 上には、酸化膜 9 1 が形成される。コンタクトホール 9 2 から 9 7 が、酸化膜 9 1 に形成される。コンタクトホール 9 2 から 9 7 を介して、電極 9 8、コレクタ電極 9 9、1 0 0、エミッタ電極 1 0 1 及びベース電極 1 0 2 が形成される。

10

発明の開示

第 6 図 (A)、(B) に示すように、縦型 PNP トランジスタ 6 1 は、ベースーエミッタ領域間に 0.7 V 以上の電位差が生じるように、ベース電極に電圧が印加され、オン動作する。このとき、エミッタ領域である P型の拡散層 6 8 から注入された正孔は、ベース導出領域である N型の拡散層 7 0 へ向けて、N型の拡散層 6 6 を移動する。そして、経路 R 1 は、N型の拡散層 6 6 表面の高濃度領域を経路とし、寄生抵抗が低く、移動距離も短いため、経路 R 1 での電位降下は小さい。経路 R 2 は、N型の拡散層 6 6 の深部を経路とし、経路 R 1 よりも N型の拡散層 6 6 の不純物濃度が低い領域が経路となる。更に、経路 R 2 は、経路 R 1 よりも移動距離が長くなる。その結果、経路 R 2 は、経路 R 1 よりも電位降下が増大する。また、経路 R 3 は、更に、経路 R 2 よりも移動距離が長くなり、経路 R 2 よりも電位降下が増大する。

この構造により、第 6 図 (A) に斜線のハッチングで示す領域では電位降下が小さく、縦型 PNP トランジスタ 6 1 のエミッタ領域として有効に機能する領域となる。つまり、ベース導出領域としての N型の拡散層 7 0 と対向する領域が、主に、エミッタ領域として有効に機能する領域となる。そのため、縦型 PNP トランジスタ 6 1 の電流能力を増大させるためには、エミッタ領域での電位降下が小さい領域を増大させる必要がある。そして、従来の構造では、N型の拡散層 7 0 と P型の拡散層 6 8 とが対向する領域を増大させることで、上記電位降下の小さい領域が増大する。そのため、N型の拡散層 7 0 と P型の拡散

25

層 6 8 とを延在させる必要があり、デバイスサイズが縮小し難いという問題がある。

更に、縦型 PNP トランジスタ 6 1 では、斜線のハッチングで示すエミッタ領域として有効に機能する領域が、必ずしもコレクタ領域としての P 型の拡散層 6 5 の近傍に位置しない。この構造により、エミッタ領域から注入された正孔は、比較的に長い距離を移動してコレクタ領域に到達するため、寄生抵抗が増大する。そして、エミッタ領域として有効に機能する領域が、必ずしもコレクタ領域の近傍に位置せず、縦型 PNP トランジスタ 6 1 の電流能力が向上し難いという問題がある。

第 7 図に示す縦型 PNP トランジスタ 8 1 を飽和領域にて使用する場合に発生する問題を説明する。例えば、エミッタ電極 1 0 1 に電源電圧 (1 3 . 0 V) が印加され、コレクタ電極 9 9、1 0 0 に電源電圧とほぼ同等な電圧 (電源電圧との電位差が 0 . 3 V 以下の電圧 (1 2 . 9 V)) が印加され、ベース電極 1 0 2 には所望な電圧が印加される。尚、P 型の拡散層 8 6、8 7 の外側に位置するエピタキシャル層 8 3 と接続する電極 9 8 には、電源電圧 (1 3 . 0 V) が印加される。

先ず、ベース電極 1 0 2 に 1 2 . 3 V を印加し、エミッターベース領域間が順方向電圧となることで、縦型 PNP トランジスタ 8 1 がオン動作する。そして、ベース電極 1 0 2 に印加される電圧 (1 2 . 1 V) を下げ、ベース電流を増大させると、N 型の埋込層 8 4、P 型の埋込層 8 5 及び N 型の拡散層 8 8 から成る寄生 NPN トランジスタ T_{r4} (以下、寄生 T_{r4} と呼ぶ。) がオン動作する。このとき、ベース領域としての P 型の埋込層 8 5 には 1 2 . 9 V が印加され、エミッタ領域としての N 型の拡散層 8 8 には 1 2 . 1 V が印加され、コレクタ領域としての N 型の埋込層 8 4 には 1 3 . 0 V が印加される。

一方、N 型の拡散層 1 0 3、1 0 4 (P 型の拡散層 8 6 の外側に位置するエピタキシャル層 8 3 を含む)、P 型の拡散層 8 6 及び N 型の拡散層 8 8 から成る寄生 NPN トランジスタ T_{r5} (以下、寄生 T_{r5} と呼ぶ。) にも、実質、寄生 T_{r4} と同等な電圧が印加される。しかしながら、寄生 T_{r5} では、トランジスタ動作を阻害する 2 つの要因が存在する。第 1 の要因は以下の通りである。N 型の拡散層 9 0 の周囲に P 型の拡散層 8 9 が配置されることで、寄生 T_{r5} のエミッタ領域での寄生抵抗が高くなる。そして、エミッタ領域とベース領域との PN 接合領域に印加される電圧が低下することである。第 2 の要因は以下の通りである。P 型の拡散層 8 6 は、縦型 PNP トランジスタ 8 1 のコレクタ領域として用

いられるため、その不純物濃度は高くなる。そして、寄生 $T_r 5$ のエミッタ領域としてのN型の拡散層88から注入された電子は、ベース領域としてのP型の拡散層86内の正孔と再結合する確立が高いことである。こうした要因により、寄生 $T_r 4$ が、寄生 $T_r 5$ よりも優先的にオン動作する。

5 次に、寄生 $T_r 4$ がオン動作することで、N型の埋込層84では電位降下(13.0Vから11.5Vへと電位降下)が起こる。そして、P型の基板82、N型の埋込層84及びP型の埋込層85から成る寄生PNPトランジスタ $T_r 6$ (以下、寄生 $T_r 6$ と呼ぶ。)がオン動作する。このとき、ベース領域としてのN型の埋込層84には11.5Vが印加され、エミッタ領域としてのP型の埋込層85には12.9Vが印加され、コレクタ領域
10 としてのP型の基板82には0Vが印加される。その結果、寄生 $T_r 6$ は、オン動作し続ける。

つまり、縦型PNPトランジスタ81を飽和領域にて使用することで、電源ラインからグラウンドラインへと電流がリークし、グラウンド電位に設定された基板82の電位が変動してしまう。そして、同一の基板82に形成された周辺回路のラッチアップによる誤動作を
15 招く恐れがある。その結果、高出力用回路では、第7図に示す構造の縦型PNPトランジスタ81は、上記リーク電流により使用し難いという問題がある。

従って、本発明の半導体装置は、上述した各事情に鑑みて成されたものであり、ベース拡散層と、前記ベース拡散層と重畳して形成されるエミッタ拡散層と、前記ベース拡散層の周囲に形成されるコレクタ拡散層とが形成される半導体層を有する半導体装置において、
20 前記コレクタ拡散層は、前記エミッタ拡散層の形成領域を複数領域へと区画する第1の拡散層と、前記第1の拡散層の周囲に形成される第2の拡散層とを有し、前記第1の拡散層は、一方向に延在する第1の領域と、他方向に1つ以上形成され、且つ、前記第1の領域と直交する第2の領域とを有し、前記第2の拡散層は、前記第1の領域と連続し、前記ベース拡散層を囲むように配置され、前記エミッタ拡散層は、前記第2の領域間に配置され
25 ることを特徴とする。

本発明では、コレクタ領域により区画された領域に複数のエミッタ領域が配置される。この構造により、エミッタ領域として有効に機能する領域が増大し、デバイスサイズを縮小しつつ、電流能力が向上される。

5

また、本発明では、コレクタ領域とエミッタ領域とが対向する領域が増大する。この構造により、エミッタ領域から注入された正孔の移動距離が短くなり、寄生抵抗が低減し、電流能力が向上される。

5 また、本発明では、コレクタ領域は、不純物濃度及び拡散幅の異なる複数の拡散層から構成される。この構造により、寄生電流が半導体層表面近傍を流れ、基板を含む寄生トランジスタのオン動作を防止し、基板へのリーク電流が防止される。

また、本発明では、主に、縦型PNPトランジスタのコレクタ領域として用いる拡散層上にのみコンタクトホールが配置される。この構造により、縦型PNPトランジスタのコレクタ領域での寄生抵抗が低減される。

10 また、本発明では、電源電圧が印加されたN型の拡散層により、P型の半導体基板とコレクタ領域とを分離することで、基板へのリーク電流が防止される。

図面の簡単な説明

第1図は本発明の実施の形態における半導体装置を説明するための平面図であり、第2
15 図は本発明の実施の形態における半導体装置を説明するための平面図であり、第3図は本発明の実施の形態における半導体装置を説明するための図であり、第1図に示すA-A線方向の断面図であり、第4図は本発明の実施の形態における半導体装置を説明するための図であり、第1図に示すB-B線方向の断面図であり、第5図(A)は本発明の実施の形態における半導体装置が用いられる回路を説明するための回路図であり、第5図(B)は
20 本発明の実施の形態における基板へのリーク電流を説明するための図であり、第6図は従来の実施の形態である半導体装置を説明するための図であり、第6図(A)は平面図であり、第6図(B)は断面図であり、第7図は従来の実施の形態である半導体装置を説明するための断面図である。

25 発明を実施するための最良の形態

以下に、本発明の一実施の形態である半導体装置について、第1図から第5図を参照して説明する。第1図は、本実施の形態における縦型PNPトランジスタを説明するための平面図である。第2図は、本実施の形態における縦型PNPトランジスタを説明するため

の平面図である。第3図は、本実施の形態における縦型PNPトランジスタを説明するための図であり、第1図に示すA-A線方向の断面図である。第4図は、本実施の形態における縦型PNPトランジスタを説明するための図であり、第1図に示すB-B線方向の断面図である。第5図(A)は、本実施の形態における縦型PNPトランジスタが用いられる回路を説明するための回路図である。第5図(B)は、本実施の形態における縦型PNPトランジスタでの基板へのリーク電流を説明するための図である。

第1図に示す如く、実線1は、分離領域の端部を示し、実線1により囲まれた領域が縦型PNPトランジスタの形成領域となる。点線2、3により囲まれる領域は、分離領域とコレクタ領域との間のエピタキシャル層に形成されるN型の拡散層を示す。実線4、5により囲まれる領域は、コレクタ領域としてのP型の拡散層を示す。点線6、7により囲まれる領域は、それぞれベース領域としてのN型の拡散層を示す。実線8から15により囲まれる領域は、それぞれエミッタ領域としてのP型の拡散層を示す。そして、点線16、17により囲まれる領域は、それぞれベース導出領域としてのN型の拡散層を示す。

コレクタ領域は、主に、縦型PNPトランジスタのコレクタ領域として機能する第1の拡散層と、主に、寄生NPNトランジスタのベース領域として機能する第2の拡散層とから構成される。そして、第1の拡散層は、紙面Y軸方向に延在し、拡散幅W1から成るP型の拡散層18と、紙面X軸方向に延在し、拡散幅W2から成るP型の拡散層19から21から構成される。第2の拡散層は、第1の拡散層の周囲に形成され、拡散幅W3から成るP型の拡散層22から構成される。そして、P型の拡散層22、ベース領域の周囲に一環状に配置される。尚、拡散幅は、 $W1 \geq W2 > W3$ の関係を満たす。

図示したように、P型の拡散層19から21は、P型の拡散層18と直交し、紙面Y軸方向に一定間隔で配置される。このように第1の拡散層であるP型の拡散層18から21は、フィッシュボーン形状に配置される。そして、実線8から15により囲まれるエミッタ領域は、P型の拡散層18から22により区画された領域に配置され、その周囲3方向が、P型の拡散層18から22のいずれかと対向する。詳細は後述するが、実線8から15により囲まれるエミッタ領域では、砂状のハッチング領域が、縦型PNPトランジスタのエミッタ領域として有効に機能する領域である。つまり、エミッタ領域では、複数領域に区分されることでその形成領域は低減するが、有効に機能する領域が増大することで、

7

縦型PNPトランジスタの電流能力が向上される。更に、エミッタ領域の形成領域を低減しつつ、電流能力を向上させ、縦型PNPトランジスタのデバイスサイズが低減される。尚、P型の拡散層19から21は、少なくとも1つ以上形成され、エミッタ領域を区画する構造であればよい。

- 5 一方、点線16、17により囲まれるベース導出領域は、紙面Y軸方向に延在し、P型の拡散層18に対し対称に配置される。そして、ベース導出領域の周囲3方向は、P型の拡散層22と対向する。この構造により、ベース導出領域とP型の拡散層22とが、エミッタ領域を介することなく直接対向する領域が増大する。詳細は後述するが、縦型PNPトランジスタがオン動作することで、寄生NPNトランジスタ T_{r1} （以下、寄生 T_{r1} と呼ぶ。）（第3図参照）がオン動作する。そして、P型の拡散層22が配置されたピタキシャル層24（第3図参照）表面近傍が、主に、寄生 T_{r1} の電流経路となることで、基板23（第3図参照）へのリーク電流が防止される。また、ベース領域は、ベース導出領域が配置される領域を軸として、上記コレクタ領域のフィッシュボーン形状と対向するように櫛歯形状に配置される。そして、ベース領域は、P型の拡散層18に対し対称に配置
- 10 される。エミッタ領域は、上記ベース領域の櫛歯領域の部分に配置される。

次に、長方形内に×印が記載された領域は、コンタクトホール形成領域を示す。そして、コレクタ領域では、P型の拡散層18上にはコンタクトホールは配置されるが、P型の拡散層22上にはコンタクトホールは配置されない。尚、P型の拡散層19から21上には、コンタクトホールが配置される場合でも、配置されない場合でも良い。

- 20 この構造により、拡散層22の拡散幅 $W3$ は、拡散層18の拡散幅 $W1$ よりも狭くなる。詳細は後述するが、拡散層22の拡散幅 $W3$ が狭められることで、拡散層22は、寄生 T_{r1} の電流経路となり、基板23へのリーク電流が防止される。

- その一方で、拡散層18から21は、拡散層22よりも高不純物濃度であり、拡散幅が広い拡散層であり、主に、縦型PNPトランジスタのコレクタ領域として機能する。そして、縦型PNPトランジスタのコレクタ領域では、コンタクト抵抗の低減、寄生抵抗の低減が実現される。更に、上述したように、P型の拡散層18から21が、エミッタ領域の周囲近傍に配置される。この構造により、縦型PNPトランジスタの電流経路が短くなり、縦型PNPトランジスタの寄生抵抗が低減され、電流能力が向上される。
- 25

尚、エミッタ領域、ベース導出領域及び点線 2、3 により囲まれる領域（N型の拡散層）上にもコンタクトホールが形成されるが、第 1 図では、それらコンタクトホールを省略して図示する。

第 2 図では、縦型 PNP トランジスタの一領域を示す。実線 8、9 で示すように、エミッタ領域が、P 型の拡散層 18 から 20、22 により区画された領域に分割して配置される。この構造により、エミッタ領域では、紙面 X 軸方向の側面において、ベース領域（点線 6 で囲まれる領域）と PN 接合領域を形成する領域が増大する。そして、エミッタ領域から注入された正孔は、ベース領域の表面近傍である高不純物濃度の領域を移動し易くなる。

例えば、第 6 図（A）に示す従来の構造のように、エミッタ領域が、紙面 Y 軸方向に対し区分されず、1 本のエミッタ領域として形成される場合について説明する。この場合には、紙面 Y 軸方向にエミッタ領域とベース導出領域とが対向する領域において、例えば、拡散幅 W4 が、エミッタ領域として有効に機能する領域となる。これは、その他のエミッタ領域では、注入された正孔がベース導出領域に到達するためには、低不純物濃度であるベース領域の深部を移動経路とし、更に、移動経路が長くなる。そして、移動経路における寄生抵抗が大きくなり、電位降下が大きくなるからである。

一方、図示したように、エミッタ領域が、紙面 Y 軸方向に対し区分され、複数の領域から構成される場合について説明する。この場合には、エミッタ領域の分割された領域、つまり、紙面 X 軸方向のエミッタ領域の側面においても、注入された正孔が、ベース領域の表面近傍を移動できる領域が増大する。例えば、拡散幅 W5 が、エミッタ領域として有効に機能する領域となり、エミッタ領域として有効に機能する領域が増大する。これは、エミッタ領域が分割されることで、ベース領域の表面近傍であり、高不純物濃度の寄生抵抗の小さい領域が、正孔の移動経路として増大するからである。そして、図示した×印 1 と×印 2 から印 4 の領域では、電位降下の差は小さく（例えば、0.3 V 程度）、×印 2 から印 4 の領域もエミッタ領域として有効に機能する領域となる。

更に、コレクタ領域としての P 型の拡散層 19、20 が、エミッタ領域間に配置されることで、有効に機能するエミッタ領域とコレクタ領域間との離間距離が短くなる。そして、エミッタ領域から注入された正孔が、コレクタ領域まで到達するまでの移動距離も短くな

9

り、寄生抵抗が低減され、縦型PNPトランジスタの電流能力が向上される。

具体的には、縦型トランジスタ面積が同一であり、エミッタ領域がコレクタ領域により分割される構造（第1図に示す構造）と、エミッタ領域がコレクタ領域により分割されない構造（第6図（A）に示す構造）について比較する。この場合には、 $I_{C\text{MAX}}$ （電流増幅率（ h_{FE} ）が $1/2$ になるコレクタ電流）は、両構造においても 1.8A となる。また、大電流（ 3A ）を流す際の V_{ce} （コレクターエミッタ領域間の電圧）は、エミッタ領域が分割される構造では 1.5V となり、エミッタ領域が分割されない構造では 1.9V となる。この比較結果からも、エミッタ領域が分割される構造では、 $I_{C\text{MAX}}$ を低下させることなく、寄生抵抗が大幅に低減されることが分かる。そして、有効に機能するエミッタ領域が増大することで、縦型PNPトランジスタの電流能力が向上されることが分かる。

尚、第1図及び第2図に示すように、実線8、11、12、15で示すエミッタ領域は、それぞれコーナー部に位置し、P型の拡散層22と対向する領域を有する。上述したように、P型の拡散層22は、縦型PNPトランジスタのコレクタ領域として有効に機能しない領域である。更に、実線8、11、12、15で示すエミッタ領域では、P型の拡散層19、21と対向する領域側が、エミッターベース領域間の上記寄生抵抗の小さい領域となる。この構造により、実線8、11、12、15で示すエミッタ領域では、P型の拡散層22と対向する領域側が、P型の拡散層19、21と対向する領域側よりも有効機能する領域が減少する。そして、実線8、11、12、15で示すエミッタ領域では、有効機能する領域が、例えば、L字形状となる。一方、実線9、10、13、14で示すエミッタ領域では、それぞれP型の拡散層18から21と対向し、有効機能する領域が、例えば、正方形に近い四方形形状となる。

第3図では、第1図に示すA-A線方向の断面図を示し、縦型PNPトランジスタは、主に、P型の単結晶シリコン基板23と、N型のエピタキシャル層24と、N型の埋込層25と、P型の埋込層26と、コレクタ領域としてのP型の埋込層27から29と、ベース領域としてのN型の埋込層30と、N型の埋込層31と、コレクタ領域としてのP型の拡散層18、22と、ベース領域としてのN型の拡散層32、33と、エミッタ領域としてのP型の拡散層34、35と、ベース導出領域としてのN型の拡散層36、37と、N

型の拡散層 38 から構成される。

N 型のエピタキシャル層 24 は、P 型の基板 23 上に形成される。尚、基板 23 の比抵抗値は、40 から 60 $\Omega \cdot \text{cm}$ 程度であり、P 型不純物濃度としては、 3.0×10^{14} 程度のものが使用される。

5 N 型の埋込層 25 は、基板 23 とエピタキシャル層 24 とに渡り形成される。N 型の埋込層 25 は、P 型の埋込層 27 よりも基板 23 の深部まで形成される。そして、N 型の埋込層 25 は、基板 23 と P 型の埋込層 27 のそれぞれと PN 接合領域を形成し、基板 23 と P 型の埋込層 27 とを PN 接合分離する。

P 型の埋込層 26 が、チップ全面に形成され、例えば、基板 23 表面から 15 から 20
10 μm 程度の深さまで形成される。P 型の埋込層 26 は、P 型不純物、例えば、ホウ素 (B) を導入量 1.0×10^{12} から $1.0 \times 10^{14} / \text{cm}^2$ でイオン注入し、形成される。そのため、P 型の埋込層 26 は、低不純物濃度の拡散領域であり、N 型の拡散領域と重畳する領域では、その重畳領域は N 型領域となる。そして、基板 23 に P 型の埋込層 26 を形成することでランド抵抗の増大を防ぎ、ラッチアップ等の問題を解決する。P 型の埋込層
15 26 の不純物濃度は、所望のランド抵抗となるように、種々の設計変更が可能である。

P 型の埋込層 27 は、基板 23 とエピタキシャル層 24 に渡り形成される。そして、P 型の埋込層 27 が、基板 23 及びエピタキシャル層 24 に形成され、コレクタ抵抗が低減される。

P 型の埋込層 28、29 は、エピタキシャル層 24 に形成され、P 型の埋込層 27 と重
20 畳する。そして、P 型の埋込層 29 は、P 型の埋込層 27 の端部近傍に一環状に形成される。

N 型の埋込層 30 は、少なくとも P 型の埋込層 27 の上面からエピタキシャル層 24 表面側へと這い上がる。一方、N 型の埋込層 31 は、N 型の埋込層 25 の端部に一環状に形成される。そして、N 型の埋込層 30 の周囲には、P 型の埋込層 29 が配置され、N 型の
25 埋込層 30 と P 型の埋込層 29 とは一部領域が重畳する。また、N 型の埋込層 31 は、P 型の埋込層 27 から 29 の周囲に配置される。

この構造により、N 型の埋込層 30 の形成領域では、P 型の埋込層 27 の這い上がり幅を 1.5 から 3.5 μm 程度抑制し、所望のベース領域幅を確保した縦型 PNP トランジ

スタが形成される。所望のベース領域幅を確保することで縦型PNPトランジスタの耐圧特性を維持しつつ、エピタキシャル層24の膜厚を薄くすることも可能である。そして、デバイスサイズ（厚み方向サイズ）の縮小が実現される。

P型の拡散層18、22は、例えば、イオン注入法により、エピタキシャル層24に形成される。P型の拡散層18、22は、P型の埋込層28、29と連結する。図示したように、P型の拡散層18の拡散幅W1（第1図参照）は、P型の拡散層22の拡散幅W3（第1図参照）よりも広く、P型の拡散層18の不純物濃度は、P型の拡散層22の不純物濃度よりも高くなる。具体的には、P型の拡散層18の表面近傍では、その拡散幅が40 μm 程度であり、その不純物濃度が 5.0×10^{18} から $2.0 \times 10^{20} / \text{cm}^3$ 程度である。また、P型の拡散層22の表面近傍では、その拡散幅が7 μm 程度であり、その不純物濃度が 5.0×10^{17} から $1.0 \times 10^{19} / \text{cm}^3$ 程度である。

N型の拡散層32、33は、エピタキシャル層24に形成される。N型の拡散層36、37は、N型の拡散層32、33に形成され、ベース導出領域として用いられる。N型の拡散層36、37を形成することで、コンタクト抵抗が低減される。尚、N型の拡散層32、33は、第1図の点線6、7により囲まれる領域に対応し、N型の拡散層36、37は、第1図の点線16、17により囲まれる領域に対応する。

P型の拡散層34、35は、N型の拡散層32、33に形成される。尚、P型の拡散層34、35は、第1図の実線9、13により囲まれる領域に対応する。

N型の拡散層38は、エピタキシャル層24に形成される。N型の拡散層38は、P型の拡散層22を取り囲むように一環状に形成される。N型の拡散層38とN型の埋込層31とは連結する。つまり、N型の拡散層38が、コレクタ領域であるP型の拡散層22の外周に配置され、コレクタ電圧よりも高い電圧が印加されることで、エピタキシャル層24表面が反転し、コレクタ電流が分離領域を介して基板23へと流れることを防止する。尚、N型の拡散層38は、第1図の点線2、3により囲まれる領域に対応する。

絶縁層39が、エピタキシャル層24上に形成される。そして、例えば、 CHF_3 または CF_4 系のガスを用いたドライエッチングにより、絶縁層39にコンタクトホール40から46が形成される。

コンタクトホール40から46には、アルミ合金、例えば、Al-Si膜が選択的に形

成され、電極 47、48、コレクタ電極 49、エミッタ電極 50、51 及びベース電極 52、53 が形成される。

図示したように、縦型 PNP トランジスタでは、P 型の拡散層 22 と N 型の拡散層 36、37 との間に、エミッタ領域としての P 型の拡散層 34、35 が配置されない領域を有する。詳細は後述するが、この領域において、縦型 PNP トランジスタがオン動作する際に、N 型の拡散層 38（P 型の拡散層 22 の外側に位置する N 型のエピタキシャル層 24 を含む）、P 型の拡散層 22 及び N 型の拡散層 36、37（P 型の拡散層 22 の内側に位置する N 型のエピタキシャル層 24 を含む）により成る寄生 $T_r 1$ を積極的にオン動作させることで、基板 23 へのリーク電流を防止できる。

10 第 4 図では、第 1 図に示す B-B 線方向の断面図を示し、第 3 図を用いて説明した縦型 PNP トランジスタの構成要素には同一の符番を付す。

図示の如く、P 型の拡散層 19 から 22 は、P 型の埋込層 29、54 から 56 と連結する。P 型の埋込層 29、54 から 56 は、P 型の埋込層 27 と連結し、P 型の拡散層 19 から 21 は、主に、縦型 PNP トランジスタのコレクタ領域として機能する。そして、P 型の拡散層 19 から 21 の拡散幅 W_2 （第 1 図参照）は、その表面近傍では、 $16 \mu m$ 程度であり、不純物濃度が 5.0×10^{18} から $2.0 \times 10^{20} / cm^3$ 程度となるように、例えば、イオン注入法により形成される。

この構造により、縦型 PNP トランジスタでは、分割されたエミッタ領域間にコレクタ領域が配置され、エミッタ領域から注入された正孔が、コレクタ領域に到達するまでの電流経路が短くなり、寄生抵抗が低減される。そして、エミッタ領域が分割されることで、その形成領域は低減するが、有効に機能するエミッタ領域が増大し、寄生抵抗が低減することで、縦型 PNP トランジスタの電流能力が向上される。

尚、本実施の形態では、P 型の拡散層 19 から 21 上にはコレクタ電極が形成されていないが、この場合に限定するものではない。例えば、P 型の拡散層 19 から 21 上にコレクタ電極を配置し、更なる、コレクタ領域での寄生抵抗が低減される場合でも良い。

第 5 図 (A) に示す如く、上述した縦型 PNP トランジスタが、飽和領域で用いられる回路について説明する。尚、第 3 図を、適宜、参照し、縦型 PNP トランジスタ及び縦型 PNP トランジスタ内で駆動する寄生トランジスタについて説明する。

図示したように、縦型PNPトランジスタのエミッタ電極には、電源電圧V1（例えば、13.0V）が印加される。コレクタ電極には、抵抗R1（例えば、12kΩ）により電圧調整され、電源電圧V1とほぼ同等な電圧（電源電圧V1との電位差が0.3V以下の電圧（例えば、12.9V））が印加される。そして、ベース電極には、可変電圧V2により所望の電圧（例えば、12.3V）が印加され、縦型PNPトランジスタがオン動作する。尚、第3図に示すように、P型の拡散層22の外側に位置するエピタキシャル層24と接続する電極47、48には、電源電圧V1が印加される。

次に、縦型PNPトランジスタがオン動作し、ベース電極に印加される電圧（12.1V）を下げ、ベース電流を増大させると、上記寄生Tr1（第3図参照）がオン動作する。

このとき、第3図に示すように、N型の埋込層25、P型の埋込層27及びN型の埋込層30から成る寄生NPNトランジスタTr2（以下、寄生Tr2と呼ぶ。）にも寄生Tr1とほぼ同等な電圧が印加される。しかしながら、寄生Tr1は、寄生Tr2よりもベース幅が狭く、ベース領域での不純物濃度も低いため、ベース電流が低減されることで、電流増幅率（hFE）が高くなる。この構造により、寄生Tr1がオン動作し、P型の拡散層22が配置されるエピタキシャル層24表面近傍領域が、主に、寄生Tr1の電流経路となる。

上述したように、縦型PNPトランジスタがオン動作する際、寄生Tr1がオン動作し、寄生Tr2がオン動作することを抑止できる。そして、寄生Tr2のN型の埋込層25に電流が流れることを抑止し、N型の埋込層25での電位降下が抑止できる。その結果、P型の基板23、N型の埋込層25及びP型の埋込層27から成る寄生PNPトランジスタTr3（以下、寄生Tr3と呼ぶ。）では、ベース領域としてのN型の埋込層25とエミッタ領域としてのP型の埋込層27とのPN接合領域に、この接合領域が動作する順方向電圧が印加されることがない。そして、寄生Tr3のオン動作が抑止されることで、基板23へのリーク電流を防止できる。つまり、電源ラインからグラウンドラインへと電流がリークすることを防止し、グラウンド電位に設定された基板23の電位が変動することを防止できる。そして、同一の基板23に形成された周辺回路のラッチアップによる誤動作が防止される。

第5図（B）では、実線で示す本実施の形態の縦型PNPトランジスタと点線で示す従

来の実施の形態の縦型PNPトランジスタにおいて、それぞれ飽和領域にて駆動させた場合の基板へのリーク電流を示す。そして、横軸は、縦型PNPトランジスタのベース電流を示し、縦軸は、縦型PNPトランジスタでの基板へのリーク電流を示す。そして、それぞれの縦型PNPトランジスタサイズや印加される電圧等の測定条件は、実質、同等である。

尚、本実施の形態の縦型PNPトランジスタの構造は、第1図から第4図を用いて上述した構造である。一方、従来の実施の形態の縦型PNPトランジスタの構造は、第7図を用いて説明したように、エミッタ領域としてのP型の拡散層89が、ベース導出領域としてのN型の拡散層90の周囲を一環状に囲む構造である。更に、コレクタ領域としてのP型の拡散層86、87の不純物濃度及び拡散幅が、実質、同一となる構造である。

図示したように、本実施の形態の縦型PNPトランジスタでは、寄生 T_{r1} （第3図参照）がオン動作することで、寄生 T_{r2} （第3図参照）のオン動作を抑止し、基板23（第3図参照）へのリーク電流を防止することができる。一方、従来の実施の形態の縦型PNPトランジスタでは、例えば、ベース電流が30mAまでは基板82（第7図参照）へのリーク電流を防止することができる。しかしながら、ベース電流を増大させるにつれて、基板82へのリーク電流が増大する。これは、縦型PNPトランジスタのベース電流が増大することで、N型の埋込層84（第7図参照）での電位降下が起こる。そして、寄生 T_{r6} （第7図参照）のベース電位が低下することで、寄生 T_{r6} がオン動作し、寄生 T_{r6} の電流値が増大する動作に起因するからである。

つまり、本実施の形態の縦型PNPトランジスタでは、第1図に示すように、コレクタ領域としてのP型の拡散層18から22の不純物濃度、拡散幅（ $W1$ から $W3$ ）を変えることで、エピタキシャル層24（第3図参照）表面近傍が寄生電流経路となる。そして、N型の埋込層25（第3図参照）での電位低下を抑止し、寄生 T_{r3} （第3図参照）のオン動作を抑止することで、基板23（第3図参照）へのリーク電流を防止できる。

尚、本実施の形態では、コレクタ領域としてのP型の拡散層18から21が、コレクタ領域としてのP型の拡散層22よりも、その拡散幅が広く、その不純物濃度が高い場合について説明したが、この場合に限定するものではない。例えば、P型の拡散層18から21が、P型の拡散層22よりも、その拡散幅が広くなる構造のみにおいて、上記基板23

へのリーク電流を防止する効果を得る場合でも良い。あるいは、P型の拡散層18から21が、コレクタ領域としてのP型の拡散層22よりも、その不純物濃度が高くなる構造のみにおいて上記基板23へのリーク電流を防止する効果を得る場合でも良い。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

16

請求の範囲

1. ベース拡散層と、前記ベース拡散層と重畳して形成されるエミッタ拡散層と、前記ベース拡散層の周囲に形成されるコレクタ拡散層とが形成される半導体層を有する半導体装置において、

前記コレクタ拡散層は、前記エミッタ拡散層の形成領域を複数領域へと区画する第1の拡散層と、前記第1の拡散層の周囲に形成される第2の拡散層とを有し、

前記第1の拡散層は、一方向に延在する第1の領域と、他方向に1つ以上形成され、且つ、前記第1の領域と直交する第2の領域とを有し、

10 前記第2の拡散層は、前記第1の領域と連続し、前記ベース拡散層を囲むように配置され、前記エミッタ拡散層は、前記第2の領域間に配置されることを特徴とする半導体装置。

2. 前記第1の拡散層は、前記第2の拡散層よりも拡散幅が広く形成されることを特徴とする請求の範囲第1項に記載の半導体装置。

3. 前記第1の拡散層は、前記第2の拡散層よりも不純物濃度が濃く形成されることを特徴とする請求の範囲第1項または請求の範囲第2項に記載の半導体装置。

4. 前記ベース拡散層と重畳して形成されるベース導出拡散層とを有し、

前記第2の拡散層は、前記エミッタ拡散層を介さず前記ベース導出拡散層と対向する領域を有することを特徴とする請求の範囲第1項から請求の範囲第3項のいずれか1項に記載の半導体装置。

20 5. 前記半導体層上には絶縁層が形成され、

前記第1の拡散層上の前記絶縁層にのみコレクタ電極と接続するためのコンタクトホールが形成されることを特徴とする請求の範囲第1項から請求の範囲第3項のいずれか1項に記載の半導体装置。

6. 前記ベース拡散層と重畳して形成されるベース導出拡散層とを有し、

25 前記ベース導出拡散層は、前記一方向に延在し、且つ、前記第1の領域に対して対称に配置され、

前記第2の拡散層は、前記エミッタ拡散層を介さず前記ベース導出拡散層と対向する領域を有することを特徴とする請求の範囲第1項から請求の範囲第3項のいずれか1項に記

載の半導体装置。

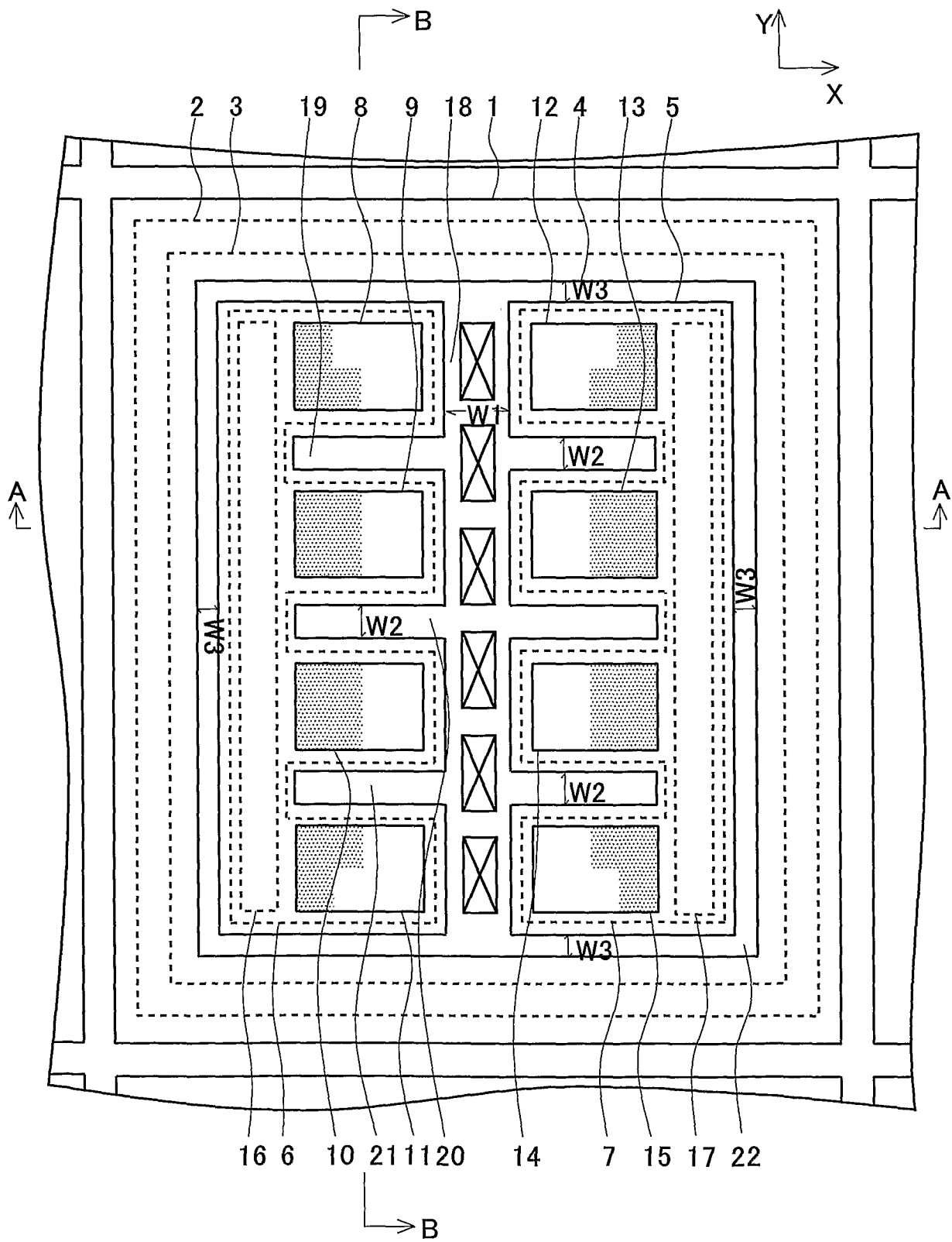
7. 前記半導体層には、一導電型の前記コレクタ拡散層の周囲に形成される逆導電型の拡散層とを有し、前記逆導電型の拡散層には前記コレクタ拡散層よりも高い電位が印加されることを特徴とする請求の範囲第1項から請求の範囲第3項のいずれか1項に記載の半

5 導体装置。

8. 前記エミッタ拡散層には、エミッタ領域として有効に機能する領域を有し、前記有効機能領域が、前記第2の領域と対向することを特徴とする請求の範囲第1項から請求の範囲第7項のいずれか1項に記載の半導体装置。

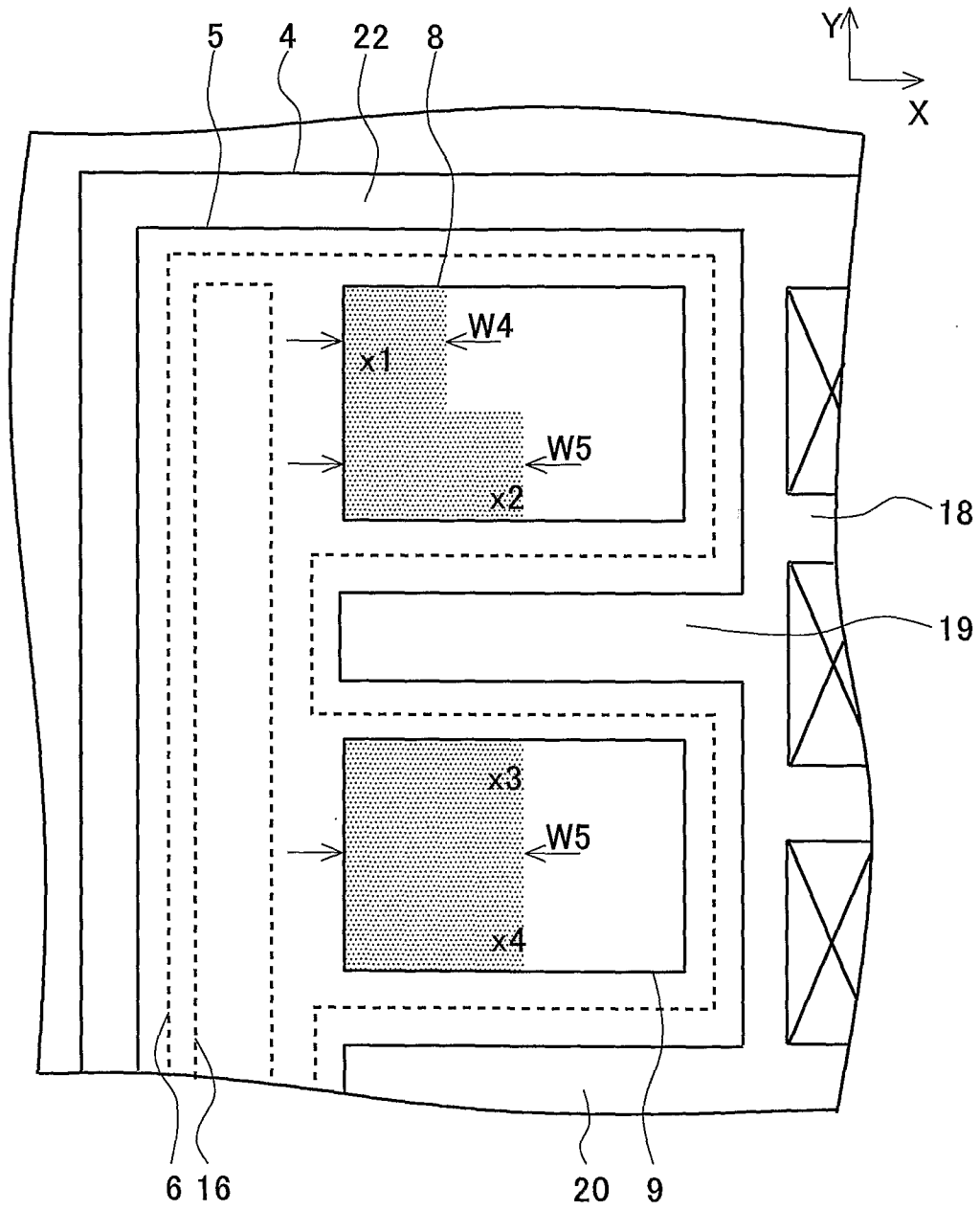
第1図

1/8

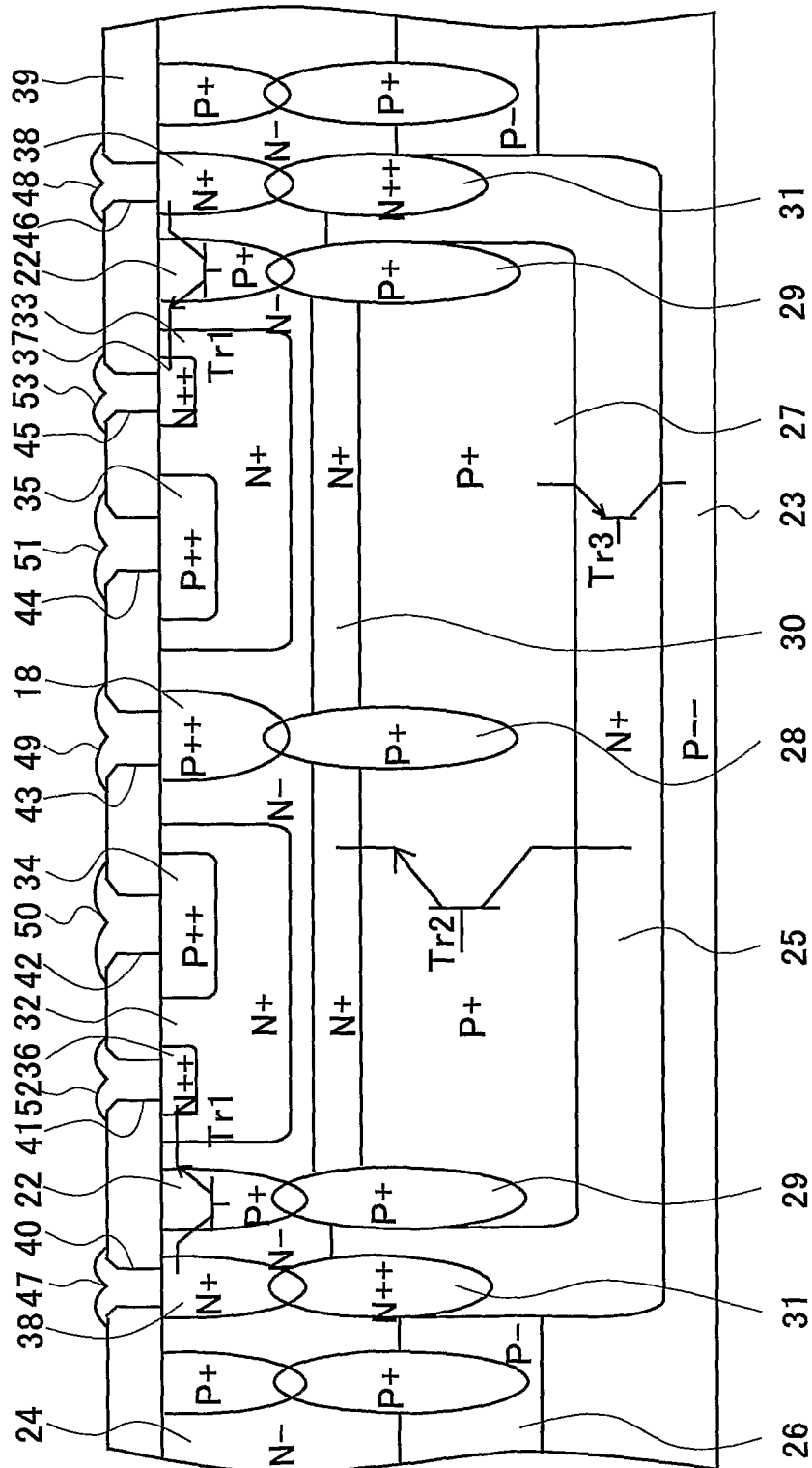


第2図

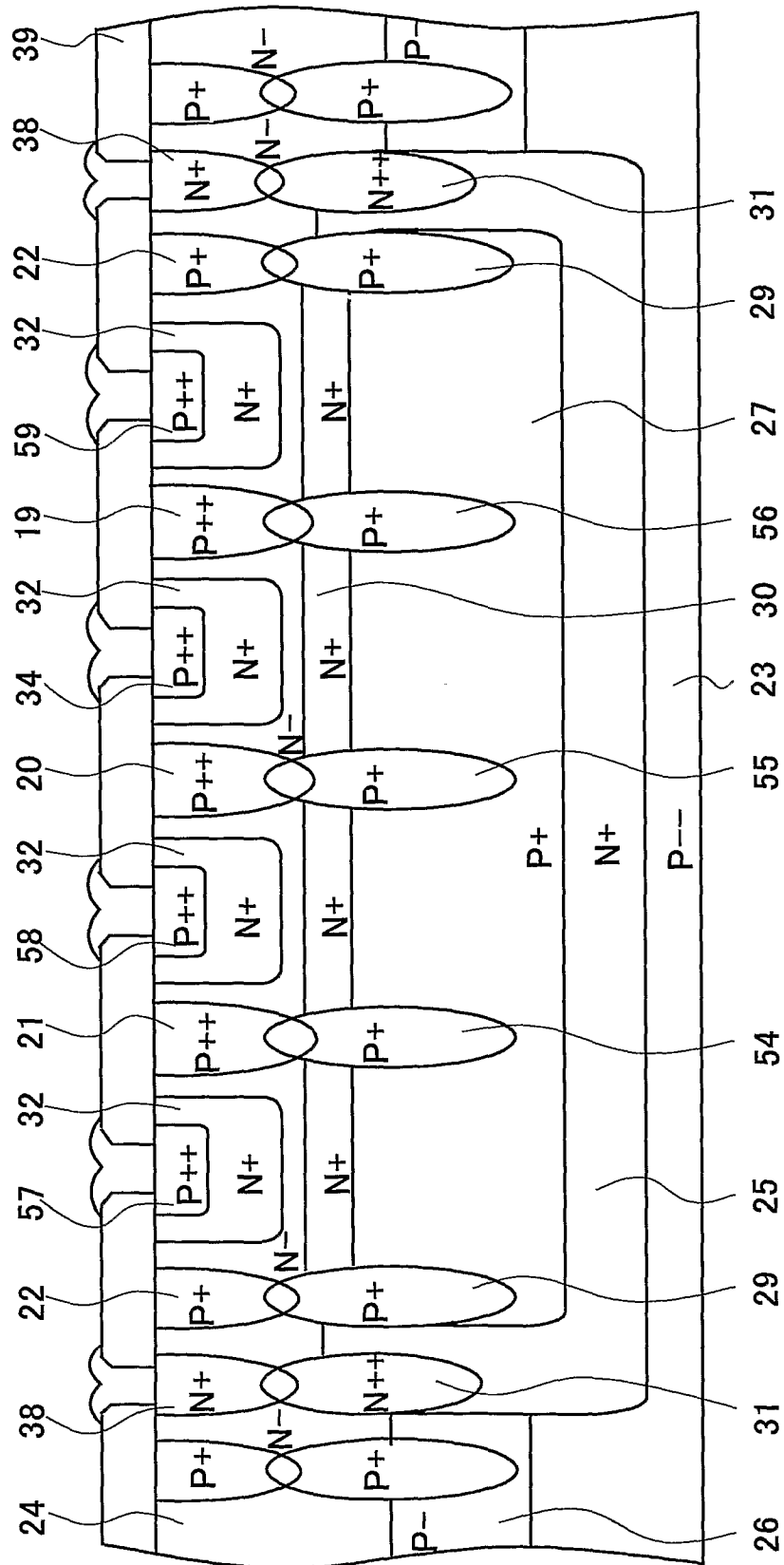
2/8



第3図



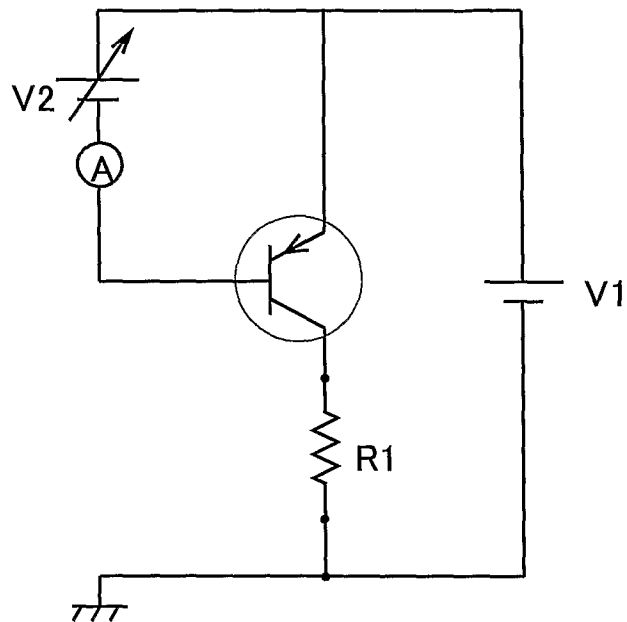
第4図



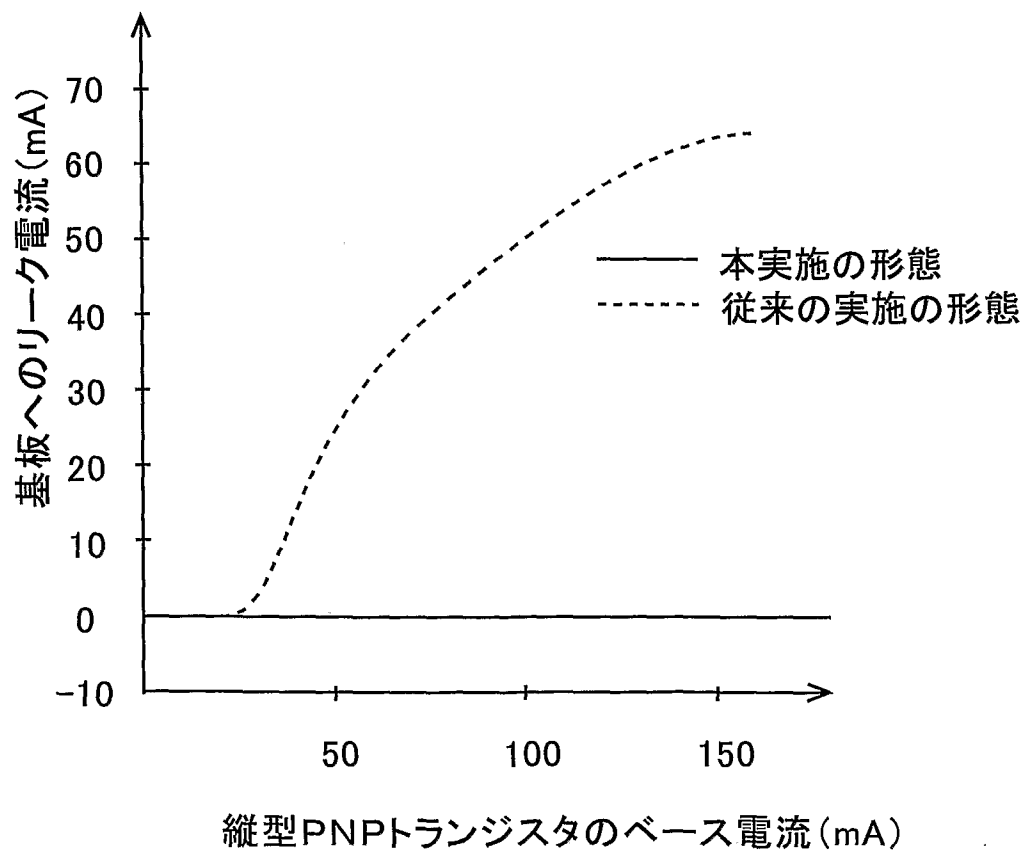
第5図

5/8

(A)



(B)

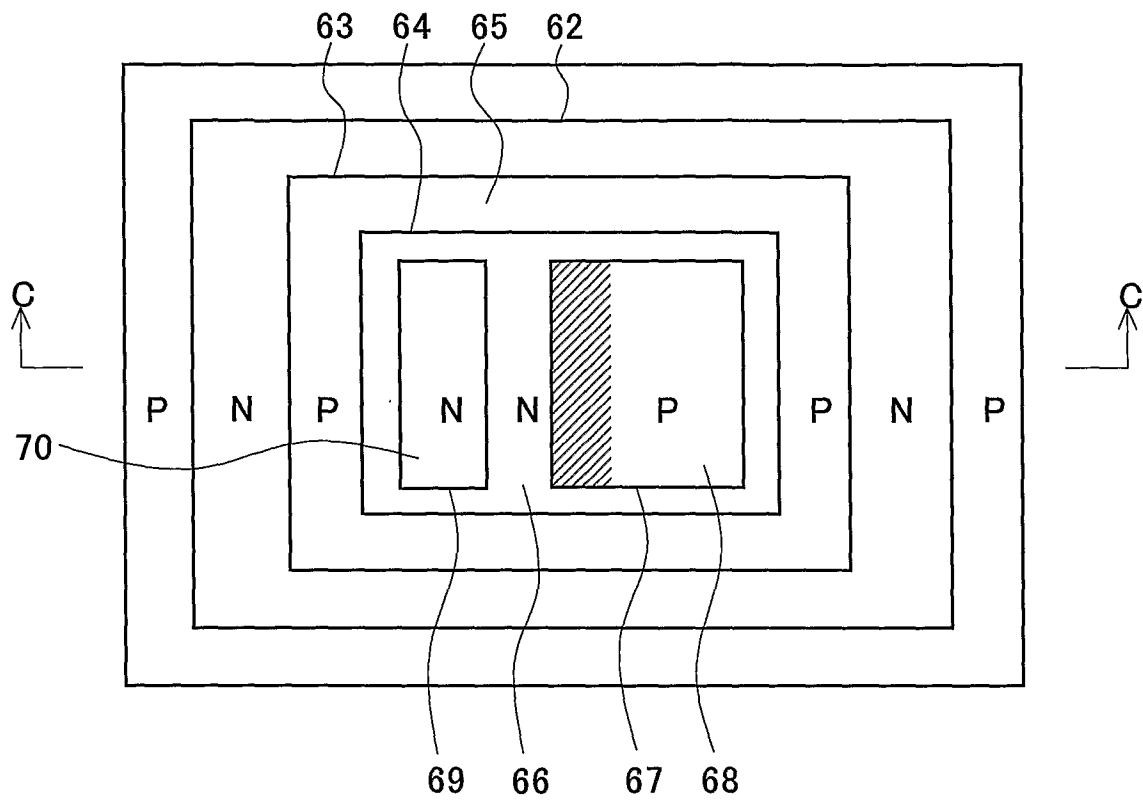


第6図

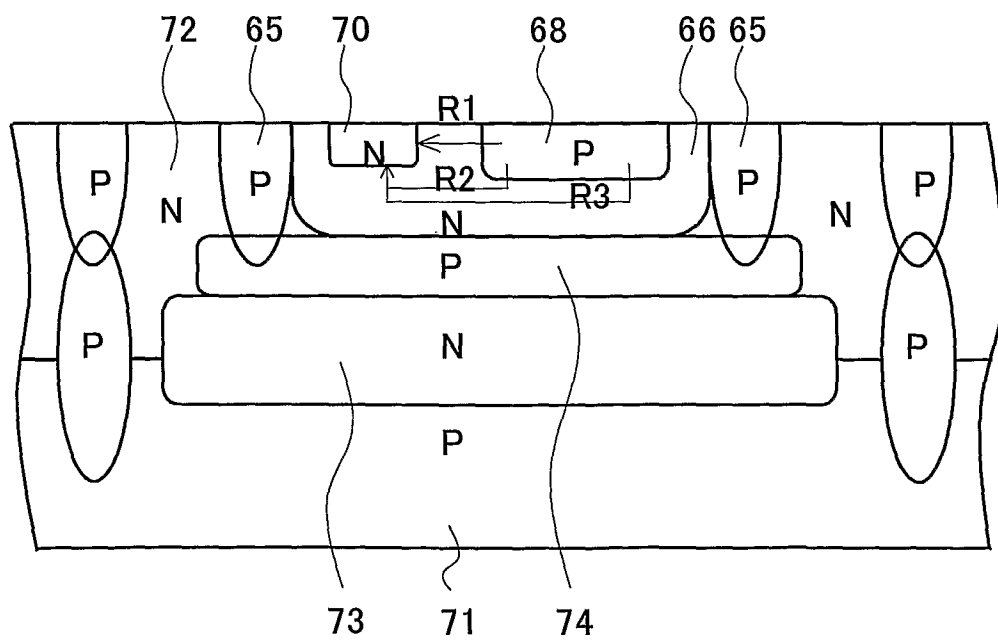
6/8

(A)

61

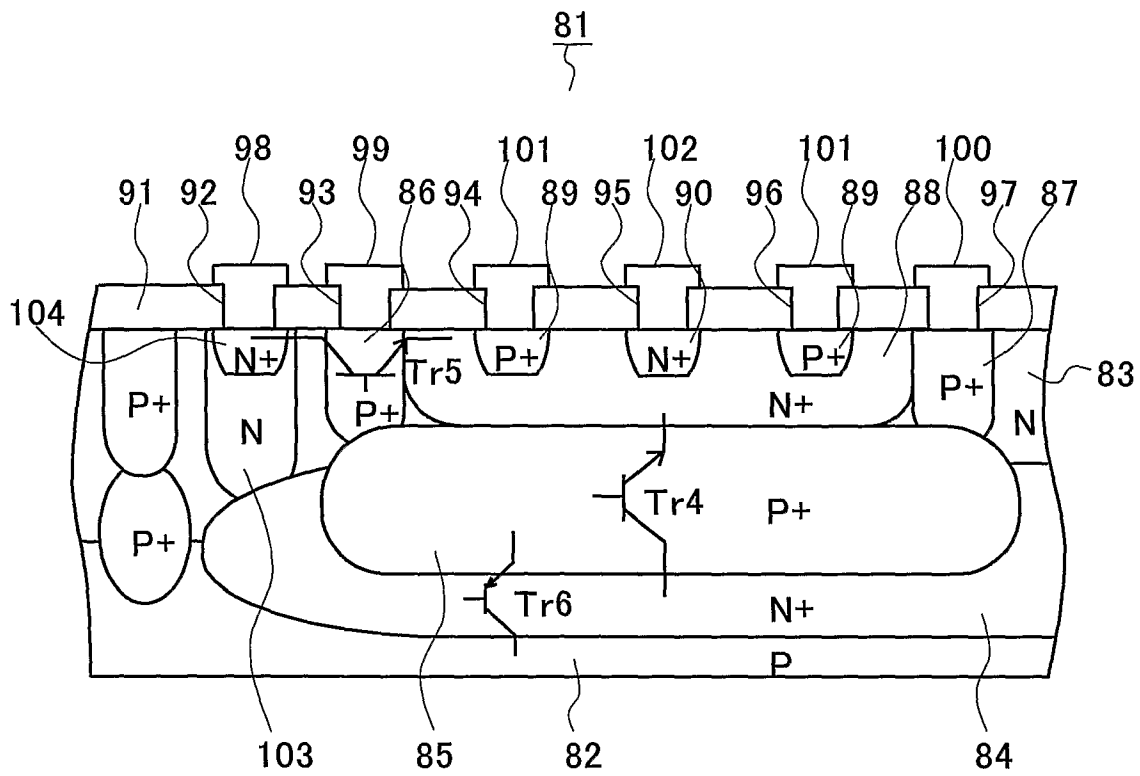


(B)



第7図

7/8



8/8

- 1 8 P型の拡散層
- 2 2 P型の拡散層
- 2 3 P型の単結晶シリコン基板
- 2 4 N型のエピタキシャル層

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060416

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/331(2006.01) i, H01L21/8222(2006.01) i, H01L27/06(2006.01) i,
H01L29/732(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/331, H01L21/8222, H01L27/06, H01L29/732

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2001-267327 A (NEC Corp.), 28 September, 2001 (28.09.01), Fig. 4 & US 2001/0038139 A1	1, 4 - 8 2, 3
A	JP 2007-207903 A (Sanyo Electric Co., Ltd.), 16 August, 2007 (16.08.07), Fig. 2 (Family: none)	1 - 8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 July, 2009 (24.07.09)

Date of mailing of the international search report
04 August, 2009 (04.08.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/331 (2006.01) i, H01L21/8222 (2006.01) i, H01L27/06 (2006.01) i, H01L29/732 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/331, H01L21/8222, H01L27/06, H01L29/732

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2001-267327 A (日本電気株式会社) 2001.09.28, 図 4 & US 2001/0038139 A1	1, 4-8 2, 3
A	JP 2007-207903 A (三洋電機株式会社) 2007.08.16, 図 2 (ファミリーなし)	1-8

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 7 . 2 0 0 9

国際調査報告の発送日

0 4 . 0 8 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

棚田 一也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

9 3 6 1