



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

PATENTSCHRIFT

(19) DD (11) 218 237 A1

4(51) H 03 K 19/092
H 03 K 17/30

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	WP H 03 K / 255 776 8	(22)	19.10.83	(44)	30.01.85
------	-----------------------	------	----------	------	----------

(71)	VE Braunkohlenkombinat Bitterfeld-Stammbetrieb, 4011 Halle, Eisenbahnstraße 10, DD
(72)	Fuchs, Klaus, Dipl.-Ing.; Lange, Wolfgang; Walther, Helmut; Kindt, Manfred, Dipl.-Ing., DD

(54) Interfaceanordnung zur automatischen Pegelanpassung

(57) Die Erfindung betrifft eine Interfaceanordnung zur automatischen Pegelanpassung beim eingangs- und/oder ausgangsseitigen Zusammenschalten von Bausteinen aus verschiedenen Logikfamilien, insbesondere in der Anwendung bei Servicegeräten der Automatisierungstechnik. Ziel der Erfindung ist die Ausstattung derartiger Geräte mit einer Ein- und/oder Ausgangsschaltung, die bei minimalem Bauelementenaufwand eine hohe Bedienungsfehlersicherheit garantiert. Die Aufgabe der Erfindung besteht damit in der Beibehaltung der Betriebsspannung und des Bezugspotentials beim Zusammenschalten von Bausteinen verschiedener Logikfamilien. Das Wesen der Erfindung besteht aus einer Eingangsschaltung zur automatischen Pegelanpassung für interne p-MOS-Logik sowie einer mit dieser korrespondierenden Ausgangsschaltung und einer Eingangs- und Ausgangsschaltung für geräteinterne TTL-Logik, die dem gemeinsamen Gebrauch in Servicegeräten für die Automatisierungstechnik angepaßt sind. Fig. 1

Interfaceanordnung zur automatischen Pegelanpassung

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Interfaceanordnung zur automatischen Pegelanpassung beim eingangs- und/oder ausgangsseitigen Zusammenschalten von Bausteinen aus verschiedenen Logikfamilien, vorzugsweise von p-MOS- und TTL-Bausteinen, insbesondere als Interface von Service-Geräten in der Automatisierungstechnik.

Charakteristik der bekannten technischen Lösungen

Für die Zusammenschaltung von zwei bekannten unterschiedlichen Logikfamilien ist eine große Anzahl von Lösungen für spezielle Anwendungsfälle bekannt. Sie sind jedoch sämtlich für einen universellen Einsatz, wie er bei Service-Geräten erforderlich ist, ungeeignet. Um die Ansteuerung von Eingangsschaltungen mit Hilfe unterschiedlicher Logikfamilien zu ermöglichen, wurden

bereits universelle Programmwahlschaltkreise entwickelt, bei denen jedoch eine Umschaltung der Speisespannungen und eine Änderung des Bezugspotentials in Abhängigkeit von der Logikfamilie des jeweiligen Schaltkreises erforderlich ist. Damit ist auch bei Verwendung dieser Lösung eine Sicherheit gegen Fehlbedienungen nicht vorhanden.

Eine weitere Schaltungsanordnung zur wahlfreien Ansteuerung durch unterschiedliche Logikfamilien wurde in der Zeitschrift "Radio und Fernsehen/Elektronik" Heft 7/1981, S. 467 veröffentlicht. Diese Anwendung besitzt zunächst nicht die Nachteile der vorgenannten Lösungen. Für den vorgesehenen Einsatz ist sie jedoch aus folgenden Gründen nicht geeignet:

Einmal ist das Bezugspotential der ansteuernden Logikfamilie nicht identisch mit dem der internen Verarbeitungslogik. Das führt zu großen Abhängigkeiten der Schaltpunkte vom Versorgungsspannungspotential der Bauelemente und von Bauelementstreuungen. Außerdem wird, wie in der Literaturstelle betont, der Störabstand vermindert. Nur optimale Pegelwerte führen damit zu einer ordnungsgemäßen Arbeit der Eingangsschaltung. Darüberhinaus ist bei dieser Lösung die notwendige Verwendung von drei Spannungsquellen (+ 13 V; - 13 V; + 5 V), wovon die eine (+ 5 V) nur für die Pegelwandlung benötigt wird, nachteilig.

Für die Ausgangsschaltung wurden bisher keine Lösungen bekannt, die eine wahlfreie Ansteuerung von p-Kanal-Hochvolt MOS-oder TTL-Bauelementen gestatten.

Ziel der Erfindung

Es ist Ziel der Erfindung, vorzugsweise Service-Meßgeräte mit einer Ein- und/oder Ausgangsschaltung auszustatten, die einen wahlweisen Anschluß unterschiedlicher Logikfamilien, beispielsweise TTL- und p-MOS-Bausteinen mit geringstem Bauelementaufwand und hoher Bedienungsfehlersicherheit ermöglichen.

Das Wesen der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Beschaltung insbesondere von Service-Meßgeräten zu entwickeln, die bei Verzicht auf die Umschaltung der Betriebsspannungen und Beibehaltung des Bezugspotentials ein Zusammenschalten von Bausteinen aus verschiedenen Logikfamilien, vorzugsweise von TTL- und p-MOS-Bausteinen gestattet.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, indem ein wahlweise durch aktive p-MOS- oder TTL-Bausteine ansteuerbarer Logikeingang, beispielsweise von Servicegeräten an die Anoden-Katoden Verbindung einer durch Dioden gebildeten Serienschaltung gelegt wird, deren beiden verbliebenen Katoden/Anoden-Anschlüsse durch Spannungsteiler abgeschnitten werden, die auf Bezugspotential liegen. Die Ausgänge der Spannungsteiler sind an den Eingängen eines Differenzverstärkers mit insbesondere Schwellwertkennlinie in der Weise angeschlossen, daß bei geräteinterner p-MOS-Logik der von der Katode des antiparallelen Diodenpaares angesteuerte Spannungsteiler mit dem negierenden Eingang verbunden, der nichtnegierende Eingang hingegen mit dem von der Anode des Diodenpaares angesteuerten Spannungsteiler beschaltet ist. Bei geräteinterner TTL-Logik erfolgt eine entgegengesetzte Polung der Eingänge des Differenzverstärkers. Der Ausgang des Differentialverstärkers ist bei interner p-MOS-Logik mit der Katode einer zum Ausgang der Schaltungsanordnung führenden Diode und einem gegen Bezugspotential liegendem Widerstand beschaltet, wogegen bei interner TTL-Logik Diode und Widerstand in den entgegengesetzten Zweigen angeordnet, die Diode also als Klemmdiode verwendet wird.

Diese, beiden Schaltkreislogikarten anpaßbaren Eingangsschaltungen, korrespondieren beim Gebrauch mit Komplementären Ausgangsschaltungen, welche in folgender Weise angepaßt sind:

Sofern geräteintern eine p-MOS-Logik verwendet wird, wird die Aufgabe erfindungsgemäß durch eine im Signalweg liegende Parallelschaltung von einem am Eingang der Schaltung liegenden Strombegrenzungswiderstand mit einer katodenseitig verbundenen Diode, welche zum Ausgang führt und einem mit seinem Gate am Eingang der Anordnung angeschlossenen n-Kanal-Verarmungs-FET, dessen Source-Anschluß mit dem Bezugspotential verbunden ist, und dessen Drain-Anschluß an der Katode einer ebenfalls zum Ausgang der Anordnung führenden Diode liegt, erfüllt.

Bei geräteinterner TTL-Logik besteht die Ausgangsschaltung aus einer im Signalweg liegenden Parallelschaltung von einem den ersten Zweig bildenden eingangsseitig angeordneten Strombegrenzungswiderstand, dessen zweiter Anschluß an der Anode einer gegen das Bezugspotential geschalteten Lumineszenzdiode liegt, welche Bestandteil eines Optokopplers mit einem Fototransistor ist. Der Fototransistor liegt mit seinem Emitter auf Bezugspotential und mit dem Kollektor an der Katode einer zum Ausgang führenden Diode, wobei der zweite Zweig der Parallelschaltung aus in gleicher Weise angeordneten Strombegrenzungswiderstand und Lumineszenzdiode besteht, während der zugeordnete Fototransistor mit seinem Kollektor auf Bezugspotential und mit seinem Emitter an der Anode einer katodenseitig am Ausgang liegenden Diode angeschlossen ist. Der Ausgang ist über einen Widerstand mit einem gegenüber Bezugspotential negativen Potential verbunden.

Ausführungsbeispiel

Die Erfindung soll nachstehend an einem Ausführungsbeispiel näher erläutert werden.

Die zugehörigen Zeichnungen zeigen:

Fig. 1 : Eine Eingangsschaltung der automatischen Pegelanpassung.

Fig. 2 : Eine Eingangsschaltung für interne TTL-Logik.

Fig. 3 : Die korrespondierende Ausgangsschaltung für interne p-MOS-Logik.

Fig. 4 : Die entsprechende Ausgangsschaltung für eine interne TTL-Logik.

Die Erläuterung der Anordnung zur automatischen Pegelanpassung soll anhand der Funktionsweise erfolgen: Liegt am Eingang E der Eingangsschaltung gemäß Fig. 1 kein Potential, so werden die Eingänge des Differenzverstärkers 7 über die Spannungsteilerwiderstände 4;6 an Bezugsspannungspotential gelegt und es entsteht keine Differenzspannung. Damit führt auch der Ausgang des als Komparator arbeitenden Differenzverstärkers 7 keine Spannung gegen Bezugspotential, Diode 8 sperrt, und über den Widerstand 9 liegt am Schaltungsausgang A ebenfalls logisch "0" an.

Bei "1"-Ansteuerung durch TTL-Bauelemente (positiv gegen Bezugspotential) gelangt die Eingangsspannung über die Diode 1 und die Spannungsteilerwiderstände 3;4 auf den negierenden Eingang des Differenzverstärkers 7. Dadurch entsteht am Ausgang des Differenzverstärkers 7 eine negative Ausgangsspannung, die durch die Diode 8 auf den Schaltungsausgang A gelangt (logisch "1").

Bei "1"-Ansteuerung durch p-MOS-Bauelemente (negativ gegen Bezugspotential) gelangt die Eingangsspannung über die Diode 2 und die Spannungsteilerwiderstände 5;6 an den nichtnegierenden Eingang des Differenzverstärkers 7. Die ausgangsseitige Wirkung entspricht ebenfalls dem aus der TTL-"1"-Ansteuerung hergeleiteten Zustand. Diese Eingangsschaltung realisiert somit nichtnegierenden des Verhalten

Die Funktion der Anordnung gemäß Fig. 2 besitzt sinn-
mäßige Funktionsmerkmale. Am Differenzverstärker 7 entsteht
lediglich die entgegengesetzte Polarität, so daß sie für
die Ansteuerung von TTL-Bauelementen geeignet ist. Die
Widerstands-Dioden-Anordnung 10;11 wirkt wie die Wider-
stands-Dioden-Anordnung 8;9 in Fig. 1 als Schutz der
geräteinternen Logikbauelemente vor verbotenen Eingangs-
spannungen. Schließlich ist darauf zu verweisen, daß die
Eingangsschaltungsanordnung mit "1"-aktiven Bauelementen
angesteuert werden muß.

Die zuzuordnende Ausgangsschaltung gemäß Fig. 3 besitzt
folgende Funktionen:

Liegt am Schaltungseingang E der Anordnung logisch "0"
an, ist bei Ausgangsbeschaltung der Anordnung mit p-MOS-
Bauelementen die gesamte Anordnung stromlos. Am Schal-
tungsausgang A liegt deshalb ebenfalls logisch "0" für
p-MOS-Bauelemente an. Bei Ausgangsbeschaltung mit TTL-
Bauelementen stellen sich hingegen folgende Verhältnisse
ein:

Der n-Kanal-Verarmungs-FET 15 ist durch seine Gatespan-
nung von Null-V leitend und schließt damit über die Di-
ode 14 den Eingang der anzustuernden Bausteine gegen
Bezugspotentialkurz. Das entspricht logisch "0". Die
Schwellspannung der Diode 13 begrenzt in Verbindung mit
dem Strombegrenzungswiderstand 12 das Durchgreifen der
positiven Ausgangsspannung auf den ansteuernden p-MOS-
Baustein, wodurch dieser ebenfalls nicht über die Grenz-
daten belastet wird.

Liegt am Schaltungseingang E der Anordnung logisch "1"
an, wird der FET durch die negative Gatespannung gesperrt,
wodurch die Diode 14 ebenfalls stromlos ist. Bei Ausgangs-
beschaltung durch p-MOS-Bauelemente wird die negative,
logisch "1" entsprechende Eingangsspannung über den Strom-
begrenzungswiderstand 12 und die Diode 13 auf den Schal-
tungsausgang A gelegt. Bei Beschaltung des Ausgangs A
mit TTL-Bauelementen fällt die Summe aus der negativen

Eingangsspannung und der aus der TTL-Last kommenden positiven Spannung im wesentlichen über den Strombegrenzungswiderstand 12 ab. Er ist demnach insbesondere nach dem maximal zulässigen Eingangsstrom von TTL-Bauelementen für den Zustand logisch "1" zu bemessen. Unter der geprüften Voraussetzung, daß der Strombegrenzungswiderstand 12 sowohl für MOS- als auch für TTL-Schaltungen mit den gleichen Wertebereichen realisiert ist, zeichnet sich die Ausgangsschaltung nach Fig. 3 ebenfalls durch nichtnegierendes Verhalten aus. Für interne TTL-Schaltungen ist die Anordnung nach Fig. 4 geeignet.

Bei logisch "0" am Schaltungseingang E sind die Widerstände 23;24 und die Dioden 16;19 stromlos und damit auch die Fototransistoren 17;20 gesperrt und somit die Dioden 18;21 stromlos.

Bei Beschaltung dieser Anordnung mit p-MOS-Bauelementen wirkt am Schaltungseingang E die durch den Widerstand 22 auf den Schaltungsausgang A angeschaltete negative Spannung (logisch "1").

Bei Beschaltung mit TTL-Bauelementen ist die minimale Größe des Widerstandes 22 nach den unter Fig. 3 erläuterten Gesichtspunkten zu bestimmen, so daß auch hier für TTL-Bauelemente logisch "1" wirksam wird.

Bei logisch "1" am Schaltungseingang E befinden sich die Bauelemente 16;17;19;20;23;24 im durchgesteuerten Zustand. Liegt nun am Schaltungsausgang A ein anzusteuernendes p-MOS-Bauelement, so wird der durch den Widerstand 22 gelieferte Strom über die Bauelemente 20;21 gegen Bezugspotential abgeleitet und das Eingangspotential entspricht logisch "0". Liegt an dem Schaltungsausgang A ein anzusteuernendes TTL-Bauelement, so wird der von dessen Eingang gelieferte Strom über die Bauelemente 17;18 gegen Bezugspotential kurzgeschossen. Der vom Widerstand 22 gelieferte Strom hat in diesem Falle nur unterstützende Wirkung. Auch für diesen Schaltzustand wird am Schaltungsausgang A logisch "0" für die verschiedenen Bauelemente realisiert.

Die Anordnung nach Fig. 4 zeichnet sich als durch ein negierendes Verhalten aus.

Erfindungsanspruch

Interface-

Anordnung zur automatischen Pegelanpassung beim Zusammenschalten von Bauteilen verschiedener Logikfamilien, vorzugsweise p-MOS- und TTL-Bausteinen, insbesondere für die Interface-Anpassung von Service-Meßgeräten, gekennzeichnet dadurch, daß der Schaltungseingang (E) an der Anoden/Katodenverbindung eines antiparallel geschalteten Diodenpaares (1;2) liegt, deren beide andere Anschlüsse gegen Bezugspotential jeweils durch einen aus zwei Widerständen (3;4) (5;6) bestehenden Spannungsteiler abgeschlossen sind, deren Ausgänge an die Eingänge eines Differenzverstärkers (7) mit vorzugsweise Schwellwertkennlinie so angelegt sind, daß bei geräteinterner p-MOS-Logik der katodenseitig angesteuerte Spannungsteiler (5;6) mit dem negierenden Eingang beschaltet und der Ausgang des Differenzverstärkers (7) mit der Katode einer am Schaltungsausgang (A) anliegenden Diode (8) sowie einem gegen Bezugspotential liegenden Widerstand (9) abgeschlossen ist und bei geräteinterner TTL-Logik der anodenseitig angesteuerte Spannungsteiler (3;4) mit dem nichtnegierenden Eingang des Differenzverstärkers (7) und dessen Ausgang über einen Strombegrenzungswiderstand (10) mit dem Schaltungsausgang (A) sowie einer Klemmdiode (11) gegen Bezugspotential beschaltet ist, wobei die korrespondierende Ausgangsschaltung (A) bei geräteinterner p-MOS-Logik aus einer im Signalweg liegenden Parallelschaltung eines am Schaltungseingang (E) liegenden Strombegrenzungswiderstand (12) mit einer katodenseitig angeschlossenen Diode (13) sowie einem n-Kanal-Verarmungs-FET (15) besteht, dessen Gate am Schaltungseingang (E) anliegt, der Source-Anschluß Bezugspotential erhält und der Drain-Anschluß mit der Katode einer den Ausgang (A) belegenden Diode (14) verbunden ist, während bei geräteinterner TTL-Logik eine Parallelschaltung zweier am Schaltungseingang (E) liegender Strombegrenzungswiderstände (12) mit anodenseitig in Reihe angeordneten,

gegen Bezugspotential geschalteten Lumineszenzdiode (16;19) zweier Optokoppler besteht, deren erster Fototransistor (17) emitterseitig mit Bezugspotential und kollektorseitig mit der Katode einer am Schaltungsausgang (A) liegenden Diode (18) beschaltet ist, während der Fototransistor (20) des zweiten Optokopplers kollektorseitig auf Bezugspotential liegt und emitterseitig über eine katodenseitig verbundenen Diode (21) am Schaltungsausgang (A) liegt, der über einen Widerstand (22) mit einem negativen Potential verbunden ist.

- Hierzu eine Seite Zeichnungen -

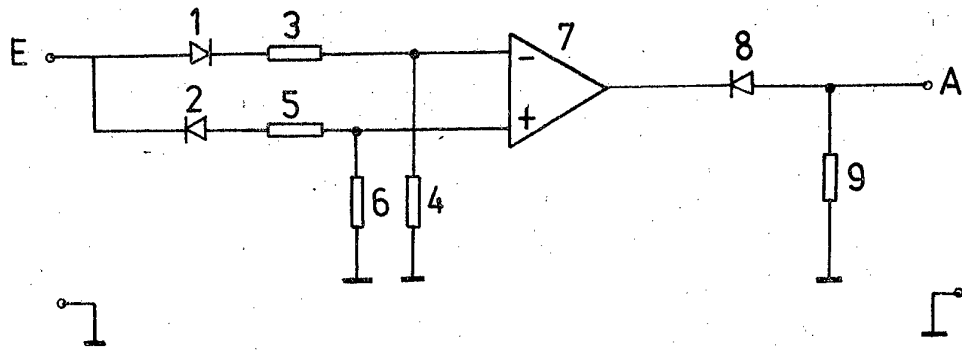


Fig. 1

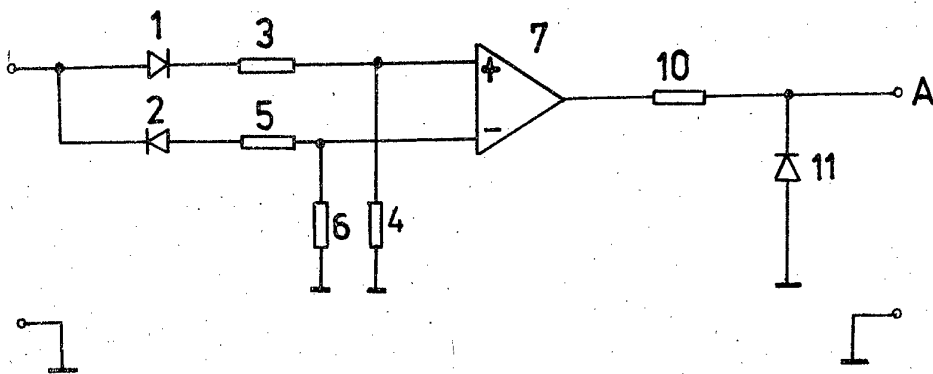


Fig. 2

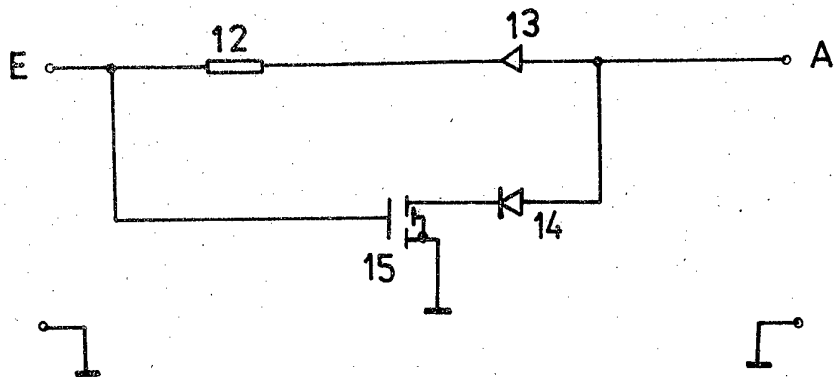


Fig. 3

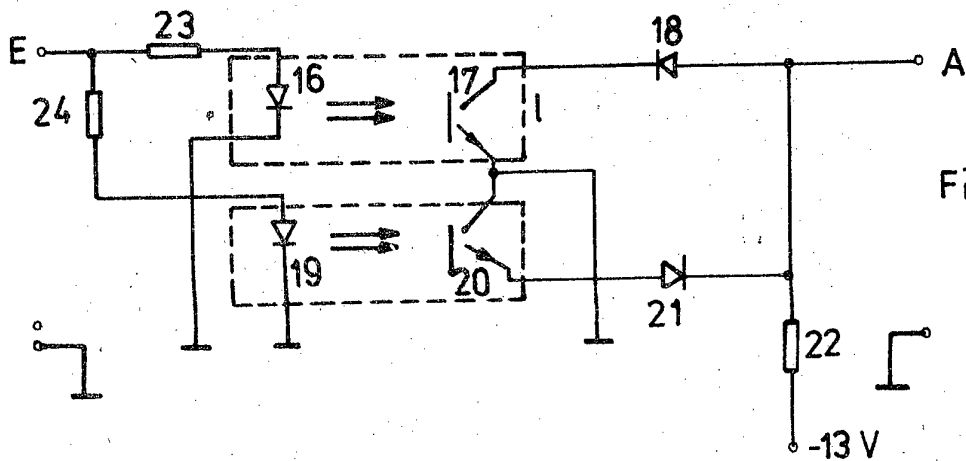


Fig. 4