

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2017年2月9日 (09.02.2017)



(10) 国际公布号  
WO 2017/020328 A1

- (51) 国际专利分类号:  
H01L 21/77 (2006.01)
- (21) 国际申请号: PCT/CN2015/086476
- (22) 国际申请日: 2015年8月10日 (10.08.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201510477766.3 2015年8月6日 (06.08.2015) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋丁珂, Hubei 430079 (CN)。
- (72) 发明人: 李金磊 (LI, Jinlei); 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋丁珂, Hubei 430079 (CN)。
- (74) 代理人: 深圳冀盛智成知识产权事务所(普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道6021号喜年中心A座1709-1711, Guangdong 518040 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(54) Title: MANUFACTURING METHOD FOR ARRAY SUBSTRATE

(54) 发明名称: 一种阵列基板的制作方法

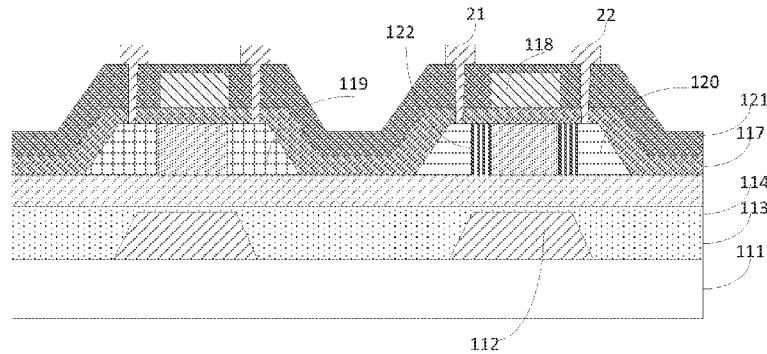


图 10

(57) Abstract: A manufacturing method for an array substrate, comprising forming a light shielding layer (112), an ion barrier layer (113), a buffer layer (114) and a non-crystalline silicon layer (115) on a substrate (111), wherein a raw material for preparing the non-crystalline silicon layer (115) and a mixed raw material containing the element boron are added into a deposition chamber; the non-crystalline silicon layer (115) is converted into a polycrystalline silicon layer (116), the polycrystalline silicon layer (116) is patterned, and a gate insulation layer (117), a first metal layer (118), a protective layer (121) and a second metal layer are formed on the patterned polycrystalline silicon layer (116).

(57) 摘要: 一种阵列基板的制作方法, 包括: 在衬底基板(111)上形成遮光层(112)、离子阻挡层(113)、缓冲层(114)、非晶硅层(115); 其中在沉积腔室中加入所述非晶硅层(115)的制备原料以及含硼元素的混合原料; 将非晶硅层(115)转换为多晶硅层(116), 并对所述多晶硅层(116)进行图形化处理, 在所述图形化处理后的多晶硅层(116)上形成栅绝缘层(117)、第一金属层(118)、保护层(121)、第二金属层。



WO 2017/020328 A1

## 一种阵列基板的制作方法

### 技术领域

- [1] 本发明涉及液晶显示器技术领域，特别是涉及一种阵列基板的制作方法。

### 背景技术

- [2] 低温多晶硅薄膜晶体管制作的显示器，包括液晶显示器或以低温多晶硅薄膜晶体管阵列驱动的 OLED 显示器，低温多晶硅薄膜晶体管的电子迁移率高达  $50\text{cm}^2/\text{V}\cdot\text{s}$  以上，比非晶硅薄膜晶体管的电子迁移率（约  $0.7\text{cm}^2/\text{V}\cdot\text{s}$ ）高出 2~3 个数量级，由于具有上述优良的器件性能，使低温多晶硅的薄膜晶体管阵列基板可以把驱动 IC 也集成到玻璃基板上，可以节省显示器制造的 IC 采购的成本，并有利于制作窄边框显示器。
- [3] 另外，低温多晶硅薄膜晶体管阵列基板把 IC 集成到基板上后，就不受传统非晶硅面板采用 TAB 或 COG(chip on glass) 的外引角间距的限制，可以制作出高 PPI(pixel per inch) 的高清晰显示器。另由于低温多晶硅薄膜晶体管的高电子迁移率，薄膜晶体管可以做更小，面板的开口率也可以相应的提高。
- [4] 低温多晶硅薄膜晶体管阵列基板的制造可以使用类似 COMS 的制造工艺，在面板的外围制作 N 型多晶硅薄膜晶体管和 P 型多晶硅薄膜晶体管，通过集成电路设计的方法，比较容易将驱动 IC 集成到面板的外围。
- [5] 一般多晶硅薄膜制造出来的 N 型 TFT 的阈值电压通常为 0.3 伏，而 P 型 TFT 的阈值电压为负 5 伏左右，两者的绝对值相差较大。当用 N 型多晶硅薄膜晶体管和 P 型多晶硅薄膜晶体管在驱动区形成逻辑门电路时，需要对两者的阈值电压（也叫开启电压）做调整，以便两者阈值电压能够匹配，也就是将 N 型多晶硅薄膜晶体管与 P 型多晶硅薄膜晶体管的阈值电压调整到对于零点位对称，从而达到提升互补式晶体管电路的效果，便于 IC 电路的设计。阈值电压的调整，传统工艺上通常采用离子注入的方式将硼离子掺杂到多晶硅中来实现。即在制备好多晶硅后，再通过离子注入的方式掺杂硼离子，由于离子注入设备比较昂贵，因此生产成本较高。同时由于高能量离子注入时对沟道处多晶硅的晶格损

伤，不利于提高载流子的迁移率和薄膜晶体管的可靠性

- [6] 因此，有必要提供一种阵列基板及其制作方法，以解决现有技术所存在的问题。

对发明的公开

技术问题

- [7] 本发明的目的在于提供一种阵列基板及其制作方法，以解决现有技术制程过程比较复杂，生产成本较高，不利于在大尺寸上应用的技术问题。

问题的解决方案

技术解决方案

- [8] 为解决上述技术问题，本发明构造了一种阵列基板的制作方法，包括以下步骤：

- [9] 将衬底基板放入沉积腔室中，并在所述衬底基板上形成遮光层；

- [10] 在所述遮光层上依次形成离子阻挡层、缓冲层；

- [11] 采用化学气相沉积方式在所述缓冲层上沉积非晶硅层；其中在所述沉积腔室中加入所述非晶硅层的制备原料以及含硼元素的混合原料；所述含硼元素的混合原料为乙硼烷和氢气的混合气体；所述遮光层的厚度为  $300 \text{ \AA} \sim 1000 \text{ \AA}$ ；

- [12] 将所述非晶硅层转换为多晶硅层，并对所述多晶硅层进行图形化处理，其中所述图形化处理后的多晶硅层包括第一多晶硅部和第二多晶硅部；

- [13] 在所述图形化处理后的多晶硅层上形成栅绝缘层；

- [14] 在所述栅绝缘层上形成第一金属层，并对所述第一金属层进行图形化处理至少形成第一栅极和第二栅极；所述第一栅极与所述第一多晶硅部对应，所述第二栅极与所述第二多晶硅部对应；

- [15] 对位于第一部分两侧的所述第一多晶硅部进行 P 型离子注入处理和对位于第二部分两侧的所述第二多晶硅部进行 N 型离子注入处理；所述第一部分为所述第一多晶硅部中与所述第一栅极对应的部分；所述第二部分为所述第二多晶硅部中与所述第二栅极对应的部分；

- [16] 在所述第一金属层上沉积保护层；

- [17] 在所述保护层上形成第二金属层，对所述第二金属层进行图形化处理形成至少

两个源极和至少两个漏极。

- [18] 在本发明的阵列基板的制作方法中，所述乙硼烷和所述氢气的摩尔混合比为 1 : 1000~1 : 5000。
- [19] 在本发明的阵列基板的制作方法中，所述硼元素在所述混合气体中的含量为  $1 \times 10^{11} \sim 5 \times 10^{12}$  atoms/cm<sup>2</sup>。
- [20] 在本发明的阵列基板的制作方法中，所述将所述非晶硅层转换为多晶硅层的步骤包括：
- [21] 对所述非晶硅层进行高温去氢处理；以及
- [22] 对所述去氢处理后的非晶硅层进行准分子激光退火处理和激光照射。
- [23] 在本发明的阵列基板的制作方法中，对所述第二金属层进行图形化处理形成两个源极和两个漏极；所述方法还包括：
- [24] 通过光刻工艺在与每个所述源极对应的所述保护层上形成第一过孔；其中一所述源极通过所述第一过孔与所述第一多晶硅部连接，另一所述源极通过所述第一过孔与所述第二多晶硅部连接。
- [25] 在本发明的阵列基板的制作方法中，所述方法还包括：在与每个所述漏极对应的所述保护层上形成第二过孔，其中一所述漏极通过所述第二过孔与所述第一多晶硅部连接；另一所述漏极通过所述第二过孔与所述第二多晶硅部连接。
- [26] 在本发明的阵列基板的制作方法中，所述方法还包括：
- [27] 在所述第二金属层上形成平坦层，在与每个所述漏极或者每个所述源极对应的所述平坦层上设置第三过孔。
- [28] 在本发明的阵列基板的制作方法中，所述方法还包括：
- [29] 在所述平坦层上形成透明导电层；所述透明导电层通过所述第三过孔与所述第二金属层连接。
- [30] 为解决上述技术问题，本发明构造了一种阵列基板的制作方法，包括以下步骤：
- [31] 将衬底基板放入沉积腔室中，在所述衬底基板上形成遮光层；
- [32] 在所述遮光层上依次形成离子阻挡层、缓冲层；
- [33] 采用化学气相沉积方式在所述缓冲层上沉积非晶硅层；其中在所述沉积腔室中

加入所述非晶硅层的制备原料以及含硼元素的混合原料；

[34] 将所述非晶硅层转换为多晶硅层，并对所述多晶硅层进行图形化处理；其中所述图形化处理后的多晶硅层包括第一多晶硅部和第二多晶硅部；

[35] 在所述图形化处理后的多晶硅层上形成栅绝缘层；

[36] 在所述栅绝缘层上形成第一金属层，并对所述第一金属层进行图形化处理至少形成第一栅极和第二栅极；所述第一栅极与所述第一多晶硅部对应，所述第二栅极与所述第二多晶硅部对应；

[37] 对位于第一部分两侧的所述第一多晶硅部进行 P 型离子注入处理和对位于第二部分两侧的所述第二多晶硅部进行 N 型离子注入处理；所述第一部分为所述第一多晶硅部中与所述第一栅极对应的部分；所述第二部分为所述第二多晶硅部中与所述第二栅极对应的部分；

[38] 在所述第一金属层上沉积保护层；

[39] 在所述保护层上形成第二金属层，对所述第二金属层进行图形化处理形成至少两个源极和两个漏极。

[40] 在本发明的阵列基板的制作方法中，所述含硼元素的混合原料为乙硼烷和氢气的混合气体。

[41] 在本发明的阵列基板的制作方法中，所述乙硼烷和所述氢气的摩尔混合比为 1 : 1000~1 : 5000。

[42] 在本发明的阵列基板的制作方法中，所述硼元素在所述混合气体中的含量为  $1 \times 10^{11} \sim 5 \times 10^{12}$  atoms/cm<sup>2</sup>。

[43] 在本发明的阵列基板的制作方法中，所述将所述非晶硅层转换为多晶硅层的步骤包括：

[44] 对所述非晶硅层进行高温去氢处理；以及

[45] 对所述去氢处理后的非晶硅层进行准分子激光退火处理和激光照射。

[46] 在本发明的阵列基板的制作方法中，对所述第二金属层进行图形化处理形成两个源极和两个漏极；所述方法还包括：

[47] 通过光刻工艺在与每个所述源极对应的所述保护层上形成第一过孔；其中一所述源极通过所述第一过孔与所述第一多晶硅部连接，另一所述源极通过所述第

一过孔与所述第二多晶硅部连接。

[48] 在本发明的阵列基板的制作方法中，所述方法还包括：

[49] 在与每个所述漏极对应的所述保护层上形成第二过孔，其中一所述漏极通过所述第二过孔与所述第一多晶硅部连接；另一所述漏极通过所述第二过孔与所述第二多晶硅部连接。

[50] 在本发明的阵列基板的制作方法中，所述方法还包括：

[51] 在所述第二金属层上形成平坦层，在与每个所述漏极或者每个所述源极对应的所述平坦层上设置第三过孔。

[52] 在本发明的阵列基板的制作方法中，所述方法还包括：

[53] 在所述平坦层上形成透明导电层；所述透明导电层通过所述第三过孔与所述第二金属层连接。

[54] 在本发明的阵列基板的制作方法中，所述遮光层的厚度为  $300 \text{ \AA} \sim 1000 \text{ \AA}$ 。

[55] 本发明的阵列基板的制作方法，减少了离子注入设备的使用，还可以避免高能离子注入时对沟道处多晶硅的晶格损伤，有利于提高载流子的迁移率和薄膜晶体管的可靠性、从而降低生产成本。

## 发明的有益效果

### 有益效果

[56] 相对现有技术，本发明的液晶显示面板及装置，通过对现有的芯片和电子元件重新布局，从而降低生产成本，减小液晶显示面板的尺寸。

## 对附图的简要说明

### 附图说明

[57] 图 1 为本发明阵列基板制作方法的第一步的示意图；

[58] 图 2 为本发明阵列基板制作方法的第二步的示意图；

[59] 图 3 为本发明阵列基板制作方法的第三步的示意图；

[60] 图 4 为本发明阵列基板制作方法的第四步的示意图；

[61] 图 5 为本发明阵列基板制作方法的第五步的示意图；

[62] 图 6 为本发明阵列基板制作方法的第六步的示意图；

[63] 图 7 为本发明阵列基板制作方法的第七步的示意图；

- [64] 图 8 为本发明阵列基板制作方法的第八步的示意图；
- [65] 图 9 为本发明阵列基板制作方法的第九步的示意图。
- [66] 图 10 为本发明阵列基板制作方法的优选方式的示意图。

## 实施该发明的最佳实施例

### 本发明的最佳实施方式

- [67] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。在图中，结构相似的单元是以相同标号表示。
- [68] 本发明的阵列基板如图 9 所示，其衬底基板 111、遮光层 112、离子阻挡层 113、缓冲层 114、多晶硅层 116、栅绝缘层 117、第一金属层 118、保护层 121、第二金属层、还可包括平坦层和透明导电层（图中未示出）；
- [69] 所述遮光层 112 位于所述衬底基板 111 上；所述离子阻挡层 113 位于所述遮光层 112 上；所述缓冲层 114 位于所述离子阻挡层 113 上；所述多晶硅层 116 位于所述缓冲层 114 上，是通过对非晶硅层转换形成的，其中所述非晶硅层的制备原料中掺杂有含硼元素的混合原料；所述栅绝缘层 117 位于所述多晶硅层上；所述第一金属层 118 位于所述栅绝缘层 117 上，所述第一金属层 118 包括两个薄膜晶体管的栅极区；所述保护层 121 位于所述第一金属层 118 上；所述第二金属层位于所述保护层 121 上，所述第二金属层包括两个薄膜晶体管的漏极区和源极区；
- [70] 所述平坦层位于所述第二金属层上，在与每个所述漏极或者每个所述源极对应的所述平坦层上设置第三过孔；所述透明导电层位于所述平坦层上；所述透明导电层通过所述第三过孔与所述第二金属层连接，即与所述源极或者漏极连接。所述透明导电层可包括像素电极。
- [71] 结合图 1-10，上述阵列基板的制作方法包括：
- [72] S101、将衬底基板放入沉积腔室中，并在所述衬底基板 111 上形成遮光层 112；

- [73] 在进行 S101 之前，先将衬底基板 111 放入沉积腔室中，如图 1 所示，所述遮光层 112 具体采用镀膜，光刻（光阻涂布，曝光，显影，蚀刻，光阻剥离）的工艺得到的；所述遮光层 112 层的材料可以为不透光的金属层，譬如 Mo，Al，Ti 等，也可以为可吸收光的材料，譬如非晶硅层。
- [74] 优选地，所述遮光层 112 的厚度为  $300 \text{ \AA} \sim 1000 \text{ \AA}$ ，从而减少从背光模组射来的光线对阵列基板多晶硅层的照射而产生的光漏电流。
- [75] S102、在所述遮光层 112 上依次形成离子阻挡层 113、缓冲层 114；
- [76] 如图 2 所示，所述离子阻挡层 113 的材料为氮化硅  $\text{SiN}_x$ ，其作用避免所述衬底基板 111 中的钠、钾等离子在后续的高温工艺中扩散到多晶硅层中。由于这些钠、钾等离子会在多晶硅层半导体的电子能级中形成深层缺陷，从而导致 TFT 器件导通电流减少，漏电流增加，最终影响显示的效果和可靠性。
- [77] 所述缓冲层 114 的材料可为  $\text{SiO}_2$ ，由于离子阻挡层 113 与后续的非晶硅薄膜的热膨胀系数比较接近，容易产生比较集中的异质结应力，从而会产生界面缺陷。所述缓冲层能够防止异质结应力集中，以减小界面缺陷。
- [78] S103、采用化学气相沉积方式在所述缓冲层 114 上沉积非晶硅层 115；
- [79] 如图 3 所示，其中在所述沉积腔室中加入所述非晶硅层的制备原料以及含硼元素的混合原料；
- [80] 优选为等离子体辅助化学气相沉积方法，具体在等离子体辅助化学气相沉积 (PECVD) 的腔室中加入  $\text{SiH}_4$  与  $\text{H}_2$  的混合气体，使  $\text{SiH}_4$  与  $\text{H}_2$  在等离子体的状态下其发生化学反应，生成氢化非晶硅薄膜。本发明在等离子体辅助化学气相沉积 (PECVD) 的腔室中还通入  $\text{B}_2\text{H}_6$  和  $\text{H}_2$  的混合气体。通过在制备原料掺杂含硼元素的混合原料，能够使 N 型多晶硅薄膜晶体管与 P 型多晶硅薄膜晶体管的阈值电压以零点位对称。
- [81] 由于采用预先配置好的  $\text{B}_2\text{H}_6$  和  $\text{H}_2$  的混合气体，一方面稀释了  $\text{B}_2\text{H}_6$  气体，使制程时气体的流量可以通入的量比较大，便于精准地控制流量和均匀性，另一方面，由于  $\text{B}_2\text{H}_6$  气体为易燃易爆剧毒的危险气体，让其与  $\text{H}_2$  预先混合，可以增加  $\text{B}_2\text{H}_6$  气体运输的安全性。
- [82] 优选地，所述  $\text{B}_2\text{H}_6$  和  $\text{H}_2$  气的摩尔混合比为  $1 : 1000 \sim 1 : 5000$ ；



- [83] 设定制程腔内的温度为 200 °C -350 °C，其中 SiH<sub>4</sub> 气体的流量为 5000~17000sccm，H<sub>2</sub> 气体的流量为 1000~60000sccm 以及 B<sub>2</sub>H<sub>6</sub> 和 H<sub>2</sub> 的混合气体的流量为 10~500sccm。因硼元素的掺杂量非常少，若采用纯 B<sub>2</sub>H<sub>6</sub> 气体，根据计算 B<sub>2</sub>H<sub>6</sub> 的流量为 0sccm~1sccm 之间，B<sub>2</sub>H<sub>6</sub> 的气体流量非常小，不容易精准地控制掺杂量和掺杂的均匀性，导致制程稳定性差，达不到大规模量产对制程可重复性和稳定性的要求。
- [84] 因此，在本专利中，采用预先混合好的 B<sub>2</sub>H<sub>6</sub> 和 H<sub>2</sub> 的混合气体，B<sub>2</sub>H<sub>6</sub> 和 H<sub>2</sub> 的摩尔混合比为 1：1000~1：5000。通过这样的混合比使得 B<sub>2</sub>H<sub>6</sub> 和 H<sub>2</sub> 的混合气体的流量就会增加。
- [85] 优选地，所述硼元素在所述混合气体中的含量为  $1 \times 10^{11} \sim 5 \times 10^{12}$  atoms/cm<sup>2</sup>。
- [86] S104、将所述非晶硅层 115 转换为多晶硅层 116，并对所述多晶硅层进行图形化处理；
- [87] 如图 4 所示，S104 具体包括：
- [88] S201、先对所述非晶硅层 115 进行高温去氢处理；
- [89] S202、对所述去氢处理后的非晶硅层进行准分子激光退火（ELA）处理、以及激光照射后，使得所述非晶硅层 115 转变成整层多晶硅层。
- [90] S203、然后采用光刻（光阻涂布，曝光，显影，蚀刻，光阻剥离）的工艺对整层多晶硅层进行图案化处理，得到图案化处理后的多晶硅层，其中所述图形化处理后的多晶硅层包括第一多晶硅部和第二多晶硅部，如图 4 中 116 所示的两个梯形区域。所述多晶硅部的个数不限于图中所示的个数，也可以为两个以上。
- [91] S105、在所述图案化处理后的多晶硅层 116 上形成栅绝缘层 117；
- [92] 如图 5 所示，在步骤 S104 之后，通过采用等离子体辅助化学气相沉积（PECVD）的方式，在所述多晶硅层 116 上制备所述栅绝缘层 117。所述栅绝缘层 117 的材料为氮化硅。
- [93] S106、在所述栅绝缘层上形成第一金属层，并对所述第一金属层进行图形化处理至少形成第一栅极和第二栅极；
- [94] 所述第一栅极与所述第一多晶硅部对应，所述第二栅极与所述第二多晶硅部对

应；如图 6 所示，在步骤 S105 之后，在所述栅绝缘层 117 层上制作第一金属层，第一金属层可采用 Mo、Mo/Al/Mo、Ti、Ti/Mo 等单层金属或者金属复合层；并对所述第一金属层进行图形化处理（即光刻工艺）形成两个栅极 118；

[95] S107、对位于第一部分两侧的所述第一多晶硅部进行 P 型离子注入处理和对位于第二部分两侧的所述第二多晶硅部进行 N 型离子注入处理；所述第一部分为所述第一多晶硅部中与所述第一栅极对应的部分；所述第二部分为所述第二多晶硅部中与所述第二栅极对应的部分；

[96] 如图 7 所示，第一多晶硅部（左侧的多晶硅层），先将第一多晶硅部（右侧的多晶硅层）用光阻遮挡，只露出左侧的多晶硅层，对左侧的位于所述第一部分两侧的多晶硅层区域，采用离子注入的方法对该部分区域掺杂硼元素，硼元素的掺杂浓度为  $1 \times 10^{15} \text{ atoms/cm}^2 \sim 5 \times 10^{15} \text{ atoms/cm}^2$ ，形成硼元素的掺杂的多晶硅区 119，即 P-MOS TFT 的欧姆接触区；

[97] 再将左侧的多晶硅层用光阻遮挡，只露出右侧的多晶硅层，采用离子注入的方法，对右侧的位于所述第一部分两侧的多晶硅层区域进行磷元素的掺杂，掺杂浓度为  $1 \times 10^{15} \text{ atoms/cm}^2 \sim 5 \times 10^{15} \text{ atoms/cm}^2$ ，形成磷元素的掺杂的多晶硅区 120，即 N-MOS TFT 的欧姆接触区。

[98] S109、在所述第一金属层上沉积保护层；

[99] 在步骤 S108 之后，进行保护层 121 层的制作，如图 8 所示，采用等离子体辅助化学气相沉积 (PECVD) 的方式，在所述第一金属层上制作保护层 121。

[100] S110、在所述保护层上形成第二金属层，对所述第二金属层进行图形化处理形成至少两个源极和至少两个漏极；

[101] 在步骤 S108 之后，如图 9 所示，在所述保护层 121 上采用镀膜的方式形成第二金属层，并对所述第二金属层进行图形化处理（即光刻工艺）后，形成两个源极 21 和两个漏极 22。

[102] 优选地，所述方法还包括：

[103] S111、通过光刻工艺在与每个所述源极对应的所述保护层上形成第一过孔；

[104] 其中一所述源极 21 通过所述第一过孔（图中未示出）与所述第一多晶硅部连接，另一所述源极 21 通过所述第一过孔与所述第二多晶硅部连接。

- [105] S112、在与每个所述漏极对应的所述保护层上形成第二过孔，
- [106] 其中一所述漏极 22 通过所述第二过孔（图中未示出）与所述第一多晶硅部连接；另一所述漏极 22 通过所述第二过孔与所述第二多晶硅部连接。
- [107] S113、在所述第二金属层上制作平坦层，在与每个所述漏极或者每个所述源极对应的所述平坦层上设置第三过孔；
- [108] S114、在所述平坦层上形成透明导电层；所述透明导电层通过所述第三过孔与所述第二金属层连接。所述透明导电层包括像素电极。
- [109] 优选地，如图 10 所示，为了改善 N-MOS TFT 欧姆接触区的热电子效应，在所述图形化处理后的多晶硅层中，还设置有轻掺杂区域 122，所述轻掺杂区域 122 可采用离子注入的方法制作。
- [110] 由于现有技术是在形成多晶硅层后，采用离子注入到的方式将硼离子掺杂到多晶硅层中的，容易对多晶硅的晶格损伤，而本发明在进行非晶硅层的薄膜沉积时，就进行硼元素的掺杂，以使 N 型多晶硅薄膜晶体管与 P 型多晶硅薄膜晶体管的阈值电压以零点位对称；从而节省了一次离子注入制程，可以减少离子注入设备的使用；本发明还可以避免离子注入对沟道处多晶硅晶格损伤，提高多晶硅薄膜晶体管的载流子迁移率和元件可靠性。
- [111] 本发明的阵列基板及其制作方法，减少了离子注入设备的使用，还可以避免高能离子注入时对沟道处多晶硅的晶格损伤，有利于提高载流子的迁移率和薄膜晶体管的可靠性、从而降低生产成本。
- [112] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

## 权利要求书

- [权利要求 1] 一种阵列基板的制作方法，其包括：  
将衬底基板放入沉积腔室中，并在所述衬底基板上形成遮光层；  
在所述遮光层上依次形成离子阻挡层、缓冲层；  
采用化学气相沉积方式在所述缓冲层上沉积非晶硅层；其中在所述沉积腔室中加入所述非晶硅层的制备原料以及含硼元素的混合原料；所述含硼元素的混合原料为乙硼烷和氢气的混合气体；所述遮光层的厚度为  $300 \text{ \AA} \sim 1000 \text{ \AA}$ ；  
将所述非晶硅层转换为多晶硅层，并对所述多晶硅层进行图形化处理，其中所述图形化处理后的多晶硅层包括第一多晶硅部和第二多晶硅部；  
在所述图形化处理后的多晶硅层上形成栅绝缘层；  
在所述栅绝缘层上形成第一金属层，并对所述第一金属层进行图形化处理至少形成第一栅极和第二栅极；所述第一栅极与所述第一多晶硅部对应，所述第二栅极与所述第二多晶硅部对应；  
对位于第一部分两侧的所述第一多晶硅部进行 P 型离子注入处理和对位于第二部分两侧的所述第二多晶硅部进行 N 型离子注入处理；所述第一部分为所述第一多晶硅部中与所述第一栅极对应的部分；第二部分为所述第二多晶硅部中与所述第二栅极对应的部分；  
在所述第一金属层上沉积保护层；以及  
在所述保护层上形成第二金属层，对所述第二金属层进行图形化处理形成至少两个源极和至少两个漏极。
- [权利要求 2] 根据权利要求 1 所述的阵列基板的制作方法，其中  
所述乙硼烷和所述氢气的摩尔混合比为  $1 : 1000 \sim 1 : 5000$ 。
- [权利要求 3] 根据权利要求 1 所述的阵列基板的制作方法，其中所述硼元素在所述混合气体中的含量为  $1 \times 10^{11} \sim 5 \times 10^{12} \text{ atoms/cm}^2$ 。
- [权利要求 4] 根据权利要求 1 所述的阵列基板的制作方法，其中所述将所述非

晶硅层转换为多晶硅层的步骤包括：

对所述非晶硅层进行高温去氢处理；以及

对所述去氢处理后的非晶硅层进行准分子激光退火处理和激光照射。

[权利要求 5] 根据权利要求 1 所述的阵列基板的制作方法，其中对所述第二金属层进行图形化处理形成两个源极和两个漏极；所述方法还包括：

通过光刻工艺在与每个所述源极对应的所述保护层上形成第一过孔；其中一所述源极通过所述第一过孔与所述第一多晶硅部连接，另一所述源极通过所述第一过孔与所述第二多晶硅部连接。

[权利要求 6] 根据权利要求 5 所述的阵列基板的制作方法，其中所述方法还包括：在与每个所述漏极对应的所述保护层上形成第二过孔，其中一所述漏极通过所述第二过孔与所述第一多晶硅部连接；另一所述漏极通过所述第二过孔与所述第二多晶硅部连接。

[权利要求 7] 根据权利要求 1 所述的阵列基板的制作方法，其中所述方法还包括：

在所述第二金属层上形成平坦层，在与每个所述漏极或者每个所述源极对应的所述平坦层上设置第三过孔。

[权利要求 8] 根据权利要求 1 所述的阵列基板的制作方法，其中所述方法还包括：

在所述平坦层上形成透明导电层；所述透明导电层通过所述第三过孔与所述第二金属层连接。

[权利要求 9] 一种阵列基板的制作方法，其包括：

将衬底基板放入沉积腔室中，并在所述衬底基板上形成遮光层；

在所述遮光层上依次形成离子阻挡层、缓冲层；

采用化学气相沉积方式在所述缓冲层上沉积非晶硅层；其中在所述沉积腔室中加入所述非晶硅层的制备原料以及含硼元素的混合原料；

将所述非晶硅层转换为多晶硅层，并对所述多晶硅层进行图形化处理，其中所述图形化处理后的多晶硅层包括第一多晶硅部和第二多晶硅部；

在所述图形化处理后的多晶硅层上形成栅绝缘层；

在所述栅绝缘层上形成第一金属层，并对所述第一金属层进行图形化处理至少形成第一栅极和第二栅极；所述第一栅极与所述第一多晶硅部对应，所述第二栅极与所述第二多晶硅部对应；

对位于第一部分两侧的所述第一多晶硅部进行 P 型离子注入处理和对位于第二部分两侧的所述第二多晶硅部进行 N 型离子注入处理；所述第一部分为所述第一多晶硅部中与所述第一栅极对应的部分；第二部分为所述第二多晶硅部中与所述第二栅极对应的部分；

在所述第一金属层上沉积保护层；以及

在所述保护层上形成第二金属层，对所述第二金属层进行图形化处理形成至少两个源极和至少两个漏极。

[权利要求 10] 根据权利要求 9 所述的阵列基板的制作方法，其中所述含硼元素的混合原料为乙硼烷和氢气的混合气体。

[权利要求 11] 根据权利要求 10 所述的阵列基板的制作方法，其中所述乙硼烷和所述氢气的摩尔混合比为 1 : 1000~1 : 5000。

[权利要求 12] 根据权利要求 10 所述的阵列基板的制作方法，其中所述硼元素在所述混合气体中的含量为  $1 \times 10^{11} \sim 5 \times 10^{12}$  atoms/cm<sup>2</sup>。

[权利要求 13] 根据权利要求 9 所述的阵列基板的制作方法，其中所述将所述非晶硅层转换为多晶硅层的步骤包括：  
对所述非晶硅层进行高温去氢处理；以及  
对所述去氢处理后的非晶硅层进行准分子激光退火处理和激光照射。

[权利要求 14] 根据权利要求 9 所述的阵列基板的制作方法，其中对所述第二金属层进行图形化处理形成两个源极和两个漏极；所述方法还包括

:

通过光刻工艺在与每个所述源极对应的所述保护层上形成第一过孔；其中一所述源极通过所述第一过孔与所述第一多晶硅部连接，另一所述源极通过所述第一过孔与所述第二多晶硅部连接。

[权利要求 15] 根据权利要求 14 所述的阵列基板的制作方法，其中所述方法还包括：在与每个所述漏极对应的所述保护层上形成第二过孔，其中一所述漏极通过所述第二过孔与所述第一多晶硅部连接；另一所述漏极通过所述第二过孔与所述第二多晶硅部连接。

[权利要求 16] 根据权利要求 9 所述的阵列基板的制作方法，其中所述方法还包括：  
在所述第二金属层上形成平坦层，在与每个所述漏极或者每个所述源极对应的所述平坦层上设置第三过孔。

[权利要求 17] 根据权利要求 9 所述的阵列基板的制作方法，其中所述方法还包括：  
在所述平坦层上形成透明导电层；所述透明导电层通过所述第三过孔与所述第二金属层连接。

[权利要求 18] 根据权利要求 9 所述的阵列基板的制作方法，其中所述遮光层的厚度为 300 Å ~1000 Å。

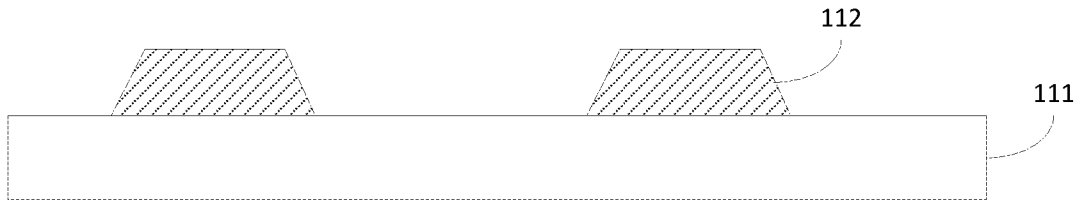


图 1

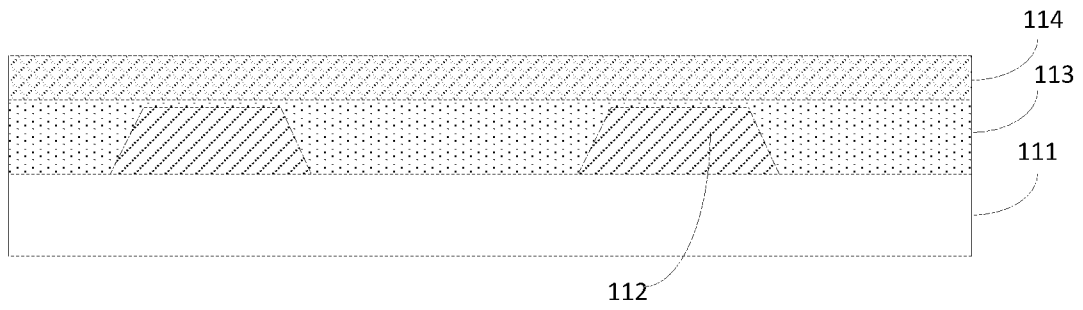


图 2

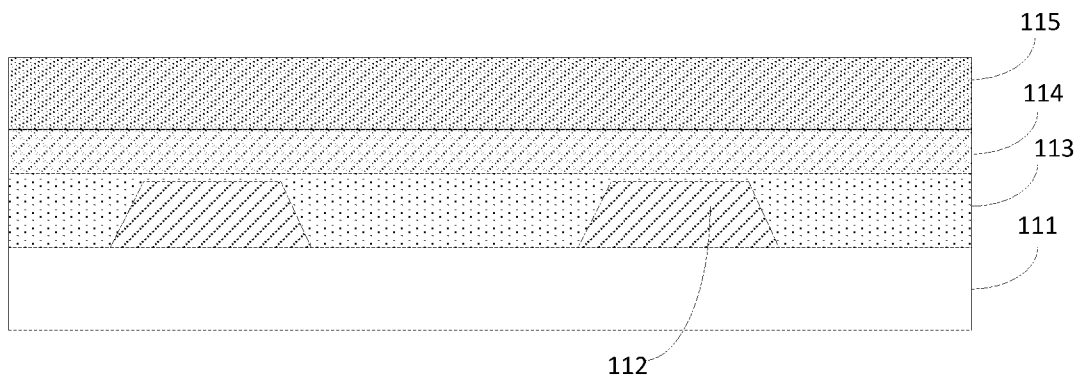


图 3



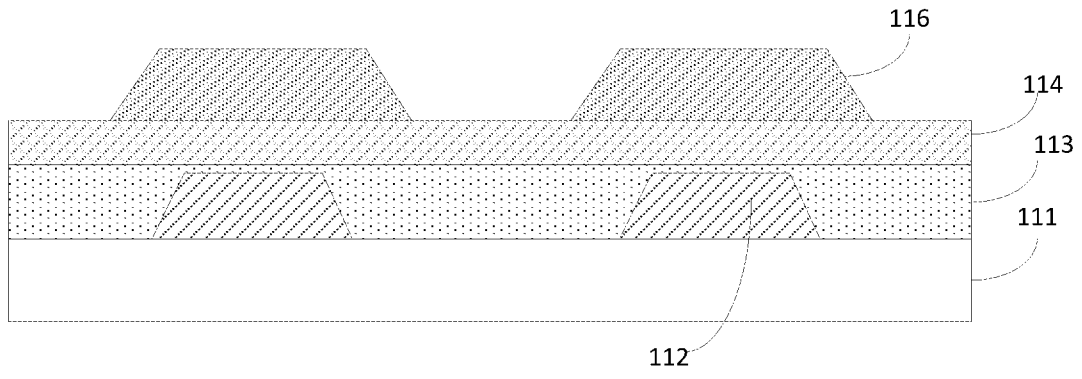


图 4

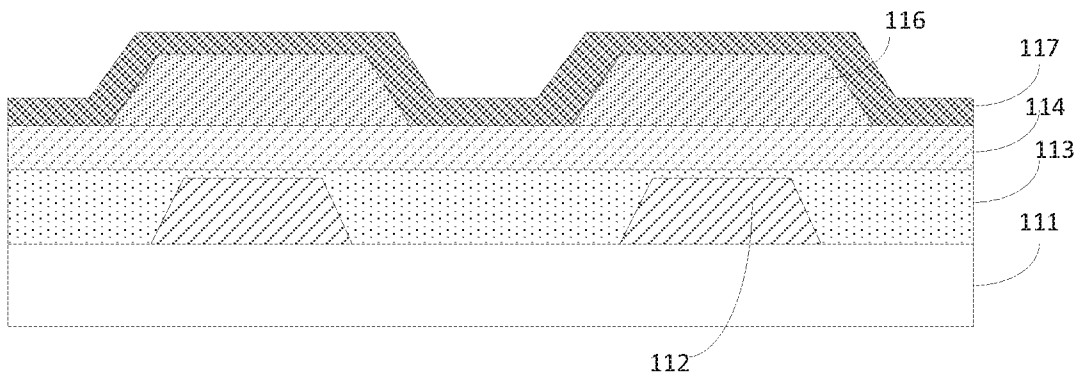


图 5

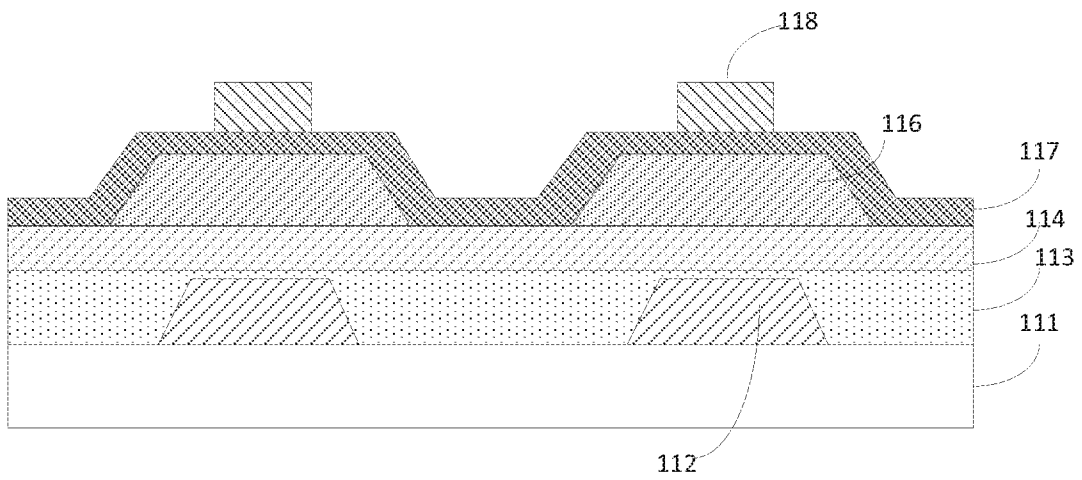


图 6

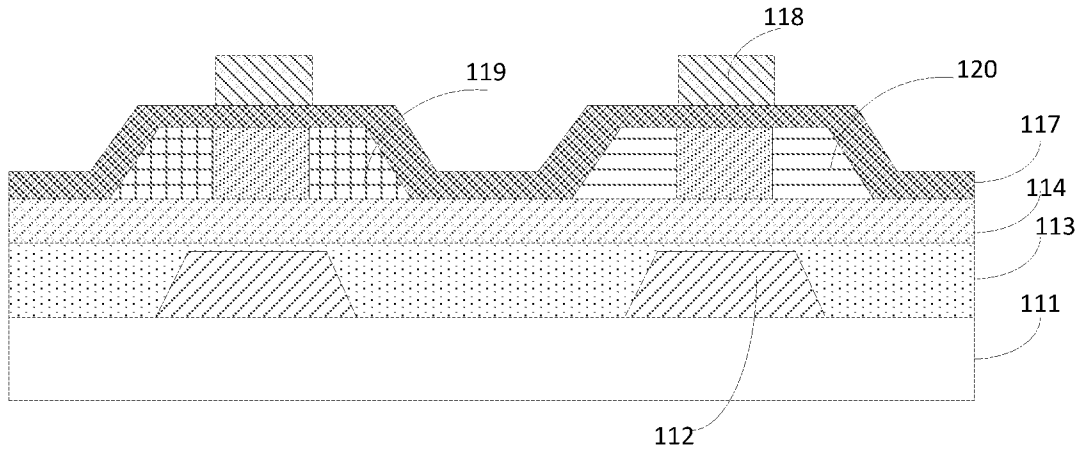


图 7

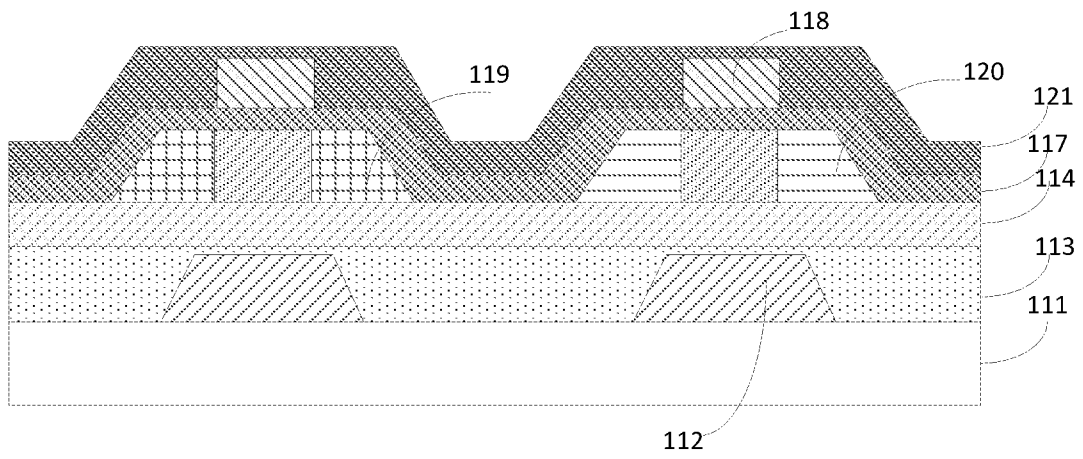


图 8

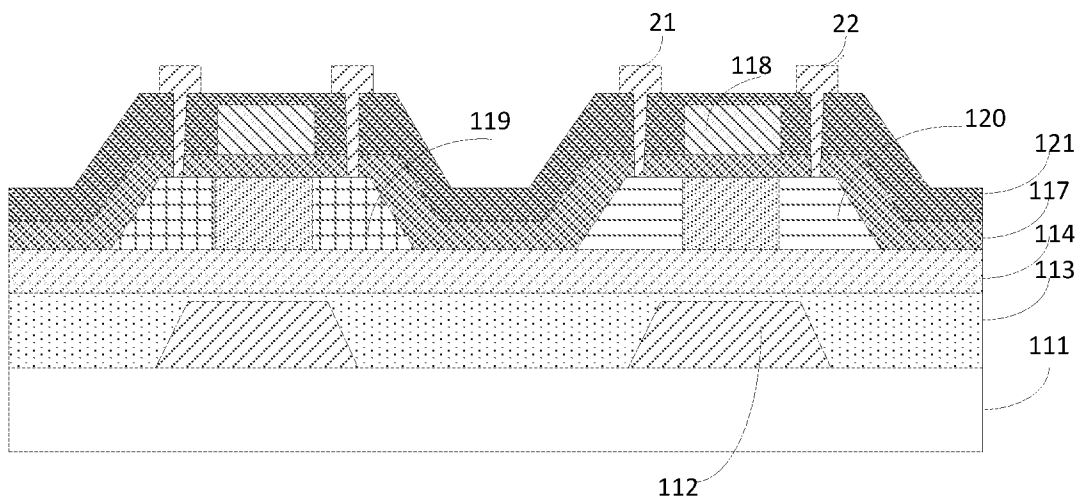


图 9

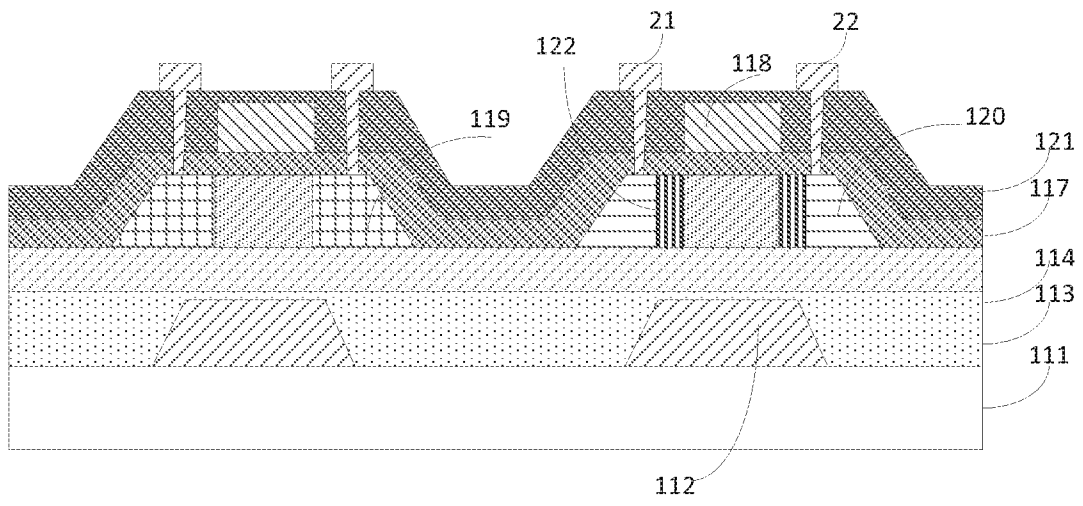


图 10

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2015/086476

## A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: TFT?, thin film transistor, precipitation, Black matrix, amorphous silicon, CVD, polysilicon, thin, implant+, diborane, film, h2, laser, silicon, "p", type, b2h6, hydrogen, ion implantation, pmos, amorphous, threshold, threshold voltage

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004063257 A1 (FUJITSU LIMITED et al.) 1 April 2004 (01.04.2004) description, paragraphs [0098] to [0113], figures 5A to 5F	1-18
A	US 2005275038 A1 (SHIH, YI-CHI et al.) 15 December 2005 (15.12.2005) the whole document	1-18
A	US 2002142525 A1 (OHNUMA, HIDETO) 3 October 2002 (03.10.2002) the whole document	1-18

Further documents are listed in the continuation of Box C.       See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
---	---

<p>Date of the actual completion of the international search</p> <p style="text-align: center;">12 April 2016</p>	<p>Date of mailing of the international search report</p> <p style="text-align: center;">27 April 2016</p>
<p>Name and mailing address of the ISA</p> <p>State Intellectual Property Office of the P. R. China</p> <p>No. 6, Xitucheng Road, Jimenqiao</p> <p>Haidian District, Beijing 100088, China</p> <p>Facsimile No. (86-10) 62019451</p>	<p>Authorized officer</p> <p style="text-align: center;">CHEN, Long</p> <p>Telephone No. (86-10) 62414006</p>

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2015/086476

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2004063257 A1	01 April 2004	US 6635521 B2	21 October 2003
		TW 446994 B	21 July 2001
		KR 20000047399 A	25 July 2000
		US 6872978 B2	29 March 2005
		JP 2000196096 A	14 July 2000
		KR 100324831 B1	28 February 2002
		JP 3483484 B2	06 January 2004
		US 2002098635 A1	25 July 2002
		US 2005275038 A1	15 December 2005
US 7211825 B2	01 May 2007		
TW 200603234 A	16 January 2006		
US 2002142525 A1	03 October 2002	US 7151017 B2	19 December 2006
		US 7361577 B2	22 April 2008
		US 2007072350 A1	29 March 2007
		JP 2002313809 A	25 October 2002
		JP 3942902 B2	11 July 2007

国际检索报告

国际申请号

PCT/CN2015/086476

<p>A. 主题的分类</p> <p>H01L 21/77 (2006.01) i</p> <p>按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类</p>														
<p>B. 检索领域</p> <p>检索的最低限度文献 (标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))</p> <p>CNPAT, CNKI, WPI, EPODOC: 薄膜晶体管, 沉积, 遮光层, 阻挡层, 非晶硅, 多晶硅, 乙硼烷, 氢, 离子注入, 阈值电压, 调整, 零电位, TFT?, CVD, thin, implant+, film, h2, laser, silicon, "p", type, b2h6, pmos, amorphous, threshold</p>														
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2004063257 A1 (FUJITSU LIMITED等) 2004年 4月 1日 (2004 - 04 - 01) 说明书第[0098]-[0113]段、图5A-5F</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>US 2005275038 A1 (SHIH, YI-CHI等) 2005年 12月 15日 (2005 - 12 - 15) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>US 2002142525 A1 (OHNUMA, HIDE TO) 2002年 10月 3日 (2002 - 10 - 03) 全文</td> <td>1-18</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	US 2004063257 A1 (FUJITSU LIMITED等) 2004年 4月 1日 (2004 - 04 - 01) 说明书第[0098]-[0113]段、图5A-5F	1-18	A	US 2005275038 A1 (SHIH, YI-CHI等) 2005年 12月 15日 (2005 - 12 - 15) 全文	1-18	A	US 2002142525 A1 (OHNUMA, HIDE TO) 2002年 10月 3日 (2002 - 10 - 03) 全文	1-18
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求												
X	US 2004063257 A1 (FUJITSU LIMITED等) 2004年 4月 1日 (2004 - 04 - 01) 说明书第[0098]-[0113]段、图5A-5F	1-18												
A	US 2005275038 A1 (SHIH, YI-CHI等) 2005年 12月 15日 (2005 - 12 - 15) 全文	1-18												
A	US 2002142525 A1 (OHNUMA, HIDE TO) 2002年 10月 3日 (2002 - 10 - 03) 全文	1-18												
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>														
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>														
<p>国际检索实际完成的日期</p> <p>2016年 4月 12日</p>		<p>国际检索报告邮寄日期</p> <p>2016年 4月 27日</p>												
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10) 62019451</p>		<p>受权官员</p> <p>陈龙</p> <p>电话号码 (86-10) 62414006</p>												

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2015/086476

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2004063257	A1	2004年 4月 1日	US	6635521	B2	2003年 10月 21日
				TW	446994	B	2001年 7月 21日
				KR	20000047399	A	2000年 7月 25日
				US	6872978	B2	2005年 3月 29日
				JP	2000196096	A	2000年 7月 14日
				KR	100324831	B1	2002年 2月 28日
				JP	3483484	B2	2004年 1月 6日
				US	2002098635	A1	2002年 7月 25日
				US	2005275038	A1	2005年 12月 15日
US	7211825	B2	2007年 5月 1日				
TW	200603234	A	2006年 1月 16日				
US	2002142525	A1	2002年 10月 3日	US	7151017	B2	2006年 12月 19日
				US	7361577	B2	2008年 4月 22日
				US	2007072350	A1	2007年 3月 29日
				JP	2002313809	A	2002年 10月 25日
				JP	3942902	B2	2007年 7月 11日

表 PCT/ISA/210 (同族专利附件) (2009年7月)