

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月3日(03.05.2018)



(10) 国際公開番号

WO 2018/079833 A1

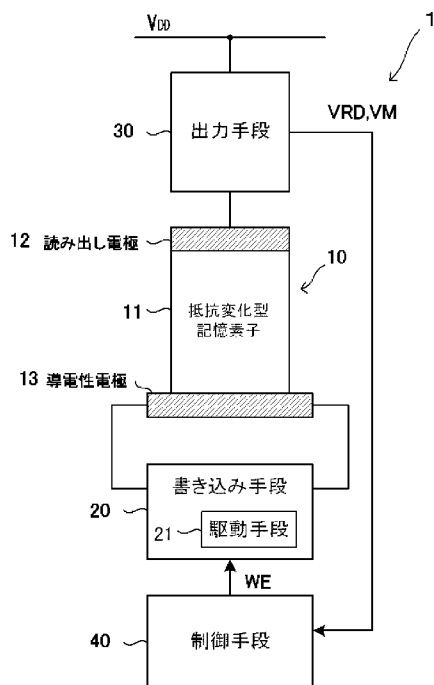
(51) 国際特許分類:
G11C 11/16 (2006.01) G11C 14/00 (2006.01)
(21) 国際出願番号: PCT/JP2017/039342
(22) 国際出願日: 2017年10月31日(31.10.2017)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2016-213779 2016年10月31日(31.10.2016) JP
(71) 出願人: 国立大学法人東北大学 (TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP).

(72) 発明者: 羽生 貴弘 (HANYU Takahiro); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 鈴木大輔 (SUZUKI Daisuke); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 大野 英男 (OHNO Hideo); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 遠藤 哲郎 (ENDO H Tetsuo); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP).

(74) 代理人: 特許業務法人 英知国際特許事務所 (EICHI PATENT & TRADEMARK CORP.);

(54) Title: DATA WRITING DEVICE FOR VARIABLE-RESISTANCE MEMORY ELEMENT AND NON-VOLATILE FLIP-FLOP

(54) 発明の名称: 抵抗変化型記憶素子のデータ書き込み装置、及び不揮発性フリップフロップ



- 11 Variable-resistance memory element
- 12 Reading electrode
- 13 Conductive electrode
- 20 Writing means
- 21 Driving means
- 30 Outputting means
- 40 Controlling means

(57) Abstract: The purpose of the present invention is to detect the end of writing of data to a variable-resistance memory element in which a conductive electrode is provided at one end of a memory element, the resistance of which varies, and a reading electrode is provided at the other end of the memory element, the resistance of the memory element being varied by supplying a current to the conductive electrode. Provided is a data writing device for a variable-resistance memory element in which a conductive electrode is provided at one end of a memory element, the resistance of which varies, and a



〒1120011 東京都文京区千石4丁目4
5番13号 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

- 一 出願し及び特許を与えられる出願人の資格に関する申立て (規則4.17(ii))

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

reading electrode is provided at the other end of the memory element, the resistance of the memory element being varied by supplying a current to the conductive electrode, the data writing device comprising a writing means, an outputting means, and a controlling means. The outputting means is provided between a power source and the reading electrode, and a reading signal from the memory element and a monitor signal to monitor the state of writing to the memory element by the writing means are output as output signals from the outputting means. The end of writing of data to the variable-resistance memory element is detected by the monitor signal.

(57) 要約: 抵抗変化を生じる記憶素子の一端に導電性電極、他端に読み出し電極を備え、導電性電極に電流を流すことにより記憶素子に抵抗変化を生じさせる抵抗変化型記憶素子において、抵抗変化型記憶素子へのデータの書き込みの終了を検出する。抵抗変化型記憶素子のデータ書き込み装置は、抵抗変化を生じる記憶素子の一端に導電性電極、他端に読み出し電極を備え、導電性電極に書き込み電流を流すことにより記憶素子に抵抗変化を生じさせる抵抗変化型記憶素子のデータ書き込み装置であり、書き込み手段と、出力手段と、制御手段とを備える。出力手段を電源と読み出し電極間に設け、出力手段から記憶素子からの読み出し信号、及び書き込み手段による記憶素子の書き込み状態をモニタするモニタ信号を出力信号として出力する。モニタ信号によって抵抗変化型記憶素子へのデータの書き込みの終了を検出する。

明 細 書

発明の名称：

抵抗変化型記憶素子のデータ書き込み装置、及び不揮発性フリップフロップ

技術分野

[0001] 本発明は、抵抗変化型記憶素子のデータ書き込み装置及び不揮発性フリップフロップに関する。

背景技術

[0002] 抵抗変化型記憶素子は、書き込み電流による抵抗状態を利用する記憶素子であるが、素子毎に抵抗状態が変化するタイミングにばらつきがあるため、抵抗変化型記憶素子への書き込み電流の供給には、記憶素子の抵抗変化状態を変化させるために十分な時間が求められる。そのため、抵抗変化型記憶素子の抵抗状態が変化した後においても記憶素子に書き込み電流を供給し続けるため、消費電力の面で課題を有している。

[0003] 抵抗変化型記憶素子へのデータの書き込みの終了を検出する技術として、抵抗変化型記憶素子の端部電圧変化を書き込み電流の電流方向に応じて切り替えて検出し、検出した端部電圧変化に基づいてデータの書き込み終了を検出する装置が提案されている（特許文献１）。

[0004] 抵抗変化型記憶素子を用いた不揮発性フリップフロップにおいて、抵抗変化型記憶素子のスイッチング動作時の電圧変化を検出し、書き込み電流の供給を終了することによってバックアップ電流を抑制する不揮発性フリップフロップ（self-terminated NV-FF）も提案されている（非特許文献１参照）。

[0005] 上記の抵抗変化型記憶素子は、記憶素子の両端に書き込み電流用端子を備え、この電流用端子に対して書き込み電流を切り替えて供給する。これに対して、抵抗変化を生じる記憶素子の一端に導電性電極、他端に読み出し電極を備え、導電性電極に電流を流すことにより記憶素子に抵抗変化を生じさせる抵抗変化型記憶素子も提案されている（特許文献２）。

[0006] 図19は従来から知られる抵抗変化型記憶素子の書き込み装置の構成例を示している。

[0007] 書き込み装置100は、抵抗変化型の記憶素子111にデータ書き込むと共に、書き込み状態をモニタする書き込み／モニタ部120、及び記憶素子111に書き込んだデータを読み出す読み出し部130を備える。

[0008] 書き込み／モニタ部120は、記憶素子111に対して書き込み電流を供給するトランジスタ120Aa及び書き込みドライバ120Ab、及びトランジスタ120Ba及び書き込みドライバ120Bbを備え、記憶素子111に対して互いに電流方向が逆方向の書き込み電流を供給すると共に、記憶素子111の両端の端子電圧(VM)をマルチプレクサ121で切り替えて出力することによって書き込み状態をモニタする。

[0009] 読み出し部130は、PMOSTランジスタ130bのソースを電源に接続し、NMOSTランジスタ130aのソースを記憶素子111の一端に接続し、PMOSTランジスタ130bのドレインとNMOSTランジスタ130aのドレインを接続し、この接続点を出力端として、読み出し信号VRDを出力する。なお、記憶素子111の一端はNMOSTランジスタ122を介して接地される。NMOSTランジスタ122の制御端には読み出し制御信号RCLが入力される。

先行技術文献

特許文献

[0010] 特許文献1：国際公開WO2015／147016

特許文献2：国際公開WO2009／072511

特許文献3：国際公開WO2016／021468

非特許文献

[0011] 非特許文献1：D, Suzuki, et al., IEICE ELEX. 11(2014) 20140296.

非特許文献2：D, Suzuki, et al., J. Appl. Phys., 117(2015) 17B504.

発明の概要

発明が解決しようとする課題

- [0012] 特許文献2に示される形態の記憶素子の一端に導電性電極、他端に読み出し電極を備え、導電性電極に電流を流すことにより記憶素子に抵抗変化を生じさせる抵抗変化型記憶素子において、抵抗変化型記憶素子へのデータの書き込みの終了を検出する技術は提案されていない。
- [0013] 特許文献1に提案される抵抗変化型記憶素子へのデータの書き込みの終了を検出する技術を、特許文献2に示される形態の抵抗変化型記憶素子に適用することは構成上から困難性がある。特許文献2に示される形態の抵抗変化型記憶素子は、記憶素子の一端に設けた導電性電極に書き込み電流を供給し、記憶素子内に書き込み電流を導通させること無く書き込み動作を行う構成である。そのため、書き込み時においては記憶素子に書き込み電流が流れない。したがって、記憶素子の抵抗変化は記憶素子内を流れる電流を用いて検出するため、特許文献2に示される形態の抵抗変化型記憶素子の特許文献1の書き込み終了検出技術を適用し、書き込み電流に基づいてデータの書き込みの終了を検出することは構成上からできない。
- [0014] そこで、本発明は前記した従来の問題点を解決し、抵抗変化を生じる記憶素子の一端に導電性電極、他端に読み出し電極を備え、導電性電極に電流を流すことにより記憶素子に抵抗変化を生じさせる抵抗変化型記憶素子において、抵抗変化型記憶素子へのデータの書き込みの終了を検出することを目的とする。
- [0015] 抵抗変化型記憶素子へのデータの書き込みの終了を検出することによって、バックアップ電流を抑制し、バックアップ処理における消費電力を低減することを目的とする。

課題を解決するための手段

- [0016] 本発明の抵抗変化型記憶素子のデータ書き込み装置は、抵抗変化を生じる記憶素子の一端に導電性電極、他端に読み出し電極を備え、この導電性電極に書き込み電流を流すことにより記憶素子に抵抗変化を生じさせる抵抗変化型記憶素子のデータ書き込み装置であり、書き込み手段と、出力手段と、制

御手段とを備える。

[0017] 書き込み手段は、導電性電極への書き込み電流の電流方向を切り替えることにより抵抗変化型記憶素子の抵抗変化を生じさせ、記憶素子に書き込みを行うと共に書き込み電流の供給を停止しうる駆動手段を備える。

[0018] 出力手段は、電源と記憶素子の読み出し電極との間に設けられ、記憶素子からの読み出し信号、及び記憶素子の書き込み状態をモニタするモニタ信号を出力信号として出力する。

[0019] 制御手段は、抵抗変化型記憶素子への書き込み時に、出力手段からのモニタ信号に基づいて駆動手段を制御する。

[0020] 本発明は、出力手段を電源と読み出し電極間に設け、出力手段から記憶素子からの読み出し信号、及び書き込み手段による記憶素子の書き込み状態をモニタするモニタ信号を出力信号として出力する。この構成により、抵抗変化を生じる記憶素子の一端に導電性電極、他端に読み出し電極を備え、導電性電極に電流を流すことにより記憶素子に抵抗変化を生じさせる抵抗変化型記憶素子において、モニタ信号によって抵抗変化型記憶素子へのデータの書き込みが終了したことを検出する。

[0021] 本発明の形態によれば、出力手段を電源と読み出し電極との間に設けることにより、出力信号の電流経路と、書き込み時における書き込み電流の電流経路とは分離した構成となる。出力信号の電流経路と書き込み電流の電流経路とが分離した構成は、出力信号を書き込み電流から独立して出力する。出力信号の電流経路と書き込み電流の電流経路とをそれぞれ独立した電流経路とすることで、出力信号は書き込み電流の影響を受けることなく取得される。

[0022] 制御手段は、書き込み終了検出部と書き込み終了信号生成部とを備える。

書き込み終了検出部は、書き込み手段の書き込み信号と、書き込み状態を表す出力手段からのモニタ信号の2つの信号に基づいて、書き込み終了を検出して書き込み終了検出信号を出力する。書き込み終了信号生成部は、書き込み終了検出部の書き込み終了検出信号に基づいて書き込み終了信号を出力

する。

[0023] 書き込み終了信号生成部は、生成した書き込み終了信号によって駆動手段を制御し、モニタ信号に基づいて抵抗変化型記憶素子への書き込みを停止する。

[0024] 出力手段の一形態は、PMOSトランジスタとNMOSトランジスタの直列回路で構成する。この回路構成において、PMOSトランジスタのソース端に電源が接続され、NMOSトランジスタのソース端に記憶素子の読み出し電極が接続される。PMOSトランジスタのドレイン端とNMOSトランジスタのドレイン端の接続ノードは、読み出し信号及びモニタ信号を出力する出力端である。

[0025] このPMOSトランジスタとNMOSトランジスタの直列回路による形態は、MOSトランジスタを負荷抵抗として用いて抵抗変化型記憶素子の抵抗を電圧信号として出力する。PMOSトランジスタとNMOSトランジスタとの接続点の電圧は、PMOSトランジスタによる負荷曲線と、NMOSトランジスタを含む抵抗変化型記憶素子の電圧－電流特性曲線とが交差する交点に対応する電圧であり、接続点の電圧を出力信号として出力する。

[0026] この出力手段の形態によれば、抵抗変化型記憶素子側の電圧－電流特性曲線は、モニタ時に流れる電流に関係するものであって、書き込み電流の制約を受けることなく定まるため、記憶素子の書き込み状態で相違する電圧を識別する際、両電圧間のマージンの電圧幅を大きく設定することが可能となる。検出電圧を識別する電圧のマージンを大きくすることで、記憶素子の書き込み状態の判別を低感度の判別回路で行うことができ、また、判別回路の回路構成を簡易化、及びサイズの小型化に寄与する。

[0027] また、書き込み電流路と読み出し電流路とが分離した構成であることから、出力手段と書き込み手段とを個別に最適化することができるため、論理回路の設計に好適である。

[0028] 書き込み手段が備える駆動手段の一形態は、導電性電極の一端にソースを接続し、書き込み電流源側にドレインを接続する第1のNMOSトランジス

タと、導電性電極の他端にソースを接続し、書き込み電流源側にインバータを介してドレインを接続する第2のNMOSトランジスタとを備え、第1のNMOSトランジスタ及び第2のNMOSトランジスタのゲートに制御手段からの書き込み終了信号を入力する。

[0029] 抵抗変化型記憶素子の一形態は、記憶素子として3つの端子を備える抵抗変化型の磁気トンネル接合素子（MTJ素子：Magnetic Tunnel Jnction）を用いることができる。

[0030] 本発明は不揮発性フリップフロップに適用することができ、マスターラッチとスレーブラッチとを継続接続して構成し、マスターラッチへのデータの書き込みに本発明の抵抗変化型記憶素子のデータ書き込み装置を適用する。

発明の効果

[0031] 以上説明したように、本発明の抵抗変化型記憶素子のデータ書き込み装置は、抵抗変化を生じる記憶素子の一端に導電性電極、他端に読み出し電極を備え、導電性電極に電流を流すことにより記憶素子に抵抗変化を生じさせる抵抗変化型記憶素子において、抵抗変化型記憶素子へのデータの書き込みの終了を検出することができる。

[0032] また、本発明の抵抗変化型記憶素子のデータ書き込み装置は、抵抗変化型記憶素子へのデータの書き込みの終了を検出することによって、バックアップ電流を抑制し、バックアップ処理における消費電力を低減することができる。

図面の簡単な説明

[0033] [図1]本発明の抵抗変化型記憶素子のデータ書き込み装置の概略構成を説明するための構成図である。

[図2]本発明の抵抗変化型記憶素子のデータ書き込み装置の動作例を説明するための動作図である。

[図3]本発明の抵抗変化型記憶素子のデータ書き込み装置に用いる抵抗変化型記憶素子の概略構成を説明するための図である。

[図4]抵抗変化型記憶素子の構成例を説明するための概略図である。

[図5]本発明の書き込み手段及び出力手段を説明するための図である。

[図6]本発明の出力手段の検出電圧のマージンと従来の抵抗変化型記憶素子に用いられる検出電圧のマージンを比較するための図である。

[図7]本発明の制御手段を説明するための図である。

[図8]本発明の抵抗変化型記憶素子のデータ書き込み装置の動作例を説明するためのタイミングチャートである。

[図9]本発明の抵抗変化型記憶素子のデータ書き込み装置の動作例を説明するための動作図である。

[図10]本発明の抵抗変化型記憶素子のデータ書き込み装置の動作例を説明するための動作図である。

[図11]本発明の抵抗変化型記憶素子のデータ書き込み装置の動作例を説明するための動作図である。

[図12]本発明の抵抗変化型記憶素子のデータ書き込み装置の動作例を説明するためのタイミングチャートである。

[図13]本発明の抵抗変化型記憶素子のデータ書き込み装置の動作例を説明するための動作図である。

[図14]本発明の抵抗変化型記憶素子のデータ書き込み装置の動作例を説明するための動作図である。

[図15]本発明の抵抗変化型記憶素子のデータ書き込み装置を備える不揮発性フリップフロップの構成を説明するための概略図及び動作のタイミングチャートである。

[図16]本発明の抵抗変化型記憶素子のデータ書き込み装置を備える不揮発性フリップフロップの構成例を説明するための図である。

[図17]本発明の不揮発性フリップフロップの実施例の信号の例を説明するための図である。

[図18]本発明の抵抗変化型記憶素子のデータ書き込み装置の動作例のタイミングチャートである。

[図19]従来の抵抗変化型記憶素子のデータ書き込み装置を説明するための概

略図である。

発明を実施するための形態

[0034] 以下、本発明の実施の形態について、図を参照しながら詳細に説明する。

以下、図 1, 2 を用いて本発明の抵抗変化型記憶素子データの書き込み装置の概略構成、及び動作例を説明し、図 3, 4 を用いて、本発明の抵抗変化型記憶素子のデータ書き込み装置に用いる抵抗変化型記憶素子の概略構成、及び抵抗変化型記憶素子の構成例を説明する。次に、本発明の抵抗変化型記憶素子のデータ書き込み装置が備える書き込み手段及び出力手段を図 5, 6 を用いて説明し、制御手段を図 7 を用いて説明し、データ書き込み装置の動作例を図 8～図 14 を用いて説明する。

[0035] 更に、図 15～図 18 を用いて本発明の抵抗変化型記憶素子のデータ書き込み装置を備えた不揮発性フリップフロップの構成例を説明する。

[0036] (抵抗変化型記憶素子のデータ書き込み装置の概略構成、及び動作)

図 1 は本発明の抵抗変化型記憶素子データの書き込み装置を説明するための概略構成図である。

[0037] 抵抗変化型記憶素子のデータ書き込み装置 1 は、抵抗変化型記憶素子 10、書き込み手段 20、出力手段 30、制御手段 40 を備える。

[0038] 抵抗変化型記憶素子 10 は、抵抗変化を生じる記憶素子 11 の一端に導電性電極 13、他端に読み出し電極 12 を備える。記憶素子 11 は、導電性電極 13 に書き込み電流を流すことにより抵抗変化させ、この抵抗変化をデータに対応付けることでデータを記憶させる。

[0039] 書き込み手段 20 は、導電性電極 13 への書き込み電流の電流方向を切り替えることにより抵抗変化型記憶素子 10 の抵抗を変化させ、記憶素子 11 に書き込みを行う駆動手段 21 を備える。

[0040] 出力手段 30 は、電源 (VDD) と記憶素子 11 の読み出し電極 12 との間に設けられ、記憶素子 11 からの読み出し信号 VRD、及び記憶素子 11 の書き込み状態をモニタするモニタ信号 VM を出力信号として出力する。

[0041] 制御手段 40 は、抵抗変化型記憶素子 10 への書き込み時に、出力手段 3

0からのモニタ信号VMに基づいて駆動手段21を制御し、書き込み終了検出に基づいて書き込み電流の供給を停止する。

[0042] 出力手段30は、電源(VDD)と読み出し電極12との間に設けられ、出力手段30から記憶素子11からの読み出し信号VRD、及び書き込み手段20による記憶素子11の書き込み状態をモニタするモニタ信号VMを出力信号として出力する。この構成により、導電性電極への電流供給により記憶素子に抵抗変化を生じさせる抵抗変化型記憶素子において、書き込み電流とは異なる電流経路によって検出されるモニタ信号VMによって記憶素子11へのデータの書き込みの終了を検出する。

[0043] 出力時と書き込み時の電流経路についてみると、出力手段30の設置を電源(VDD)と読み出し電極12の間とすることにより、出力信号(読み出し信号VRD、モニタ信号VM)を取り出す際の電流経路は、電源(VDD)、出力手段30、読み出し電極12、記憶素子11、導電性電極13を介して接地される経路で形成され、一方、書き込み時における書き込み電流の電流経路は、書き込み手段20、導電性電極13の一方の端子、導電性電極13、導電性電極13の他方の端子を介して、再び書き込み手段20に戻る経路で形成される。

[0044] この構成によれば、出力信号の電流経路と、書き込み電流の電流経路とは分離した構成であり、出力信号と書き込み電流とはそれぞれ干渉することなく独立して出力される。出力信号と書き込み電流とが独立することで、出力信号を書き込み電流の影響を受けることなく取得される。

[0045] 制御手段40は、書き込み終了検出部41と書き込み終了信号生成部42とを備える。書き込み終了検出部41は、書き込み手段20での書き込み信号Yと、出力手段30からの書き込み状態のモニタ信号VMとに基づいて書き込み終了検出信号DONEを出力する。一方、書き込み終了信号生成部42は、書き込み終了検出部41の書き込み終了検出信号DONEに基づいて書き込み終了信号WEを出力する。

[0046] 書き込み終了信号生成部42は、生成した書き込み終了信号WEによって

駆動手段 21 を制御し、抵抗変化型記憶素子 10 への書き込みを停止する。

[0047] 次に、図 2 を用いて本発明の抵抗変化型記憶素子データの書き込み装置の動作を、従来の抵抗変化型記憶素子の書き込み装置の動作と比較して説明する。図 2 (a) ~ 図 2 (c) は本発明の抵抗変化型記憶素子データの書き込み装置の動作を説明するための図であり、図 2 (d) ~ 図 2 (f) は従来構成の抵抗変化型記憶素子データの書き込み装置の動作を説明するための図である。なお、図 2 は、図 1 に示した概略構成において、書き込み動作時及び読み出し動作時に応じて説明に要する構成部分のみを示し、その他の部分は省略している。

[0048] 図 2 (a) は書き込み時の動作状態を示している。書き込み時には、書き込み手段 20 から抵抗変化型記憶素子 10 の導電性電極 13 に書き込み電流が供給される。書き込み電流は、書き込みを行うデータによって電流方向が切り替えられる。このとき、出力手段 30 及び記憶素子 11 には、出力信号を得るための電流は流れない。

[0049] 図 2 (b) は、書き込み時において、記憶素子の書き込み状態をモニタする際の動作例を示している。モニタ時には、出力手段 30 から読み出し電極 12、記憶素子 11、及び導電性電極 13 を介してモニタ電流 I_M (図中の破線) を流し、出力手段 30 はモニタ電流 I_M 及び記憶素子 11 の抵抗値に応じたモニタ信号 V_M を出力する。モニタ信号 V_M は記憶素子 11 の抵抗に応じた値であり、記憶素子 11 の抵抗値は書き込まれたデータに応じた値となるため、モニタ信号 V_M に基づいて記憶素子の書き込み状態がモニタされる。

[0050] 図 2 (c) は読み出し時の動作状態を示している。読み出し時には、出力手段 30 から読み出し電極 12、記憶素子 11、及び導電性電極 13 を介して読み出し電流 I_R (図中の破線) をし、出力手段 30 は読み出し電流 I_R から読み出し信号 V_{RD} を出力する。読み出し信号 V_{RD} は記憶素子 11 に抵抗に応じた値となるため、読み出し信号 V_{RD} に基づいて記憶素子 11 の記憶状態が読み出される。

- [0051] 次に、図 2（d）～図 2（f）を用いて従来の書き込み装置の動作状態を説明する。なお、ここでは、従来の書き込み手段の構成として、図 19 に示した構成を用いている。
- [0052] 図 2（d），（e）は従来の書き込み装置の書き込み時及びモニタ時の動作状態を示している。書き込み時及びモニタ時には、書き込み手段 120A 又は書き込み手段 120B から抵抗変化型記憶素子 110 に書き込み電流が供給される。書き込み電流は、一方の書き込み手段から抵抗変化型記憶素子 110 に供給された後、他方の書き込み手段に流れる。このとき、書き込み電流は、書き込みデータによって書き込み手段 120A から書き込み手段 120B への電流方向、又は書き込み手段 120A から書き込み手段 120B への電流方向が選択される。
- [0053] モニタは、抵抗変化型記憶素子 110 に対して電流が供給される端子側の電圧をモニタ信号 VM（図中の一点鎖線）として検出する。このとき、モニタ信号 VM は、駆動される書き込み手段に基づいてマルチプレクサ 121 によって書き込み電流の電流方向に応じて選択される。
- [0054] 図 2（f）は読み出し時の動作状態を示している。読み出し時には、読み出し部 130 から抵抗変化型記憶素子 110 に読み出し電流 IR（図中の破線）を流して、読み出し信号 VRD を出力する。読み出し信号 VRD は抵抗変化型記憶素子 110 の抵抗に応じた値となるため、読み出し信号 VRD に基づいて抵抗変化型記憶素子 110 の記憶状態が読み出される。
- [0055] 本発明の書き込み装置の形態によれば、記憶素子の書き込み状態をモニタする際に、書き込み手段による書き込み電流経路と独立した電流経路を流れるモニタ電流 IM を用いてモニタ信号 VM を検出する。一方、従来の書き込み装置の形態によれば、記憶素子の書き込み状態をモニタする際に、書き込み手段による書き込み電流経路を流れる書き込み電流を用いてモニタ信号 VM を検出する。モニタ信号 VM の検出位置は書き込み電流の電流方向で異なるため、モニタ信号を切り替えて出力するためにマルチプレクサ 121 が必要となる。

[0056] (抵抗変化型記憶素子の概略構成)

本発明の実施形態に用いられる抵抗変化型記憶素子 10 の構成について図 3 を参照して説明する。図 3 (a) は抵抗変化型記憶素子 10 の概略構成を示している。抵抗変化型記憶素子 10 は、抵抗変化を生じる記憶素子 11 の一端に導電性電極 13、他端に読み出し電極 12 を備える。導電性電極 13 に書き込み電流を流すことにより記憶素子 11 に抵抗変化が生じる。

[0057] 読み出し電極 12 は端子 T1 を備え、導電性電極 13 は 2 つの端子 T2, T3 とを備え、合わせて 3 端子を備える。導電性電極 13 の端子 T2, T3 間に流れる磁化反転電流の電流方向が反転すると磁化方向が変わり、この磁化方向によって記憶素子 11 の抵抗 R_M が変化する。

[0058] 図 3 (b) は、書き込み電流 I_{WR} と記憶素子 11 の抵抗 R_M とのヒステリシス特性を示している。抵抗変化型記憶素子 10 の記憶素子 11 の抵抗が高抵抗 R_1 の状態において、書き込み電流 I_{W1} を流すことによって高抵抗 R_1 は低抵抗 R_0 に抵抗変化する。一方、抵抗変化型記憶素子 10 の記憶素子 11 の抵抗が低抵抗 R_0 の状態において、書き込み電流 I_{W2} を流すことによって低抵抗 R_0 は高抵抗 R_1 に抵抗変化する。例えば、高抵抗 R_1 をデータ $M=1$ に対応させ、低抵抗 R_0 をデータ $M=0$ に対応させることによって記憶素子として用いることができる。

[0059] 記憶素子 11 のデータの書き込みは、端子 T2, T3 間に書き込み電流 I_{WR} を流すことで行う。一方、記憶素子 11 のデータの読み出しは、読み出し電流 I_R で得られる端子 T1 の電圧で検出する。

[0060] (抵抗変化型記憶素子の構成例)

次に、抵抗変化型記憶素子の構成例について、図 4 (a) ~ 図 4 (d) を用いて概略構成を説明する。なお、ここで示す抵抗変化型記憶素子の構成例は一例であって、この構成に限られるものではない。

[0061] 図 4 (a) ~ (d) は抵抗変化型記憶素子 10A, 10B, 10C、及び 10D の概略断面図であり、4 つの構成例を示している。なお、下記の抵抗変化型記憶素子 10A ~ 10C の構成例は特許文献 2 に記載される構成例を

参照するものであり、MTJ素子による構成例である。また、抵抗変化型記憶素子10Dの構成例は特許文献3に記載される構成例を参照するものであり、スピン軌道トルクを用いた磁化反転方式のMTJ素子による構成例である。

[0062] 図4(a)は抵抗変化型記憶素子10Aの一構成例を示す断面図である。抵抗変化型記憶素子10は磁化反転電流が発生する磁場により磁化自由層の磁化状態を反転させる構成を有している。図4(a)に示す構成例では、抵抗変化型記憶素子10Aは、導電層10aと、磁化固定層10bと、トンネルバリア層10cと、磁化自由層10dとを備え。磁化固定層10bは、導電層10aの上面に直接に形成され、トンネルバリア層10cは、磁化固定層10bの上面に形成される。磁化自由層10dは、トンネルバリア層10cの上面に形成される。磁化固定層10bは磁化が固定された強磁性体膜で形成され、磁化自由層10dは磁化が反転可能な強磁性体膜で形成される。抵抗変化型記憶素子10Aの端子10fは導電層10aの一方の端付近に設けられ、端子10gは導電層10aの他方の端付近に設けられる。抵抗変化型記憶素子10Aの端子10eは磁化自由層10dの上面に設けられる。

[0063] 抵抗変化型記憶素子10Aは、磁化反転電流が導電層10aに+X方向に流れると、磁化自由層10dに+Y方向に磁界が印加され、これにより、磁化固定層10b及び磁化自由層10dの磁化方向が平行になり、抵抗変化型記憶素子10Aは低抵抗状態になる。一方、磁化反転電流が導電層10aに-X方向に流されると、磁化自由層10dに-Y方向に磁界が印加され、これにより、磁化固定層10b及び磁化自由層10dの磁化方向が反平行になり、抵抗変化型記憶素子10Aは高抵抗状態になる。

[0064] 図4(b)は他の構成例を示している。抵抗変化型記憶素子10Bは、導電層10aの上面に磁化自由層10dが直接に積層され、磁化自由層10dの上面にトンネルバリア層10cが積層される。トンネルバリア層10cの上面に磁化固定層10bが積層される構成としてもよい。なお、図4(a)、図4(b)に示す構成の抵抗変化型記憶素子10A、10Bにおいて、導

電層 10a は本発明の抵抗変化型記憶素子の導電性電極に相当する。

[0065] 図4(c)において、抵抗変化型記憶素子10Cは磁化反転電流の電子に与えられたスピンによって磁化自由層の磁化を反転させる磁壁移動型のMTJ素子として構成される。

[0066] 抵抗変化型記憶素子10Cは、スピン源10h、10iと、磁化自由層10dと、トンネルバリア層10cと、磁化固定層10bとを備える。スピン源10h、10iは磁化自由層10dの両端付近の下面に接合される。トンネルバリア層10cは、磁化自由層10dの上面に積層され、磁化固定層10bはトンネルバリア層10cの上面に積層される。スピン源10h、10i、磁化自由層10d、磁化固定層10bは、何れも磁化方向が垂直方向（Z軸方向）である。磁化固定層10bの磁化は+Z方向に固定される。スピン源10hの磁化は-Z方向に固定され、スピン源10iの磁化は+Z方向に固定される。磁化自由層10dは、スピン源10hとスピン源10iの間に発生する磁壁10jを境界として磁化が上方向に向く領域と下方向に向く領域とに分かれる。

[0067] 抵抗変化型記憶素子10Cは、磁化反転電流を+X方向に流すと、スピン源10hによってスピン偏極された電子が磁化自由層10dに注入される。この注入されたスピン偏極電子のスピントルク作用によって磁壁10jが-X方向に移動し、スピン源10hの近傍に到達する。その結果、磁化固定層10bの直下における磁化自由層10dの磁化方向は磁化固定層10bと平行になり、抵抗変化型記憶素子10Cは低抵抗状態となる。一方、磁化反転電流を-X方向に流すと、スピン源10h近傍にあった磁壁10jが+X方向へ移動し、スピン源10iの近傍に到達する。その結果、磁化固定層10b直下における磁化自由層10dの磁化方向は磁化固定層10bと反平行になり、抵抗変化型記憶素子10Cは高抵抗状態となる。なお、図4(c)に示す構成の抵抗変化型記憶素子10Cにおいて、磁化自由層10d以下の部分は本発明の抵抗変化型記憶素子の導電性電極に相当する。

[0068] 図4(d)において、抵抗変化型記憶素子10Dは、重金属から構成され

一方向に延伸された形状の重金属層 10k と、強磁性体から構成され、重金属層 10k に隣接して設けられた記録層 10l と、絶縁体から構成され、記録層 10l の重金属層 10k とは反対側の面に隣接して設けられた障壁層 10m と、強磁性体から構成され、障壁層 10m の記録層 10l とは反対側の面に隣接して設けられた参照層 10n とにより構成される。

[0069] 重金属層 10k の長手方向（X 軸方向）に書き込み電流が流され、この重金属層 10k に流れる書き込み電流で発生するスピンのによって、記録層 10l の磁化方向が書き替えられる。また、参照層 10n は、磁化方向が固定された層である。図 4（d）に示す構成の抵抗変化型記憶素子 10D において、重金属層 10k は本発明の抵抗変化型記憶素子の導電性電極に相当する。

[0070] また、抵抗変化型記憶素子 10A～10C の上部電極は、本発明の抵抗変化型記憶素子の読み出し電極に相当している。抵抗変化型記憶素子 10D において、本発明の抵抗変化型記憶素子の読み出し電極に相当する部分は明記されていないが、記憶素子に対して導電性電極とは反対側の端部に設けられる電極である。

[0071] （書き込み手段、及び出力手段の構成）

本発明の書き込み装置が備える書き込み手段 20、及び出力手段 30 の構成例を図 5 を用いて説明する。

[0072] 書き込み手段 20 は、抵抗変化型記憶素子 10 の導電性電極 13 に書き込み電流を供給する駆動手段 21A 及び 21B と、駆動手段 21A、21B に書き込み動作を行わせるための書き込み信号 Y を形成する制御部 22 を備える。なお、図 5 では、駆動手段 21A への書き込み信号として制御部 22 のインバータ 22b の出力を書き込み信号 Y として示しているが、駆動手段 21B への書き込み信号としては制御部 22 のインバータ 22b の出力を書き込み信号回路インバータ 22b の NAND 回路 22a の出力を書き込み信号として用いる。ここでは、これらの書き込み信号は符号のみがインバータ 22b で反転されているだけであるので、書き込み状態の検出には一方の書き込み信号 Y のみを検出すれば足りる。

- [0073] 制御部22は、NAND回路22a及びインバータ22bから構成され、インバータ22bの出力端は駆動手段21Aに接続され、インバータ22bの入力端は駆動手段21Bに接続される。
- [0074] NAND回路22aには、データ信号Nqとバックアップ信号BCKが入力される。バックアップ信号BCKは、データの書き込み動作の後の処理を行わせるための信号であり、データ信号Nqは、データDを書き込むためにクロックCLKと同期して形成される信号である。NAND22aは、バックアップ信号BCKとデータ信号Nqが共に“Low”のとき、及びバックアップ信号BCKとデータ信号Nqの何れか一方が“Low”で他方が“High”のときに“High”を出力し、バックアップ信号BCKとデータ信号Nqが共に“High”のときは“Low”を出力する。インバータ22bはNAND回路22aの出力を反転して出力する。
- [0075] 駆動手段21Aは、インバータ21Ab及びNMOSトランジスタ21Aaから構成され、インバータ21Abの入力端には制御部22のインバータ22bが接続され、インバータ21Abの出力端にNMOSトランジスタ21Aaのドレインが接続され、NMOSトランジスタ21Aaのソースは導電性電極13の一端に接続される。インバータ21Abは、制御部22のインバータ22bから入力された書き込み信号Yに基づいて導電性電極13の一端に書き込み電流を供給する。NMOSトランジスタ21Aaは、書き込み終了信号WEによってOFF状態となり書き込み動作を終了させる。
- [0076] 一方、駆動手段21Bは、インバータ21Bb及びNMOSトランジスタ21Baから構成され、インバータ21Bbの入力端には制御部22のNAND回路22a出力端が接続され、インバータ21Bbの出力端にNMOSトランジスタ21Baのドレインが接続され、NMOSトランジスタ21Baのソースは導電性電極13の他端に接続される。インバータ21Bbは、制御部22のNAND回路22aから入力された書き込み信号に基づいて導電性電極13の他端に書き込み電流を供給する。駆動手段21Aは導電性電極13の一端に接続され、駆動手段21Bは導電性電極13の他端に接続さ

れ、制御部 22 からの書き込み信号に基づいてそれぞれ排他的に駆動し、導電性電極 13 に対して書き込み電流を電流方向を切り替えて供給する。NMOS トランジスタ 21Ba は、書き込み終了信号 WE によって OFF 状態となり書き込み動作を終了させる。なお、導電性電極 13 の一端は NMOS トランジスタ 31 を介して接地される。NMOS トランジスタ 31 の制御端には読み出し制御信号 RCL が入力され、導電性電極 13 の一端は読み出し時に接地される。

[0077] 図 5 (b) に示す駆動手段 21 は駆動手段 21A, 21B の構成例を示している。駆動手段 21 は、NMOS トランジスタ 21o のドレインにインバータ 21I の出力端を接続して構成され、NMOS トランジスタ 21o の制御端には書き込み終了信号 WE が入力される。

[0078] インバータ 21I は、PMOS トランジスタ 21p のドレインと NMOS トランジスタ 21n のドレインを接続して出力端とし、PMOS トランジスタ 21p のソースを電源に接続し、NMOS トランジスタ 21n のソースを接地し、PMOS トランジスタ 21p の制御端と NMOS トランジスタ 21n の制御端を接続して入力端とする。

[0079] 例えば、書き込み時には、書き込み信号 Y 又は Y の反転信号が駆動手段 21A に入力され、Y の反転信号又は、書き込み信号 Y が駆動手段 21B に入力される。駆動手段 21 では、“High” 状態にある書き込み信号 Y 又は Y の反転信号によって NMOS トランジスタ 21n はオン状態となり、PMOS トランジスタ 21p はオフ状態となる。トランジスタ 21o は、“High” 状態の書き込み終了信号 WE によってオン状態にあるため、書き込み電流 IWR は導電性電極 13 を通過した後、トランジスタ 21a 及びインバータ 21I の NMOS トランジスタ 21n を介して接地側に流れる。

[0080] 出力手段 30 の一形態は、PMOS トランジスタ 30b と NMOS トランジスタ 30a の直列接続した回路で構成する。この回路構成において、PMOS トランジスタ 30b のソース端に電源 (VDD) が接続され、NMOS トランジスタ 30a のソース端に記憶素子 11 の読み出し電極 12 が接続さ

れる。PMOSトランジスタ30bのドレイン端とNMOSトランジスタ30aのドレイン端の接続ノードは、読み出し信号VRD及びモニタ信号VMを出力する出力端である。

[0081] 電源電圧VDD側に接続されるPMOSトランジスタ30bの制御端にはモニタ制御信号SEの反転信号が接続され、記憶素子11の読み出し電極12に接続されるNMOSトランジスタ30aの制御端にはモニタ制御信号SEが接続され、2つのトランジスタ（PMOSトランジスタ30b、NMOSトランジスタ30a）の接続点を出力端とし読み出し信号VRD、VM（信号A）を出力する。

[0082] 出力手段30は、モニタ制御信号SEが“High”の状態では、PMOSトランジスタ30bはオフ状態にあり、NMOSトランジスタ30aはオン状態にあるため、出力端から出力される読み出し信号VRD、モニタ信号VMは、記憶素子11の抵抗に応じた電圧が出力される。なお、モニタ制御信号SEが“Low”の状態では、PMOSトランジスタ30bはオン状態にあり、NMOSトランジスタ30aはオフ状態にあるため、出力端からは、電源電圧VDDが出力される。

[0083] PMOSトランジスタ30bとNMOSトランジスタ30aとを直列接続した回路構成の形態は、PMOSトランジスタ30bを負荷抵抗として用いることで抵抗変化型記憶素子の抵抗を電圧として出力する。PMOSトランジスタ30bとNMOSトランジスタ30aとの接続点の電圧は、PMOSトランジスタ30bによる負荷曲線と、NMOSトランジスタ30aを含む抵抗変化型記憶素子の電圧－電流特性曲線とが交差する交点に対応する電圧であり、接続点の電圧を出力信号として出力する。

[0084] この出力手段30の形態によれば、抵抗変化型記憶素子側の電圧－電流特性曲線は、モニタ時に流れる電流に関係し、書き込み電流の制約を受けることなく定めることができる。そのため、記憶素子に書き込み状態の電圧の違いを識別する検出電圧のマージンの電圧幅を、書き込み電流の制約を受けることなく大きく設定することが可能となる。

- [0085] 図6は記憶素子に書き込み状態の電圧の違いを識別する検出電圧のマージンをするための図である。図6(a)は本発明の書き込み装置の場合を示し、図6(b)は従来構成の書き込み装置の場合を示している。
- [0086] 図6(a)、(b)において、右側に示す回路は記憶素子及び出力手段の回路構成を概略して示し、左側は負荷特性曲線及び電圧－電流特性曲線を示している。回路構成において、出力端を境にして、Part AとPart Bに分けられる。Part Aは、PMOSトランジスタに相応する部分であり負荷抵抗となる。Part Bは、記憶素子及びNMOSトランジスタに相当する部分である。
- [0087] Part AとPart Bには共通する電流が流れるため、出力端の電圧は、Part Aの負荷特性の曲線とPart Bの電圧－電流特性曲線とが交差する交点の電圧となる。
- [0088] 図6(a)は、Part Aの負荷特性の曲線及びPart Bの電圧－電流特性曲線について、モニタ時に流れるモニタ電流 I_M とモニタ信号 V_M との関係を示している。
- [0089] Part Bの電圧－電流特性曲線は、書き込みされた記憶素子の抵抗 R_M が低抵抗 R_0 の場合と高抵抗 R_1 の場合を示し、それぞれPart Aの負荷特性の曲線との交点で定まる電圧がモニタ信号 V_M として出力される。記憶素子の抵抗 R_M が低抵抗 R_0 の場合にはモニタ信号 V_M として電圧 V_0 が出力され、記憶素子の抵抗 R_M が高抵抗 R_1 の場合にはモニタ信号 V_M として電圧 V_1 が出力される。
- [0090] 記憶素子の書き込み状態は、モニタ信号 V_M の電圧値が電圧 V_0 であるかあるいは電圧 V_1 であるかを判別することで行う。モニタ信号 V_M の判別において、電圧 V_0 と電圧 V_1 の電圧差 ΔV が大きく、電圧のマージンが大きいほど判別が容易であり、低感度の判別回路で識別することができる。電圧 V_0 と電圧 V_1 の電圧差 ΔV が小さく、電圧のマージンが小さいほど判別が難しくなり、高感度の判別回路が必要となる。
- [0091] Part Aの負荷特性の曲線はモニタ電流 I_M により変更することができ

るため、電圧 V_0 と電圧 V_1 の電圧差 ΔV のマージンを任意に定めることができる。マージンを大きくすることで、記憶素子の書き込み状態の判別を低感度の判別回路で行うことができ、また、判別回路の回路構成の簡易化、及びサイズの小型化に寄与することができる。

[0092] 一方、従来構成では、図6（b）において、Part Aの負荷特性の曲線及びPart Bの電圧－電流特性曲線は、書き込み時に流れる書き込み電流 I_{WR} と書き込み信号 V_{BL} との関係を示している。

[0093] 図6（b）においても、図6（a）と同様に、Part Bの電圧－電流特性曲線は、書き込みされた記憶素子の抵抗 R_M が低抵抗 R_0 の場合と高抵抗 R_1 の場合を示し、それぞれPart Aの負荷特性の曲線との交点で定まる電圧が書き込み信号 V_{BL} として出力される。記憶素子の抵抗 R_M が低抵抗 R_0 の場合にはモニタ信号 V_M として電圧 V_0 が出力され、記憶素子の抵抗 R_M が高抵抗 R_1 の場合にはモニタ信号 V_M として電圧 V_1 が出力される。

[0094] 従来構成では、Part Aの負荷特性の曲線とPart Bの電圧－電流特性曲線との交点は書き込み電流の制約を受ける。記憶素子の書き込み動作では、記憶素子に書き込みを行うために所定値を超える書き込み電流を供給する必要がある、この書き込み電流は記憶素子に書き込む抵抗によって異なる。

[0095] 例えば、記憶素子の抵抗 R_M を低抵抗 R_0 とするには、書き込み電流 I_{W0} 以上の電流が必要であり、記憶素子の抵抗 R_M を高抵抗 R_1 とするには、書き込み電流 I_{W1} 以上の電流が必要である。したがって、従来構成では、Part Aの負荷特性の曲線とPart Bの電圧－電流特性曲線との交点は書き込み電流の制約を受け、低抵抗 R_0 を書き込む電圧 V_0 と高抵抗 R_1 を書き込む電圧 V_1 も書き込み電流 I_{W0} 及び書き込み電流 I_{W1} の制約を受ける。

[0096] このため、書き込み状態の判別に際して、低抵抗 R_0 を判別する電圧 V_0 と高抵抗 R_1 を判別する電圧 V_1 との電圧差 ΔV を大きく設定することが難しく、電圧マージンが小さい。電圧マージンが小さいほど書き込み状態の判

別が難しくなり、高感度の判別回路が必要となり、回路構成も大型化することになる。

[0097] (制御手段の構成)

図 7 は本発明の制御手段 40 の構成例を説明するための図である。

制御手段 40 は、書き込み終了検出部 41 と書き込み終了信号生成部 42 とを備える。書き込み終了検出部 41 は、否定排他的論理和 41a と偶数個のインバータ 41b, 41c とから構成され、否定排他的論理和 41a の一方の入力端子に偶数個のインバータ 41b, 41c を介して、制御部 22 の書き込み信号 Y を入力し、他方の入力端子に出力手段 30 のモニタ信号 VM (信号 A) を入力する。書き込み終了検出部 41 は、制御部 22 からの書き込み信号 Y と出力手段 30 の信号 A との一致に基づいて記憶素子 11 の書き込み処理が完了したことを検出し、書き込み終了検出信号 DONE を出力する。

[0098] 書き込み終了信号生成部 42 は、書き込み終了検出部 41 の書き込み終了検出信号 DONE に基づいて、書き込み終了信号 WE を生成する回路である。書き込み終了信号生成部 42 は、電源電圧 VDD と接地電圧 GND との間に 3 つのトランジスタ 42a, 42b, 及び 42c を直列接続した直列接続回路と、トランジスタ 42a 及びトランジスタ 42b に並列接続した並列回路とによって構成される。なお、ここでは、トランジスタ 42a を PMOS トランジスタとし、トランジスタ 42b, 42c, 及び 42d を NMOS トランジスタとしている。

[0099] トランジスタ 42b の制御ゲートには書き込み終了検出部 41 の出力信号である書き込み終了検出信号 DONE が入力され、トランジスタ 42a 及び 42c の制御ゲートにはバックアップ開始制御信号 STR が入力される。なお、トランジスタ 42a 及びトランジスタ 42c は互いに反転した状態で動作し、バックアップ開始制御信号 STR の入力に対して互いに逆方向でオンオフ動作を行う。

[0100] バックアップ開始制御信号 STR は、通常動作からバックアップ動作に切

り替わる時点で“Low”となった後、1クロックサイクルの後に“High”となり、バックアップ動作を開始する。

[0101] バックアップ動作の開始時には、書き込み終了検出信号DONEは“Low”の状態にあり、書き込み終了検出信号DONEは“Low”の状態にある。バックアップ開始制御信号STRが“Low”から“High”に切り替わることにより、トランジスタ42cはオフ状態に、トランジスタ32aはオン状態となる。この状態において、出力手段30のモニタ信号VMによって信号Aが“High”となり、書き込み信号Yと共に“High”となると、書き込み終了検出部41は書き込み終了検出信号DONEは“High”とする。トランジスタ42bは、書き込み終了検出信号DONEの“High”状態を受けて“High”となり、トランジスタ42b、42cはオン状態となってトランジスタ42cのドレインとトランジスタ42bのドレインの接続端の電位は接地電位となり、“Low”の書き込み終了信号WEを出力する。

[0102] また、バックアップ動作を行わない期間は、トランジスタ42dはバックアップ信号BCKを反転した反転BCKによってオン状態にあり、“Low”の書き込み終了信号WEを出力する。駆動手段21A、21Bのトランジスタ21Aa、21Baは“Low”の書き込み終了信号WEによってオフ状態となる、書き込み動作が終了する。

[0103] (動作例)

次に、本発明の抵抗変化型記憶素子の書き込み装置の動作例を図8～図14を用いて説明する。なお、図8～図11は、書き込み前後のデータが異なり、書き込みによって異なるデータに書き替えるバックアップの動作状態1を示し、図12～図14は書き込み前後のデータが同じであり、データの書き替えが行われない場合の動作状態2を示している。

[0104] 動作状態1：

図8に示すタイミングチャートは、通常動作、バックアップ動作、電源オフの状態、及び読み出し動作を示している。ここで、通常動作は、データの

書き込みを行わない動作状態であり、バックアップ動作は、データの書き込み及びデータの書き込み状態をモニタする動作状態であり、電源オフは記憶素子への電流供給を停止した状態であり、読み出し動作は、記憶素子に記憶されるデータを読み出す動作状態である。

[0105] 図8において、図8(a)は電源VDDを示し、図8(b)はクロックCLKを示し、図8(c)は通常動作を有効とするイネーブル信号ENを示し、図8(d)はデータ信号Nqを示し、図8(e)はバックアップ動作を有効にするバックアップ信号BCKを示し、図8(f)は制御部22のNAND出力を示し、図8(g)は制御部22から出力される書き込み信号Yを示し、図8(h)は記憶素子11の記憶状態を示し、図8(i)は出力手段30の出力信号A(読み出し信号VRD、モニタ信号VM)を示し、図8(j)は記憶素子への書き込みが終了したことを検出する書き込み終了検出信号DONEを示し、図8(k)は書き込み電流を停止させる書き込み終了信号WEを示し、図8(l)はバックアップ動作を開始するバックアップ開始制御信号STRを示し、図8(m)は記憶素子に書き込みを行うための電流IWRを示し、図8(n)は読み出し動作を制御する読み出し制御信号RCLを示し、図8(o)はモニタを有効にするモニタ制御信号SEを示している。

[0106] (通常動作)

通常動作は、イネーブル信号ENが“High”の状態によって、CMOSフリップフロップと同様の動作をしつつ、記憶素子へのデータの書き込みを行わない動作状態にある。なお、ここでは、記憶素子11の抵抗状態は“Low”の状態にあるものとし、書き込み信号Yと出力信号Aとは共に“Low”の状態にあり、書き込み終了検出信号DONEは“Low”の状態にある。また、通常動作中の何れかのクロックCLKの立ち下がりデータ信号Nqが“Low”から“High”に変化したものとする。

[0107] (バックアップ動作)

図9、図10はバックアップ動作における書き込み手段20、出力手段3

0、及び制御手段40の動作例を示している。

[0108] (A時点) 図8のA時点は、通常動作からバックアップ動作に切り替わる時点であり、図9はこの時点の動作状態を示している。イネーブル信号ENが“High”から“Low”に変わること、データの書き込み動作が開始され、バックアップ信号BCKが“Low”から“High”の状態に変わることによってバックアップ動作が開始される。

[0109] NAND22aには、バックアップ信号BCK及びデータ信号Nqが入力され、バックアップ信号BCKの切り替わりによってNAND出力が“Low”となり、インバータ22bから書き込み信号Yが出力される。また、制御手段40において、バックアップ信号BCKの反転信号が“High”に切り替わることによって、トランジスタ42dがオン状態となって、書き込み終了信号WEが“High”となり、書き込み動作が有効となる。

[0110] 駆動手段21A、21Bの各トランジスタ21Aa、21Baは30の書き込み終了信号WEによってオフ状態からオン状態に変わり、抵抗変化型記憶素子10の導電性電極13に対して書き込み電流IWRが供給される。

[0111] また、出力手段30のトランジスタ30a、30bはオン状態にあり、トランジスタ31はモニタ制御信号SEが立ち上がることでオン状態に切り替わるが、抵抗状態は低抵抗の状態にあるため、出力信号Aは“Low”の状態にある。

[0112] 書き込み信号Yは“High”であるが出力信号Aは“Low”の状態にあるため、書き込み終了検出信号DONEは依然として“Low”の状態にあり、書き込み終了信号WEは“High”の状態のままであり、書き込み終了の制御は行われない。

[0113] (B時点) 図8のB時点は、バックアップ動作中においてバックアップ開始制御信号STRが、バックアップ動作開始で“Low”となった後、1クロックサイクルの後に“High”に切り替わる時点である。

[0114] 書き込み終了信号生成部42において、バックアップ開始制御信号STRが“High”となることによって、トランジスタ42aはオン状態となる

トランジスタ42cはオフ状態となる。このとき、書き込み終了検出信号DONEは“Low”状態にあるため、トランジスタ42bはオフ状態にあり、書き込み終了信号WEは“High”の状態にある。

[0115] (C時点) 図8のC時点は、バックアップ動作において記憶素子11の抵抗(データM)が変化する時点であり、図10はこの時点の動作状態を示している。

[0116] 記憶素子11の抵抗(データM)が“Low”から“High”に変化すると、この変化に応じて出力信号Aが“Low”から“High”に切り替わる。この出力信号Aの変化に伴って、書き込み終了検出部41の書き込み終了検出信号DONEは“High”となる。書き込み終了信号生成部42のトランジスタ42bは書き込み終了検出信号DONEを受けてオン状態になって、書き込み終了信号WEは“High”から“Low”に切り替わる。

[0117] 駆動手段21A、21Bのトランジスタ21Aa、21Baは、書き込み終了信号WEが“High”から“Low”に切り替わることでオフ状態となり、書き込み電流IWRの供給は停止される。

[0118] (電源オフ状態)

(D時点) 図8のD時点は、バックアップ動作から電源オフの状態に切り替わる時点である。この動作は、電源(VDD)がオフ状態となることで行われる。この電源オフの状態において、抵抗(データM)の状態は維持される。なお、抵抗変化型記憶素子を用いて不揮発性フリップフロップを構成では、抵抗変化型記憶素子をバックアップ動作させて電源がオフ状態となることによるデータの消滅を避ける。

[0119] (読み出し動作)

(E時点) 図8のE時点は、電源オフから電源オンの状態に切り替わりと共に、記憶素子に書き込まれたデータを読み出す時点であり、図11はこの時点の動作状態を示している。

[0120] この時点では、イネーブル信号ENは“Low”の状態にあり、バックア

ップ信号は“Low”の状態にある。

[0121] 読み出し制御信号RCLおよびモニタ制御信号SEの立ち上がりによって、トランジスタ30a、30b、及び31はオン状態となる。記憶素子11の抵抗（データM）が高抵抗であるため、出力手段30から“High”の出力信号Aが出力される。書き込み終了検出部41は、“High”状態の出力信号Aと“Low”状態の書き込み信号Yとを受けて、書き込み終了検出信号DONEは“Low”を出力する。書き込み終了信号生成部42のトランジスタ42bは書き込み終了検出信号DONEを受けてオフ状態にあるが、トランジスタ42dはバックアップ信号の反転信号によってオン状態となるため、書き込み終了信号WEは“Low”が維持される。

[0122] 動作状態2：

図12に示すタイミングチャートは、書き込み前後のデータが同じでありデータの書き替えが行われない場合において、通常動作、バックアップ動作、及び電源オフの状態を示している。ここで、通常動作は、データの書き込みを行わない動作状態であり、バックアップ動作は、データの書き込み及びデータの書き込み状態をモニタする動作状態であり、電源オフは記憶素子への電流供給を呈した状態である。

[0123] 図12において、図12（a）は電源VDDを示し、図12（b）はクロックCLKを示し、図12（c）は通常動作を有効とするイネーブル信号ENを示し、図12（d）はデータ信号Nqを示し、図12（e）はバックアップ動作を有効にするバックアップ信号BCKを示し、図12（f）は制御部22のNAND出力を示し、図12（g）は制御部22から出力される書き込み信号Yを示し、図12（h）は記憶素子11の記憶状態を示し、図12（i）は出力手段30の出力信号A（読み出し信号VRD、モニタ信号VM）を示し、図12（j）は記憶素子への書き込みが終了したことを検出する書き込み終了検出信号DONEを示し、図12（k）は書き込み電流を停止させる書き込み終了信号WEを示し、図12（l）はバックアップ動作を開始するバックアップ開始制御信号STRを示し、図12（m）は記憶素子

に書き込みを行うための電流 I_{WR} を示し、図 12 (n) はモニタを有効にするモニタ制御信号 S_E を示している。

[0124] (通常動作)

通常動作は、イネーブル信号 E_N が “High” の状態によって、データの書き込みを行わない動作状態にある。なお、ここでは、記憶素子 11 の抵抗状態は、図 8 のタイミングチャートの状態を受けて “High” の状態にあるものとし、書き込み信号 Y と出力信号 A とは共に “Low” の状態にあり、書き込み終了検出信号 $DONE$ は “Low” の状態にあり、データ信号 N_q は “High” を維持しているものとする。

[0125] (バックアップ動作)

図 13, 図 14 はバックアップ動作における書き込み手段 20、出力手段 30、及び制御手段 40 の動作例を示している。

[0126] (F 時点) 図 12 の F 時点は、通常動作からバックアップ動作に切り替わる時点であり、図 13 はこの時点の動作状態を示している。

イネーブル信号 E_N が “High” から “Low” に変わることによって、データの書き込み動作が開始され、バックアップ信号 BCK が “Low” から “High” の状態に変わることによってバックアップ動作が開始される。

[0127] $NAND$ 22a には、バックアップ信号 BCK 及びデータ信号 N_q が入力され、バックアップ信号 BCK の切り替わりによって $NAND$ 出力が “Low” となり、インバータ 22b から書き込み信号 Y が出力される。また、制御手段 40 において、バックアップ信号 BCK の反転信号が “High” に切り替わることによって、トランジスタ 42d がオン状態となって、書き込み終了信号 WE が “High” となり、書き込み動作が有効となる。

[0128] 駆動手段 21A, 21B の各トランジスタ 21Aa, 21Ba は 30 の書き込み終了信号 WE によってオフ状態からオン状態に変わり、抵抗変化型記憶素子 10 の導電性電極 13 に対して書き込み電流 I_{WR} が供給される。

[0129] また、出力手段 30 のトランジスタ 30a, 30b はオン状態にあり、トランジスタ 31 はモニタ制御信号 S_E が立ち上がることでオン状態に切り替

り、抵抗状態が高抵抗の状態にあるため、出力信号Aは“H i g h”の状態となる。

[0130] 書き込み信号Y及び出力信号Aは“H i g h”であるため、書き込み終了検出信号D O N Eは“H i g h”状態となり、書き込み終了信号W Eは“H i g h”状態となり、書き込み終了の制御は行われない。

[0131] このとき、制御手段は、書き込み終了検出信号D O N Eが“H i g h”状態となることを受けてバックアップ開始制御信号S T Rを立ち下げる。

[0132] (G時点) 図12のG時点は、バックアップ動作における書き込み終了の時点であり、図13はこの時点の動作状態を示している。

[0133] この時点において、書き込み信号Y及び出力信号Aは“H i g h”であり、書き込み終了検出信号D O N Eは“H i g h”状態であるが、制御手段は書き込み終了検出信号D O N Eを受けてバックアップ開始制御信号S T Rを立ち下げるため、書き込み終了信号W Eは“H i g h”から“L o w”状態に切り替わって書き込み終了の制御が行われ、書き込み電流I W Rは1サイクルで終了する。この動作から、記憶素子の記憶状態が書き込みを行うデータに対応する記憶状態と同じ場合には、書き込み処理が実質的にスキップされる。

[0134] (不揮発性フリップフロップの構成)

次に、本発明の抵抗変化型記憶素子の書き込み装置を用いた不揮発性フリップフロップの構成例について図15～図18を用いて説明する。

[0135] なお、ここでは、マスターラッチとスレーブラッチとを継続接続して構成において、マスターラッチ側に本発明の抵抗変化型記憶素子のデータ書き込み装置を適用した例を示している。スレーブラッチについては通常のC M O Sで構成したものとする。

[0136] 図15において、本発明の不揮発性フリップフロップ(N V - F F) 50は、抵抗変化型記憶素子を備え、データDを入力し、クロックC L Kのタイミングで出力Qを出力する。図15中のクロックC L K、イネーブル信号E N、データD、バックアップ信号B C K、バックアップ開始制御信号S T R

、読み出し制御信号 R C L は、抵抗変化型記憶素子の書き込み装置で説明したものと同様に信号であり、Mは抵抗変化型記憶素子の抵抗状態を示している。

[0137] 図 1 5 中に示すタイミングチャート中の符号は抵抗変化型記憶素子の書き込み装置で説明した図 8, 及び図 1 2 で示したタイミングチャートと同様であり、通常動作において入力されたデータ D はバックアップ動作において抵抗状態で記憶されると共に出力 Q として出力され、読み出し動作（リコール動作）において出力 Q として出力される。

[0138] 図 1 6 は不揮発性フリップフロップ（N V - F F : Nonvolatile Flip-Flop）5 0 の一構成例を示す図である。不揮発性フリップフロップ（N V - F F）5 0 は、マスターラッチ 5 1 とスレーブラッチ 5 2 とを継続接続して構成される。

[0139] マスターラッチ 5 1 はデータ D を入力し、クロック C L K に同期させたデータ信号 N q をスレーブラッチ 5 2 に出力する。マスターラッチ 5 1 は、前記で説明した抵抗変化型記憶素子の書き込み装置によってデータ D のデータ信号 N q を抵抗変化型記憶素子 1 0 に記憶素子 1 1 に記憶する。

[0140] 図 1 6 の不揮発性フリップフロップ（N V - F F）5 0 の構成例は、前記した図 5 に示したものと同様の書き込み装置の構成として、抵抗変化型記憶素子 1 0, 書き込み手段 2 0（駆動手段（書き込みドライバ）2 1, 制御部 2 2）、及び制御手段 4 0 を備える。また、制御手段 4 0 は、図 7 に示したものと同様の構成として、書き込み終了検出部 4 1 及び書き込み終了信号生成部 4 2 を備える。

[0141] （消費電力の比較）

次に、本発明の構成と従来構成について消費電力の比較例を示す。

本発明の不揮発性フリップフロップの例は、以下の表 1 に示すパラメータの抵抗変化型記憶素子を用い、9 0 n m ルールで設計している。

[表1]

表1 Design parameters

R_0	R_1	I_{W0}	I_{W1}
8 k Ω	24 k Ω	-0.08 mA	0.08 mA

[0142] 図17は、不揮発性フリップフロップの実施例の信号の例であり、0 nsから12 nsの区間及び12 nsから24 nsの区間は前記した動作状態1に対応し、24 nsから36 nsの区間は上記した動作状態2に対応している。

[0143] 図17によれば、データの書き込み、及びデータ書き込み後に書き込み電流の終了処理が成されていることが確認される。また、記憶素子において $Nq = M$ の場合には書き込み処理がスキップされていることが確認される。

[0144] また、以下の表2は、CMOS構成のフリップフロップと、本発明に適用した抵抗変化型記憶素子を用いているが書き込み電流の自動停止を行わない構成のフリップフロップ（非特許文献1、表2中でRef. [31]で表記）と、従来構成の抵抗変化型記憶素子を用いて書き込み電流の自動停止を行った構成のフリップフロップ（非特許文献2、表2中でRef. [19]で表記）と、本発明の構成によるフリップフロップについて、消費電力 [μW]、遅延時間 [PS]、及び、PDP [$\mu W * PS$]（消費電力 μW と遅延時間 PS の積）を示している。

[表2]

Performance comparisons

	CMOS	Ref. [31]	Ref. [19]	Proposed
Nonvolatile	No	Yes (3T-MTJ)	Yes (2T-MTJ)	Yes (3T-MTJ)
Self-termination	No	No	Yes	Yes
Transistor counts*1)	16	23	46	47
Active power [μ W]*1,2,3)	6.69	10.0	8.54	8.05
Delay [ps]*1,2,4)	59.7	67.9	64.1	59.7
PDP [μ W*ps]*5)	399	679	522	480

*1) : Input buffer, output buffer, and clock buffer are not included.

*2) : 90nm CMOS technology ($V_{DD} = 1.2V$).

*3) : Average power during normal operation at 1.0 GHz.

*4) : Maximum time from V_{CLK} crossing 50% to V_Q crossing 50%.

*5) : PDP: Power-delay product.

なお、上記表2において、各行に示す項目は順に、揮発性／不揮発性の有無（NOは揮発性、YESは不揮発性を示す）、書き込み処理の自動終了の有無（NOは自動終了無し、YESは自動終了有りを示す）、トランジスタ数、消費電力（ μ W）、遅延時間（ps）、及びPDP（消費電力 μ Wと遅延時間PSの積（ μ W・ps））を示している。

[0145] また、（*1）は入力バッファ、出力バッファ、クロックバッファは含まれていないことを示し、（*2）は電源電圧VDDを1.2Vとし90nmスケールのCMOSであることを示し、（*3）は1.0GHzにおける通常動作中の消費電力を示し、（*4）はクロックCLKの電圧VCLKが50%を超えてから出力Qの電圧VQが50%を超えるまでの最大時間を示し、（*5）はPDP（消費電力 μ Wと遅延時間PSの積）を示している。

[0146] この比較によれば、消費電力 μ Wと遅延時間PSの積で表されるPDPは他の構成と比較して低減されることが確認される。

[0147] なお、実施例のフリップフロップでは、8ビットのNV-FFについて評価しており、スイッチング時間のばらつきは、平均のスイッチング時間が5

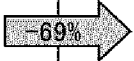
$n s$ で標準偏差は10%であり、最もばらつきが大きい場合にはスイッチング時間が12 $n s$ で標準偏差は12%である。

[0148] 図18は、本発明に適用した抵抗変化型記憶素子を用いた構成において、書き込み電流の自動停止を行った本発明の構成（図18中の濃いグラフ）と、書き込み電流の自動停止を行わなかった構成（図18中の淡いグラフ）とについて20回繰り返した場合のバックアップ動作時の消費電力を比較して示している。

[0149] 図18によれば、バックアップ時の消費電力が十分に低減されていることが確認される。

[0150] また、表3は、通常構成と本発明の構成とにおいて、バックアップエネルギーの100回の平均値を比較している。この比較によれば、本発明の構成によればバックアップエネルギーは69%の削減がされている。

[表3]

	Worst-case-oriented (Conventional) *3)	Self-terminated (Proposed)
Average backup energy [pJ] *1,2)	11.5 pJ	 3.57 pJ

*1) : The number of iterations is 100.

*2) : Random patterns are used for the logic inputs and initial states of 3T-MTJ devices.

*3) : The width of the write current pulse is fixed to 12 ns.

なお、（*1）は繰り返し回数が100回であることを示し、（*2）は任意のパターンの入力であることを示し、（*3）は書き込みパルスにパルス幅は12 $n s$ であることを示している。

[0151] なお、本発明は前記各実施の形態に限定されるものではない。本発明の趣旨に基づいて種々変形することが可能であり、これらを本発明の範囲から排除するものではない。

産業上の利用可能性

[0152] 本発明の抵抗変化型記憶素子のデータ書き込み装置は、フリップフロップ、不揮発性記憶装置等の論理素子に適応することができる。

符号の説明

[0153]	1	抵抗変化型記憶素子の書き込み装置	
	10, 10A, 10B, 10C, 10D		抵抗変化型記憶素子
	10a	導電層	
	10b	磁化固定層	
	10c	トンネルバリア層	
	10d	磁化自由層	
	10e, 10f, 10g	端子	
	10h, 10i	スピンの源	
	10j	磁壁	
	10k	重金属層	
	10l	記録層	
	10m	障壁層	
	10n	参照層	
	11	記憶素子	
	12	読み出し電極	
	13	導電性電極	
	20	書き込み手段	
	21, 21A, 21B	駆動手段	
	21Aa, 21Ba	トランジスタ	
	21Ab, 21Bb	インバータ	
	22	制御部	
	22a	NAND回路	
	22b	インバータ	
	30	出力手段	
	30a	トランジスタ	
	30b	トランジスタ	
	40	制御手段	

4 1	書き込み終了検出部	
4 1 a	否定排他的論理和	
4 1 b, 4 1 c	インバータ	
4 2	書き込み終了信号生成部	
4 2 a, 4 2 b, 4 2 c、4 2 d		トランジスタ
5 1	マスターラッチ	
5 2	スレーブラッチ	
1 0 0	書き込み装置	
1 1 0	抵抗変化型記憶素子	
1 1 1	記憶素子	
1 2 0	モニタ部	
1 2 0 A	書き込み手段	
1 2 0 A a	トランジスタ	
1 2 0 A b	書き込みドライバ	
1 2 0 B	書き込み手段	
1 2 0 B a	トランジスタ	
1 2 0 B b	書き込みドライバ	
1 2 1	マルチプレクサ	
1 3 0	読み出し部	
1 3 0 a	NMOS トランジスタ	
1 3 0 b	PMOS トランジスタ	
BCK	バックアップ信号	
CLK	クロック	
D	データ	
DONE	書き込み終了検出信号	
EN	イネーブル信号	
GND	接地電圧	
IM	モニタ電流	

I R	読み出し電流
I W 0, I W 1, I W 2	書き込み電流
I W R	書き込み電流
M	データ
N q	データ信号
Q	出力
R 0	低抵抗
R 1	高抵抗
R C L	読み出し制御信号
R M	抵抗
S E	モニタ制御信号
S T R	バックアップ開始制御信号
T 1, T 2, T 3	端子
V B L	書き込み信号
V D D	電源電圧
V M	モニタ信号
V R D	読み出し信号
W E	書き込み終了信号

請求の範囲

- [請求項1] 抵抗変化を生じる記憶素子の一端に導電性電極、他端に読み出し電極を備え、前記導電性電極に書き込み電流を流すことにより前記記憶素子に抵抗変化を生じさせる抵抗変化型記憶素子のデータ書き込み装置であって、
- 書き込み手段と、
- 記憶素子からの読み出し信号、及び書き込み手段による記憶素子の書き込み状態をモニタするモニタ信号を出力する出力手段と、
- 制御手段と、
- を備え、
- 前記書き込み手段は、前記導電性電極への書き込み電流の電流方向を切り替えることにより前記抵抗変化型記憶素子の抵抗変化を生じさせ、前記書き込み電流の供給を停止しうる駆動手段を備え、
- 前記出力手段は、電源と前記読み出し電極間に設けられ、
- 前記制御手段は、前記抵抗変化型記憶素子への書き込み時に、前記出力手段からのモニタ信号に基づいて前記駆動手段を制御することを特徴とする抵抗変化型記憶素子のデータ書き込み装置。
- [請求項2] 前記制御手段は、
- 前記書き込み手段の書き込み信号と、前記出力手段の書き込み状態のモニタ信号とに基づいて書き込み終了検出信号を出力する書き込み終了検出部と、
- 前記書き込み終了検出部の書き込み終了検出信号に基づいて書き込み終了信号を出力する書き込み終了信号生成部と
- を備えることを特徴とする請求項1に記載の抵抗変化型記憶素子のデータ書き込み装置。
- [請求項3] 前記出力手段は、PMOSトランジスタとNMOSトランジスタの直列回路を備え、

前記PMOSトランジスタのソース端に前記電源が接続され、
前記NMOSトランジスタのソース端に前記記憶素子の前記読み出し電極が接続され、
前記PMOSトランジスタのドレイン端と前記NMOSトランジスタのドレイン端の接続ノードは、前記読み出し信号及び前記モニタ信号を出力する出力端であることを特徴とする請求項1又は2に記載の抵抗変化型記憶素子のデータ書き込み装置。

[請求項4]

前記駆動手段は、

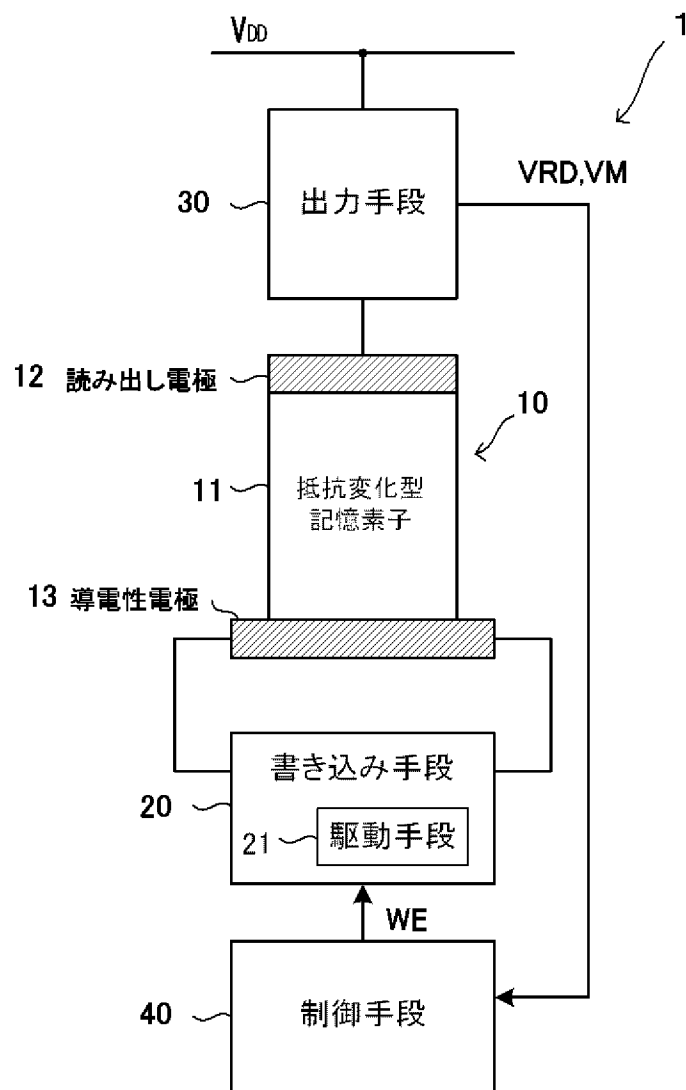
導電性電極の一端にソースを接続し、書き込み電流源側にドレインを接続する第1のNMOSトランジスタと、
導電性電極の他端にソースを接続し、書き込み電流源側にインバータを介してドレインを接続する第2のNMOSトランジスタとを備え、
第1のNMOSトランジスタ及び第2のNMOSトランジスタのゲートに、前記制御手段からの書き込み終了信号を入力することを特徴とする請求項1から3の何れか一つに記載の抵抗変化型記憶素子のデータ書き込み装置。

[請求項5]

マスターラッチとスレーブラッチとを継続接続する不揮発性フリップフロップであって、

前記マスターラッチは、前記請求項1から4の何れか一つに記載の抵抗変化型記憶素子のデータ書き込み装置を備えることを特徴とする不揮発性フリップフロップ。

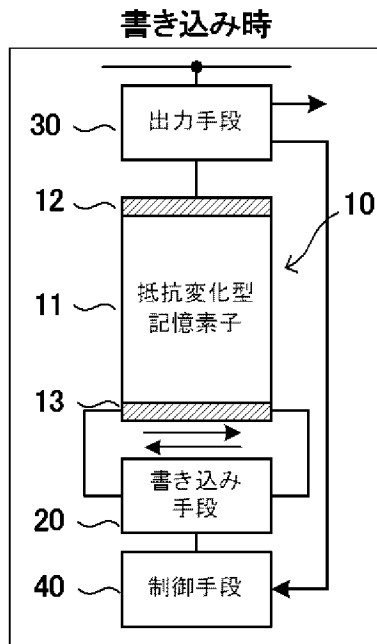
[図1]



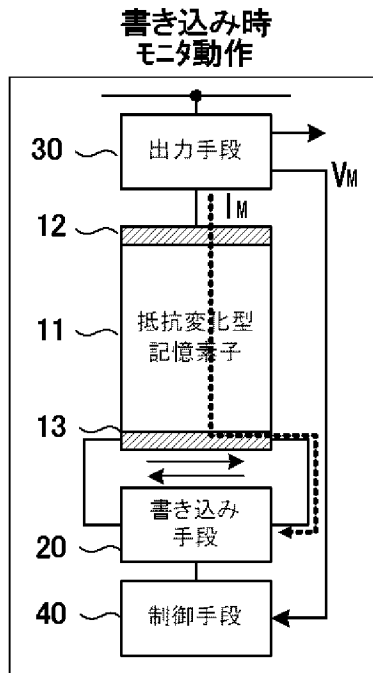
[図2]

本発明

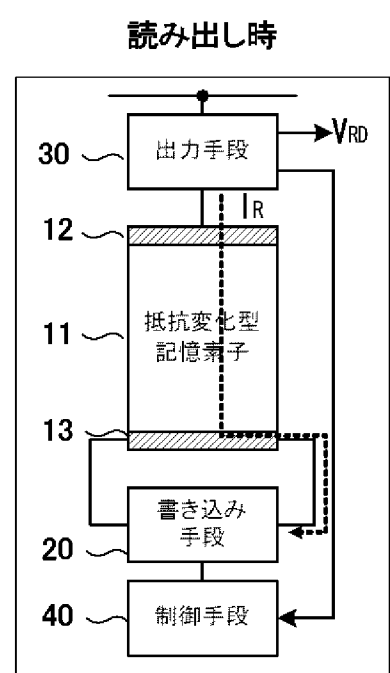
(a)



(b)

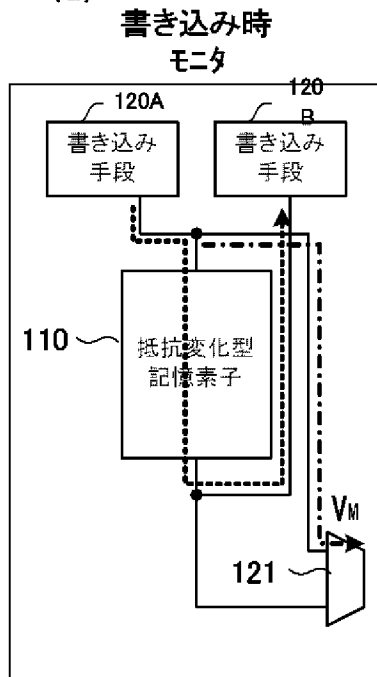


(c)

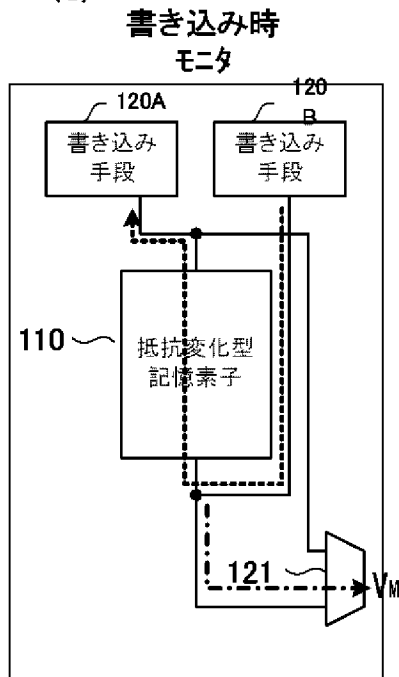


従来構成

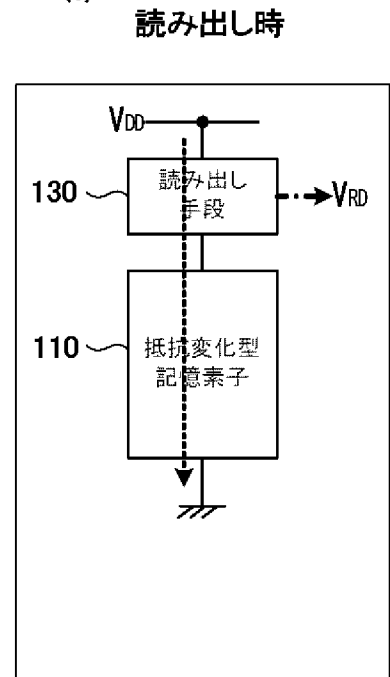
(d)



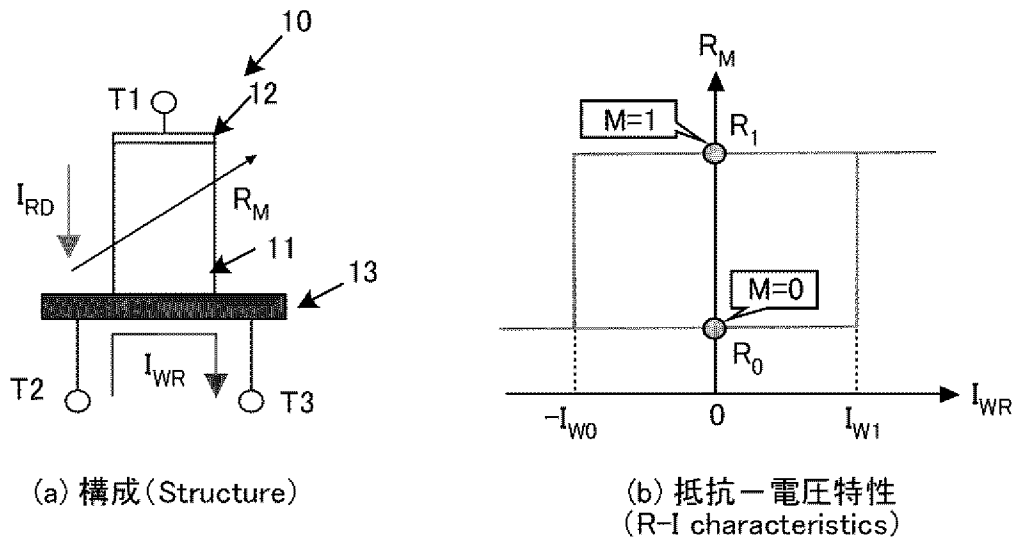
(e)



(f)

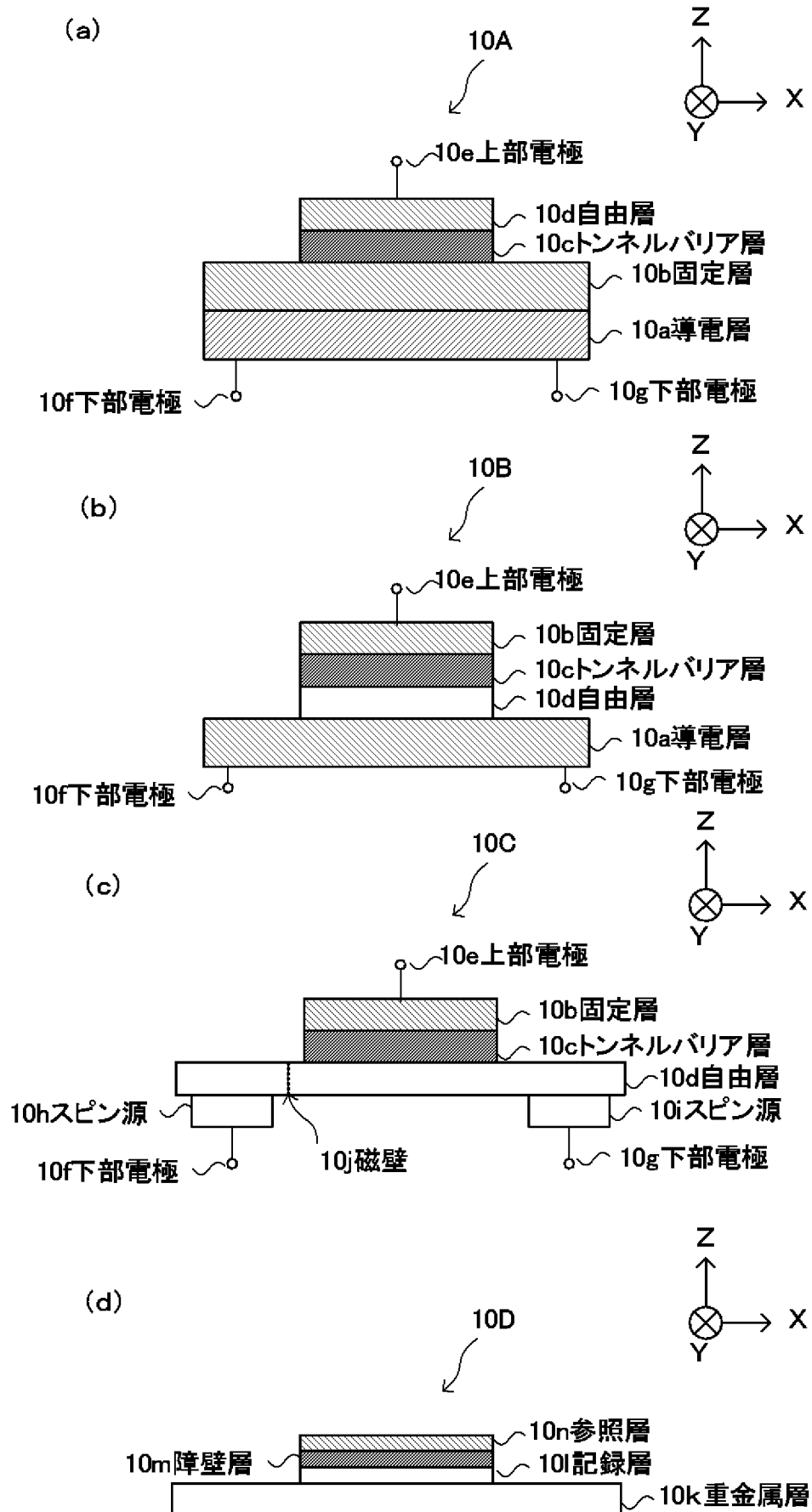


[図3]

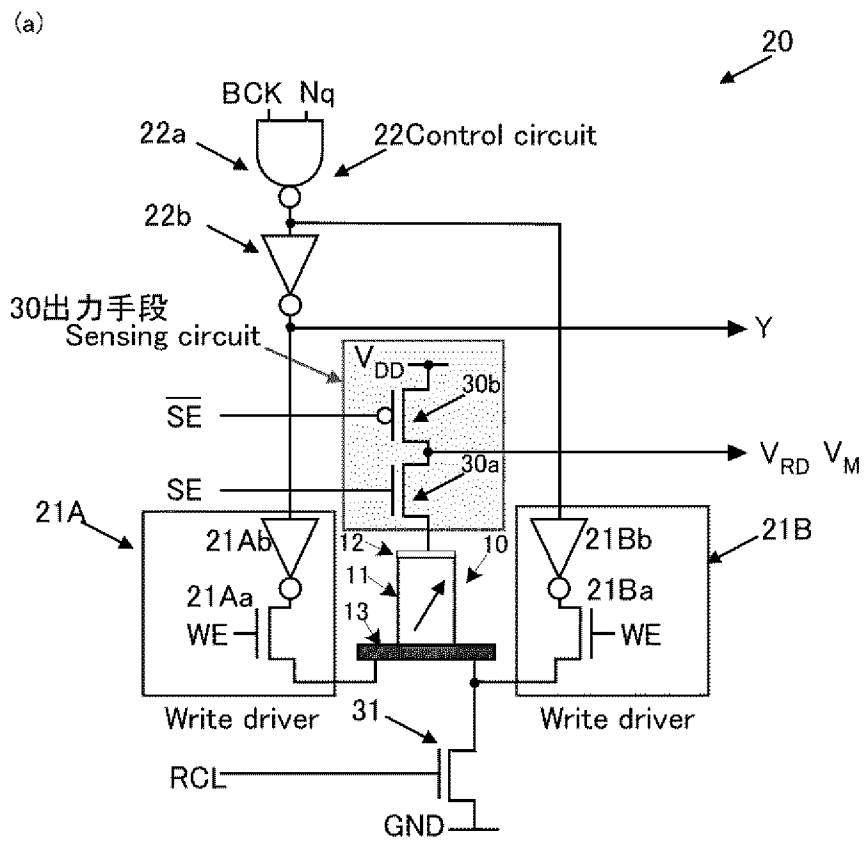


抵抗変化型記憶素子
(3T-MTJ device)

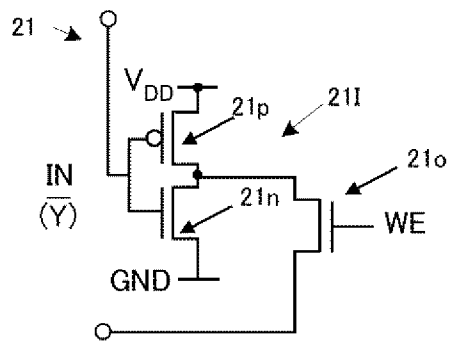
[図4]



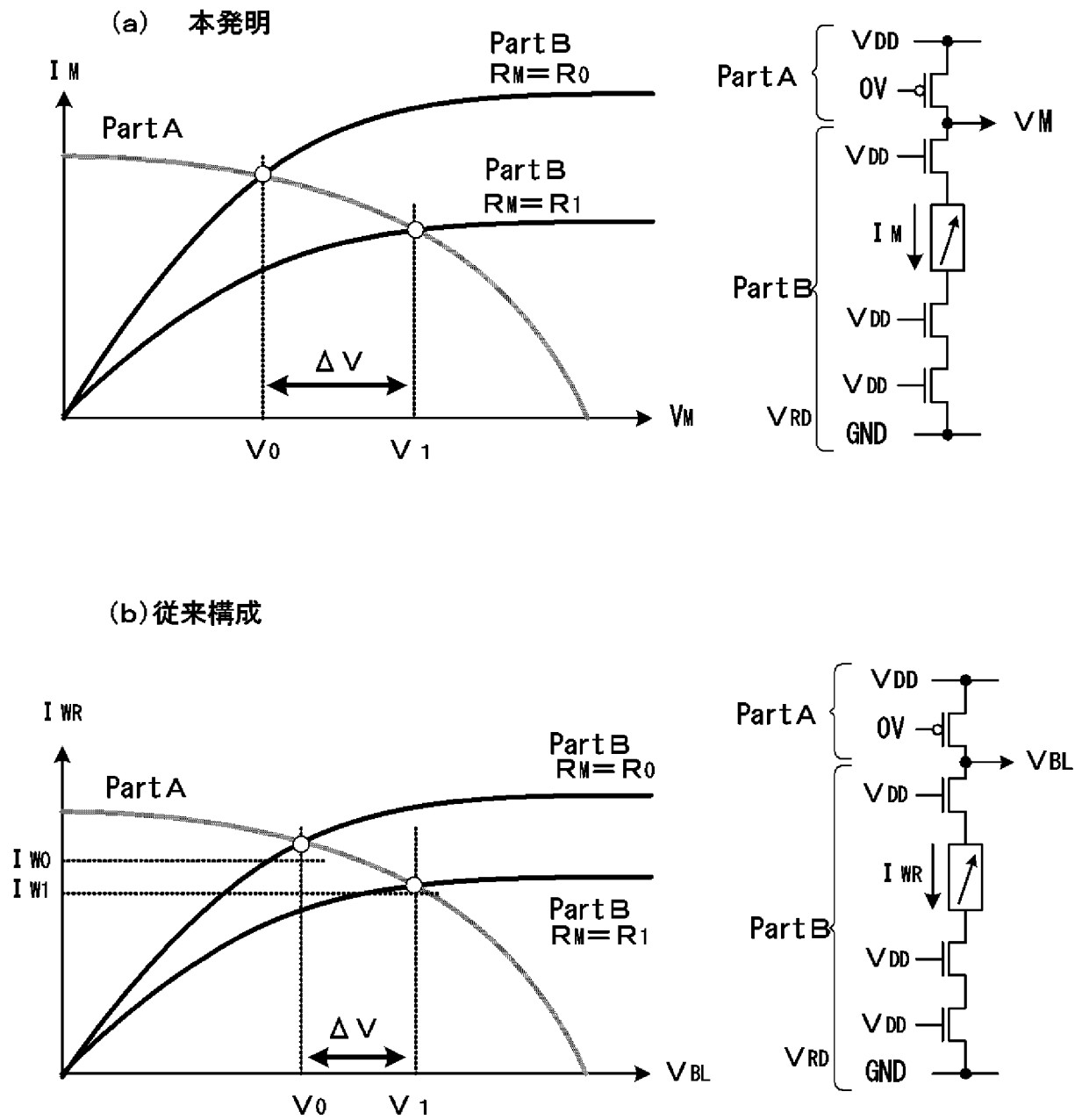
[図5]



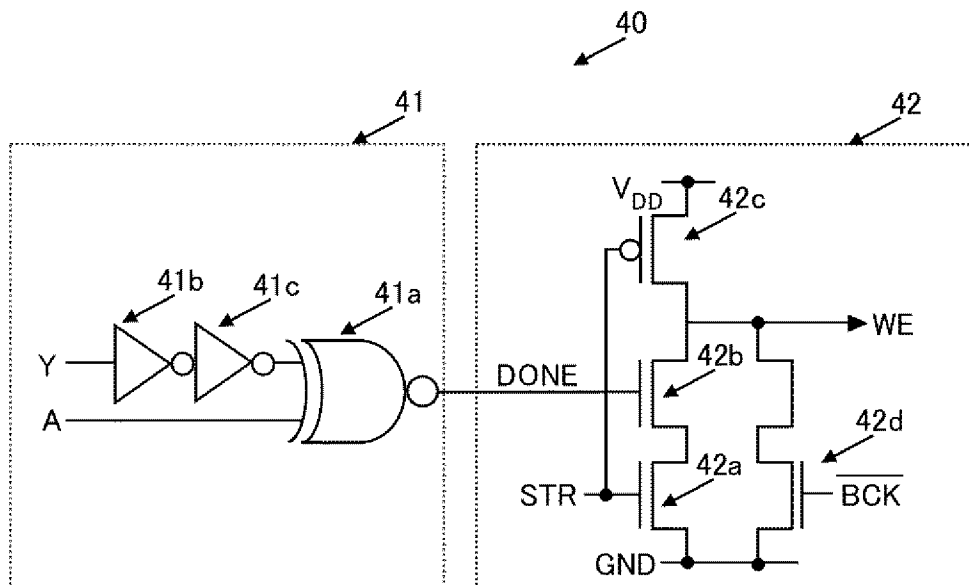
(b)



[図6]



[図7]

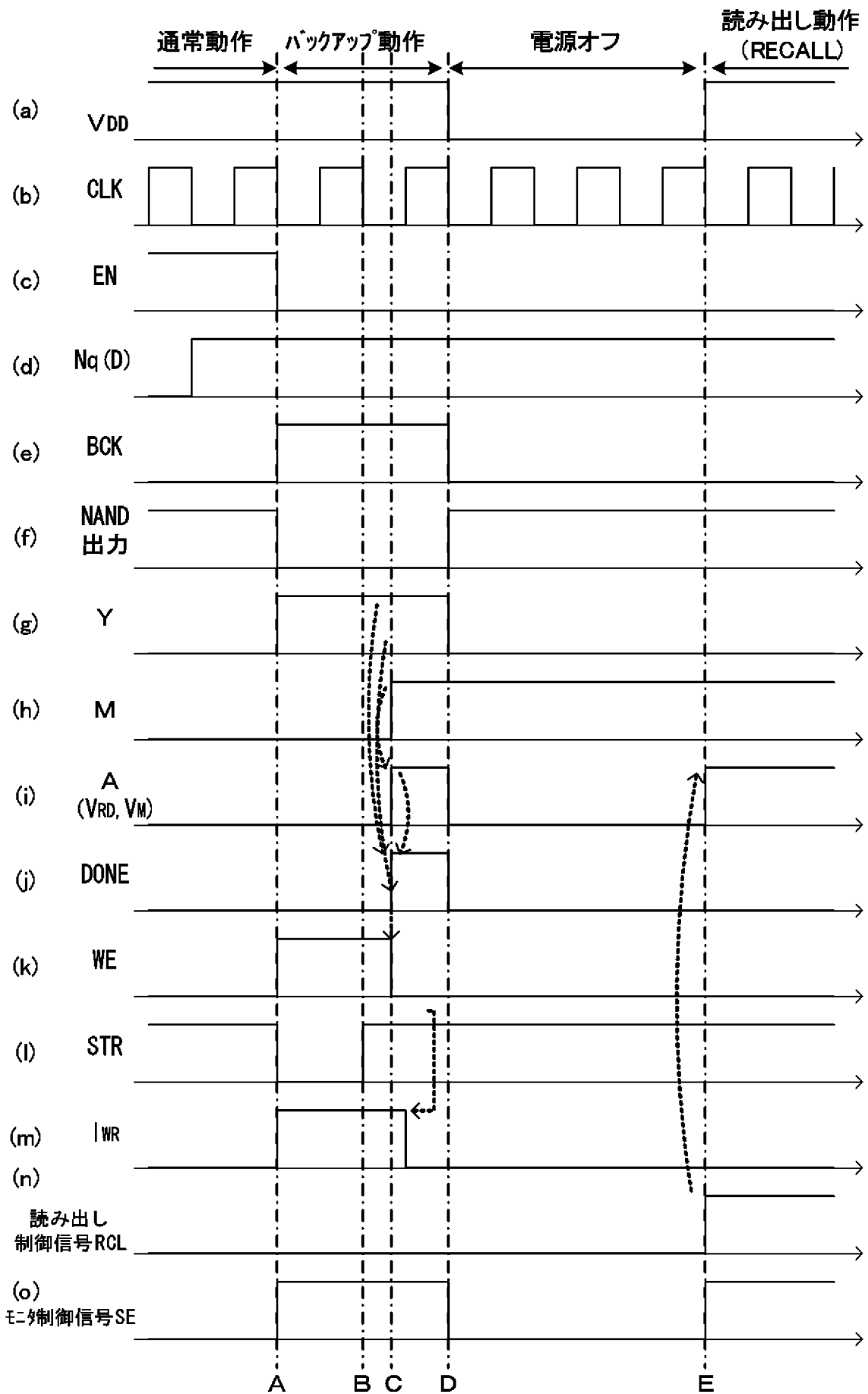


書き込み終了検出部
Completion detector

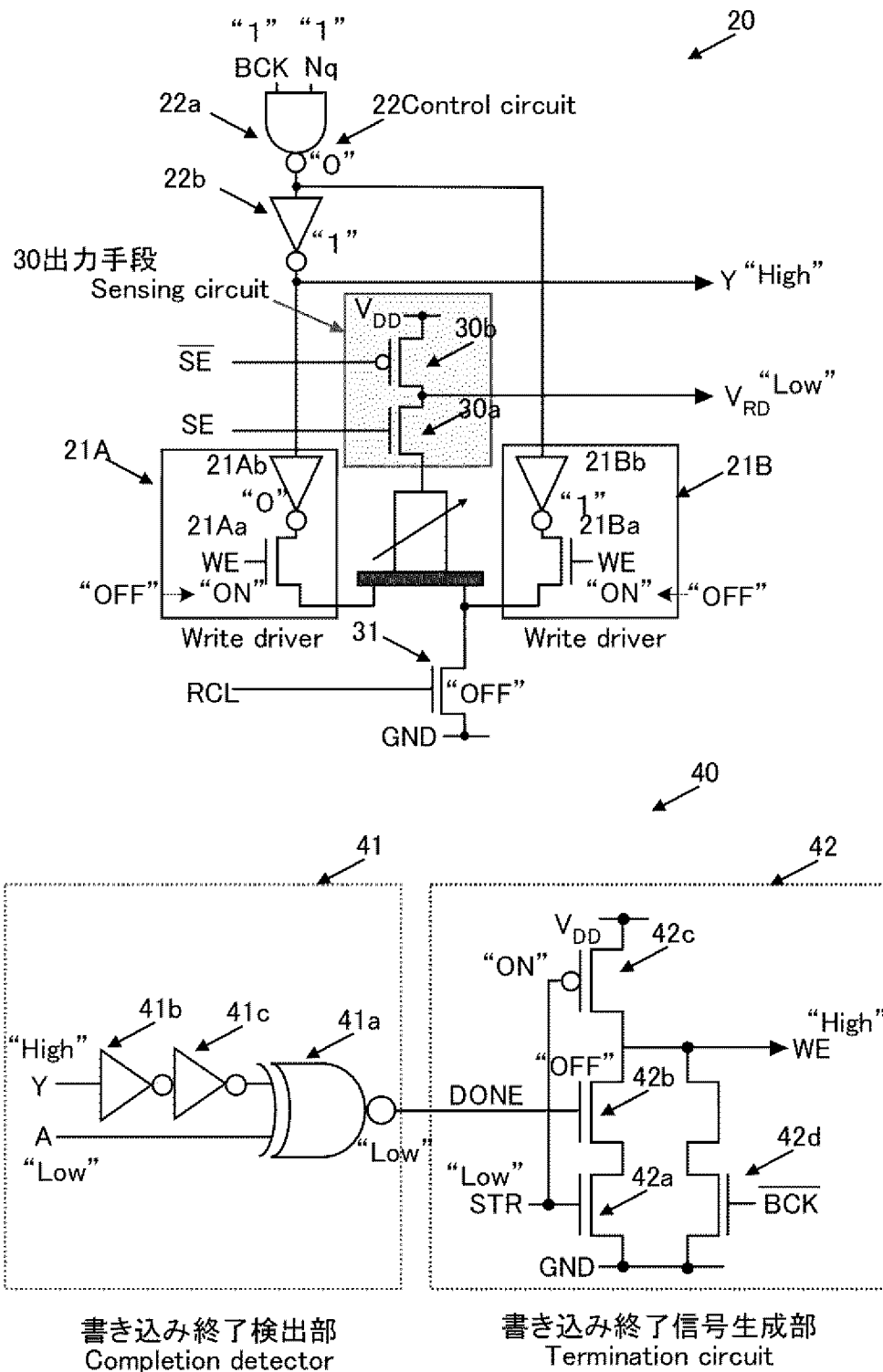
書き込み終了信号生成部
Termination circuit

DONE 書き込み終了検出信号
WE 書き込み終了信号

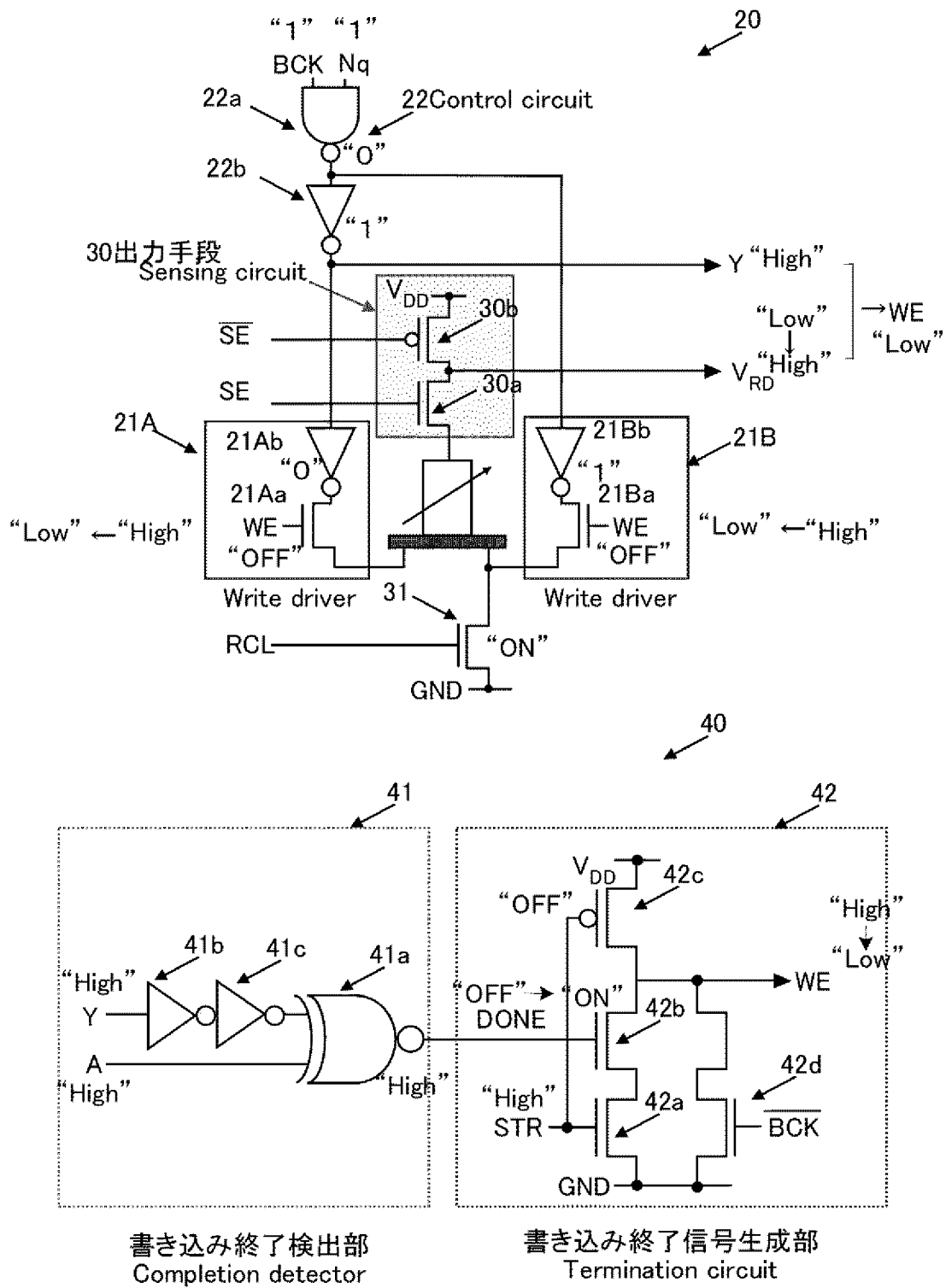
[図8]



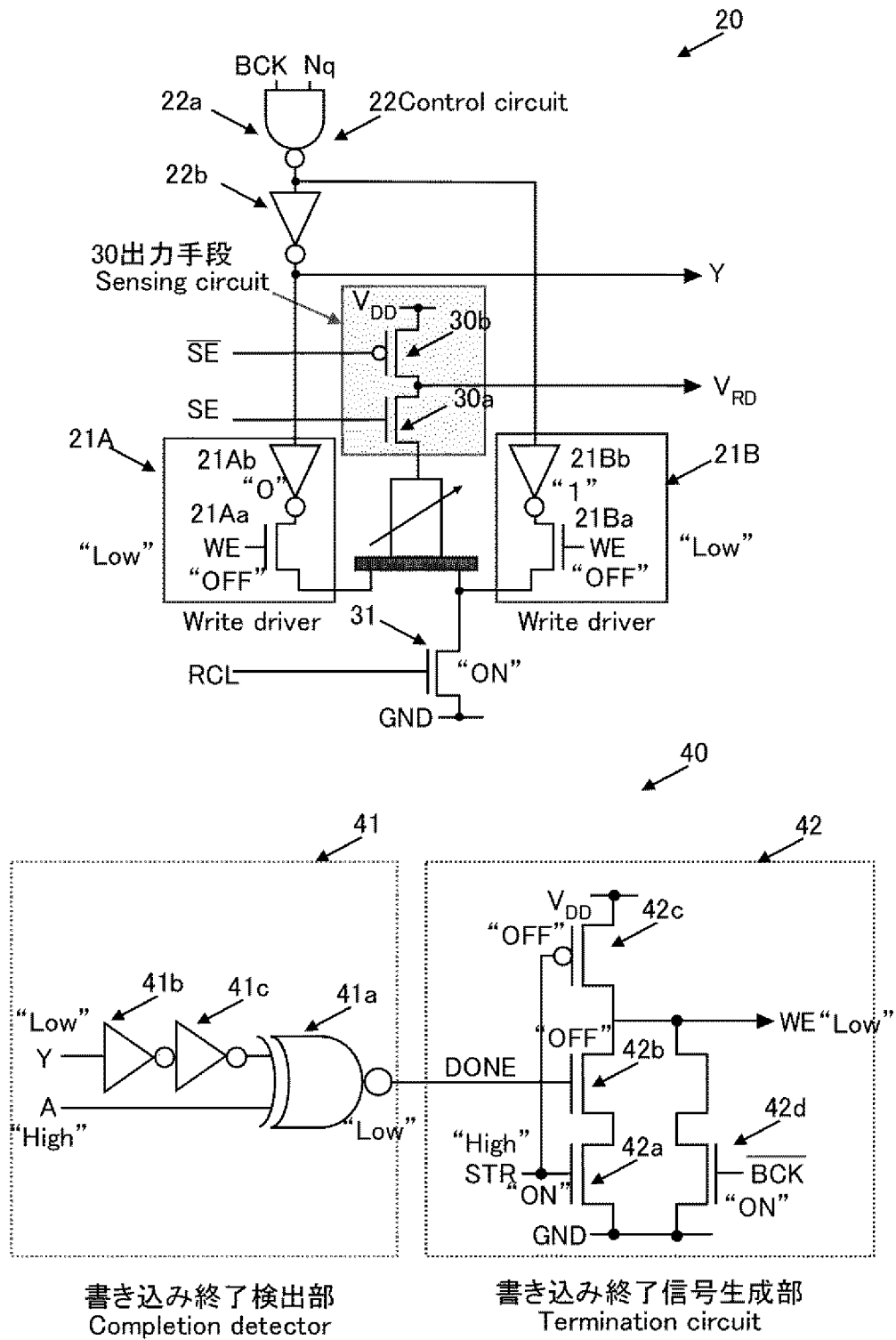
[図9]



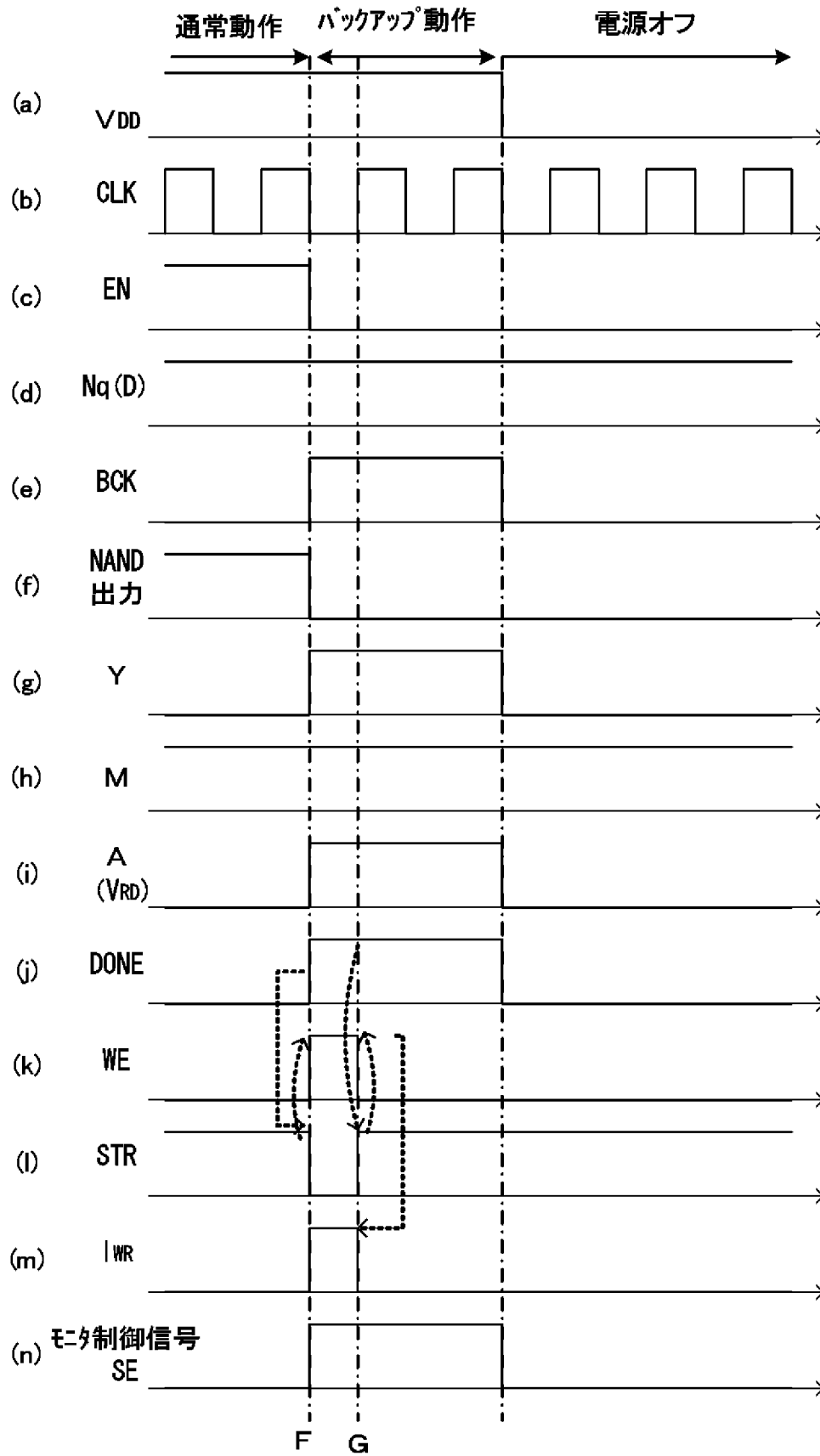
[図10]



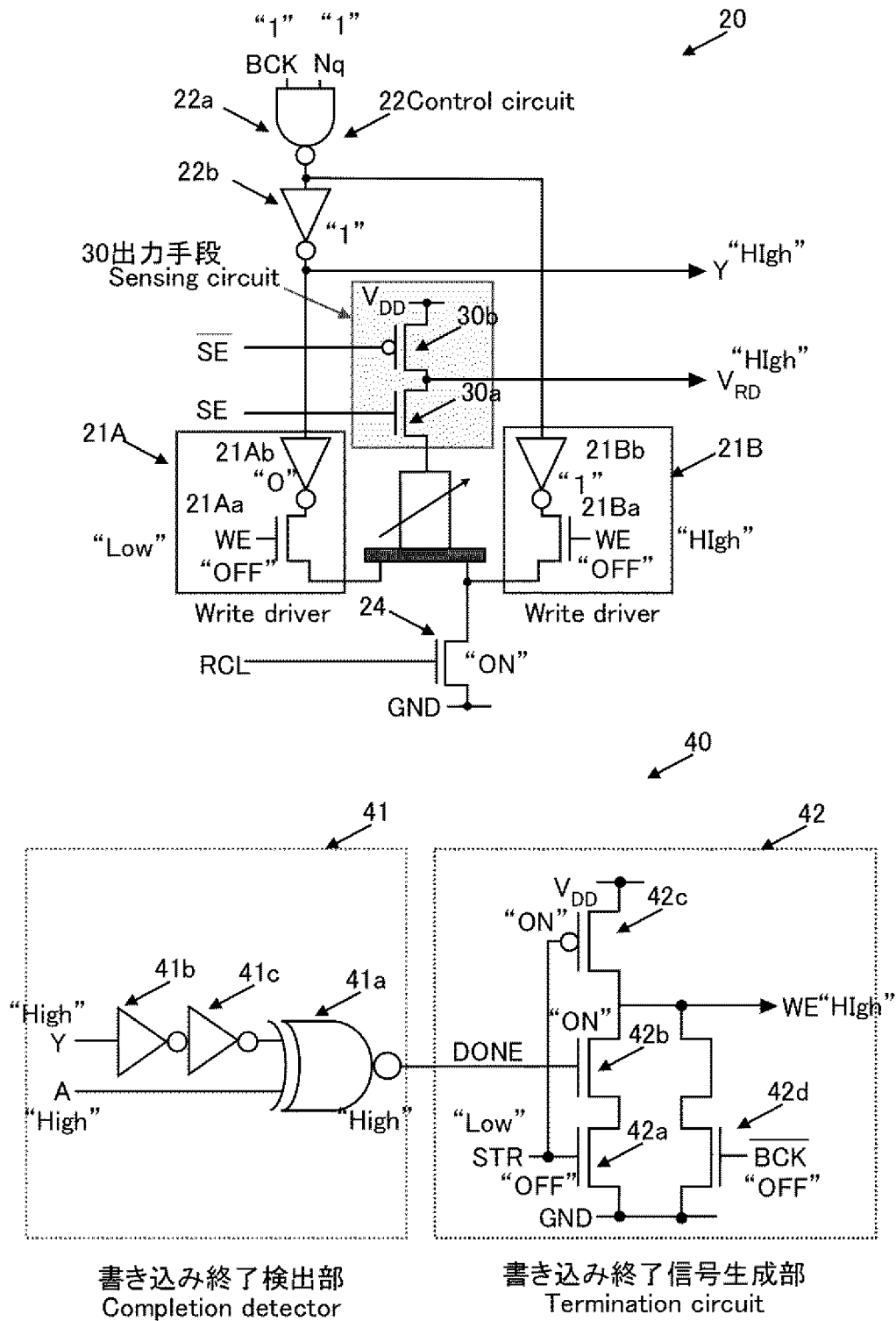
[図11]



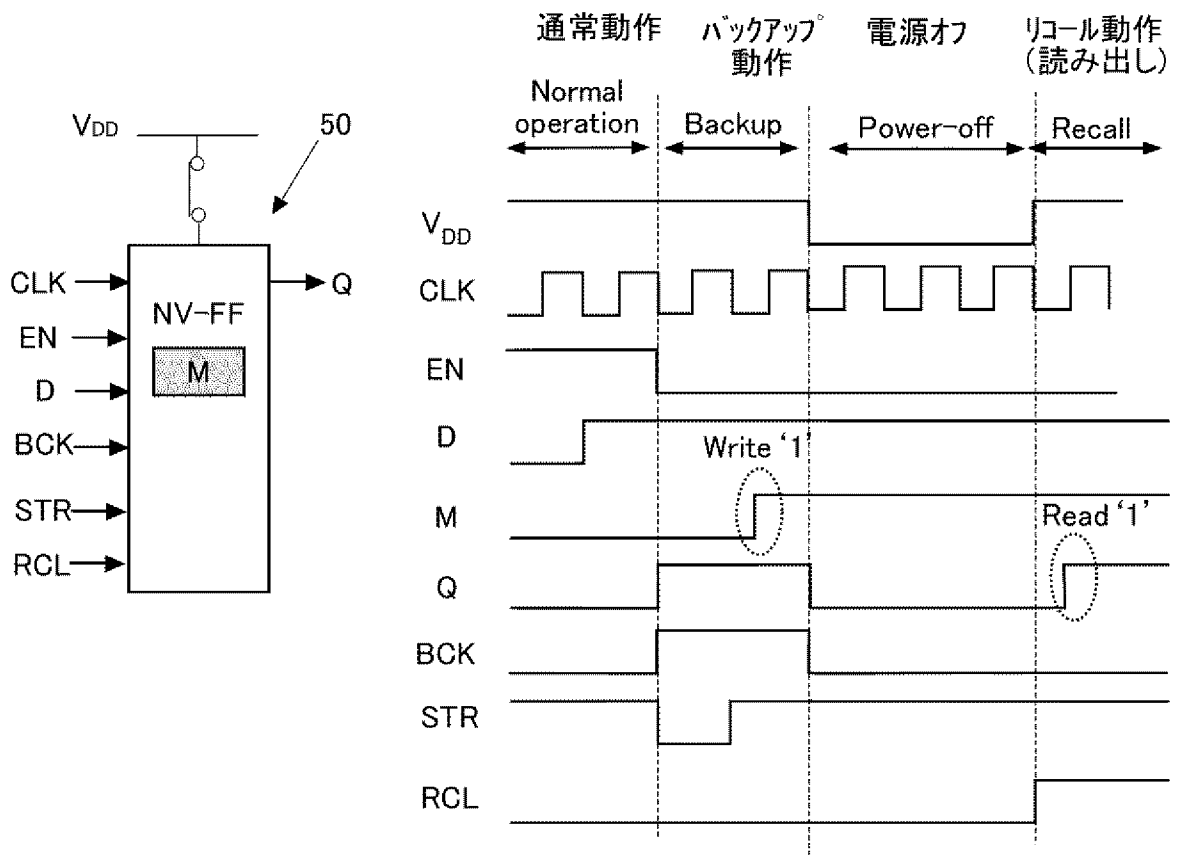
[図12]



[図13]

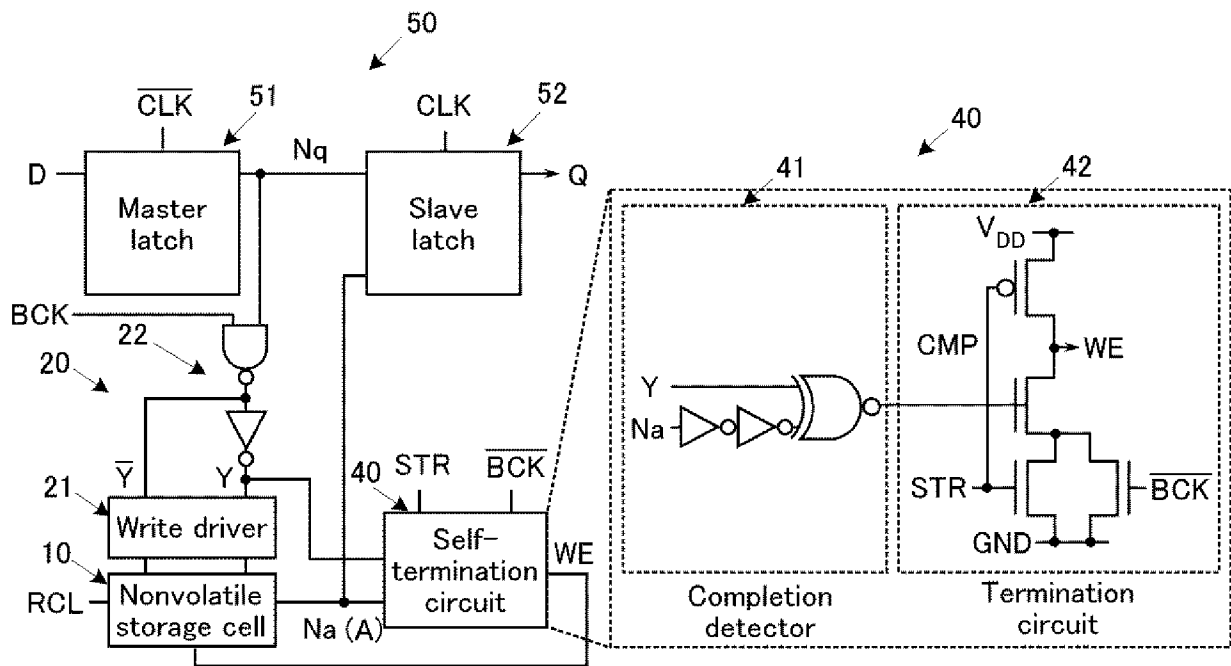


[図15]



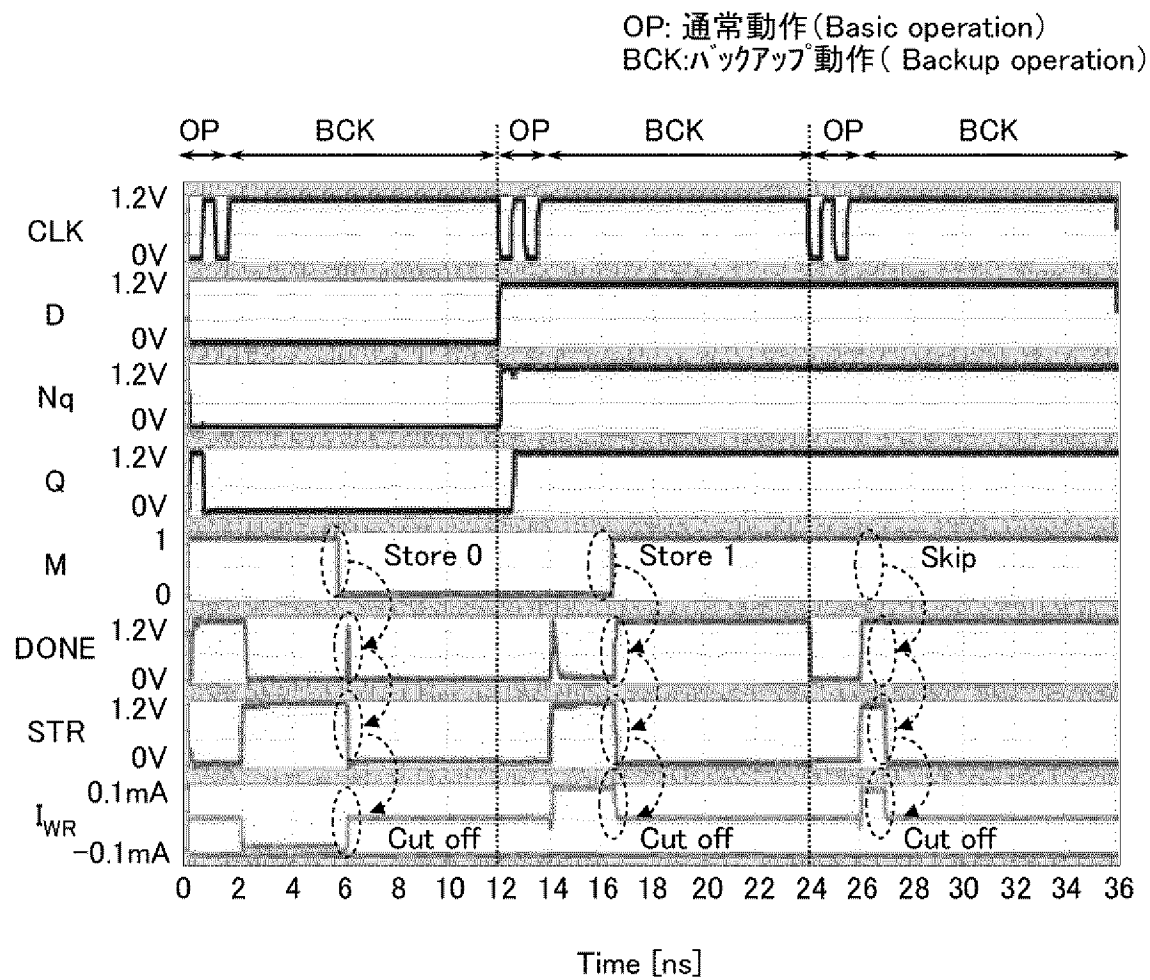
Timing diagram of the NV-FF

[図16]



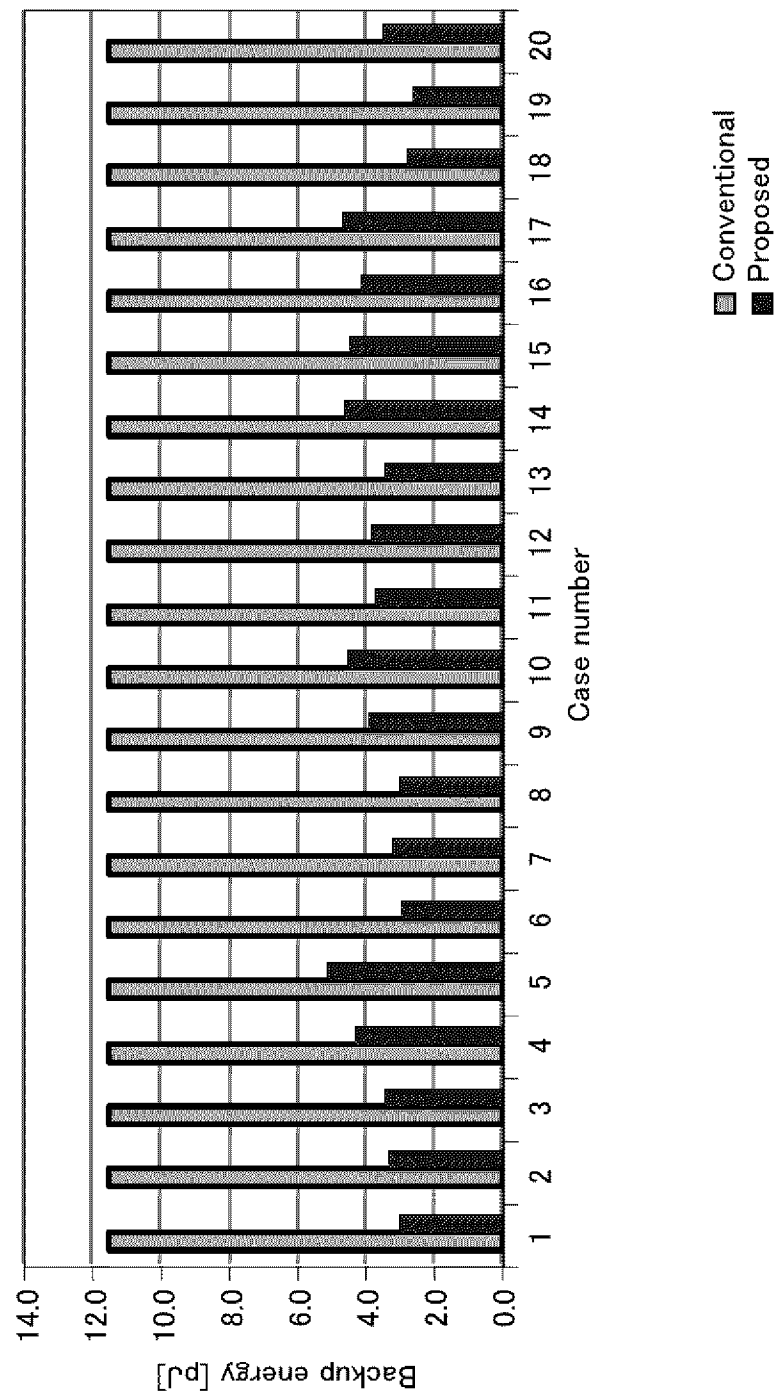
Schematic of the proposed NV-FF

[図17]



Basic behavior

[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/039342

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G11C11/16 (2006.01) i, G11C14/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G11C11/16, G11C14/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2017
Registered utility model specifications of Japan	1996-2017
Published registered utility model applications of Japan	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/072511 A1 (NEC CORP.) 11 June 2009, paragraphs [0021]-[0027], fig. 2, 3 & US 2010/0271866 A1, paragraphs [0032]-[0038], fig. 2, 3	1-5
A	WO 2015/147016 A1 (TOHOKU UNIVERSITY) 01 October 2015, paragraphs [0017]-[0028], fig. 1, 2 & KR 10-2016-0138171 A	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 November 2017 (24.11.2017)

Date of mailing of the international search report
05 December 2017 (05.12.2017)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G11C11/16(2006.01)i, G11C14/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G11C11/16, G11C14/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/072511 A1（日本電気株式会社）2009.06.11, 段落[0021]-[0027], 図 2, 3 & US 2010/0271866 A1, 段落[0032]-[0038], 図 2, 3	1-5
A	WO 2015/147016 A1（国立大学法人東北大学）2015.10.01, 段落[0017]-[0028], 図 1, 2 & KR 10-2016-0138171 A	1-5

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

24.11.2017

国際調査報告の発送日

05.12.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

後藤 彰

5 N

4 2 2 6

電話番号 03-3581-1101 内線 3586