

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95141129

※ 申請日期：95.11.07

※IPC 分類：H01L 23/043

一、發明名稱：(中文/英文)

具有埋入式電容的封裝基板

PACKAGE SUBSTRATE HAVING EMBEDDED
CAPACITOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

欣興電子股份有限公司/UNIMICRON TECHNOLOGY CORP.

代表人：(中文/英文) 曾子章/TZYY JANG TSENG

住居所或營業所地址：(中文/英文)

桃園縣桃園市龜山工業區興邦路 38 號/NO. 38, HSING PONG RD.,
KWEI-SAN INDUSTRIAL EXENDED ZONE, TAOYUAN, TAIWAN, R. O. C.

國籍：(中文/英文) 中華民國/TW

三、發明人：(共 1 人)

姓名：(中文/英文)

1. 范智朋 / Chih-Peng Fan

國籍：(中文/英文) 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種封裝基板，且特別是有關於一種具有埋入式電容之封裝基板。

【先前技術】

埋入式電容 (embedded capacitor) 可整合於封裝基板 (package substrate) 的製程中，並可增進電子構裝中主動元件 (active component) 的效率，提昇電氣性質，以及降低組裝的成本，因而成為電子載板 (carrier) 的主流趨勢。目前國內所開發的埋入式電容多以小尺寸的陶瓷電容為主，一般區分為單層陶瓷電容 (Single layer ceramic capacitors, MLCC) 以及積層陶瓷電容 (Multilayer ceramic capacitors, MLCC)，也可稱為獨立式電容 (discrete capacitor)，但由於傳統的獨立式電容的電容量較低，且介電係數較低，因而無法提昇傳統線路基板的性能。

請參考圖 1，其繪示習知一種內埋獨立式電容的封裝基板的示意圖。此封裝基板 100 的內部結構及其製程大致如下：首先，提供一芯板 (core board) 110、多個介電材料 121~124 以及焊接多個獨立式電容 130 的二銅箔 (copper foil) 142、144，接著對位並壓合這些介電材料 121~124 及具有獨立式電容 130 的二銅箔 142、144 於芯板 110 上，以使二銅箔 142、144 及獨立式電容 130 分別位於上層的介電材料 121、122 之間以及下層的介電材料 123、124 之間，以形成一核心疊層板 (core laminated board) 160。接著，

以機械鑽孔的方式，形成多數個導通孔 150 於核心疊層板 160 內，避開獨立式電容 130，並導通上下二銅箔 142、144。此外，核心疊層板 160 的表面線路 162 也可使用導電孔(via hole) 164 與獨立式電容 130 相導通。

值得注意的是，由於獨立式電容 130 必須避開導通孔 150 的位置，使得電容 130 的放置位置及可用的面積受限於導通孔 150 的數量及位置，降低自由度。同時，在基板壓合的過程中，容易造成獨立式電容 130 的破壞及損傷，因而降低其可靠度。

【發明內容】

本發明的目的就是在提供一種具有埋入式電容的封裝基板，用以提高埋入式電容的配置空間及自由度。

本發明的另一目的是提供一種具有埋入式電容的封裝基板，其藉由高介電常數及低介電損失的介電材料來提高封裝基板的性能。

本發明的另一目的是提供一種具有埋入式電容的封裝基板，其藉由覆蓋一保護層以避免埋入式電容的損傷。

本發明提出一種具有埋入式電容的封裝基板，包括一線路芯板、至少一介電層、至少一埋入式電容以及至少一金屬層。線路芯板之表面具有至少一線路層，且線路芯板具有至少一導通孔，其與線路層導通。此外，介電層覆蓋於線路層上，且介電層中具有至少一導電孔。另外，埋入式電容與金屬層相連接，並埋入於介電層中，其中金屬層覆蓋於介電層上，並藉由導電孔與線路層相導通。

本發明提出另一種具有埋入式電容的封裝基板，包括一第一線路芯板、至少一埋入式電容、一第二線路芯板以及一介電層。第一線路芯板之表面具有至少一金屬層，且第一線路芯板具有至少一第一導通孔，其與金屬層相導通。此外，埋入式電容埋入於第一線路芯板中，並與金屬層相連接。第二線路芯板之表面具有一線路層，且第二線路芯板具有至少一第二導通孔，其與線路層相導通。另外，介電層疊合於第一線路芯板與第二線路芯板之間。

本發明提出另一種具有埋入式電容的封裝基板，包括一線路芯板、至少一埋入式電容、至少一介電層以及至少一線路層。線路芯板之表面具有至少一金屬層，且線路芯板具有至少一導通孔，其與金屬層相導通。此外，埋入式電容埋入於線路芯板中，並與金屬層相連接。介電層覆蓋於線路芯板上，而介電層中具有一埋孔。另外，線路層覆蓋於介電層上，並與埋孔電性連接。

依照本發明的實施例所述，上述之封裝基板更包括一第一保護層，其覆蓋於埋入式電容上。此外，上述之金屬層具有一開孔，而埋入式電容之一表面顯露於開孔中，封裝基板更包括一第二保護層，其覆蓋於此埋入式電容之表面上。其中，第一保護層之材質為環氧樹脂或聚醯亞胺，而第二保護層之材質亦可為環氧樹脂或聚醯亞胺。

依照本發明的實施例所述，上述之封裝基板更包括至少一表面線路層，其配置於封裝基板之表面上，表面線路層具有至少一接點，其與金屬層或線路層電性連接。此外，

封裝基板更包括一防銲層，其覆蓋表面線路層，而防銲層具有至少一開口，其顯露接點。

本發明又提出一種具有埋入式電容的封裝基板，包括一芯板、一埋入式電容、一第一保護層以及一金屬層。埋入式電容埋入於芯板中，而第一保護層覆蓋於埋入式電容上。此外，金屬層覆蓋於芯板上，並與埋入式電容相連接。

依照本發明的實施例所述，上述之金屬層具有一開孔，而埋入式電容之一表面顯露於開孔中，封裝基板更包括一第二保護層，其覆蓋於此埋入式電容之表面上。其中，第一保護層之材質為環氧樹脂或聚醯亞胺，而第二保護層之材質亦可為環氧樹脂或聚醯亞胺。

本發明中之埋入式電容因基板結構的改良，因此可配置於適當的位置上，不需避開導通孔的位置，故可增加其配置空間及自由度。此外，本發明之封裝基板可採用高介電係數以及低介電損失的陶瓷複合材料來取代傳統的獨立式電容，進而調高封裝基板的性能。再者，本發明中之埋入式電容以一保護層覆蓋，因而在基板壓合過程中，可避免破壞或損傷，進而提高其可靠度。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

圖2繪示本發明第一實施例之具有埋入式電容的封裝基板的局部示意圖。此封裝基板200主要包括一線路芯板

210、一介電層 220、至少一埋入式電容 230 以及一金屬層 240。其中，線路芯板 210 例如是以玻纖布 (glass fiber) 和環氧樹脂 (epoxy resin) 為絕緣材料的銅箔基板，以增加封裝基板 200 的強度及支撐性。此外，線路芯板 210 還具有至少一導通孔 216，其可藉由機械鑽孔的方式先形成一通孔，再以化學電鍍的方式形成一導體於通孔的內壁上，以形成導通上、下銅箔的導通孔 216，而銅箔經過圖案化蝕刻之後，可形成所需的線路層，以傳遞訊號。

如圖 2 所示，本發明之埋入式電容 230 配置於介電層 220 中，而介電層 220 可包括第一介電層 222 以及一第二介電層 224，其分別覆蓋於線路芯板 210 的第一線路層 212 以及第二線路層 214 上。值得注意的是，由於導通孔 216 預先形成於線路芯板 210 中，因此不需在後續的製程中形成，因此可避免導通孔 216 的位置影響埋入式電容的配置空間。如圖 2 所示，埋入式電容 230 可配置於導通孔 216 下方的第一介電層 222 中，因此不受導通孔 216 的影響，故可增加埋入式電容 230 的配置空間及自由度。

在本實施例中，埋入式電容 230 可為獨立式電容，其預先焊接於一金屬層 240 (例如銅箔) 上，再將介電層 220 及金屬層 240 壓合於線路芯板 210 上，以使埋入式電容 230 內埋於介電層 220 中。當然，本發明更可利用高介電常數的環氧樹脂-陶瓷複合材料 (Epoxy-ceramic composite) 作為介電材料 232，以提高電容量。其中，金屬層 240 可包括一第一金屬層 242 以及一第二金屬層 244，第一金屬層

242 覆蓋於第一介電層 222 上，且第一金屬層 242 可藉由第一介電層 222 中的導電孔 226 與第一線路層 212 相導通。此外，第二金屬層 244 覆蓋於第二介電層 224 上，且第二金屬層 244 可藉由第二介電層 224 中的導電孔 228 與第二線路層 214 相導通。

呈上所述，傳統的獨立式電容的電容量較低，本實施例可改為高介電常數的環氧樹脂-陶瓷複合電容或其他陶瓷/高分子複合電容，將可提高電容量，減少介電損失，進而提高封裝基板 200 的性能。

在本實施例中，完成埋入式電容的組裝製程之後，封裝基板 200 更可依據電路的需求，利用增層法依序製作多層的內連線結構 250，以使原來四層線路的基板可增加為六層、八層、十層或十二層的線路。其中，相鄰二線路層 252 之間的介電層 254 可藉由雷射鑽孔形成多個凹孔以及填入導電材料，以使相鄰二線路層 252 相互導通。最後，封裝基板 200 的最外層的表面線路層 256 再以一防銲層 260 覆蓋，而防銲層 260 具有至少一開口 262，其對應顯露表面線路層 256 的接點。在本實施例中，上接點 258a 用以電性連接至少一晶片或被動元件(未繪示)，而下接點 258b 用以電性連接一印刷電路板(未繪示)，以使封裝基板 200 作為上、下元件之間訊號傳輸的媒介。

接著，圖 3 繪示本發明第二實施例之具有埋入式電容的封裝基板的局部示意圖。此封裝基板 300 主要包括一芯板 310、至少一埋入式電容 330、一第一保護層 338 以及一

金屬層 340。其中，芯板 310 例如是以玻纖布 (glass fiber) 和環氧樹脂 (epoxy resin) 為絕緣材料的基板，以增加封裝基板 300 的強度及支撐性。此外，埋入式電容 330 可埋入於芯板 310 中，並與金屬層 340 相連接。在本實施例中，埋入式電容 330 可為高介電常數的環氧樹脂-陶瓷複合電容或其他陶瓷/高分子複合電容，經高溫燒結後形成於金屬層 340 上，再覆蓋一電極材料於介電材料 332 上，以形成一電極 334 連接金屬層 340。

值得注意的是，為了避免壓合的過程中，破壞或損傷埋入式電容 330，在壓合基板之前，更可以第一保護層 338 覆蓋於埋入式電容 330 上。此第一保護層 338 例如是環氧樹脂或聚醯亞胺之類的高分子材料，具有較佳的抗壓強度，更可預防壓合前的蝕刻製程、電鍍製程以及表面處理的反應劑影響埋入式電容 330 及其電極的特性。此外，在金屬層 340 的另一側的開孔 342 內，亦可藉由選擇性填入一第二保護層 336，以覆蓋埋入式電容 330 的一表面，其材質及功效如同第一保護層 338，同樣可避免埋入式電容 330 損壞。

圖 4 繪示本發明第三實施例之具有埋入式電容的封裝基板的局部示意圖。此封裝基板 400 主要包括一第一線路芯板 410、一介電層 420、至少一埋入式電容 430 以及一第二線路芯板 440。其中，第一與第二線路芯板 410、440 例如是以玻纖布 (glass fiber) 和環氧樹脂 (epoxy resin) 為絕緣材料的銅箔基板，以增加封裝基板 400 的強度及支撐

性。此外，介電層 420 亦可為固化態或半固化態的玻纖環氧樹脂，其疊合於第一與第二線路芯板 410、440 之間。在本實施例中，第一線路芯板 410 的二相對表面分別具有一金屬層 412，且第一線路芯板 410 具有至少一第一導通孔 414，其與金屬層 412 相導通，而埋入式電容 430 可埋入於第一線路芯板 410 中，並與金屬層 412 相連接。同樣，第二線路芯板 440 的二相對表面分別具有一線路層 442，且第二線路芯板 440 具有至少一第二導通孔 444，其與線路層 442 相導通。

承上所示，本實施例之埋入式電容 430 可為高介電常數的環氧樹脂-陶瓷複合電容或其他陶瓷/高分子複合電容，以增加封裝基板 400 的性能。此外，在壓合基板之前，圖 3 之第一保護層 338 更可覆蓋於圖 4 之埋入式電容 430 上。同樣，第二保護層 336 亦可填入於金屬層 412 的另一側的開孔 416 中，以保護埋入式電容 430 及其電極的特性。

同樣，請參考圖 4，本發明之封裝基板 400 更可藉由機械鑽孔的方式先形成一通孔，再以化學電鍍的方式形成一導體於通孔的內壁上，以形成導通金屬層 412 與線路層 442 的導通孔 450。當然，導通孔 450 內可依照封裝基板 400 的厚度填入絕緣性或導電性的填孔材料 452，在此不再詳述。同樣，在完成埋入式電容 430 的組裝製程之後，封裝基板 400 更可依據電路的需求，利用增層法或其他製程依序製作多層的內連線結構（未繪示），而最外層的表面線路層如圖 1 所示，以防錐層覆蓋，且防錐層具有至少一

開口，用以顯露表面線路層之接點，以使封裝基板作為導通上、下元件之媒介。

接著，圖 5 繪示本發明第四實施例之具有埋入式電容的封裝基板的局部示意圖。此封裝基板 500 主要包括一線路芯板 510、至少一介電層 520、至少一埋入式電容 530 以及至少一線路層 540。其中，線路芯板 510 例如是以玻纖布 (glass fiber) 和環氧樹脂 (epoxy resin) 為絕緣材料的銅箔基板，以增加封裝基板 500 的強度及支撐性。此外，介電層 520 亦可為固化態或半固化態的環氧樹脂或聚醯亞胺，以增層的方式覆蓋於線路芯板 510 上。在本實施例中，線路芯板 510 的二相對表面分別具有一金屬層 512，且線路芯板 510 具有至少一導通孔 514，其與金屬層 512 相導通，而埋入式電容 530 可埋入於線路芯板 510 中，並與金屬層 512 相連接。

在本實施例中，介電層 520 可為單層或多層，而線路層 540 可為單層或多層。以多層為例，介電層 520 中具有多個以雷射鑽孔並填入導電材料的導電孔 522，以電性連接上、下相鄰的線路層 540。當然，線路層 540 亦可藉由導電孔 524 連接至金屬層 512，或封裝基板 500 藉由至少一貫通孔 550 貫穿線路芯板 510、介電層 520 以及線路層 540，以使金屬層 512 與線路層 540 相導通。

承上所示，本實施例之埋入式電容 530 可為高介電常數的環氧樹脂-陶瓷複合電容或其他高分子及陶瓷複合電容，以增加封裝基板的性能。此外，在壓合基板之前，圖

3 之第一保護層 336 更可覆蓋於圖 5 之埋入式電容 530 上，而第二保護層 338 亦可選擇性填入於金屬層 512 的另一側的開孔 516 中，以保護埋入式電容 530 及其電極的特性。

同樣，在完成埋入式電容 530 的組裝製程之後，封裝基板 500 更可依據電路的需求，利用增層法或其他製程依序製作多層的內連線結構（未繪示），而最外層的表面線路層如圖 1 所示，以防銲層覆蓋，且防銲層具有至少一開口，用以顯露表面線路層之接點，以使封裝基板作為導通上、下元件之媒介。

接著，圖 6 繪示以圖 3 之具有埋入式電容之基板為核心層的封裝基板的局部示意圖。當完成埋入式電容 330 的組裝製程之後，封裝基板 600 更可依據電路的需求，以增層法或其他製程依序製作多層的內連線結構 602。此內連線結構 602 包括至少一介電層 610 以及至少一線路層 620。以多層為例，介電層 610 包括多個第一介電層 612 以及第二介電層 614，第一介電層 612 覆蓋於第一金屬層 340 上，而第二介電層 614 可覆蓋於芯板 310 上或第二金屬層 344 上。此外，線路層 620 包括多個第一線路層 622、624 以及第二線路層 626，第一線路層 622、624 可藉由第一介電層 612 中的導電孔 616 相互導通，而第二線路層 626 可藉由第二介電層 614 中的導電孔 618 與第二金屬層 344 相互導通。再者，第一線路層 622、624 與第二線路層 626 之間可藉由至少一導通孔 628 相互導通。

綜上所述，在第一實施例中，本發明中之埋入式電容

因基板結構的改良，因此可配置於適當的位置上，不需避開導通孔的位置，故可增加其配置空間及自由度。此外，本發明之封裝基板可採用高介電係數以及低介電損失的高分子陶瓷複合材料來取代傳統的獨立式電容，進而提高封裝基板的性能。再者，本發明中之埋入式電容以至少一保護層覆蓋，因而在基板壓合過程中，可避免破壞或損傷，進而提高其可靠度。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 繪示習知一種內埋獨立式電容的封裝基板的示意圖。

圖 2 繪示本發明第一實施例之具有埋入式電容的封裝基板的局部示意圖。

圖 3 繪示本發明第二實施例之具有埋入式電容的封裝基板的局部示意圖。

圖 4 繪示本發明第三實施例之具有埋入式電容的封裝基板的局部示意圖。

圖 5 繪示本發明第四實施例之具有埋入式電容的封裝基板的局部示意圖。

圖 6 繪示以圖 3 之具有埋入式電容之基板為核心層的

封裝基板的局部示意圖。

【主要元件符號說明】

- 100：封裝基板
- 110：芯板
- 121~124：介電材料
- 130：獨立式電容
- 142、144：銅箔
- 150：導通孔
- 160：核心疊層板
- 162：表面線路
- 164：導電孔
- 200：封裝基板
- 210：線路芯板
- 212：第一線路層
- 214：第二線路層
- 216：導通孔
- 220：介電層
- 222：第一介電層
- 224：第二介電層
- 226、228：導電孔
- 230：埋入式電容
- 240：金屬層
- 242：第一金屬層
- 244：第二金屬層

- 250：內連線結構
- 252：線路層
- 254：介電層
- 256：表面線路層
- 258a、258b：接點
- 260：防銲層
- 262：開口
- 300：封裝基板
- 310：芯板
- 330：埋入式電容
- 332：介電材料
- 334：電極
- 336：第二保護層
- 338：第一保護層
- 340：金屬層
- 342：開孔
- 400：封裝基板
- 410：第一線路芯板
- 412：金屬層
- 414：第一導通孔
- 416：開孔
- 420：介電層
- 430：埋入式電容
- 440：第二線路芯板

- 442：線路層
- 444：第二導通孔
- 450：導通孔
- 500：封裝基板
- 510：線路芯板
- 512：金屬層
- 514：導通孔
- 516：開孔
- 520：介電層
- 522、524：導電孔
- 530：埋入式電容
- 540：線路層
- 550：貫通孔
- 600：封裝基板
- 602：內連線結構
- 610：介電層
- 612：第一介電層
- 614：第二介電層
- 616、618：導電孔
- 620：線路層
- 622、624：第一線路層
- 626：第二線路層
- 628：導通孔

五、中文發明摘要：

一種具有埋入式電容的封裝基板，包括一第一線路芯板、至少一埋入式電容、一第二線路芯板以及一介電層。第一線路芯板之表面具有至少一金屬層，且第一線路芯板具有至少一第一導通孔，其與金屬層相導通。此外，埋入式電容埋入於第一線路芯板中，並與金屬層相連接。第二線路芯板之表面具有一線路層，且第二線路芯板具有至少一第二導通孔，其與線路層相導通。另外，介電層疊合於第一線路芯板與第二線路芯板之間，而埋入式電容較佳為高介電係數以及低介電損失的高分子陶瓷複合材料，以提高封裝基板的性能。

六、英文發明摘要：

A package substrate having embedded capacitor is provided, including a first core circuit board, at least an embedded capacitor, a second core circuit board and a dielectric layer. At least a metal layer is disposed on a surface of the first core circuit board, and at least a first conductive through hole of the first core circuit board is connected to the metal layer. In addition, the embedded capacitor is embedded into the first core circuit board and connected to the metal layer. A trace layer is disposed on a surface of the second core circuit board, and at least a second conductive through hole of the second core circuit board is connected to the trace layer. Moreover, the dielectric layer is

laminated between the first and second core circuit boards. The embedded capacitor with high dielectric constant and low dielectric loss is preferred such as polymer-ceramic composite to enhance the performance of the package substrate.

七、指定代表圖：

(一)本案指定代表圖為：圖 4

(二)本代表圖之元件符號簡單說明：

- 400：封裝基板
- 410：第一線路芯板
- 412：金屬層
- 414：第一導通孔
- 416：開孔
- 420：介電層
- 430：埋入式電容
- 440：第二線路芯板
- 442：線路層
- 444：第二導通孔
- 450：導通孔

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1.一種具有埋入式電容的封裝基板，包括：

一線路芯板，其表面具有至少一線路層，且該線路芯板具有至少一導通孔，其與該線路層相導通；

至少一介電層，覆蓋於該線路層上，該介電層中具有至少一導電孔；

至少一埋入式電容，埋入於該介電層中；以及

至少一金屬層，覆蓋該介電層，並與該埋入式電容相連接，其中該金屬層藉由該導電孔與該線路層相導通。

2.如申請專利範圍第 1 項所述之具有埋入式電容的封裝基板，其中該至少一埋入式電容對應位於該導通孔處的該介電層中。

3.如申請專利範圍第 1 項所述之具有埋入式電容的封裝基板，其中該至少一線路層包括一第一線路層以及一第二線路層，其分別位於該線路芯板的二相對表面上。

4.如申請專利範圍第 1 項所述之具有埋入式電容的封裝基板，其中該至少一介電層包括一第一介電層以及一第二介電層，該第一介電層覆蓋該第一線路層，而該第二介電層覆蓋該第二線路層。

5.如申請專利範圍第 1 項所述之具有埋入式電容的封裝基板，其中該至少一金屬層包括一第一金屬層以及一第二金屬層，該第一金屬層覆蓋於該第一介電層上，而該第二金屬層覆蓋於該第二介電層上。

6.如申請專利範圍第 1 項所述之具有埋入式電容的封

裝基板，更包括一第一保護層，其覆蓋於該埋入式電容上。

7.如申請專利範圍第 1 項所述之具有埋入式電容的封裝基板，其中該金屬層具有一開孔，而該埋入式電容之一表面顯露於該開孔中，而該封裝基板更包括一第二保護層，其覆蓋於該表面上。

8.如申請專利範圍第 6 項所述之具有埋入式電容的封裝基板，其中該第一保護層之材質為環氧樹脂或聚醯亞胺。

9.如申請專利範圍第 1 項所述之具有埋入式電容的封裝基板，更包括至少一表面線路層，其配置於該封裝基板之表面上，該表面線路層具有至少一接點，其與該金屬層電性連接。

10.如申請專利範圍第 9 項所述之具有埋入式電容的封裝基板，更包括一防銲層，其覆蓋該表面線路層，該防銲層具有至少一開口，其顯露該接點。

11.一種具有埋入式電容的封裝基板，包括：

一第一線路芯板，其表面具有至少一金屬層，且該第一線路芯板具有至少一第一導通孔，其與該金屬層相導通；

至少一埋入式電容，埋入於該第一線路芯板中，並與該金屬層相連接；

一第二線路芯板，其表面具有至少一線路層，且該第二線路芯板具有至少一第二導通孔，其與該線路層相導通；以及

一介電層，疊合於該第一線路芯板與該第二線路芯板之間。

12.如申請專利範圍第 11 項所述之具有埋入式電容的封裝基板，其中該至少一金屬層包括一第一金屬層以及一第二金屬層，其分別位於該第一線路芯板的二相對表面上。

13.如申請專利範圍第 11 項所述之具有埋入式電容的封裝基板，其中該至少一線路層包括一第一線路層以及一第二線路層，其分別位於該第二線路芯板的二相對表面上。

14.如申請專利範圍第 11 項所述之具有埋入式電容的封裝基板，更包括一保護層，其覆蓋於該埋入式電容上。

15.如申請專利範圍第 11 項所述之具有埋入式電容的封裝基板，其中該金屬層具有一開孔，而該埋入式電容之一表面顯露於該開孔中，而該封裝基板更包括一第二保護層，其覆蓋於該表面上。

16.如申請專利範圍第 11 項所述之具有埋入式電容的封裝基板，更包括至少一導通孔，其貫穿該第一線路芯板、該介電層以及該第二線路芯板，並導通於該金屬層與該線路層之間。

17.如申請專利範圍第 11 項所述之具有埋入式電容的封裝基板，更包括至少一表面線路層，其配置於該封裝基板之表面上，該表面線路層具有至少一接點，其與該金屬層或該線路層電性連接。

18.如申請專利範圍第 17 項所述之具有埋入式電容的封裝基板，更包括一防銲層，覆蓋該表面線路層，該防銲層具有至少一開口，其顯露該接點。

19.一種具有埋入式電容的封裝基板，包括：

一線路芯板，其表面具有至少一金屬層，且該線路芯板具有至少一導通孔，其與該金屬層相導通；

至少一埋入式電容，埋入於該線路芯板中，並與該金屬層相連接；

至少一介電層，覆蓋於該線路芯板上，而該介電層中具有一埋孔；以及

至少一線路層，覆蓋於該介電層上，並與該埋孔電性連接。

20.如申請專利範圍第 19 項所述之具有埋入式電容的封裝基板，其中該至少一金屬層包括一第一金屬層以及一第二金屬層，其分別位於該線路芯板的二相對表面。

21.如申請專利範圍第 19 項所述之具有埋入式電容的封裝基板，更包括至少一貫通孔，其貫穿該線路芯板、該介電層以及該線路層，並導通於該金屬層與該線路層之間。

22.如申請專利範圍第 19 項所述之具有埋入式電容的封裝基板，更包括一第一保護層，其覆蓋於該埋入式電容上。

23.如申請專利範圍第 19 項所述之具有埋入式電容的封裝基板，其中該金屬層具有一開孔，而該埋入式電容之一表面顯露於該開孔中，而該封裝基板更包括一第二保護層，其覆蓋於該表面上。

24.如申請專利範圍第 19 項所述之具有埋入式電容的封裝基板，更包括至少一表面線路層，其配置於該封裝基板之表面上，該表面線路層具有至少一接點，其與該金屬

層或該線路層電性連接。

25.如申請專利範圍第 24 項所述之具有埋入式電容的封裝基板，更包括一防銲層，覆蓋該表面線路層，該防銲層具有至少一開口，其顯露該接點。

26.一種具有埋入式電容的封裝基板，包括：

一芯板；

一埋入式電容，埋入於該芯板中；

一第一保護層，覆蓋於該埋入式電容上；以及

一金屬層，覆蓋於該芯板上，並與該埋入式電容相連接。

27.如申請專利範圍第 26 項所述之具有埋入式電容的封裝基板，更包括：

至少一介電層，覆蓋於該金屬層上，而該介電層中具有至少一導通孔；以及

至少一線路層，覆蓋於該介電層上，且該線路層與該導通孔相導通。

28.如申請專利範圍第 27 項所述之具有埋入式電容的封裝基板，更包括至少一導通孔，其貫穿該芯板、該金屬層、該介電層、該線路層，並導通該金屬層與該線路層。

29.如申請專利範圍第 26 項所述之具有埋入式電容的封裝基板，其中該第一保護層之材質為環氧樹脂或聚醯亞胺。

30.如申請專利範圍第 26 項所述之具有埋入式電容的封裝基板，其中該金屬層具有一開孔，而該埋入式電容之

一表面顯露於該開孔中，而該封裝基板更包括一第二保護層，其覆蓋於該表面上。

31.如申請專利範圍第 30 項所述之具有埋入式電容的封裝基板，其中該第二保護層之材質為環氧樹脂或聚醯亞胺。

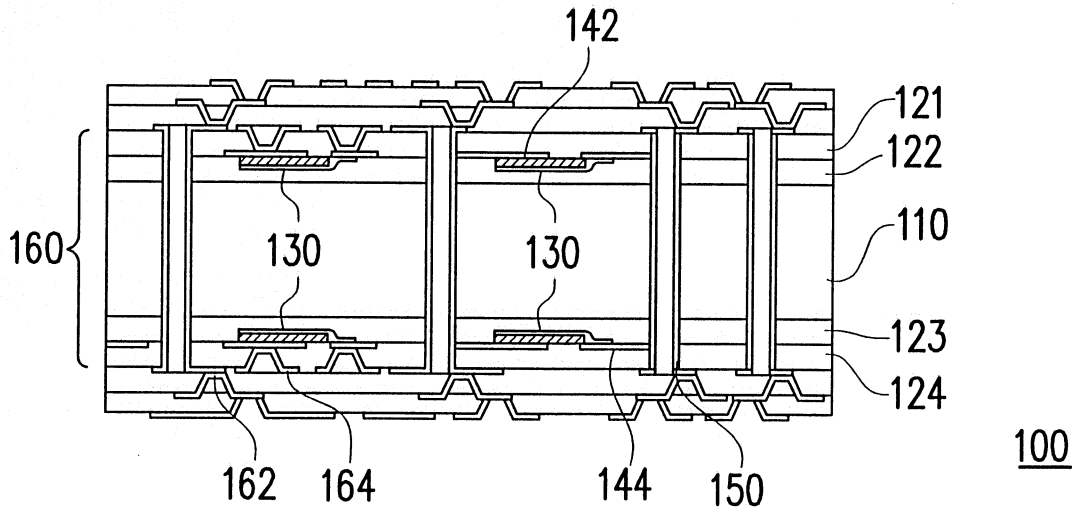


圖 1

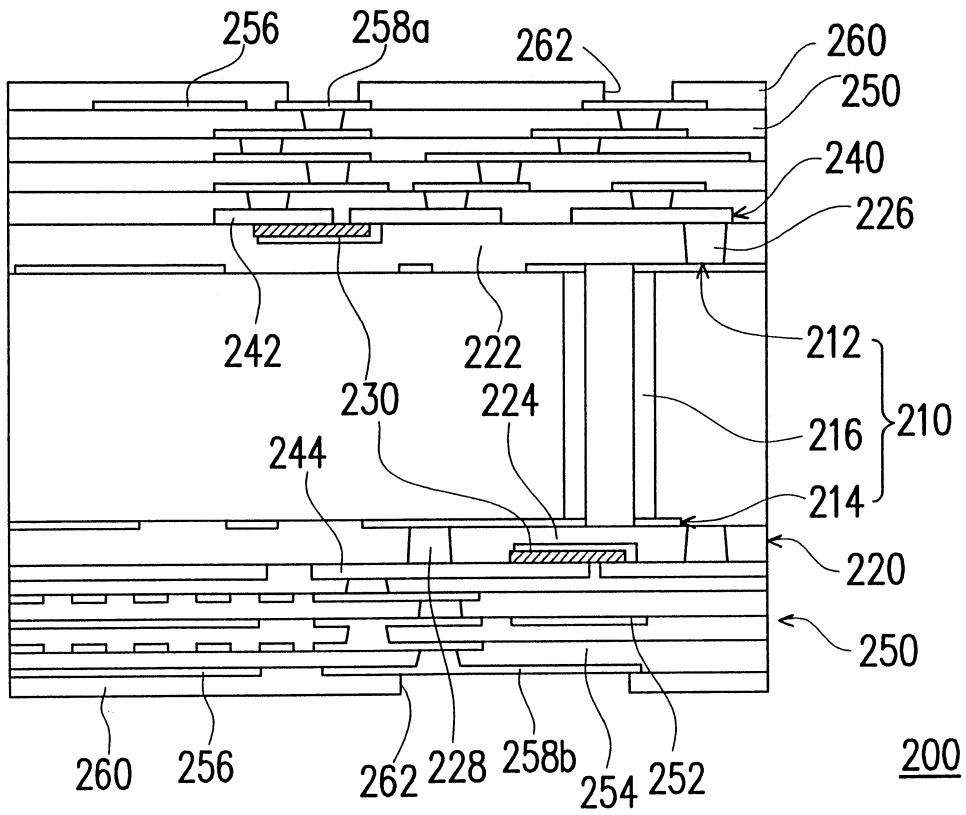


圖 2

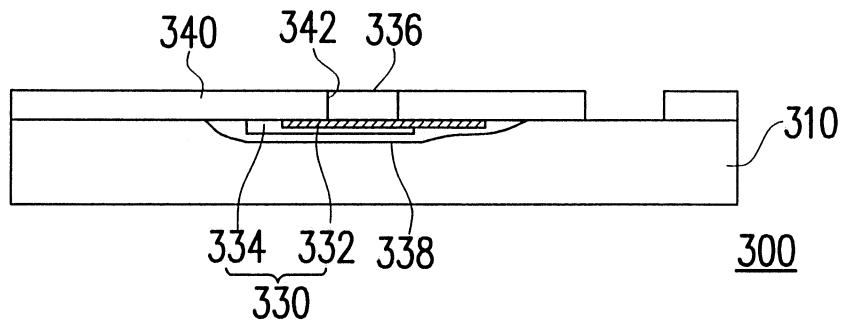


圖 3

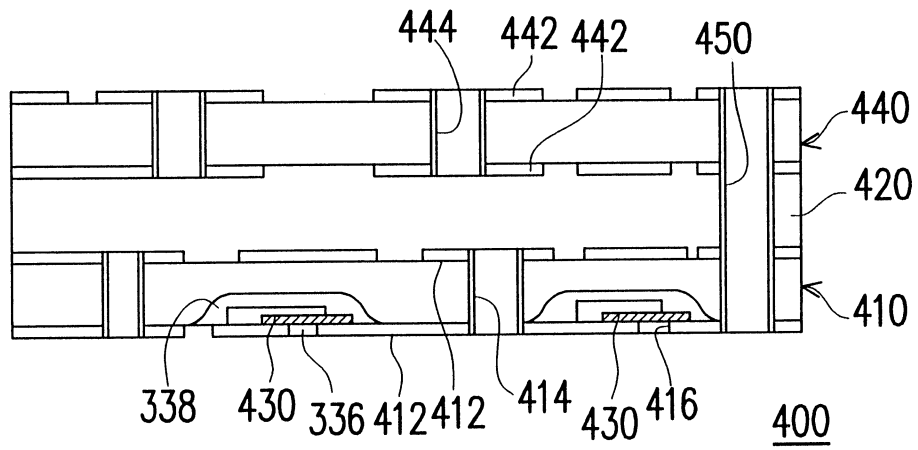


圖 4

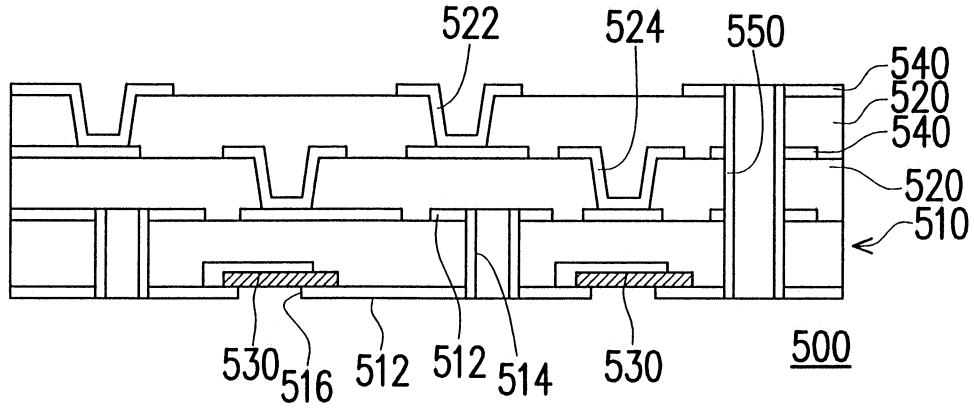


圖 5

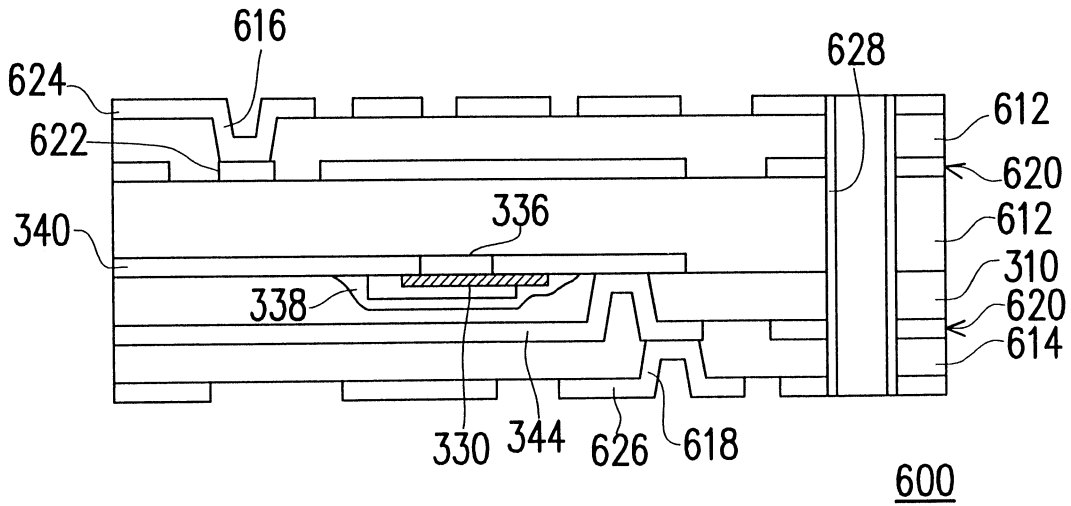


圖 6

laminated between the first and second core circuit boards. The embedded capacitor with high dielectric constant and low dielectric loss is preferred such as polymer-ceramic composite to enhance the performance of the package substrate.

七、指定代表圖：

(一)本案指定代表圖為：圖 4

(二)本代表圖之元件符號簡單說明：

- 400：封裝基板
- 410：第一線路芯板
- 412：金屬層
- 414：第一導通孔
- 416：開孔
- 420：介電層
- 430：埋入式電容
- 440：第二線路芯板
- 442：線路層
- 444：第二導通孔
- 450：導通孔

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無