(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년01월29일
(11) 등록번호 10-2630496
(24) 등록일자 2024년01월24일

(51) 국제특허분류(Int. Cl.)
*H01L 23/544* (2006.01) *G01B 21/22* (2006.01)
*G03F 7/20* (2006.01)
(52) CPC특허분류
*H01L 23/544* (2013.01)
*G01B 21/22* (2013.01)
(21) 출원번호 10-2022-7037760
(22) 출원일자(국제) 2020년06월25일
심사청구일자 2023년06월02일
(85) 번역문제출일자 2022년10월27일
(65) 공개번호 10-2023-0002526
(43) 공개일자 2023년01월05일
(86) 국제출원번호 PCT/US2020/039475
(87) 국제공개번호 WO 2021/211154
국제공개일자 2021년10월21일
(30) 우선권주장
63/010,096 2020년04월15일 미국(US)
(56) 선행기술조사문헌
KR1020160029088 A
*(뒷면에 계속)*

(73) 특허권자
**케이엘에이 코포레이션**
미합중국, 캘리포니아 95035, 밀피타스, 원 테크놀로지 드라이브
(72) 발명자
**볼코비치 로이**
이스라엘 하데라 3824969 스데로트 알렉산더 10/10
**예루살미 리란**
이스라엘 지크론 야콥 30900 인바르 43
*(뒷면에 계속)*
(74) 대리인
**김태홍, 김진희**

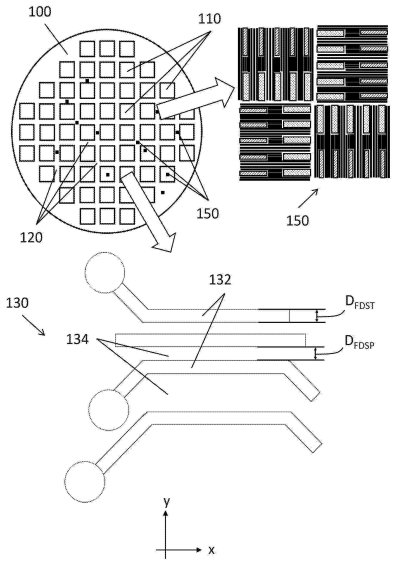
전체 청구항 수 : 총 19 항 심사관 : 박중현

(54) 발명의 명칭 **반도체 디바이스의 오정합을 측정하는 데 유용한 디바이스 스케일 피쳐를 갖는 오정합 타겟**

## (57) 요 약

웨이퍼 상의 기능 반도체 디바이스들의 제조에서 웨이퍼 상에 형성된 적어도 제1 층과 제2 층 사이의 오정합의 측정에 사용하기 위한 타겟 및 이를 사용하기 위한 방법으로서, 기능 반도체 디바이스들은 기능 디바이스 구조물(functional device structure)(FDST)들을 포함하며, 타겟은 복수의 측정 구조물(measurement structure)(MST)들 – 복수의 MST들은 제1 층 및 제2 층의 일부임 – 및 복수의 디바이스 유사 구조물(device-like structure)(DLST)들 – 복수의 DLST들은 제1 층 및 제2 층 중 적어도 하나의 일부임 – 을 포함하고, DLST들은 FDST들과 적어도 하나의 특성을 공유하며, MST들은 FDST들과 적어도 하나의 특성을 공유하지 않는다.

*대 표 도* - 도1



(52) CPC특허분류
*G03F 7/70625* (2023.05)
*G03F 7/70633* (2023.05)
*H01L 2223/54426* (2013.01)

(72) 발명자
**요하난 라비브**
이스라엘 키랴트 모츠킨 26231 타마리 7 스트리트
**기노브커 마크**
이스라엘 욕느암 일리트 20692 하차얄림 스트리트 69 아파트먼트 2

(56) 선행기술조사문헌
KR1020150024425 A
KR1020120059412 A
KR1020120092578 A
KR1020150132563 A
KR1020190058133 A

# 명 세 서

## 청구범위

### 청구항 1

웨이퍼 상의 기능 반도체 디바이스(functional semiconductor device)들의 제조에서 상기 웨이퍼 상에 형성된 적어도 제1 층과 제2 층 사이의 오정합(misregistration)의 측정에 사용하기 위한 타겟으로서,

상기 기능 반도체 디바이스들은 기능 디바이스 구조물(functional device structure)(FDST)들을 포함하며,

상기 타겟은:

복수의 측정 구조물(measurement structure)(MST)들 - 상기 복수의 MST들은 상기 제1 층 및 상기 제2 층의 일부임 -; 및

복수의 디바이스 유사 구조물(device-like structure)(DLST)들 - 상기 복수의 DLST들은 상기 제1 층 및 상기 제2 층 중 적어도 하나의 층의 일부임 -

을 포함하고,

상기 DLST들은 상기 FDST들과 적어도 하나의 특성(characteristic)을 공유하고,

상기 MST들은 상기 FDST들과 상기 적어도 하나의 특성을 공유하지 않되,

상기 타겟은 상기 웨이퍼의 다이 내에 형성되며, 상기 다이는 상기 기능 반도체 디바이스들을 포함하는 것인, 오정합의 측정에 사용하기 위한 타겟.

### 청구항 2

제1항에 있어서,

상기 적어도 하나의 특성은:

통상적인 최소 치수(typical smallest dimension)의 크기 정도(degree of magnitude);

형상; 및

패킹 밀도의 크기 정도

중 적어도 하나를 포함하는 것인, 오정합의 측정에 사용하기 위한 타겟.

### 청구항 3

제1항에 있어서,

상기 DLST들은 상기 제1 층과 상기 제2 층 양자 상에 형성된 것인, 오정합의 측정에 사용하기 위한 타겟.

### 청구항 4

제1항에 있어서,

상기 DLST들은 상기 MST들 사이에 형성된 것인, 오정합의 측정에 사용하기 위한 타겟.

### 청구항 5

제1항에 있어서,

상기 DLST들의 패킹 밀도가 0.5 초과인 것인, 오정합의 측정에 사용하기 위한 타겟.

### 청구항 6

제1항에 있어서,

상기 특성은 통상적인 최소 치수의 크기 정도이고,

상기 MST들의 통상적인 최소 치수 대 상기 FDST들의 통상적인 최소 치수의 비가 적어도 1.7이고,

상기 DLST들의 통상적인 최소 치수 대 상기 FDST들의 통상적인 최소 치수의 비가 0.5 내지 1.5인 것인, 오정합의 측정에 사용하기 위한 타겟.

**청구항 7**

제1항에 있어서,

상기 특성은 패킹 밀도의 크기 정도이고, 상기 MST들은 자신들 사이에 형성된 측정 공간(measurement space)(MSP)들을 규정하고, 상기 FDST들은 자신들 사이에 형성된 기능 디바이스 공간(functional device space)(FDSP)들을 규정하고, 상기 DLST들은 자신들 사이에 디바이스 유사 공간(device-like space)(DLSP)들을 규정하고,

상기 MSP들의 통상적인 최소 치수 대 상기 FDSP들의 통상적인 최소 치수의 비가 적어도 1.7이고,

상기 DLSP들의 통상적인 최소 치수 대 상기 FDSP들의 통상적인 최소 치수의 비가 0.5 내지 1.5인 것인, 오정합의 측정에 사용하기 위한 타겟.

**청구항 8**

제1항에 있어서,

상기 DLST들은 상기 제1 층에 의해 규정되는 평면에 일반적으로 평행한 평면에서 상기 MST들에 대해 회전되는 것인, 오정합의 측정에 사용하기 위한 타겟.

**청구항 9**

제7항에 있어서,

상기 MST들 각각은:

복수의 세그먼트들; 및

복수의 대응하는 세그먼트 공간들

을 포함하는 것인, 오정합의 측정에 사용하기 위한 타겟.

**청구항 10**

제9항에 있어서,

상기 세그먼트들의 통상적인 최소 치수 대 상기 DLST들의 통상적인 최소 치수의 비가 적어도 1.1인 것인, 오정합의 측정에 사용하기 위한 타겟.

**청구항 11**

제9항에 있어서,

상기 세그먼트들 사이의 공간들의 통상적인 최소 치수 대 상기 DLSP들 사이 공간들의 통상적인 최소 치수의 비가 적어도 1.1인 것인, 오정합의 측정에 사용하기 위한 타겟.

**청구항 12**

제9항에 있어서,

상기 DLST들은 상기 제1 층에 의해 규정되는 평면에 일반적으로 평행한 평면에서 상기 세그먼트들에 대해 회전되는 것인, 오정합의 측정에 사용하기 위한 타겟.

**청구항 13**

제1항에 있어서,

또 다른 타겟이 상기 웨이퍼의 스크라이브 라인(scribe line) 내에 형성되며, 상기 스크라이브 라인에는 일반적으로 상기 기능 반도체 디바이스가 없는 것인, 오정합의 측정에 사용하기 위한 타겟.

**청구항 14**

제1항에 있어서,

상기 MST들은:

AIMid(advanced imaging metrology in-die) 타겟;

AIM(advanced imaging metrology) 타겟;

BiB(Box-in-Box) 타겟;

블러섬(blossom) 타겟;

모아레(Moiré) 타겟;

산란 계측 타겟;

전자 빔 타겟;

하이브리드 산란 계측-전자 빔 타겟;

하이브리드 이미징-전자 빔 타겟; 및

상기 웨이퍼 상에 형성된 세 개 이상의 층들 사이의 오정합의 측정에 유용한 타겟

중 적어도 하나의 일부로서 형성되는 것인, 오정합의 측정에 사용하기 위한 타겟.

**청구항 15**

기능 반도체 디바이스들의 제조에서 웨이퍼 상에 형성된 적어도 하나의 제1 층과 적어도 하나의 제2 층 사이의 오정합을 측정하는 방법으로서,

상기 기능 반도체 디바이스들은 기능 디바이스 구조물(FDST)들을 포함하며,

상기 방법은:

타겟이 형성된 상기 웨이퍼를 제공하는 단계;

상기 타겟을 오정합 측정 툴로 측정함으로써, 출력 신호를 생성하는 단계; 및

상기 출력 신호를 분석함으로써, 상기 타겟의 층들 사이의 오정합 값을 생성하는 단계

를 포함하며,

상기 타겟은 상기 웨이퍼의 다이 내에 형성되며, 상기 다이는 상기 기능 반도체 디바이스들을 포함하며,

상기 타겟은:

복수의 측정 구조물(MST)들 – 상기 복수의 MST들은 상기 제1 층 및 상기 제2 층의 일부임 –; 및

복수의 디바이스 유사 구조물(DLST)들 – 상기 복수의 DLST들은 상기 제1 층 및 상기 제2 층 중 적어도 하나의 일부임 –

을 포함하고,

상기 DLST들은 상기 FDST들과 적어도 하나의 특성을 공유하고,

상기 MST들은 상기 FDST들과 상기 특성을 공유하지 않는 것인, 오정합을 측정하는 방법.

**청구항 16**

제15항에 있어서,

상기 MST들은 상기 오정합 측정 툴에 의해 해상 가능한(resolvable) 것인, 오정합을 측정하는 방법.

**청구항 17**

제15항에 있어서,

상기 MST들 사이의 공간들이 상기 오정합 측정 툴에 의해 해상 가능한 것인, 오정합을 측정하는 방법.

**청구항 18**

제15항에 있어서,

상기 DLST들은 상기 오정합 측정 툴에 의해 해상 가능하지 않은 것인, 오정합을 측정하는 방법.

**청구항 19**

제15항에 있어서,

상기 DLST들 사이의 공간들이 상기 오정합 측정 툴에 의해 해상 가능하지 않은 것인, 오정합을 측정하는 방법.

**청구항 20**

삭제

## *발명의 설명*

### *기 술 분 야*

[0001] 관련 출원 참조

[0002] 2020년 4월 15일에 출원된 미국 특허 가출원 제63/010,096호(발명의 명칭: INDIE OVERLAY TARGETS FOR ACCURACY AND DEVICE CORRELATION)가 참조되며, 이의 개시 내용이 본원에 원용되고 우선권이 주장된다.

[0003] 또한, 본 출원의 주제와 관련된 본 출원인의 다음의 특허들 및 특허 출원들이 참조되며, 이의 개시 내용이 본원에 원용된다:

[0004] 미국 특허 제7,608,468호(발명의 명칭: APPARATUS AND METHODS FOR DETERMINING OVERLAY AND USES OF SAME);

[0005] 미국 특허 제7,804,994호(발명의 명칭: OVERLAY METROLOGY AND CONTROL METHOD);

[0006] 미국 특허 제9,927,718호(발명의 명칭: MULTI-LAYER OVERLAY METROLOGY TARGET AND COMPLIMENTARY OVERLAY METROLOGY MEASUREMENT SYSTEMS);

[0007] 미국 특허 제10,527,951호(발명의 명칭: COMPOUND IMAGING METROLOGY TARGETS);

[0008] 유럽 특허 제1,570,232호(발명의 명칭: APPARATUS AND METHODS FOR DETECTING OVERLAY ERRORS USING SCATTEROMETRY);

[0009] 2019년 4월 10일에 출원된 PCT 특허 출원 제PCT/US2019/026686호(발명의 명칭: MOIRÉ TARGET AND METHOD FOR USING THE SAME IN MEASURING MISREGISTRATION OF SEMICONDUCTOR DEVICES); 및

[0010] 2019년 6월 4일에 출원된 PCT 특허 출원 제PCT/US2019/035282호(발명의 명칭: MISREGISTRATION MEASUREMENTS USING COMBINED OPTICAL AND ELECTRON BEAM TECHNOLOGY).

[0011] 기술분야

[0012] 본 발명은 일반적으로 반도체 디바이스의 제조에 있어서의 오정합의 측정에 관한 것이다.

### *배 경 기 술*

[0013] 반도체 디바이스의 제조에 있어서의 오정합의 측정을 위한 다양한 방법들 및 시스템들이 알려져 있다.

### *발명의 내용*

[0014] 본 발명은 반도체 디바이스의 제조에 있어서의 오정합의 측정을 위한 개선된 방법들 및 시스템들을 제공하고자 하는 것이다.

[0015] 따라서, 본 발명의 바람직한 실시예에 따르면, 웨이퍼 상의 기능 반도체 디바이스들 – 기능 반도체 디바이스들은 기능 디바이스 구조물(functional device structure)(FDST)들을 포함함 – 의 제조에서 웨이퍼 상에 형성된 적어도 제1 층과 제2 층 사이의 오정합의 측정에 사용하기 위한 타겟으로서, 복수의 측정 구조물(measurement structure)(MST)들 – 복수의 MST들은 제1 층 및 제2 층의 일부임 – 및 복수의 디바이스 유사 구조물(device-like structure)(DLST)들 – 복수의 DLST들은 제1 층 및 제2 층 중 적어도 하나의 일부임 – 을 포함하고, DLST들은 FDST들과 적어도 하나의 특성을 공유하며, MST들은 FDST들과 적어도 하나의 특성을 공유하지 않는, 타겟이 제공된다.

[0016] 본 발명의 바람직한 실시예에 따르면, 적어도 하나의 특성은 통상적인 최소 치수의 크기 정도, 형상, 및 패킹 밀도의 크기 정도 중 적어도 하나를 포함한다.

[0017] 본 발명의 실시예에서, DLST들은 제1층과 제2층 양자 상에 형성된다. 바람직하게는, DLST들은 MST들 사이에 형성된다. 본 발명의 바람직한 실시예에서, DLST들의 패킹 밀도는 0.5 초과이다.

[0018] 본 발명의 바람직한 실시예에 따르면, 특성은 통상적인 최소 치수의 크기 정도이고, MST들의 통상적인 최소 치수 대 FDST들의 통상적인 최소 치수의 비가 적어도 1.7이며, DLST들의 통상적인 최소 치수 대 FDST들의 통상적인 최소 치수의 비가 0.5 내지 1.5이다.

[0019] 본 발명의 바람직한 실시예에 따르면, 특성은 패킹 밀도의 크기 정도이고, MST들은 자신들 사이에 형성된 측정 공간(measurement space)(MSP)들을 규정하고, FDST들은 자신들 사이에서 형성된 기능 디바이스 공간(functional device space)(FDSP)들을 규정하며, DLST들은 자신들 사이에 디바이스 유사 공간(device-like space)(DLSP)들을 규정하고, MSP들의 통상적인 최소 치수 대 FDSP들의 통상적인 최소 치수의 비가 적어도 1.7이며, DLSP들의 통상적인 최소 치수 대 FDSP들의 통상적인 최소 치수의 비가 0.5 내지 1.5이다.

[0020] 본 발명의 실시예에서, DLST들은 제1 층에 의해 규정되는 평면에 일반적으로 평행한 평면에서 MST들에 대해 회전된다.

[0021] 본 발명의 실시예에서, MST들 각각은 복수의 세그먼트들 및 복수의 대응하는 세그먼트 공간들을 포함한다. 바람직하게는, 세그먼트들의 통상적인 최소 치수 대 DLST들의 통상적인 최소 치수의 비는 적어도 1.1이고, 세그먼트들 사이의 공간들의 통상적인 최소 치수 대 DLSP들 사이 공간들의 통상적인 최소 치수의 비가 적어도 1.1이다. 본 발명의 바람직한 실시예에서, DLST들은 제1 층에 의해 규정되는 평면에 일반적으로 평행한 평면에서 세그먼트들에 대해 회전된다.

[0022] 본 발명의 바람직한 실시예에 따르면, 타겟은 웨이퍼의 다이 내에 형성되며, 다이는 기능 반도체 디바이스들을 포함한다. 대안적으로, 본 발명의 바람직한 실시예에 따르면, 타겟은 웨이퍼의 스크라이브 라인 내에 형성되며, 스크라이브 라인에는 일반적으로 기능 반도체 디바이스들이 없다.

[0023] 본 발명의 바람직한 실시예에 따르면, MST들은 어드밴스드 이미징 계측 인-다이(advanced imaging metrology in-die)(AIMid) 타겟, 어드밴스드 이미징 계측(advanced imaging metrology)(AIM) 타겟, 박스-인-박스(Box-in-Box)(BiB) 타겟, 블러섬(blossom) 타겟, 모아레(Moiré) 타겟, 산란 계측 타겟, 전자 빔 타겟, 하이브리드 산란 계측-전자 빔 타겟, 하이브리드 이미징-전자 빔 타겟, 및 웨이퍼 상에 형성된 세 개 이상의 층들 사이의 오정합의 측정에 유용한 타겟 중 적어도 하나의 일부로서 형성된다.

[0024] 또한, 본 발명의 다른 바람직한 실시예에 따르면, 기능 반도체 디바이스들 – 기능 반도체 디바이스들은 기능 디바이스 구조물(functional device structure)(FDST)들을 포함함 – 의 제조에서 웨이퍼 상에 형성된 적어도 하나의 제1 층과 적어도 하나의 제2 층 사이의 오정합을 측정하는 방법으로서, 복수의 측정 구조물(measurement structure)(MST)들 – 복수의 MST들은 제1 층 및 제2 층의 일부임 – 및 복수의 디바이스 유사 구조물(device-like structure)(DLST)들 – 복수의 DLST들은 제1 층 및 제2 층 중 적어도 하나의 일부임 – 을 포함하고, DLST들은 FDST들과 적어도 하나의 특성을 공유하며, MST들은 FDST들과 특성을 공유하지 않는 타겟이 형성된 웨이퍼를 제공하는 단계, 타겟을 오정합 측정 툴로 측정함으로써, 출력 신호를 생성하는 단계, 및 출력 신호를 분석함으로써, 타겟의 층들 사이의 오정합 값을 생성하는 단계를 포함하는, 오정합을 측정하는 방법이 제공된다.

[0025] 바람직하게는, MST들은 오정합 계측 툴에 의해 해상 가능(resolvable)하고, MST들 사이의 공간들은 오정합 계측

툴에 의해 해상 가능하다. 본 발명의 실시예에서, DLST들은 오정합 계측 툴에 의해 해상 가능하지 않고, DLST들 사이의 공간들은 오정합 계측 툴에 의해 해상 가능하지 않다.

## 도면의 간단한 설명

[0026] 본 발명은 다음의 도면들과 관련하여 취해지는 하기의 상세한 설명으로부터 더 충분히 이해되고 인식될 것이다.

도 1은 본 발명의 타겟들을 포함하는 웨이퍼의 간략화된 일반적인 상면도이다.

도 2a 및 도 2b는 각각 본 발명의 타겟의 실시예의 간략화된 일반적인 상면도 및 확대도이며, 도 2b는 도 2a에서 원 B로 표시된 영역에 대응한다.

도 3은 본 발명의 타겟의 추가적인 실시예의 간략화된 일반적인 상면도이다.

도 4는 본 발명의 타겟의 다른 실시예의 간략화된 일반적인 상면도이다.

도 5는 본 발명의 타겟의 추가 실시예의 간략화된 일반적인 상면도이다.

도 6은 본 발명의 타겟의 다른 추가적인 실시예의 간략화된 일반적인 상면도이다.

도 7은 본 발명의 타겟의 또 다른 실시예의 간략화된 일반적인 상면도이다.

도 8은 본 발명의 타겟의 추가 실시예의 간략화된 일반적인 상면도이다.

## 발명을 실시하기 위한 구체적인 내용

[0027] 도 1 내지 도 8을 참조하여 이하에서 설명되는 본 발명의 타겟들은 웨이퍼 상에 형성된 반도체 디바이스들의 상이한 층들 사이의 오정합을 측정하기 위한 시스템 및 방법에 바람직하게 사용되고, 통상적으로 반도체 디바이스들을 위한 제조 공정의 일부를 형성한다. 도 1 내지 도 8을 참조하여 이하에서 설명되는 시스템 및 방법에 의해 측정되는 오정합은 제조되는 반도체 디바이스들의 다양한 층들 사이의 오정합을 개선하기 위해 리소그래피와 같은 반도체 디바이스들을 위한 제조 공정의 부분들을 조정하는 데 사용될 수 있다.

[0028] 도 1 내지 도 8을 참조하여 이하에서 설명되는 타겟들은 바람직하게는 웨이퍼 상에 반도체 디바이스들을 형성하는 동안, 웨이퍼의 적어도 두 개의 층들로 형성된 측정 구조물들을 포함한다. 타겟이 형성되는 층들은 서로 인접한 층들일 수 있지만, 반드시 그럴 필요는 없고, 50 nm 내지 10 ㎛ 초과의 높이로 분리될 수 있다. 적합한 오정합 툴 방사원과 각 층들 사이의 임의의 물질은 방사원에 의해 발생되는 방사선에 대해 적어도 부분적으로 투명하다.

[0029] 통상적으로, 오정합 계측 툴은 도 1 내지 도 8을 참조하여 이하에서 설명되는 타겟들을 측정하고, 측정된 타겟에 대한 오정합 값을 반환한다. 측정된 타겟에 대한 오정합 값은 타겟들이 형성된 웨이퍼 상에 형성된 반도체 디바이스들의 오정합과 거의 동일한 것으로 가정된다. 이에 따라, 타겟에 대한 오정합 값은 타겟들과 반도체 디바이스들 양자를 형성하기 위해 사용되는 제조 툴을 조정하는 데 사용되어, 층들을 더 근접하게 정합시킨다.

[0030] 이제 도 1을 참조하며, 도 1은 본 발명의 타겟들을 포함하는 웨이퍼의 간략화된 일반적인 상면도이다. 도 1에 도시된 일반적으로 평평한 표면은 x-y 평면을 규정하고, 도 1을 참조하여 이하에서 설명되는 모든 치수들은 x-y 평면에 일반적으로 평행한 평면 내의 치수들인 것임을 이해한다. 또한, 도 1은 축척에 맞게 도시된 것은 아님을 이해한다. 또한, 본 발명의 바람직한 실시예에서, 도시된 적어도 일부 피쳐들은 웨이퍼 상에 또한 형성되는 다른 구조물들에 의해 덮일 수 있고, 통상적으로 덮인다.

[0031] 특히 도 1에서 보여지는 바와 같이, 웨이퍼(100)는 복수의 다이들(110)로 분할되며, 복수의 다이들(110)은 스크라이브 라인들(120)에 의해 분리된다. 통상적으로, 다이들(110) 내에는 전체 또는 부분적 기능 반도체 디바이스들(130) – 이를테면, 특히 트랜지스터들, 트레이스 라인들, 다이오드들, 및 마이크로전자기계 시스템들(MEMS) 디바이스들 – 이 형성된다. 기능 반도체 디바이스들(130)은 기능 디바이스 구조물(FDST)들(132)로 형성된다. FDST들(132)은 통상적으로 2 nm 내지 200 nm, 그리고 더 통상적으로 5 nm 내지 80 nm인 통상적인 최소 FDST 치수($D_{FDST}$)를 특징으로 한다. FDST들(132)은 주기적일 수 있지만, 반드시 그럴 필요는 없다. 또한, FDST들(132)은 특히 직사각형, 원형, 삼각형, 십자형, 정사각형 또는 다양한 각도로 함께 결합된 복수의 바들과 같은 통상적인 FDST 형상을 가진다.

[0032] FDST들(132)은 바람직하게는 복수의 대응하는 기능 디바이스 공간(FDSP)들(134)을 규정한다. FDSP들(134)은 통

상적으로 2 nm 내지 200 nm, 그리고 더 통상적으로 5 nm 내지 80 nm인 통상적인 최소 FDSP 치수($D_{FDSP}$)를 특징으로 한다.

[0033] 도 2a 내지 도 8을 참조하여 이하에서 상세히 설명되는 타겟들(150)은 기능 반도체 디바이스들(130)을 포함하는 다이들(110), 및 일반적으로 기능 반도체 디바이스(130)가 없는 스크라이브 라인들(120) 중 어느 하나 또는 양자 내에 형성될 수 있다.

[0034] 이제 도 2a 내지 도 8을 참조하며, 도 2a 내지 도 8은 타겟들(150)의 다양한 실시예들의 간략화된 일반적인 상면도이다. 도 2a 내지 도 8에 도시된 일반적으로 평평한 표면들은 각각 x-y 평면을 규정하고, 도 2a 내지 도 8을 참조하여 이하에서 설명되는 모든 치수들은 x-y 평면에 일반적으로 평행한 평면 내의 치수들인 것임을 이해한다. 또한, 도 2a 내지 도 8은 축척에 맞게 도시된 것은 아님을 이해한다. 또한, 본 발명의 바람직한 실시예에서, 도시된 적어도 일부 피쳐들은 웨이퍼 상에 또한 형성되는 다른 구조물들에 의해 덮일 수 있고, 통상적으로 덮인다.

[0035] 타겟들(150) 각각은 통상적으로 2,500 $\mu m^2$ 내지 10,000 $\mu m^2$의 면적을 가진다. 도 2a 내지 도 8에서 보여지는 바와 같이, 각 타겟들(150)은 바람직하게는 복수의 측정 구조물(MST)들(202)을 포함한다. MST들(202)은 바람직하게는 복수의 대응하는 측정 공간(MSP)들(204)을 규정한다.

[0036] MST들(202)은 웨이퍼(100) 상에 형성된 제1 층(212)의 일부로서 형성되는 복수의 제1 MST들(210), 및 웨이퍼(100) 상에 형성된 제2 층(222)의 일부로서 형성되는 복수의 제2 MST들(220)을 포함한다. 제1 층(212)은 도 2a 내지 도 8에 도시된 x-y 평면에 일반적으로 평행한 평면을 규정함을 이해한다. 각 MST들(202)은 통상적인 최소 MST 치수($D_{MST}$)를 가진다. 바람직하게는, 통상적인 최소 MST 치수($D_{MST}$)는 10 nm 내지 1800 nm이다. 통상적인 최소 MST 치수($D_{MST}$)의 값은 MST들(202) 각각에 대해 동일하거나, MST들(202) 각각에 대해 상이할 수 있다. 바람직하게는 복수의 제1 MST들(210)은 모두 동일한 통상적인 최소 MST 치수($D_{MST}$) 값을 갖고, 복수의 제2 MST들(220)은 모두 동일한 통상적인 최소 MST 치수($D_{MST}$) 값을 가진다. 통상적인 최소 MST 치수($D_{MST}$)가 모든 MST들(202)에 대해 동일하지 않다면, $D_{FDST}$와 같은 다른 치수들과 비교하여 참조될 때, 통상적인 최소 MST 치수($D_{MST}$)의 값은 통상적인 최소 MST 치수($D_{MST}$)의 평균 값을 지칭하는 것임을 이해한다.

[0037] 본 발명의 일 실시예에서, MST들(202) 및 FDST들(132)은 – 구조물의 통상적인 최소 치수의 크기 스케일을 특징짓는 – 통상적인 최소 치수의 상이한 크기 정도를 특징으로 한다. 이러한 실시예에서, 통상적인 최소 MST 치수($D_{MST}$) 대 통상적인 최소 FDST 치수($D_{FDST}$)의 비는 바람직하게는 1.7 내지 5, 그리고 더 바람직하게는 2 내지 4.5, 그리고 더 바람직하게는 2.5 내지 4, 그리고 더욱 더 바람직하게는 3 내지 3.5이다.

[0038] 또한, MST들(202)은 특히 직사각형, 원형, 삼각형, 십자형 또는 정사각형과 같은 통상적인 MST 형상을 가진다. 본 발명의 일 실시예에서, 통상적인 MST 형상과 통상적인 FDST 형상은 상이하다.

[0039] 유사하게, MSP들(204)은 웨이퍼(100) 상에 형성된 제1 층(212)의 일부를 형성하는 복수의 제1 MSP들(224), 및 웨이퍼(100) 상에 형성된 제2 층(222)의 일부를 형성하는 복수의 제2 MSP들(226)을 포함한다. 각 MSP들(204)은 통상적인 최소 MSP 치수($D_{MSP}$)를 가진다. 바람직하게는, $D_{MSP}$는 10 nm 내지 1800 nm이다. 통상적인 최소 MSP 치수($D_{MSP}$)의 값은 MSP들(204) 각각에 대해 동일하거나, MSP들(204) 각각에 대해 상이할 수 있다. 바람직하게는 복수의 제1 MSP들(224)은 모두 동일한 통상적인 최소 MSP 치수($D_{MSP}$) 값을 갖고, 복수의 제2 MSP들(226)은 모두 동일한 통상적인 최소 MSP 치수($D_{MSP}$) 값을 가진다. 통상적인 최소 MSP 치수($D_{MSP}$)가 모든 MSP들(204)에 대해 동일하지 않다면, $D_{FDSP}$와 같은 다른 치수들과 비교하여 참조될 때, 통상적인 최소 MSP 치수($D_{MSP}$)의 값은 통상적인 최소 MSP 치수($D_{MSP}$)의 평균 값을 지칭하는 것임을 이해한다.

[0040] 통상적인 최소 MST 치수($D_{MST}$)와 통상적인 최소 MSP 치수($D_{MSP}$)는 함께 MST들(202)의 패킹 밀도를 결정하며, 이는 주어진 영역 내에 얼마나 많은 MST(202)가 형성되는지를 특징짓는다. 유사하게, 통상적인 최소 FDST 치수($D_{FDST}$)와 통상적인 최소 FDSP 치수($D_{FDSP}$)는 함께 FDST들(132)의 패킹 밀도를 결정하며, 이는 주어진 영역 내에 얼마나 많은 FDST(132)가 형성되는지를 특징짓는다. 유사하게, 패킹 밀도의 크기 정도는 주어진 영역 내에 형성되는 다수의 구조물들의 크기 스케일을 특징짓는다.

[0041] 본 발명의 일 실시예에서, MST들(202) 및 FDST들(132)은 패킹 밀도의 상이한 크기 정도를 특징으로 한다. 이러한 실시예에서, 통상적인 최소 MSP 치수($D_{MSP}$) 대 통상적인 최소 FDSP 치수($D_{FDSP}$)의 비는 바람직하게는 1.7 내지 5, 그리고 더 바람직하게는 2 내지 4.5, 그리고 더 바람직하게는 2.5 내지 4, 그리고 더욱 더 바람직하게는 3 내지 3.5이다.

[0042] 본 발명의 특정한 특징은 MSP들(204) 내에 바람직하게는 복수의 디바이스 유사 구조물(device-like structure, DLST)들(230)이 형성된다는 것이다. 본 발명의 일 실시예에서, 특히 도 4 및 도 6에서 보여지는 바와 같이, DLST들(230)은 제1 MSP들(224) 내에만 형성된다. 본 발명의 다른 실시예에서, 특히 도 3에서 보여지는 바와 같이, DLST들(230)은 제2 MSP들(226) 내에만 형성된다. 본 발명의 또 다른 실시예에서, 특히 도 2a, 도 5, 도 7 및 도 8에서 보여지는 바와 같이, DLST들(230)은 제1 MSP들(224)과 제2 MSP들(226) 양자 내에 형성된다. 타겟들(150)의 특정 실시예들이 복수의 MSP들(224 및 226) 중 특정 하나 또는 양자 내에 형성된 DLST들(230)을 포함하는 것으로서 본원에서 도시되고 설명되었지만, 본원에서 설명되는 타겟(150)의 임의의 실시예는 MSP들(224) 내에만, MSP들(226) 내에만, 또는 MSP들(224)과 MSP들(226) 양자 내에 형성된 DLST들(230)로 형성될 수 있다. DLST들(230)은 주기적일 수 있지만, 반드시 그럴 필요는 없음을 이해한다. 또한, MSP들(224) 내에 형성된 DLST들(230)은 MSP들(226) 내에 형성된 DLST들(230)과 동일할 필요는 없음을 이해한다.

[0043] 각 DLST들(230)은 통상적인 최소 DLST 치수($D_{DLST}$)를 가진다. 바람직하게는, 통상적인 최소 DLST 치수($D_{DLST}$)는 2 nm 내지 200 nm, 그리고 더 통상적으로 5 nm 내지 80 nm이다. 통상적인 최소 DLST 치수($D_{DLST}$)의 값은 DLST들(230) 각각에 대해 동일하거나, DLST들(230) 각각에 대해 상이할 수 있다. 통상적인 최소 DLST 치수($D_{DLST}$)가 모든 DLST들(230)에 대해 동일하지 않다면, $D_{FDST}$와 같은 다른 치수들과 비교하여 참조될 때, 통상적인 최소 DLST 치수($D_{DLST}$)의 값은 통상적인 최소 DLST 치수($D_{DLST}$)의 평균 값을 지칭하는 것임을 이해한다.

[0044] 본 발명의 바람직한 실시예에서, DLST들(230) 및 FDST들(132)은 – 구조물의 통상적인 최소 치수의 크기 스케일을 특징짓는 – 통상적인 최소 치수의 동일한 크기 정도를 특징으로 한다. 이러한 실시예에서, 통상적인 최소 DLST 치수($D_{DLST}$) 대 통상적인 최소 FDST 치수($D_{FDST}$)의 비는 바람직하게는 0.5 내지 1.5, 그리고 더 바람직하게는 0.6 내지1.4, 그리고 더 바람직하게는 0.7 내지 1.3, 그리고 더 바람직하게는 0.8 내지 1.2, 그리고 더욱 더 바람직하게는 0.9 내지 1.1이다.

[0045] 또한, DLST들(230)은 특히 직사각형, 원형, 삼각형, 십자형 또는 정사각형과 같은 통상적인 DLST 형상을 가진다. 본 발명의 바람직한 실시예에서, 통상적인 DLST 형상은 특히 통상적인 FDST 형상과 유사하다. 이에 따라, 예를 들어, FDST들(132)이 일반적으로 원형인 FDST 형상을 가진다면, 본 발명의 바람직한 실시예에서, DLST들(230)은 일반적으로 원형인 DLST 형상을 가진다. 유사하게, 예를 들어, FDST들(132)이 문자 E와 유사한 FDST 형상을 가진다면, 본 발명의 바람직한 실시예에서, DLST들(230)은 문자 E과 유사한 DLST 형상을 가진다.

[0046] 본 발명의 바람직한 실시예에서, 특히 도 4 및 도 7에서 보여지는 바와 같이, DLST들(230)은 제1 층(212)에 의해 규정되는 평면에 일반적으로 평행한 평면에서 MST들(202)에 대해 회전된다. 이에 따라, 이러한 실시예에서, DLST들(230)은 도 2a 내지 도 8에 도시된 x-y 평면에서 MST들(202)에 대해 회전된다. 도 4 및 도 7에 도시된 타겟들(150)의 실시예들만이 x-y 평면에 일반적으로 평행한 평면에서 MST들(202)에 대해 회전되는 DLST들(230)을 포함하는 것으로서 본원에서 도시되고 설명되었지만, 본원에서 설명되는 타겟(150)의 임의의 실시예는 x-y 평면에 일반적으로 평행한 평면에서 MST들(202)에 대해 회전되는 DLST들(230)로 형성될 수 있음을 이해한다. 유사하게, 도 4 및 도 7에 도시된 실시예들을 포함하여 본원에서 설명되는 타겟(150)의 임의의 실시예들은 x-y 평면에 일반적으로 평행한 평면에서 MST들(202)에 대해 회전되지 않는 DLST들(230)로 형성될 수 있다.

[0047] DLST들(230)은 바람직하게는 복수의 대응하는 디바이스 유사 공간(DLSP)들(240)을 규정한다. 각 DLSP들(240)은 통상적인 최소 DLSP 치수($D_{DLSP}$)를 가진다. 바람직하게는, 통상적인 최소 DLSP 치수($D_{DLSP}$)는 2 nm 내지 200 nm, 그리고 더 통상적으로 5 nm 내지 80 nm이다. 통상적인 최소 DLSP 치수($D_{DLSP}$)의 값은 DLSP들(240) 각각에 대해 동일하거나, DLSP들(240) 각각에 대해 상이할 수 있다. 통상적인 최소 DLSP 치수($D_{DLSP}$)가 모든 DLSP들(240)에 대해 동일하지 않다면, $D_{FDSP}$와 같은 다른 치수들과 비교하여 참조될 때, 통상적인 최소 DLSP 치수($D_{DLSP}$)의 값은 통상적인 최소 DLSP 치수($D_{DLSP}$)의 평균 값을 지칭하는 것임을 이해한다.

[0048] 통상적인 최소 DLST 치수($D_{DLST}$)와 통상적인 최소 DLSP 치수($D_{DLSP}$)는 함께 DLST들(230)의 패킹 밀도를 결정하며,

이는 주어진 영역 내에 얼마나 많은 DLST(230)가 형성되는지를 특징짓는다. 바람직하게는, DLST들(230)의 패킹 밀도는 0.5 초과이다.

[0049] 본 발명의 바람직한 실시예에서, DLST들(230) 및 FDST들(132)은 패킹 밀도의 동일한 크기 정도를 특징으로 한다. 이러한 실시예에서, 통상적인 최소 DLSP 치수($D_{DLSP}$) 대 통상적인 최소 FDSP 치수($D_{FDSP}$)의 비는 바람직하게는 0.5 내지 1.5, 그리고 더 바람직하게는 0.6 내지1.4, 그리고 더 바람직하게는 0.7 내지 1.3, 그리고 더 바람직하게는 0.8 내지 1.2, 그리고 더욱 더 바람직하게는 0.9 내지 1.1이다. 이에 따라, DLST들(230)의 패킹 밀도의 크기 정도는 FDST들(132)의 팩킹 밀도의 크기 정도와 일반적으로 동일하다.

[0050] 본 발명의 일 실시예에서, 특히 도 6, 도 7 및 도 8에서 보여지는 바와 같이, 각 MST들(202)은 일반적으로 일체형 요소이다. 본 발명의 다른 실시예에서, 특히 도 2b, 도 3 및 도 5에서 보여지는 바와 같이, 각 MST들(202)은 복수의 세그먼트들(252)로 형성된다. 세그먼트들(252)은 바람직하게는 복수의 대응하는 세그먼트 공간들(254)을 규정한다. 또한, 특히 도 4에서 보여지는 바와 같이, 일부 MST들(202)은 일반적으로 일체형일 수 있고, 다른 MST들(202)은 세그먼트들(252)로 형성될 수 있다. 타겟들(150)의 특정 실시예들은 일체형 MST들(202)을 갖는 것으로서 본원에서 도시 및 설명되고, 타겟들(150)의 특정 실시예들은 세그먼트들(252)을 포함하는 것으로서 본원에서 도시 및 설명되며, 타겟(150)의 특정 실시예는 일체형 MST들(202)과 세그먼트들(252) 양자를 포함하는 것으로서 도시되지만, 본원에서 설명되는 타겟(150)의 임의의 실시예는 일체형 MST들(202), 세그먼트들(252), 또는 일체형 MST들(202)과 세그먼트들(252)의 조합으로 형성될 수 있다.

[0051] 본 발명의 일부 실시예들에서, 특히 도 3에서 보여지는 바와 같이, DLST들(230)은 세그먼트 공간들(254) 내에 형성된다.

[0052] 각 세그먼트들(252)은 통상적인 최소 세그먼트 치수($D_{SEG}$)를 가진다. 바람직하게는, 통상적인 최소 세그먼트 치수($D_{SEG}$)는 10 nm 내지 300 nm, 그리고 더 통상적으로 50 nm 내지 100 nm이다. 통상적인 최소 세그먼트 치수($D_{SEG}$)의 값은 세그먼트들(252) 각각에 대해 동일하거나, 세그먼트들(252) 각각에 대해 상이할 수 있다. 통상적인 최소 세그먼트 치수($D_{SEG}$)가 모든 세그먼트들(252)에 대해 동일하지 않다면, $D_{FDSP}$와 같은 다른 치수들과 비교하여 참조될 때, 통상적인 최소 세그먼트 치수($D_{SEG}$)의 값은 통상적인 최소 세그먼트 치수($D_{SEG}$)의 평균 값을 지칭하는 것임을 이해한다. 바람직하게는, 통상적인 최소 세그먼트 치수($D_{SEG}$) 대 통상적인 최소 DLST 치수($D_{DLST}$)의 비는 적어도 1.1, 그리고 더 바람직하게는 적어도 2이다.

[0053] 또한, 세그먼트들(252)은 특히 직사각형, 원형, 삼각형, 십자형 또는 정사각형과 같은 통상적인 세그먼트 형상을 가진다. 본 발명의 바람직한 실시예에서, 통상적인 세그먼트 형상은 특히 통상적인 DLST 형상과 상이하다. 특히 더, 본 발명의 이러한 바람직한 실시예에서, 타겟(150)을 측정하기 위해 사용되는 적합한 오정합 툴은 통상적인 DLST 형상과 통상적인 세그먼트 형상 간을 쉽게 식별할 수 있다. 적합한 오정합 측정 툴은 예를 들어, Archer™ 750, ATL™ 100 또는 eDR7380™으로서 구현될 수 있으며, 이들 모두는 미국 캘리포니아주 밀피타스 소재의 KLA 코포레이션으로부터 입수 가능하다.

[0054] 이에 따라, 예를 들어, DLST들(230)이 일반적으로 원형 DLST 형상을 가진다면, 본 발명의 바람직한 실시예에서, 세그먼트들(252)은 바람직하게는 도 3에서 보여지는 바와 같이, 정사각형과 같은 원형 이외의 세그먼트 형상을 가진다. 유사하게, 예를 들어, DLST들(230)이 일반적으로 직사각형 DLST 형상을 가진다면, 본 발명의 바람직한 실시예에서, 세그먼트들(252)은 직사각형이 아닌 세그먼트 형상을 가지며; 예를 들어, 세그먼트들(252)은 일반적으로 삼각형인 세그먼트 형상을 가질 수 있다.

[0055] 본 발명의 바람직한 실시예에서, 특히 도 4에서 보여지는 바와 같이, DLST들(230)은 제1 층(212)에 의해 규정되는 평면에 일반적으로 평행한 평면에서 세그먼트들(252)에 대해 회전된다. 이에 따라, DLST들(230)은 도 2a 내지 도 8에 도시된 x-y 평면에 일반적으로 평행한 평면에서 세그먼트들(252)에 대해 회전된다. 도 4에 도시된 타겟(150)의 실시예만이 x-y 평면에 일반적으로 평행한 평면에서 세그먼트들(252)에 대해 회전되는 DLST들(230)을 포함하는 것으로서 본원에서 도시되고 설명되었지만, 본원에서 설명되는 타겟(150)의 임의의 실시예는 x-y 평면에 일반적으로 평행한 평면에서 세그먼트들(252)에 대해 회전되는 DLST들(230)로 형성될 수 있음을 이해한다. 유사하게, 도 4에 도시된 실시예를 포함하여 본원에서 설명되는 타겟(150)의 임의의 실시예들은 x-y 평면에 일반적으로 평행한 평면에서 세그먼트들(252)에 대해 회전되지 않는 DLST들(230)로 형성될 수 있다.

[0056] 바람직하게는, 각 세그먼트 공간들(254)은 통상적인 최소 세그먼트 공간 치수($D_{SEGSP}$)를 가진다. 바람직하게는,

통상적인 최소 세그먼트 공간 치수($D_{SEGSP}$)는 10 nm 내지 300 nm, 그리고 더 통상적으로 50 nm 내지 100 nm이다. 통상적인 최소 세그먼트 공간 치수($D_{SEGSP}$)의 값은 세그먼트 공간들(254) 각각에 대해 동일하거나, 세그먼트 공간들(254) 각각에 대해 상이할 수 있다. 통상적인 최소 세그먼트 공간 치수($D_{SEGSP}$)가 모든 세그먼트 공간들(254)에 대해 동일하지 않다면, $D_{DLSP}$와 같은 다른 치수들과 비교하여 참조될 때, 통상적인 최소 세그먼트 공간 치수($D_{SEGSP}$)의 값은 통상적인 최소 세그먼트 공간 치수($D_{SEGSP}$)의 평균 값을 지칭하는 것임을 이해한다. 바람직하게는, 통상적인 최소 세그먼트 공간 치수($D_{SEGSP}$) 대 통상적인 최소 DLSP 치수($D_{DLSP}$)의 비는 적어도 1.1, 그리고 더 바람직하게는 적어도 2이다.

[0057] 본 발명의 바람직한 실시예에서, MST들(202) 및 MSP들(204)은 적합한 오정합 측정 툴에 의해 해상 가능한 반면, DLST들(230), DLSP들(240), 세그먼트들(252), 및 세그먼트 공간들(254)은 적합한 오정합 측정 툴에 의해 해상 가능하지 않다. 적합한 오정합 측정 툴은 예를 들어, Archer™ 750, ATL™ 100 또는 eDR7380™으로서 구현될 수 있으며, 이들 모두는 미국 캘리포니아주 밀피타스 소재의 KLA 코포레이션으로부터 입수 가능하다.

[0058] 타겟(150)은 적합한 오정합 측정 툴을 사용하여 측정되도록 설계됨으로써, 출력 신호를 생성하고, 그 출력 신호를 분석하는 것은 바람직하게는 타겟(150)의 층들(212과 214) 사이의 오정합 값을 생성한다. 타겟(150)의 층들(212와 214) 사이의 오정합 값은 바람직하게는 기능 반도체 디바이스들(130) 중 적어도 일부 기능 반도체 디바이스들의 대응하는 층들(212와 214) 사이의 오정합 값으로서 사용되고, 바람직하게는 층들(212와 214) 사이의 오정합을 개선하기 위해 리소그래피와 같은 기능 반도체 디바이스(130)를 위한 제조 공정의 부분들을 조정하는 데 사용된다.

[0059] 바람직하게는, 종래의 타겟들과 비교하여, 타겟(150)에 DLST들(230)을 포함시키는 것은 타겟(150)이 형성된 층들 사이의 물리적 오정합 및 기능 반도체 디바이스들(130)이 형성된 대응하는 층들 사이의 물리적 오정합의 유사성을 개선한다. 또한, 타겟(150)에 DLST들(230)을 포함시키는 것은 바람직하게는, 종래의 타겟들과 비교하여, 그 측정 시에 출력되는 오정합 값의 정확도를 개선한다. 이에 따라, 타겟(150)의 제1 층(212)과 제2 층(214) 사이에서 측정되는 오정합 값은 특히, 기능 반도체 디바이스들(130)의 대응하는 층들 사이의 오정합 값으로서 사용하기에 그리고 그 조정에 적합하다.

[0060] 특히 더, DLST들(230)이 형성되는 제조 단계들은 FDST들(132)이 형성되는 제조 단계들과 본질적으로 동일하다. 이러한 제조 단계들은 특히 에칭, 퇴적, 및 평탄화 공정들을 포함할 수 있다. 타겟(150) 및 기능 반도체 디바이스들(130)은 그 안에 포함된 임의의 처리 에러들을 포함하는 본질적으로 동일한 제조 단계들을 거치므로, 타겟(150)이 형성되는 층들 사이의 오정합은 특히, 기능 반도체 디바이스들(130)이 형성되는 대응하는 층들 사이의 오정합과 유사하다. 이에 따라, 타겟(150)의 제1 층(212)과 제2 층(214) 사이에서 측정되는 오정합 값은 특히, 기능 반도체 디바이스들(130)의 대응하는 층들 사이의 오정합 값으로서 사용하기에 그리고 그 조정에 적합하다.

[0061] 본 발명의 바람직한 실시예에서, 다수의 타겟들(150)은 웨이퍼(100) 상에 형성된다. 본 발명의 일 실시예에서, 웨이퍼, 통상적으로 실험 설계(design-of-experiment, DOE) 웨이퍼 상의 타겟들(150) 중 일부는 DOE 웨이퍼 상에 다른 타겟들(150)을 제조하기 위해 사용되는 제조 툴의 파라미터들로부터 의도적으로 벗어나는 제조 툴의 파라미터들을 사용하여 제조된다. 예를 들어, DOE 상의 타겟들(150) 중 일부는 통상적인 최소 MST 치수($D_{MST}$), 통상적인 최소 MSP 치수($D_{MSP}$), 통상적인 최소 DLST 치수($D_{DLST}$), 통상적인 가장 작은 DLSP 치수($D_{DLSP}$), 통상적인 최소 세그먼트 치수($D_{SEG}$), 통상적인 최소 세그먼트 공간 치수($D_{SEGSP}$), 통상적인 MST 형상, 통상적인 DLST 형상, 통상적인 세그먼트 형상, x-y 평면에 일반적으로 평행한 평면에서의 MST 배향, x-y 평면에 일반적으로 평행한 평면에서의 DLST 배향 또는 x-y 평면에 일반적으로 평행한 평면에서의 세그먼트 배향 중 적어도 하나에서 서로 상이하다. 이에 따라, DOE 웨이퍼 상의 다양한 타겟들(150)의 제1 층(212)과 제2 층(214) 사이의 오정합의 적합한 측정은 제조 공정 변동과 상관되는 데이터를 제공하고, 이에 따라 사용자가 DOE 웨이퍼를 형성하기 위해 사용되는 제조 툴의 파라미터들을 더 잘 조정할 수 있게 한다.

[0062] 또한, 타겟(150)에 DLST들(230)을 포함시키는 것은 입사 방사선의 파장과 같은, 적합한 오정합 측정 툴에 의해 사용되는 측정 파라미터들의 함수로서 유의미한 방식으로 달라질 수 있는 오정합 데이터 출력을 생성함을 이해한다. 이에 따라, 타겟(150)의 제1 층(212)과 제2 층(214) 사이의 오정합을 측정 시에 제공되는 오정합 값은 종래의 타겟들의 층들 사이의 오정합을 측정 시에 제공된 오정합 값에 비해 특히 강력하고, 이에 따라 특히, 기능 반도체 디바이스들(130)의 대응하는 층들 사이의 실제 오정합 값으로서 사용하기에 그리고 그 조정에 적합하다.

[0063] 또한, 타겟(150)에 DLST들(230)을 포함시키는 것은 바람직하게는, 종래의 타겟들과 함께 형성된 기능 반도체 디바이스들(130)의 제조 수율과 비교하여, 웨이퍼(100) 상에 형성된 기능 반도체 디바이스들(130)과 타겟들(150) 양자의 제조 수율을 증가시킨다. 특히 더, 타겟(150)에 DLST들(230)을 포함시키는 것은 타겟(150)과 연관된 치수들 및 피치들과 기능 반도체 디바이스들(130)과 연관된 치수들 및 피치들 사이의 불일치를 감소시킨다. 치수 및 피치 불일치 감소는 광학 근접 보정(optical proximity correction, OPC)과 같은 복합적 제조 설계를 개선한다. 이에 따라, 웨이퍼(100) 상에 형성된 기능 반도체 디바이스들(130) 및 타겟들(150)은 바람직하게는, 둘 다 종래의 타겟들과 함께 형성된 기능 반도체 디바이스들(130)의 제조 수율과 비교하여 개선된 제조 수율을 가진다.

[0064] 특히 도 2a 및 도 2b에서 보여지는 바와 같이, 타겟(150)은 미국 특허 제10,527,951호(발명의 명칭: COMPOUND IMAGING METROLOGY TARGETS)에서 설명된 타겟들과 유사한 어드밴스드 이미징 계측(advanced imaging metrology, AIM) 타겟으로서 구현될 수 있다. 타겟(150)이 AIM 타겟으로서 구현될 때, 타겟 피처들(202)은 함께 AIM 타겟을 형성하고, 디바이스 유사 피처들(230)이 종래 AIM 타겟에 통상적으로 존재하는 공간들(214 및 224) 내에 형성된다.

[0065] 특히 도 3에서 보여지는 바와 같이, 타겟(150)은 미국 특허 제10,527,951호(발명의 명칭: COMPOUND IMAGING METROLOGY TARGETS)에서 설명된 타겟들과 유사한 AIM 인-다이(AIMid) 타겟으로서 구현될 수 있다. 타겟(150)이 AIMid 타겟으로서 구현될 때, 타겟 피처들(202)은 함께 AIMid 타겟을 형성하고, 디바이스 유사 피처들(230)이 종래 AIMid 타겟에 통상적으로 존재하는 공간들(214 및 224) 내에 형성된다.

[0066] 특히 도 4에서 보여지는 바와 같이, 타겟(150)은 미국 특허 제7,804,994호(발명의 명칭: OVERLAY METROLOGY AND CONTROL METHOD)에서 설명된 타겟들과 유사한 박스-인-박스(box-in-box, BiB) 타겟으로서 구현될 수 있다. 타겟(150)이 BiB 타겟으로서 구현될 때, 타겟 피처들(202)은 함께 BiB 타겟을 형성하고, 디바이스 유사 피처들(230)이 종래 BiB 타겟에 통상적으로 존재하는 공간들(214 및 224) 내에 형성된다.

[0067] 특히 도 5에서 보여지는 바와 같이, 타겟(150)은 문헌 [C. P. Ausschnitt, J. Morningstar, W. Muth, J. Schneider, R. J. Yerdon, L. A. Binns, N. P. Smith, "Multilayer overlay metrology," Proc. SPIE 6152, Metrology, Inspection, and Process Control for Microlithography XX, 615210 (2006. 3. 24.)]에서 설명된 타겟들과 유사한 블러섬(blossom) 또는 마이크로 블러섬 타겟으로서 구현될 수 있다. 타겟(150)이 블러섬 또는 마이크로 블러섬 타겟으로서 구현될 때, 타겟 피처들(202)은 함께 블러섬 또는 마이크로 블러섬 타겟을 형성하고, 디바이스 유사 피처들(230)이 종래 블러섬 또는 마이크로 블러섬 타겟에 통상적으로 존재하는 공간들(214 및 224) 내에 형성된다.

[0068] 특히 도 6에서 보여지는 바와 같이, 타겟(150)은 2019년 4월 10일에 출원된 PCT 특허 출원 제PCT/US2019/026686호(발명의 명칭: MOIRÉ TARGET AND METHOD FOR USING THE SAME IN MEASURING MISREGISTRATION OF SEMICONDUCTOR DEVICES)에서 설명된 타겟들과 유사한 모아레(Moiré) 타겟으로서 구현될 수 있다. 타겟(150)이 모아레 타겟으로서 구현될 때, 타겟 피처들(202)은 함께 모아레 타겟을 형성하고, 디바이스 유사 피처들(230)이 종래 모아레 타겟에 통상적으로 존재하는 공간들(214 및 224) 내에 형성된다.

[0069] 특히 도 7에서 보여지는 바와 같이, 타겟(150)은 유럽 특허 제1,570,232호(발명의 명칭: APPARATUS AND METHODS FOR DETECTING OVERLAY ERRORS USING SCATTEROMETRY)에서 설명된 타겟들과 유사한 산란 계측 타겟으로서 구현될 수 있다. 타겟(150)이 산란 계측 타겟으로서 구현될 때, 타겟 피처들(202)은 함께 산란 계측 타겟을 형성하고, 디바이스 유사 피처들(230)이 종래 산란 계측 타겟에 통상적으로 존재하는 공간들(214 및 224) 내에 형성된다.

[0070] 특히 도 8에서 보여지는 바와 같이, 타겟(150)은 미국 특허 제7,608,468호(발명의 명칭: APPARATUS AND METHODS FOR DETERMINING OVERLAY AND USES OF SAME)에서 설명된 타겟들과 유사한 전자 빔 타겟으로서 구현될 수 있다. 타겟(150)이 전자 빔 타겟으로서 구현될 때, 타겟 피처들(202)은 함께 전자 빔 타겟을 형성하고, 디바이스 유사 피처들(230)이 종래 전자 빔 타겟에 통상적으로 존재하는 공간들(214 및 224) 내에 형성된다.

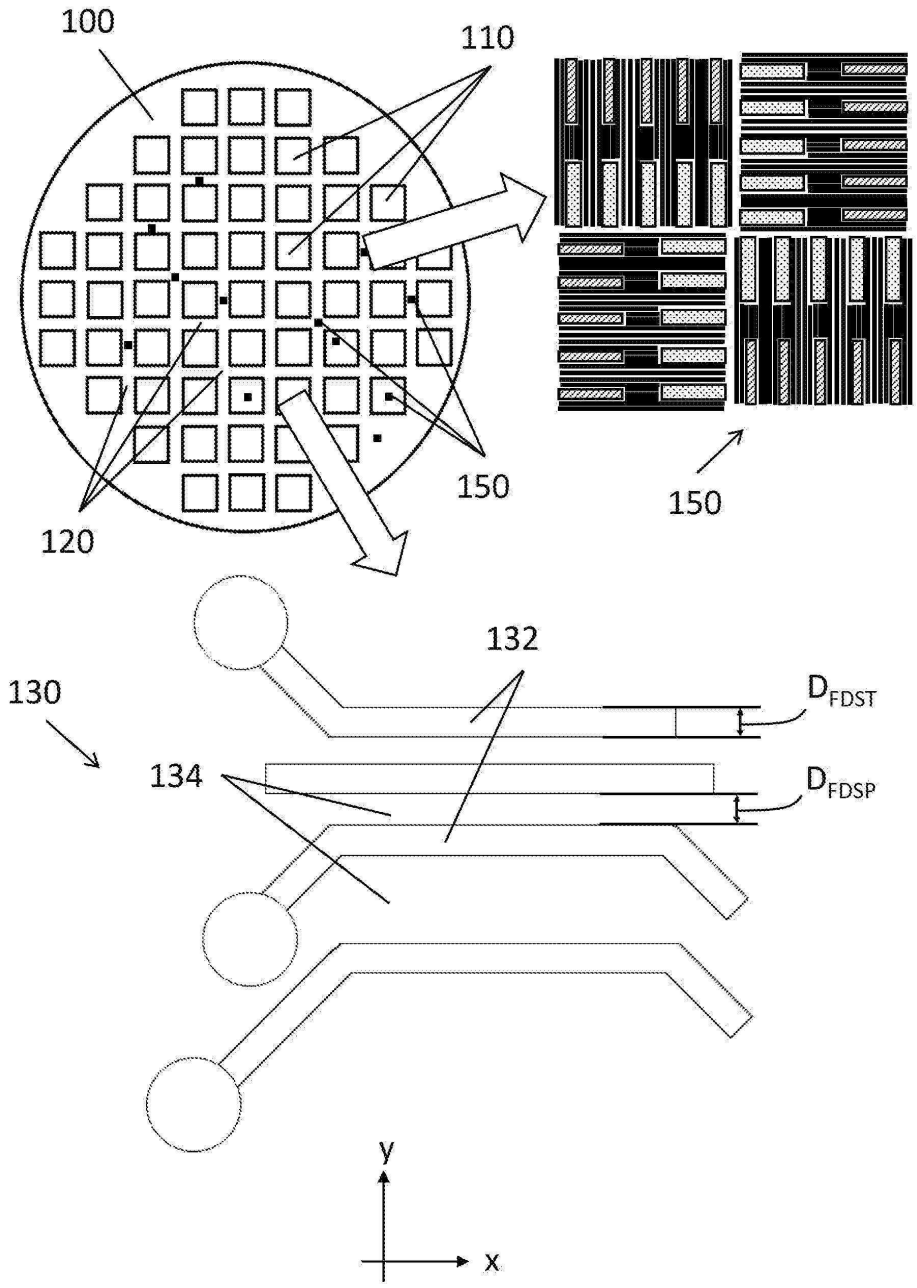
[0071] 타겟(150)은 도 2a 내지 도 8에 도시된 타겟들 이외의 타겟으로서 추가적으로 구현될 수 있다는 것을 이해한다. 이러한 경우에, 타겟 피처들(202)은 함께 추가적인 실시예의 타겟을 형성하고, 디바이스 유사 피처들(230)은 추가적인 실시예에서 사용될 때 이러한 종래의 타겟에 통상적으로 존재하는 공간들(214 및 224)에 형성된다. 이러한 타겟은 특히, 2019년 6월 4일에 출원된 PCT 출원 제PCT/US2019/035282호(발명의 명칭: MISREGISTRATION

MEASUREMENTS USING COMBINED OPTICAL AND ELECTRON BEAM TECHNOLOGY)에서 설명된 타겟들과 유사한 하이브리드 이미징-전자 빔 타겟 및 하이브리드 산란 계측 전자 빔 타겟, 및 미국 특허 제9,927,718호(발명의 명칭: MULTI-LAYER OVERLAY METROLOGY TARGET AND COMPLIMENTARY OVERLAY METROLOGY MEASUREMENT SYSTEMS)에서 설명된 타겟들과 유사한 웨이퍼(100)상에 형성된 세 개 이상의 층들 사이의 오정합의 측정에 유용한 타겟을 포함할 수 있다.

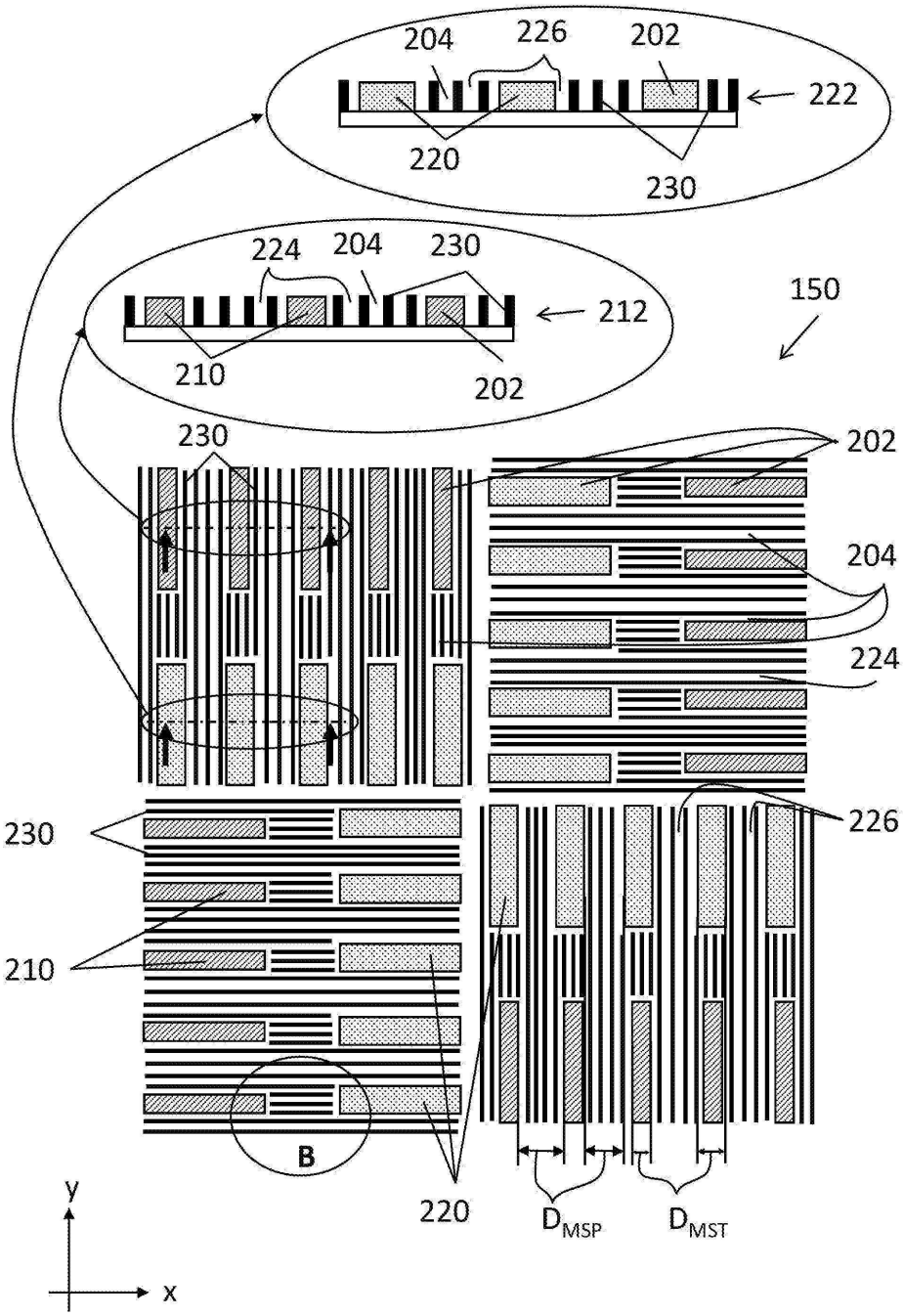
[0072] 당업자는 본 발명이 위에서 구체적으로 제시되고 설명된 것에 제한되지 않는다는 것을 이해할 것이다. 본 발명의 범주는 상술한 다양한 피쳐의 조합들 및 하위 조합들 양자뿐만 아니라 이들의 변형을 포함하며, 이들 모두는 종래 기술에 있지 않다.

## 도면

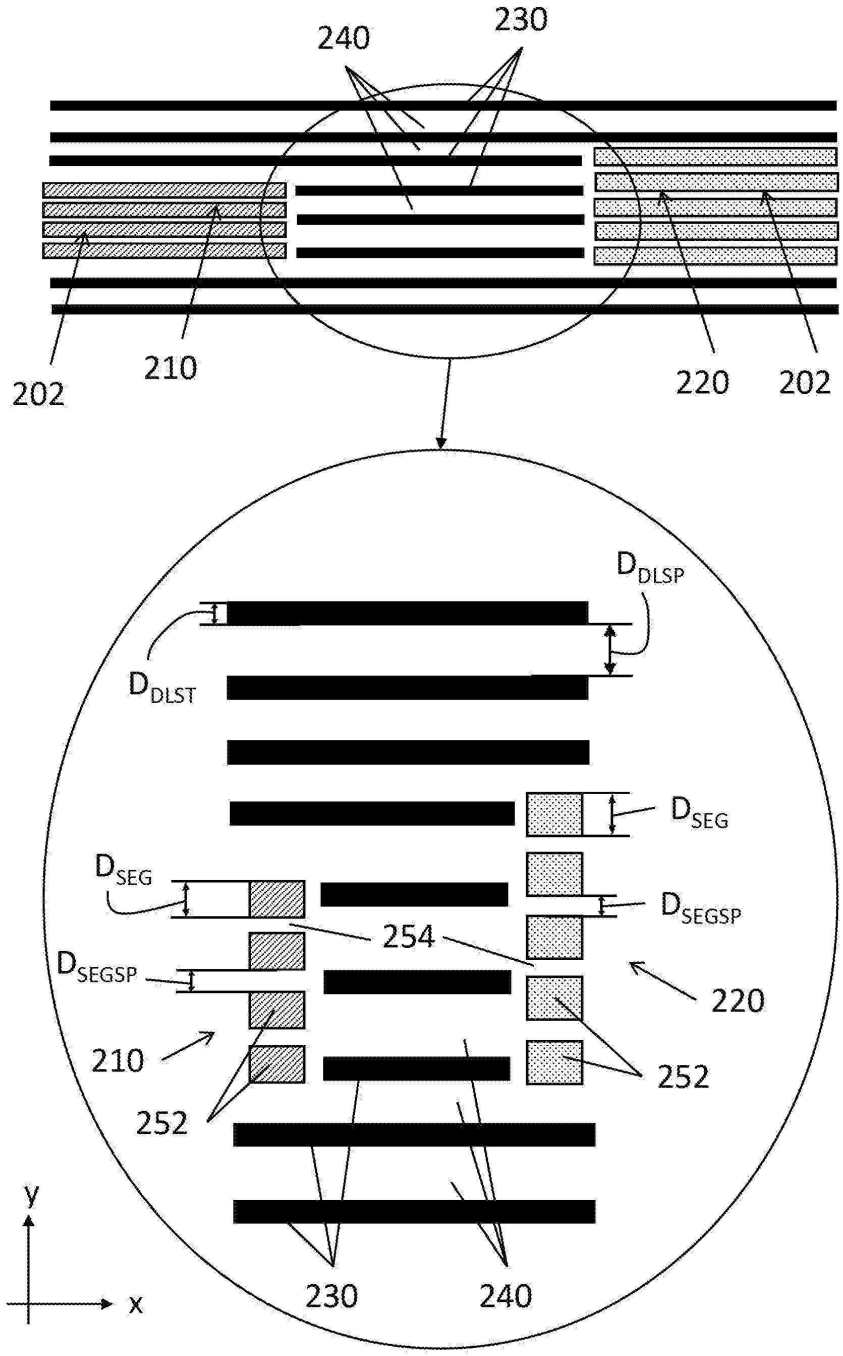
### 도면1



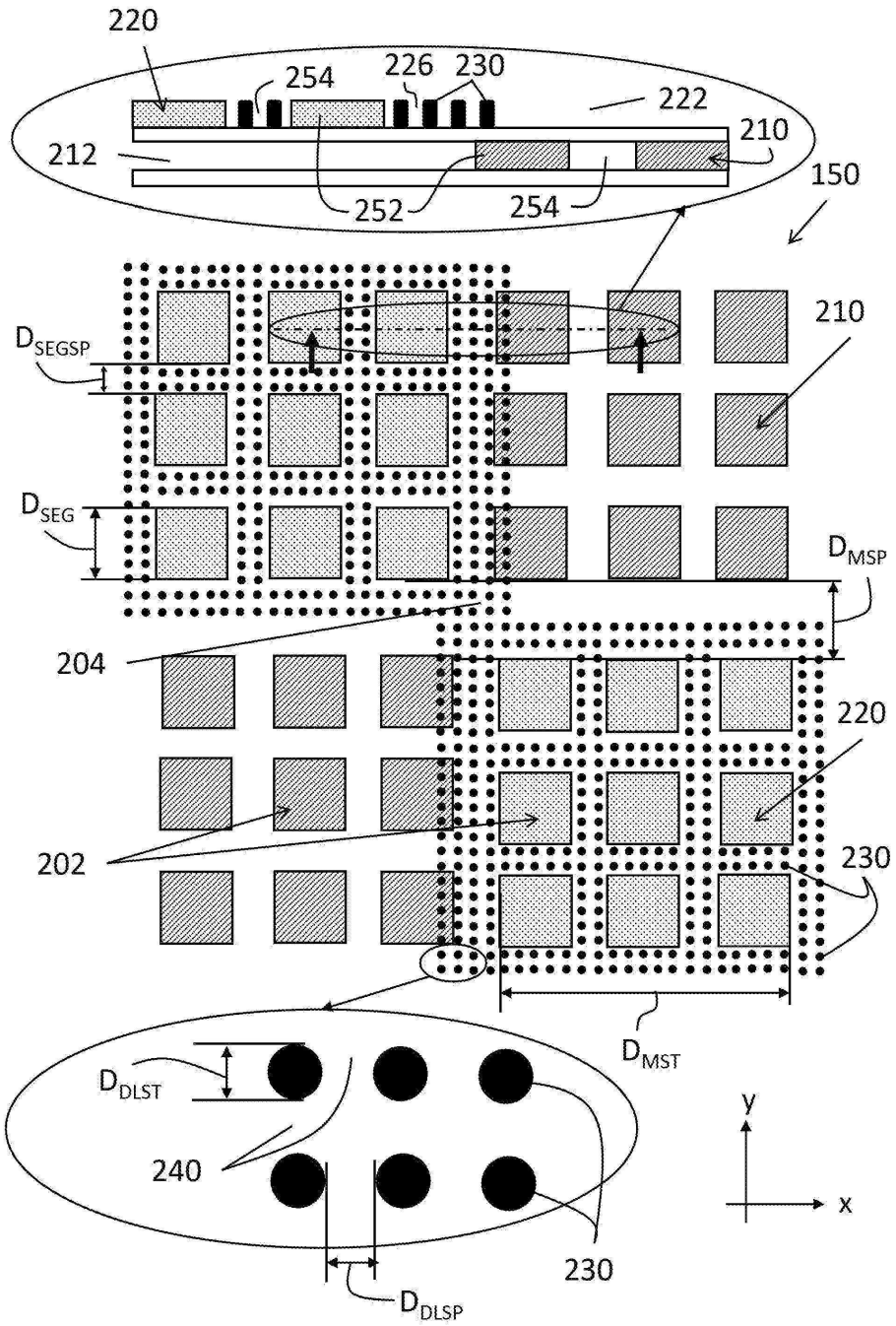
도면2a


204
226
202
222
220
230
224
204
230
212
210
202
150
230
202
204
224
230
226
210
B
220
$D_{MSP}$
$D_{MST}$
y
x

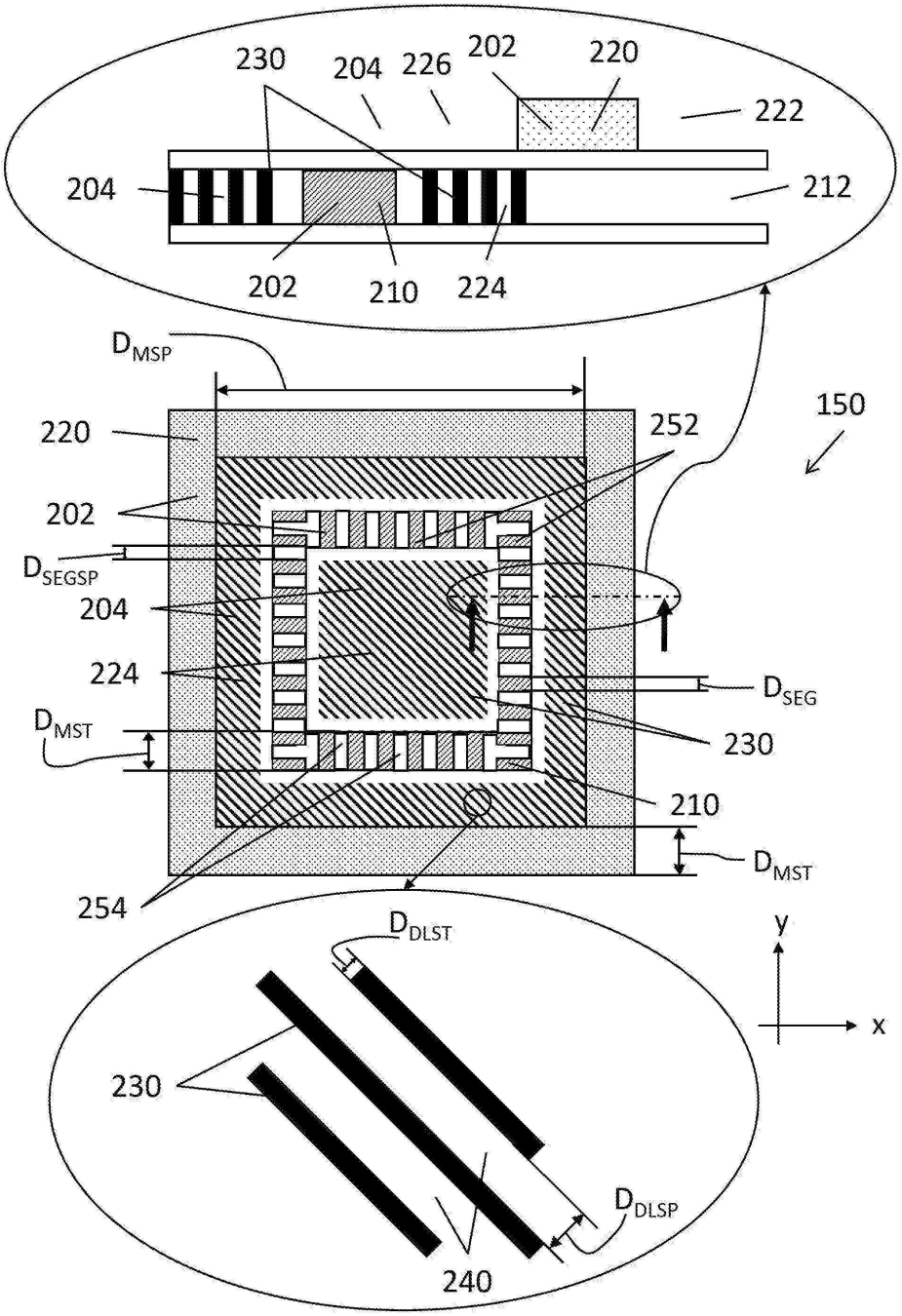
도면2b


240
230
202
210
220
202
$D_{DLSP}$
$D_{DLST}$
$D_{SEG}$
$D_{SEG}$
$D_{SEGSP}$
254
$D_{SEGSP}$
220
210
252
252
y
x
230
240

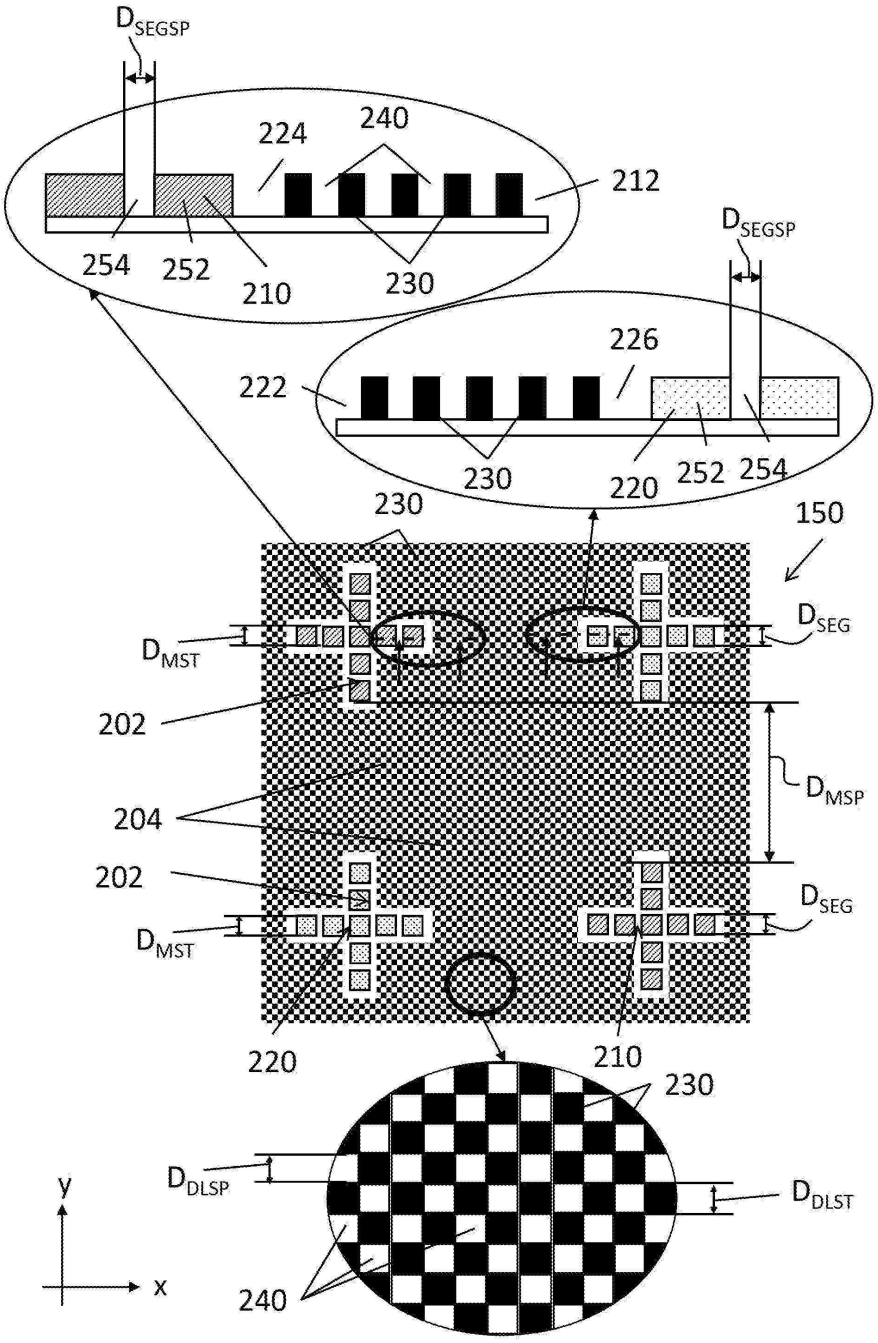
도면3


220
254
226
230
222
210
212
252
254
150
210
$D_{SEGSP}$
$D_{SEG}$
$D_{MSP}$
204
220
202
230
$D_{MST}$
$D_{DLST}$
240
230
$D_{DLSP}$
y
x

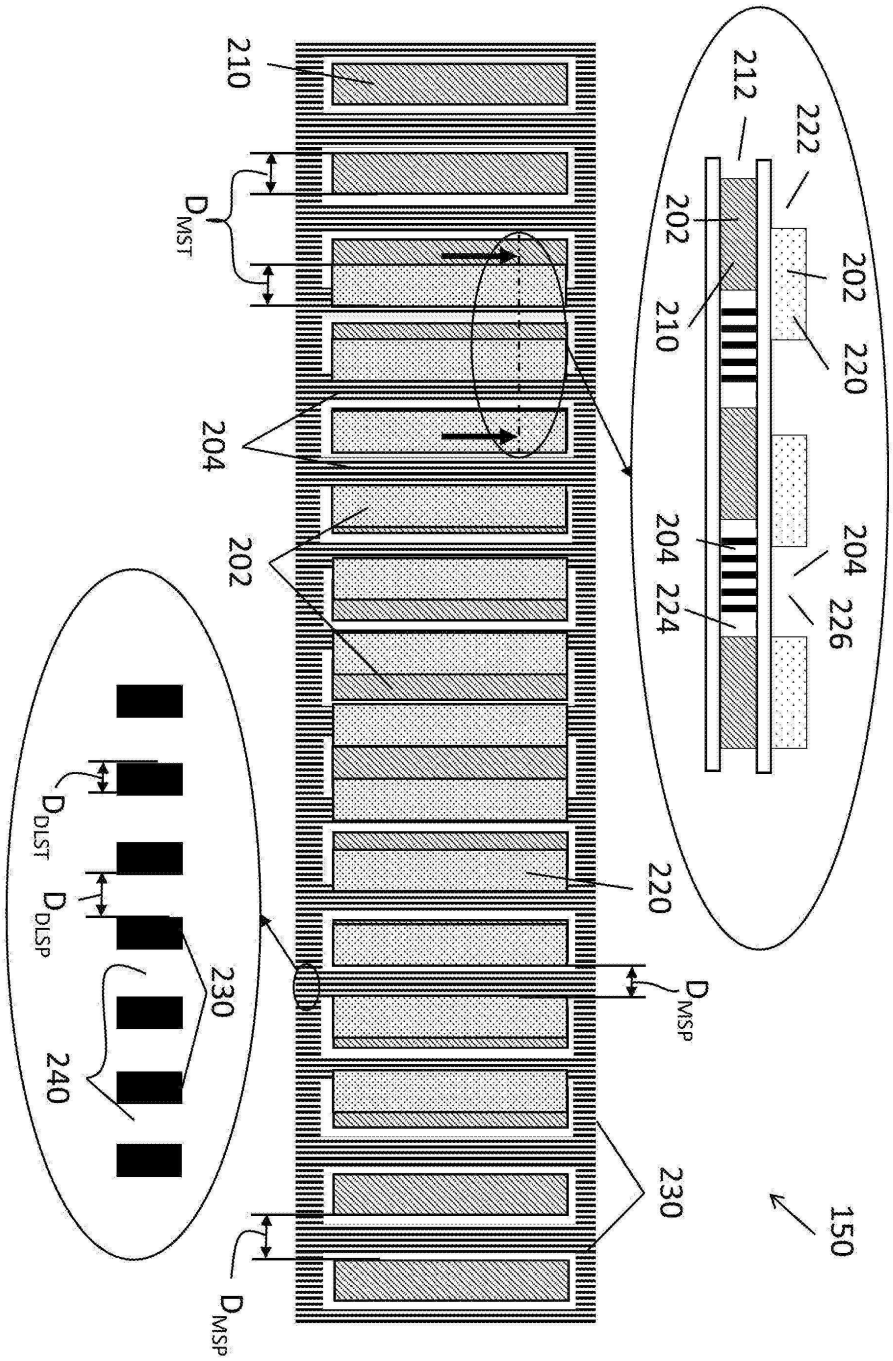
도면4


230
204
226
202
220
222
204
212
202
210
224
$D_{MSP}$
150
220
252
202
$D_{SEGSP}$
204
224
$D_{SEG}$
$D_{MST}$
230
210
$D_{MST}$
254
$D_{DLST}$
y
x
230
$D_{DLSP}$
240

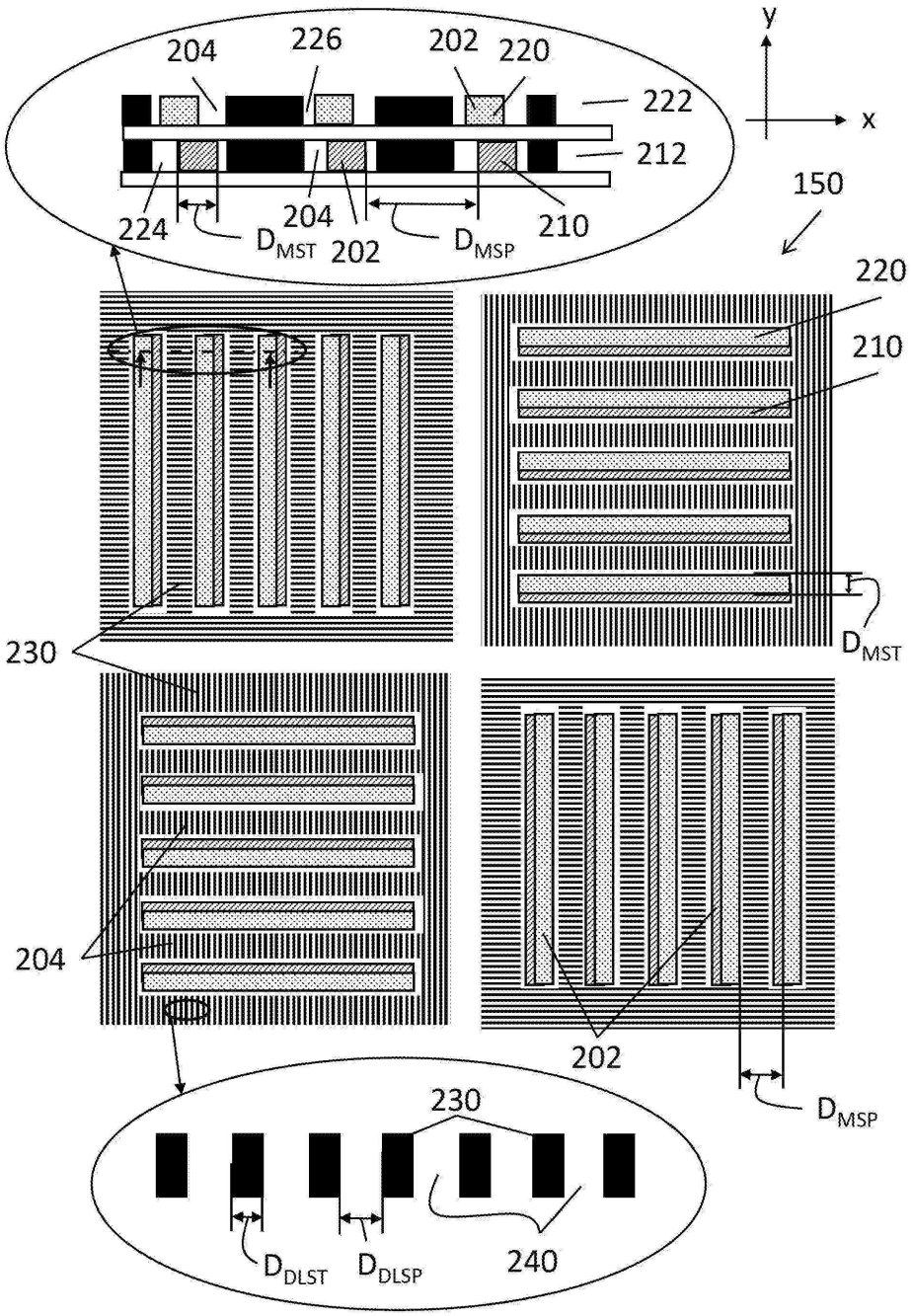
도면5


D_SEGSP
224
240
212
254
252
210
230
D_SEGSP
226
222
230
220
252
254
230
150
D_SEG
D_MST
202
D_MSP
204
202
D_SEG
D_MST
220
210
230
D_DLSP
D_DLST
y
x
240

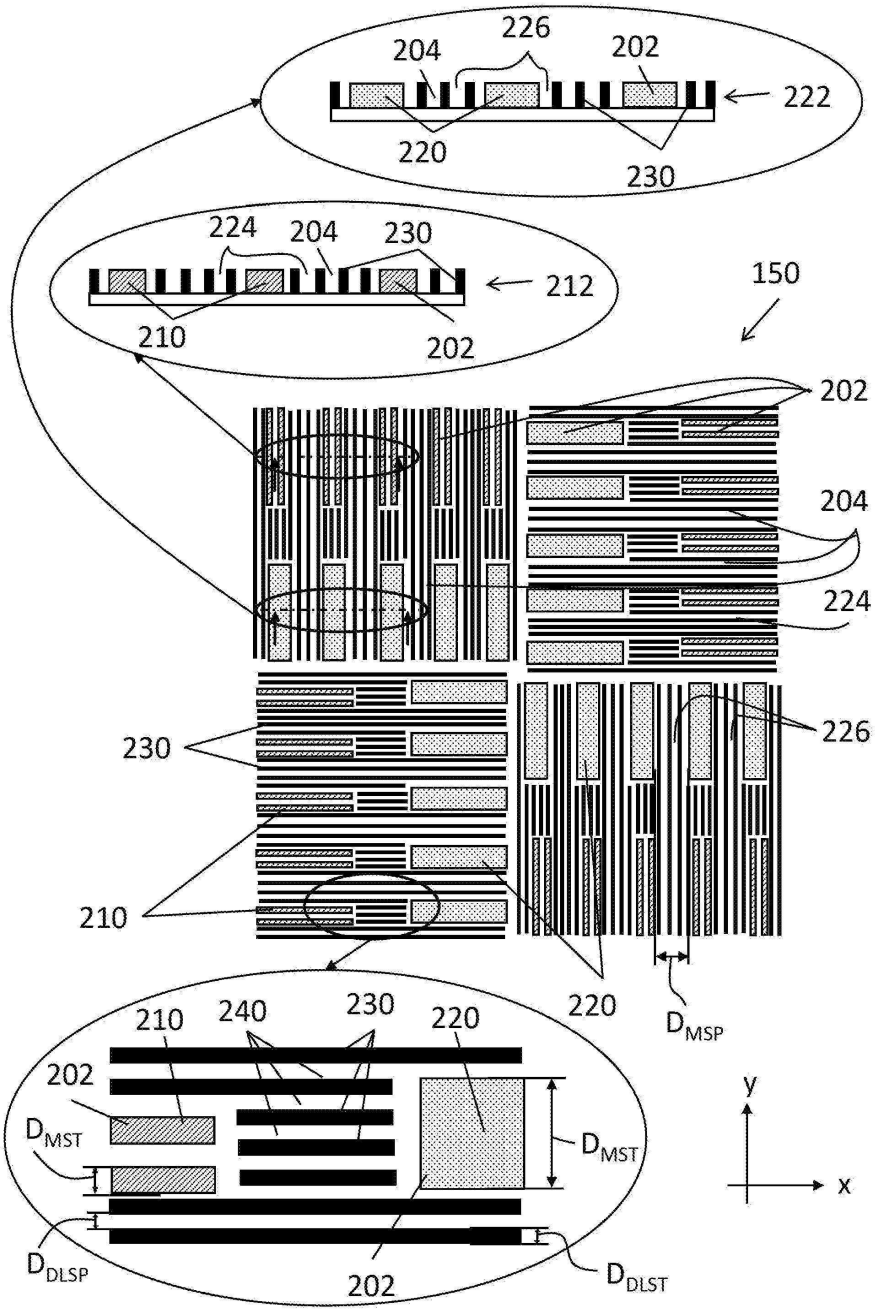
도면6


210
212
222
202
220
202
210
204
226
204
224
204
202
220
230
240
150
$D_{MST}$
$D_{DLST}$
$D_{DLSP}$
$D_{MSP}$
$D_{MSP}$

도면7


204
226
202
220
222
212
224
$D_{MST}$
204
202
$D_{MSP}$
210
y
x
150
220
210
230
$D_{MST}$
204
202
$D_{MSP}$
230
$D_{DLST}$
$D_{DLSP}$
240

도면8


226
204
202
222
220
230
224
204
230
212
210
202
150
202
204
224
230
226
210
220
$D_{MSP}$
210
240
230
220
202
$D_{MST}$
$D_{MST}$
y
x
$D_{DLSP}$
202
$D_{DLST}$