



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) DE 60 2004 008 545 T2 2007.12.27

(12)

Übersetzung der europäischen Patentschrift

(97) EP 1 498 823 B1

(51) Int Cl.⁸: G06F 13/42 (2006.01)

(21) Deutsches Aktenzeichen: 60 2004 008 545.6

(96) Europäisches Aktenzeichen: 04 300 259.1

(96) Europäischer Anmeldetag: 07.05.2004

(97) Erstveröffentlichung durch das EPA: 19.01.2005

(97) Veröffentlichungstag

der Patenterteilung beim EPA: 29.08.2007

(47) Veröffentlichungstag im Patentblatt: 27.12.2007

(30) Unionspriorität:

03291646 03.07.2003 EP

(84) Benannte Vertragsstaaten:

DE, FR, GB, IT

(73) Patentinhaber:

Thomson Licensing, Boulogne-Billancourt, FR

(72) Erfinder:

Montalvo, Luis, 35410 Domloup, FR; Doyen, Didier, 35340 La Bouxière, FR; Blonde, Laurent, 35235 Thorigné-Fouillard, FR; Jolly, Emmanuel, 35000 Rennes, FR

(74) Vertreter:

Roßmanith, M., Dipl.-Phys. Dr.rer.nat., Pat.-Anw.,
30457 Hannover

(54) Bezeichnung: Methode und Datenstruktur zum wahlfreien Zugriff über eine Busverbindung

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelebt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Eine Busverbindung ist ein Verfahren, um eine Anzahl von Vorrichtungen über eine Anzahl von Drähten oder Leitungen, die wenigstens teilweise von mehr als einer der Vorrichtungen gemeinsam verwendet werden, miteinander zu verbinden. Busverbindungen können seriell oder parallel sein, d. h., die Informationen können über eine einzelne Datenleitung oder über eine Anzahl paralleler Datenleitungen gesendet werden. Busverbindungen können eine Taktleitung enthalten, um die Rate der Informationen zu bestimmen, die in einer bestimmten Zeitperiode gesendet werden. Außerdem können Busverbindungen eine Anzahl dedizierter Leitungen, z. B. für den Quittungsaustausch, für die Chipauswahl oder dergleichen, umfassen. Es sind eine Anzahl genormter Busverbindungen, unter anderem der I2C-Bus, der eine serielle Busverbindung ist, bekannt.

[0002] Der I2C-Bus ist ein doppeltgerichteter 2-Draht-Bus, der für die Inter-IC-Kommunikation verwendet wird. Eine Master-Vorrichtung steuert die Datenübertragung mit jeweils einer einzelnen Slave-Vorrichtung von maximal 1024 Slave-Vorrichtungen. Die Beschränkung der Maximalzahl von Slave-Vorrichtungen ist eine Folge der Größe des durch die I2C-Busnorm definierten Adressenfelds (10 Bits). Die einzelnen Vorrichtungsadressen sind in der I2C-Busnorm festgesetzt und schaffen ein Mittel zum eindeutigen Identifizieren der Vorrichtungen.

[0003] Zur Speicherung von Programmen oder Daten in Anwendungen und Vorrichtungen dort, wo die gespeicherten Informationen selbst dann aufrechterhalten werden müssen, wenn keine Leistung verfügbar ist, werden umfassend EEPROMs (Akronym für: elektrisch lösbarer und programmierbarer Nur-Lese-Speicher) verwendet. Es sind leicht eine Anzahl von EEPROM-Vorrichtungen verfügbar, die die I2C-Busschnittstelle zum Lesen und Schreiben von Daten verwenden. Gemäß der I2C-Busnorm muss der Zugriff auf den EEPROM-Inhalt sequentiell erfolgen. Einige EEPROM-Hersteller verwenden herstellerspezifische Mechanismen, die die Master-Vorrichtung auf bis zu eine Speicherseite (128 Bytes) eines EEPROM wahlfrei zugreifen lassen. Allerdings hat sich die Größe des eingebetteten EEPROM-Speichers z. B. in ASICs (Akronym für: anwendungsspezifische integrierte Schaltung) und FPGAs (Akronym für: anwenderprogrammierbare Gatter-Anordnung) erheblich erhöht, wobei das wahlfreie Zugreifen auf den Inhalt dieses Speichers über den I2C-Bus wegen der in der Norm festgesetzten Adressenraumbeschränkung schwierig zu behandeln ist.

[0004] Die Bitübertragungsschicht des I2C-Busses besteht allgemein aus zwei Drähten, die alle Vorrichtungen auf parallele Weise miteinander verbinden.

Die serielle Datenleitung (SDA) übermittelt die zu sendenden Daten auf serielle Weise, und der serielle Takt (SCL) stellt die Taktsignale bereit und bestimmt die Datenrate. Jeder Taktzyklus ermöglicht, dass ein einzelnes Bit übertragen wird. Die START- und die STOPP-Bedingung einer Verbindung werden durch vorgegebene Logikpegel auf beiden Leitungen festgesetzt. Eine Master-Vorrichtung ist diejenige Vorrichtung, die eine Datenübertragung auf dem Bus beginnt, die Taktsignale für die momentane Verbindung erzeugt und die Übertragung abschließt. Eine Slave-Vorrichtung ist die durch einen Master adressierte Vorrichtung. Jede Vorrichtung wird durch eine eindeutige Adresse erkannt und kann entweder als ein Sender oder als ein Empfänger arbeiten. Ein Sender ist diejenige Vorrichtung, die Daten an den Bus sendet. Ein Empfänger ist diejenige Vorrichtung, die Daten von dem Bus empfängt. In der folgenden Beschreibung wird auf die Logikpegel auf dem I2C-Bus als 'hoch' und 'tief' bzw. '1' und '0' Bezug genommen. Die absoluten Pegel der I2C-Bussignale können je nach Anwendung variieren. Wegen des doppeltgerichteten Wesens des I2C-Busses müssen die Eingangs- und Ausgangsports der Vorrichtungen Dreizustands-Ports sein. Dreizustands-Ports können aktiv einen Hoch- oder Tiefpegel mit einer niedrigen Impedanz annehmen, um zu senden, oder für den Bus eine hohe Impedanz repräsentieren, um Daten zu empfangen. Im Bereitschafts- oder ungenutzten Zustand werden die Takt- und Datenleitungen durch geeignete Vorspannmittel auf einen vorgegebenen Pegel gezogen, wobei alle mit dem Bus verbundenen Vorrichtungen für den Bus eine hohe Impedanz repräsentieren. Durch einen Hoch-Tief-Übergang der Datenleitung (SDA), während die Taktleitung (SCL) in einem Hoch-Zustand bleibt, wird eine START-Bedingung festgesetzt. Irgendeinem Befehl für die Datenübertragung muss immer eine START-Bedingung vorangehen. Durch einen Tief-Hoch-Übergang der Datenleitung (SDA), während die Taktleitung (SCL) hoch bleibt, wird eine STOPP-Bedingung festgesetzt. Eine STOPP-Bedingung schließt die Kommunikation zwischen dem Bus-Master und dem Slave ab. Eine erfolgreiche Datenübertragung wird durch ein Quittierungssignal (ACK) angegeben, das durch die empfangende Vorrichtung erzeugt wird. Um dies zu tun, gibt die sendende Vorrichtung, entweder der Master oder ein Slave, je nach der Richtung der Datenübertragung die SDA-Leitung nach dem Senden von 8 Bits Daten frei, d. h., der Vorrichtungsport nimmt eine hohe Impedanz an. Während des 9-ten Taktimpulses zieht der Empfänger den SDA-Draht aktiv tief, um den Empfang der 8 Bits Daten zu quittieren. Irgendeine weitere Fehlerkorrektur muss in den Vorrichtungen getrennt implementiert werden und ist nicht Teil des I2C-Busprotokolls. Die empfangende Vorrichtung tastet die SDA-Leitung auf der steigenden Flanke des SCL-Taktsignals ab. Das SDA-Signal muss während des Tief-Hoch-Übergangs des Taks SCL stabil sein und die Daten auf der SDA-Leitung dürfen

sich nur ändern, wenn die SCL-Leitung tief ist. Eine Master-Vorrichtung kann die Datenübertragung mit einer Slave-Vorrichtung dadurch beginnen, dass sie eine START-Bedingung festsetzt.

[0005] Im Folgenden wird das allgemeine Adressierungsschema einer I2C-Vorrichtung gemäß der Norm für die 7-Bit-Adressierung dargestellt. Die ebenfalls verfügbare 10-Bit-Adressierung ist komplizierter, im Wesentlichen aber ähnlich, sodass auf sie nicht ausführlich Bezug genommen wird. Nachdem die START-Bedingung festgesetzt worden ist, sendet der Master auf der SDA-Leitung eine Slave-Adresse. Die Slave-Adresse besteht aus 8 Bits: Die 7 höchswertigen bilden die Slave-Adresse, wie sie in der I2C-Busnorm festgesetzt ist, und das 8-te Bit oder das niedrigstwertige Bit LSB ist das Lese- oder Schreibbit (R/W), das für eine Leseoperation auf '1' gesetzt wird und für eine Schreiboperation auf '0' gesetzt wird. Falls die Slave-Vorrichtung eine Anpassung zwischen der auf der SDA-Leitung gesendeten Adresse und ihrer eigenen zugewiesenen Adresse identifiziert, erzeugt sie während des 9-ten Bitzyklus auf dem SDA-Draht ein Quittierungssignal.

[0006] Die Datenübertragung einer allgemeinen Schreiboperation folgt dem in [Fig. 1](#) gezeigten Schema. Die Übertragung vom Master zum Slave ist in der Figur durch einen schattierten Hintergrund angegeben und die Übertragung vom Slave zum Master ist durch einen weißen Hintergrund angegeben. Eine Master-Vorrichtung erzeugt die START-Bedingung S, sendet nachfolgend eine Slave-Adresse, bei der das R/W-Bit auf '0' gesetzt ist, 'n' Bytes Daten, und erzeugt schließlich die STOPP-Bedingung P. Während des 9-ten Taktimpulses nach jedem empfangenen Datenbyte erzeugt die Slave-Vorrichtung ein Quittierungssignal A.

[0007] Die Datenübertragung für eine allgemeine Leseoperation folgt dem in [Fig. 2](#) gezeigten Schema. Eine Master-Vorrichtung erzeugt wieder eine START-Bedingung S. Daraufhin sendet die Master-Vorrichtung die Slave-Adresse, bei der das R/W-Bit auf '1' gesetzt ist, und versetzt ihren SDA-Port für den Empfang in einen hochimpedanten Zustand. Der adressierte Slave sendet nun 'n' Bytes Daten. Während der Master Sender ist, erzeugt die Slave-Vorrichtung während des 9-ten Taktimpulses nach jedem empfangenen Datenbyte ein Quittierungssignal A. Während der Slave Sender ist, erzeugt der Master während des 9-ten Taktimpulses nach jedem empfangenen Datenbyte ein Quittierungssignal A. Wenn der Master eine STOPP-Bedingung P erzeugt, wird die Übertragung abgeschlossen.

[0008] Allerdings ist das I2C-Protokoll, wie es in der Norm festgesetzt ist, auf sequentielle Lese- und Schreiboperationen beschränkt, wobei der wahlfreie

Zugriff nicht möglich ist. Wenn ein Speicher, z. B. ein EEPROM, adressiert wird, muss der Speicher nicht nur identifizieren, dass er ausgewählt wurde, sondern benötigt er auch Informationen darüber, welche Speicherzelle gelesen oder beschrieben werden soll. In der gegenwärtigen Norm kann dies durch eine kombinierte Lese/Schreib-Operation ausgeführt werden, in der der EEPROM während der Schreiboperation die zu lesende Adresse empfängt und in einer nachfolgenden Leseoperation die Speicherzelle gelesen wird. Allerdings erfordert diese Prozedur, dass der Bus-Master eine erste START-Bedingung ausgibt, um den Slave für das Schreiben zu adressieren, die Zellenadresse überträgt, daraufhin eine zweite START-Bedingung ausgibt und die Vorrichtung schließlich für das Lesen neu adressiert. Jedes einzelne Byte muss individuell adressiert werden. Dies verringert die tatsächliche Übertragungsgeschwindigkeit des I2C-Busses im Vergleich zu dem theoretischen Wert, da eine Zusatzbelastung der Adressierungsoperationen notwendig ist. Falls mehrere Vorrichtungen mit dem Bus verbunden sind, kann die Buszuteilung die Notwendigkeit einer schnellen Übertragung zusätzlich stören. Die Zuteilung ist eine Prozedur, um sicherzustellen, dass dann, wenn mehr als ein Master gleichzeitig den Bus zu steuern versucht, nur zugelassen wird, dass einer dies tut, wodurch sichergestellt wird, dass Nachrichten nicht beschädigt werden. Einige EEPROM-Hersteller verwenden eine herstellerspezifische Kombination von Schreib- und Leseoperationen, um den wahlfreien Zugriff auf einen EEPROM zu ermöglichen, wobei diese Schemata aber auf kleine Adressenräume, z. B. auf 128 Bytes, beschränkt sind.

[0009] Die Anwendungsrichtlinie AN736 der Microchip Technology Inc. offenbart ein I2C-Netzprotokoll, das für die Umweltüberwachung verwendet wird. Das Netzprotokoll schlägt die Verwendung eines einzelnen Datenlängenbytes, das die Anzahl der zu schreibenden oder zu lesenden Datenbytes angibt, und eines einzelnen Adressenversatzbytes, das die zu lesende oder zu beschreibende Speicheradresse des Slaves angibt, vor.

[0010] CLASSEN, D.; DE FERRY, A.; MAEERS, P.; REZENDE, E.; WEDEMANN, J.: "Standard Forecourt Protocol; Part II; Communication Specification", von der IFSF WORKING GROUP im Internet unter <http://www.naxml.org> veröffentlicht, offenbart eine Datenstruktur für die Adressierung von Zellen in Vorrichtungen, die über eine Busverbindung verbunden sind, wobei die Datenstruktur Informationen über die Länge der Adresseninformationen zum Zusammensetzen der Zellenadresse und über die Länge der der Zelle zugeordneten Daten enthält.

[0011] Somit ist es erwünscht, ein Verfahren zum Adressieren von Zellen in einer Slave-Vorrichtung zu schaffen, das einen echten wahlfreien Zugriff zulässt.

[0012] Das Schema des wahlfreien Zugriffs gemäß der Erfindung überwindet die Adressenraumbeschränkung des I2C-Protokolls und ermöglicht, dass eine Master-Vorrichtung auf Zellen in dem internen Adressenraum einer Slave-Vorrichtung, z. B. eines EEPROM, wahlfrei zugreift. Das erfindungsgemäße Verfahren für die Datenübertragung für Lese- und Schreiboperationen in I2C-Busarchitekturen verwendet die START- und die STOPP-Bedingung, die Quittierungsbitzeugung (ACK-Erzeugung), das Dateneingabeprotokoll und die Slave-Vorrichtungsadressierung in der gleichen Weise, wie es in der I2C-Norm festgesetzt ist. Dies ermöglicht die Kompatibilität der Schreiboperation des Verfahrens für Vorrichtungen, die das erfindungsgemäße Verfahren noch nicht verwenden. Die erfindungsgemäße Leseoperation ist allerdings nicht vollständig mit der Norm kompatibel. Die aus dem Stand der Technik bekannten Lese- und Schreiboperationen werden gemäß dem erfindungsgemäßen Verfahren durch ein 'Datenübertragungsbetriebsart'-Byte ergänzt, das die Anzahl der Adressenbytes, die für das Zusammensetzen der Speicherzellenadresse zu befolgen sind, und die Anzahl der Datenbytes, die der adressierten Speicherzelle zugeordnet sind, spezifiziert. Das Wesen des 'Datenübertragungsbetriebsart'-Bytes macht das erfindungsgemäße Verfahren orthogonal und skalierbar. Orthogonaler Zugriff bedeutet, dass Lese- und Schreiboperationen eine ähnliche Struktur und Länge haben. Dies kann die Programmierung des Zugriffs auf die Vorrichtungen erleichtern. Skalierbarkeit bedeutet, dass der Adressenraum des Speichers von einer recht kleinen Größe, z. B. 256 Zellen bei Verwendung von 1 Byte für die Adressierung, bis zu größeren Anzahlen von Zellen, z. B. 16 Ei-Zellen bei Verwendung von 8 Bytes für die Adressierung, variieren kann. 'Ei' (binäres Exa, lies Exbi) ist das Präfix für binäre Multiplikationen, die von den SI-Einheiten für den Faktor 2 hoch 60 abgeleitet sind. Die Skalierbarkeit verringert den Busverkehr je nach dem zu adressierenden Adressenraum und der Menge der einer Speicherzelle zugeordneten Daten vorteilhaft auf ein Minimum, während sie maximale Flexibilität aufrechterhält. Das erfindungsgemäße Verfahren ermöglicht vorteilhaft die Manipulation einzelner Zellen in großen Speichern, was z. B. häufig erforderlich ist, wenn nur wenige Parameter aus einer größeren Menge von Parametern geändert werden müssen oder wenn eindeutige laufende Nummern Teil eines ansonsten gleichen Speicherinhalts von Vorrichtungen sein müssen.

[0013] Im Folgenden wird die Erfindung ausführlich anhand der Zeichnung beschrieben. In der Zeichnung zeigt

[0014] [Fig. 1](#) die allgemeine Adressierung einer I2C-Vorrichtung für den Schreibzugriff gemäß der I2C-Busnorm;

[0015] [Fig. 2](#) die allgemeine Adressierung einer I2C-Vorrichtung für den Lesezugriff gemäß der I2C-Busnorm;

[0016] [Fig. 3](#) die Adressierung einer I2C-Vorrichtung für eine Leseoperation gemäß dem erfindungsgemäßen Verfahren;

[0017] [Fig. 4](#) die Adressierung einer I2C-Vorrichtung für eine Schreiboperation gemäß dem erfindungsgemäßen Verfahren;

[0018] [Fig. 5](#) eine allgemeine Darstellung eines 'Datenübertragungsbetriebsart'-Bytes; und

[0019] [Fig. 6](#) eine Übersicht möglicher Adressen- und Datenlängen gemäß der Erfindung.

[0020] [Fig. 1](#) und [Fig. 2](#) sind oben im Abschnitt Stand der Technik beschrieben worden und auf sie wird nicht wieder Bezug genommen.

[0021] Gleiche oder ähnliche Elemente sind in den Figuren mit den gleichen Bezugszeichen bezeichnet.

[0022] [Fig. 3](#) zeigt das Datenübertragungsschema für eine Leseoperation gemäß der Erfindung. Eine Master-Vorrichtung erzeugt eine START-Bedingung S und sendet eine Slave-Adresse, bei der das R/W-Bit auf '1' gesetzt ist. Danach sendet der Master ein 'Datenübertragungsbetriebsart'-Byte. Das 'Datenübertragungsbetriebsart'-Byte spezifiziert die Anzahl von Adressenbytes (m), die eine Speicherzellenadresse bilden, und die Anzahl von Datenbytes (n), die die Inhalte jeder Speicherzelle bilden. Daraufhin setzt die Master-Vorrichtung die Übertragung fort, indem sie die angekündigte Anzahl von 'm' Adressenbytes sendet. Die Slave-Vorrichtung antwortet damit, dass sie die diesem Platz entsprechenden angeforderten 'n' Datenbytes sendet. Wenn die Master-Vorrichtung eine STOPP-Bedingung P erzeugt, wird die Übertragung abgeschlossen. Durch den Empfänger, entweder durch den Master oder durch den Slave, wird wie in einer Busverbindung der I2C-Norm während des 9-ten Taktimpulses, nachdem ein Datenbyte empfangen worden ist, das Quittierungssignal A erzeugt.

[0023] In [Fig. 4](#) ist das Datenübertragungsschema für eine Schreiboperation gemäß der Erfindung gezeigt. Die Master-Vorrichtung erzeugt eine START-Bedingung S und sendet die Slave-Adresse, bei der das R/W-Bit auf '0' gesetzt ist. Danach sendet der Master ein 'Datenübertragungsbetriebsart'-Byte, wo er die Anzahl von Adressenbytes 'm', die eine Speicherzellenadresse bilden, und die Anzahl der Datenbytes 'n', die die Inhalte jeder Speicherzelle bilden, spezifiziert. Daraufhin sendet der Master die angekündigten 'm' Adressenbytes, die den zu beschreibenden Speicherplatz spezifizieren, und die 'n' Datenbytes, die in den spezifizierten Speicherplatz ge-

schrieben werden sollen. Wenn der Master eine STOPP-Bedingung P erzeugt, wird die Übertragung abgeschlossen. Wie in der I2C-Norm festgesetzt ist, wird durch den Slave während der Schreiboperation während des 9-ten Taktimpulses, nachdem jedes Datenbyte empfangen worden ist, das Quittierungssignal A gesendet.

[0024] Es wird angemerkt, dass der Zyklus Adressen-Daten zwischen dem Master und dem Slave so oft wie erforderlich wiederholt werden kann.

[0025] [Fig. 5](#) zeigt beispielhaft ein 'Datenübertragungsbetriebsart'-Byte. Das Format des 'Datenübertragungsbetriebsart'-Bytes ist sowohl für Lese- als auch für Schreiboperationen dasselbe. Die Bits 7 bis 0 des 'Datenübertragungsbetriebsart'-Bytes sind wie folgt definiert:

die Bits 7-5, mit den Bezugnahmen R2-R0 bezeichnet, sind zur zukünftigen Verwendung reserviert.

die Bits 4-2, die mit der Bezugnahme A2, A1, A0 bezeichnet sind, geben die Anzahl der Adressenbytes an, die in der Lese/Schreib-Übertragung zwischen den Master- und Slave-Vorrichtungen verwendet werden. [Fig. 6](#), Tabelle 1, zeigt für jede Einstellung von A2, A1, A0 die Anzahl der Adressenbytes.

die Bits 1-0, die mit der Bezugnahme D1, D0 bezeichnet sind, geben die Anzahl der Datenbytes an, die in der Lese/Schreib-Übertragung zwischen den Master- und Slave-Vorrichtungen verwendet werden sollen.

[Fig. 6](#), Tabelle 2, zeigt für jede Einstellung von D1, D0 die Anzahl der Datenbytes.

[0026] Obgleich die Erfindung anhand des I2C-Busses beschrieben worden ist, ist sie nicht auf diesen Bustyp beschränkt. Es ist denkbar, das erfindungsähnliche Verfahren für irgendeine Kommunikation zwischen Vorrichtungen, entweder einfach- oder doppeltgerichtet, und unabhängig von der Anzahl der Verbindungsdrähte zu verwenden.

Patentansprüche

1. Verfahren zum Zugreifen auf Zellen in Vorrichtungen, die über eine Busverbindung mit wenigstens einer Datenleitung, die Datensignale übermittelt, und mit wenigstens einer Takteleitung, die Taktsignale übermittelt, verbunden sind, wobei die mit dem Bus verbundenen Vorrichtungen durch Vorrichtungsadressen identifiziert sind, wobei eine erste Vorrichtung eine Startbedingung (S) zum Aufbauen einer Busverbindung herbeiführt, wodurch sie für die folgende Kommunikation zu einem Master wird, wobei der Master eine zweite Vorrichtung anhand ihrer Vorrichtungsadresse auswählt, wobei die zweite Vorrichtung für die folgende Kommunikation zu einem Slave wird, wobei der Master die Übertragungsbetriebsart Lesen oder Schreiben (R/W) auswählt und wobei der Master eine Stopp-Bedingung (P) herbeiführt, die die Busverbindung nach erfolgreicher Kommunikation

abschließt, **dadurch gekennzeichnet**, dass der Master nach Adressieren der Slaves ein Datenartsignal, wobei das Datenartsignal Informationen über die Anzahl der Zellenadressenbytes und über die Anzahl der Datenbytes, die nachfolgend gesendet werden sollen, enthält, gefolgt von einem Zellenadresssignal (ADD()) sendet, und dadurch, das der Master gemäß dem Datenartsignal Daten (DATA()) an den Slave sendet und/oder von ihm empfängt.

2. Verfahren nach Anspruch 1, bei dem das Schreiben von Daten (DATA()) zu dem Slave und/oder das Lesen von Daten von ihm auf das Senden des Datenartsignals und des Zelladresssignals (ADD()) folgt.

3. Verfahren nach Anspruch 1, bei dem jede jeweilige Empfangsvorrichtung nach einer vorgegebenen Anzahl empfangener Bits ein Quittierungssignal (A) ausgibt.

Es folgen 2 Blatt Zeichnungen

Anhängende Zeichnungen

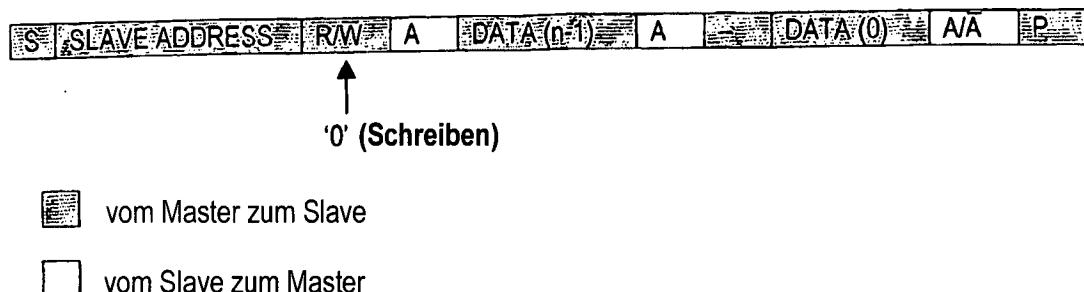


Fig. 1 Stand der Technik

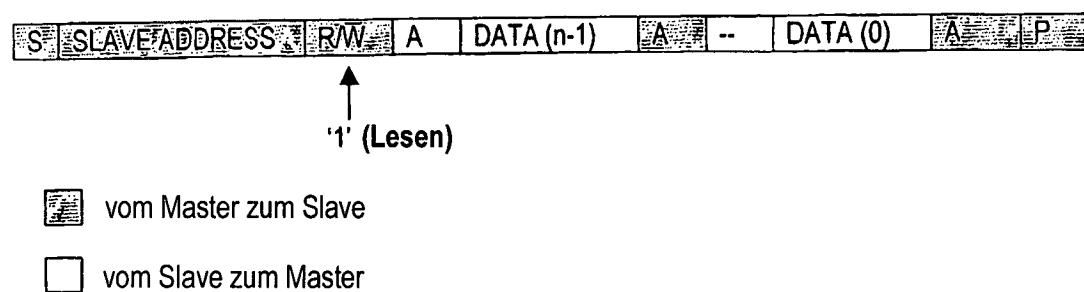


Fig. 2 Stand der Technik

Bit Nr.	7	6	5	4	3	2	1	0
Beschreibung	R2	R1	R0	A2	A1	A0	D1	D0

Fig. 5

A2 A1 A0	Anz. Adressenbytes	Adressenraum (Zellen)
000	1	256
001	2	64 Ki
010	3	16 Mi
011	4	4 Gi
100	5	1 Ti
101	6	256 Ti
110	7	64 Pi
111	8	16 Ei

Tabelle 1

D1 D0	Anz. Datenbytes	Betriebsart
00	1	Byte
01	2	Doppelbyte
10	4	Wort
11	8	Doppelwort

Tabelle 2

Fig. 6

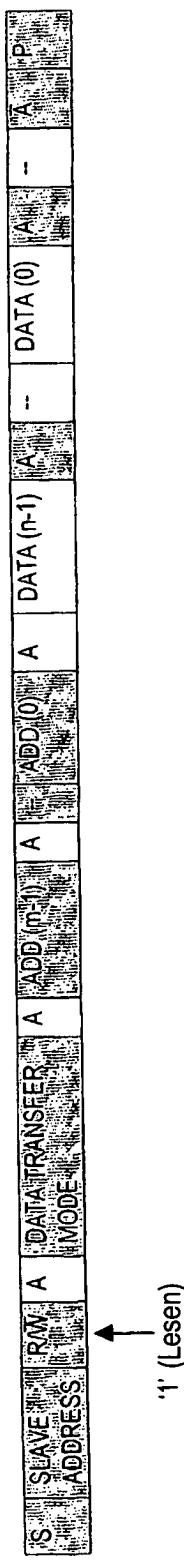


Fig. 3

- vom Master zum Slave
- vom Slave zum Master



Fig. 4

- vom Master zum Slave
- vom Slave zum Master