



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년01월29일

(11) 등록번호 10-1357178

(24) 등록일자 2014년01월23일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2012-7003651

(22) 출원일자(국제) 2010년07월09일

심사청구일자 2012년02월23일

(85) 번역문제출일자 2012년02월10일

(65) 공개번호 10-2012-0034119

(43) 공개일자 2012년04월09일

(86) 국제출원번호 PCT/US2010/041545

(87) 국제공개번호 WO 2011/008651

국제공개일자 2011년01월20일

(30) 우선권주장

12/501,533 2009년07월13일 미국(US)

(56) 선행기술조사문헌

US20050239262 A1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

시게이트 테크놀로지 엘엘씨

미국 캘리포니아 95104 쿠퍼티노 사우쓰 디 엔자  
블러바드 10200

(72) 발명자

로엘로프스, 안드레아스

미국 55346 미네소타 애덴 프레리 보이드 애브뉴  
7017

시게르트, 마르쿠스

미국 55409 미네소타 미네아폴리스 콜팩 애브뉴  
사우쓰 4333

(뒷면에 계속)

(74) 대리인

특허법인 남앤드남

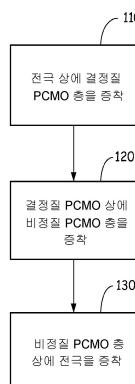
전체 청구항 수 : 총 18 항

심사관 : 오순영

(54) 발명의 명칭 개선된 스위칭을 갖는 PCMO 비휘발성 저항성 메모리

**(57) 요약**

저항성 감지 메모리 셀은 결정질 프라세오디뮴 칼슘 망간 산화물 층과 결정질 프라세오디뮴 칼슘 망간 산화물 층 상에 배치되어 저항성 감지 메모리 스택을 형성하는 비정질 프라세오디뮴 칼슘 망간 산화물 층을 포함한다. 저항성 감지 메모리 스택에 의해 제 1 전극과 제 2 전극이 분리된다. 저항성 감지 메모리 셀은 결정질 프라세오디뮴 칼슘 망간 산화물 층과 비정질 프라세오디뮴 칼슘 망간 산화물 층을 분리하는 산소 확산 장벽층을 추가로 포함할 수 있다. 방법들은 결정질 프라세오디뮴 칼슘 망간 산화물 층 상에 배치된 비정질 프라세오디뮴 칼슘 망간 산화물을 증착하여 저항성 감지 메모리 스택을 형성하는 단계를 포함한다.

**대 표 도** - 도5

(72) 발명자

**베누고팔란, 바이트야나탄**

미국 55437 미네소타 블루밍턴 해리슨 로드 9851  
아파트먼트 308

**웨이, 티안**

미국 55437 미네소타 블루밍턴 웨스트 98 스트리트  
4101 #202

**안, 용철**

미국 55122 미네소타 이건 오크브룩크 웨이 1685

---

**무랄리크리쉬난, 발라크리쉬난**

미국 55347 미네소타 에덴 프레리 스펜서 스위트  
피 레인 13159

**올레, 혜인오엔**

미국 55346 미네소타 에덴 프레리 파크 테라스 드  
라이브 15824

## 특허청구의 범위

### 청구항 1

저항성 감지 메모리 셀로서,  
결정질 프라세오디뮴 칼슘 망간 산화물 층;  
상기 결정질 프라세오디뮴 칼슘 망간 산화물 층 상에 배치되어 저항성 감지 메모리 스택을 형성하는 비정질 프라세오디뮴 칼슘 망간 산화물 층;  
상기 결정질 프라세오디뮴 칼슘 망간 산화물 층과 상기 비정질 프라세오디뮴 칼슘 망간 산화물 층을 분리하는 산소 확산 장벽층; 및  
상기 저항성 감지 메모리 스택에 의해 분리되는 제 1 전극 및 제 2 전극을 포함하는,  
저항성 감지 메모리 셀.

### 청구항 2

제 1 항에 있어서,  
상기 결정질 프라세오디뮴 칼슘 망간 산화물 층은 10 내지 75 나노미터 범위의 두께를 갖고, 상기 비정질 프라세오디뮴 칼슘 망간 산화물 층은 1 내지 7 나노미터 범위의 두께를 갖는,  
저항성 감지 메모리 셀.

### 청구항 3

제 1 항에 있어서,  
상기 제 1 전극 및 상기 제 2 전극은 귀금속들로 형성되는,  
저항성 감지 메모리 셀.

### 청구항 4

삭제

### 청구항 5

제 1 항에 있어서,  
상기 산소 확산 장벽층은 금속성 산소 확산 장벽층인,  
저항성 감지 메모리 셀.

### 청구항 6

제 5 항에 있어서,  
상기 산소 확산 장벽층은 1 내지 10 나노미터 범위의 두께를 갖는,  
저항성 감지 메모리 셀.

### 청구항 7

제 5 항에 있어서,  
상기 산소 확산 장벽층은 백금 층인,  
저항성 감지 메모리 셀.

### 청구항 8

제 1 항에 있어서,

상기 프라세오디뮴 칼슘 망간 산화물은  $Pr_{1-x}Ca_xMnO_3$ 을 포함하고,

X는 0.2 내지 0.6의 범위에 있는,

저항성 감지 메모리 셀.

#### 청구항 9

제 1 항에 있어서,

상기 산소 확산 장벽층은 전도성 산화물 산소 확산 장벽층인,

저항성 감지 메모리 셀.

#### 청구항 10

비휘발성 메모리 셀로서,

결정질 프라세오디뮴 칼슘 망간 산화물 층;

비정질 프라세오디뮴 칼슘 망간 산화물 층;

상기 결정질 프라세오디뮴 칼슘 망간 산화물 층과 상기 비정질 프라세오디뮴 칼슘 망간 산화물 층을 분리하며, 저항성 감지 메모리 스택을 형성하는 산소 확산 장벽층 – 상기 산소 확산 장벽층은 전기 바이어스에 의해 산소 이온들이 상기 산소 확산 장벽층을 통과하여 이동하게 하지만, 전기 바이어스가 없을 때는 상기 산소 확산 장벽층을 통한 산소 또는 산소 이온 전달을 억제함 –; 및

상기 저항성 감지 메모리 스택에 의해 분리되는 제 1 전극 및 제 2 전극을 포함하는,

비휘발성 메모리 셀.

#### 청구항 11

제 10 항에 있어서,

상기 결정질 프라세오디뮴 칼슘 망간 산화물 층은 10 내지 75 나노미터 범위의 두께를 갖고, 상기 비정질 프라세오디뮴 칼슘 망간 산화물 층은 1 내지 7 나노미터 범위의 두께를 갖는,

비휘발성 메모리 셀.

#### 청구항 12

제 11 항에 있어서,

상기 산소 확산 장벽층은 1 내지 10 나노미터 범위의 두께를 갖는,

비휘발성 메모리 셀.

#### 청구항 13

제 10 항에 있어서,

상기 제 1 전극 및 상기 제 2 전극은 텉스텐, 니켈, 몰리브덴, 백금, 금, 팔라듐, 로듐, 및 이들의 합금들, 혼합물들 또는 조합물들로 형성되는,

비휘발성 메모리 셀.

#### 청구항 14

제 10 항에 있어서,

상기 산소 확산 장벽층은 백금을 포함하는 금속성 산소 확산 장벽층인,

비휘발성 메모리 셀.

**청구항 15**

제 10 항에 있어서,  
상기 프라세오디뮴 칼슘 망간 산화물은  $Pr_{1-x}Ca_xMnO_3$ 을 포함하고,  
X는 0.2 내지 0.6의 범위에 있는,  
비휘발성 메모리 셀.

**청구항 16**

제 10 항에 있어서,  
상기 산소 확산 장벽층은  $IrO$ ,  $RuO$ ,  $SrRuO_3$ , 란탄 칼슘 망간 산화물, 또는 이들의 조합물들을 포함하는 전도성 산화물 산소 확산 장벽층인,  
비휘발성 메모리 셀.

**청구항 17**

저항성 감지 메모리 셀을 형성하기 위한 방법으로서,  
제 1 전극 상에 결정질 프라세오디뮴 칼슘 망간 산화물 층을 증착하는 단계;  
상기 결정질 프라세오디뮴 칼슘 망간 산화물 층 상에 산소 확산 장벽층을 증착하는 단계;  
상기 산소 확산 장벽층 상에 비정질 프라세오디뮴 칼슘 망간 산화물 층을 증착하는 단계; 및  
상기 비정질 프라세오디뮴 칼슘 망간 산화물 층 상에 제 2 전극을 증착하여, 저항성 감지 메모리 셀을 형성하는 단계를 포함하는,  
저항성 감지 메모리 셀을 형성하기 위한 방법.

**청구항 18**

제 17 항에 있어서,  
상기 결정질 프라세오디뮴 칼슘 망간 산화물은 적어도  $400^{\circ}C$ 의 온도로 증착되는,  
저항성 감지 메모리 셀을 형성하기 위한 방법.

**청구항 19**

제 17 항에 있어서,  
상기 비정질 프라세오디뮴 칼슘 망간 산화물은  $400^{\circ}C$  미만의 온도로 증착되는,  
저항성 감지 메모리 셀을 형성하기 위한 방법.

**청구항 20**

삭제

**명세서****기술 분야**

[0001] 본 개시는 비휘발성의 저항성 감지 메모리에 관한 것이다.

**배경기술**

[0002] 퍼베이시브(pervasive) 컴퓨팅 및 핸드헬드/통신 산업의 고속 성장은 고용량 비휘발성 고체 데이터 저장 디바이스들에 대한 폭발적으로 증가하는 수요를 발생시켰다. 전자들이 터널링하는 부동 게이트를 이용하는 플래시 메모리와 같은 현재 기술은 느린 액세스 속도, 제한된 내구력 및 통합 어려움과 같은 여러 가지 단점들을 갖고 있

다. 플래시 메모리(NAND 또는 NOR)는 또한 상당한 스케일링(scaling) 문제들에 직면하고 있다.

[0003] 저항성 감지 메모리들은 고(high) 또는 저(low) 저항 상태로 데이터 비트들을 저장함으로써 향후 비휘발성 및 범용 메모리에 대한 후보들의 가능성을 보여주고 있다. 이러한 하나의 메모리인 저항성 RAM(RRAM)은 전류 또는 전압의 인가에 의해 (예를 들어, 전도성 필라멘트 또는 인터페이스 효과 변동의 유무로) 고 저항 상태와 저 저항 상태 사이를 스위칭할 수 있는 가변 저항 층을 갖는다.

[0004] 그러나 저항성 감지 메모리가 더 양호한 스위칭 전류 특성들을 포함한 생산 단계에 진입하기 전에 많은 수율 제약(yield-limiting) 요인들이 극복되어야 한다.

### 발명의 내용

[0005] 본 개시는 칼슘 도핑된 프라세오디뮴의 망가나이트 또는 이후 PCMO로 지칭되는 프라세오디뮴 칼슘 망간 산화물(praseodymium calcium manganese oxide)의 이중층을 포함하는 비휘발성의 저항성 감지 메모리에 관한 것이다. 특히, 본 개시는 결정질(crystalline) PCMO 층과 결정질 PCMO 층 상에 배치되어 저항성 감지 메모리 스택을 형성하는 비정질(amorphous) PCMO 층을 포함하는 저항 메모리 셀들에 관한 것이다. 몇 가지 실시예들에서, 저항성 감지 메모리 스택은 결정질 PCMO 층과 비정질 PCMO 층을 분리하는 산소 확산 장벽층을 포함한다.

[0006] 한 예시적인 실시예에서, 저항성 감지 메모리 셀은 결정질 PCMO 층과 결정질 PCMO 층 상에 배치되어 저항성 감지 메모리 스택을 형성하는 비정질 PCMO 층을 포함한다. 저항성 감지 메모리 스택에 의해 제 1 전극과 제 2 전극이 분리된다. 저항성 감지 메모리 셀은 결정질 PCMO 층과 비정질 PCMO 층을 분리하는 산소 확산 장벽층을 추가로 포함할 수 있다.

[0007] 이러한 그리고 다양한 다른 특징들과 장점들은 다음의 상세한 설명을 읽고 명백해질 것이다.

### 도면의 간단한 설명

[0008] 개시는 첨부 도면들과 관련하여 개시의 다양한 실시예들의 다음의 상세한 설명을 고려하여 더욱 완벽히 이해될 수 있다.

도 1은 예시적인 비휘발성의 저항성 감지 메모리 셀의 개략적인 측면도이다.

도 2는 다른 예시적인 비휘발성의 저항성 감지 메모리 셀의 개략적인 측면도이다.

도 3은 반도체 트랜지스터를 포함하는 예시적인 비휘발성의 저항성 감지 메모리 셀의 개략도이다.

도 4는 예시적인 비휘발성의 저항성 감지 메모리 어레이의 개략도이다.

도 5는 비휘발성의 저항성 감지 메모리 셀을 형성하는 예시적인 방법의 흐름도이다.

도 6a - 도 6c는 다양한 제조 단계들에서의 비휘발성의 저항성 감지 메모리 셀의 개략적인 단면도들이다.

도 7은 비휘발성의 저항성 감지 메모리 셀을 형성하는 다른 예시적인 방법의 흐름도이다.

도 8a - 도 8d는 다양한 제조 단계들에서의 다른 비휘발성의 저항성 감지 메모리 셀의 개략적인 단면도들이다.

도면들이 반드시 스케일링되는 것은 아니다. 도면들에 사용된 같은 번호들은 동일한 컴포넌트들을 지칭한다. 그러나 주어진 도면에서 컴포넌트를 지칭하기 위한 번호의 사용은 동일한 번호로 표기된 다른 도면의 컴포넌트를 한정하도록 의도된 것은 아님이 이해될 것이다.

### 발명을 실시하기 위한 구체적인 내용

[0009] 다음 설명에서, 본 개시의 일부를 형성하며 몇 가지 특정 실시예들이 예로서 도시된 첨부 도면들의 세트에 대한 참조가 이루어진다. 본 개시의 범위 또는 사상을 벗어나지 않으면서 다른 실시예들이 고려되며 수행될 수도 있다는 것이 이해될 것이다. 따라서 다음의 상세한 설명은 한정하는 의미로 행해지는 것은 아니다.

[0010] 달리 표시되지 않는 한, 명세서 및 청구항들에 사용되는 피처(feature) 크기들, 수량들 및 물리적 특성들을 표현하는 모든 숫자들은 모든 경우들에 "대략"이라는 용어로 수정되는 것으로 이해되어야 한다. 이에 따라, 반대로 지시되지 않는 한, 상술한 명세서 및 첨부된 청구항들에서 언급된 숫자 파라미터들은 본원에 개시된 교지들을 이용하는 해당 기술분야의 당업자들에 의해 획득되도록 시도되는 원하는 속성들에 따라 달라질 수 있는 근사치들이다.

- [0011] 본 명세서 및 첨부된 청구항들에서 사용되는 바와 같이, 단수 형태들("a", "an", "the")은 내용이 명확하게 다르게 지시하지 않는 한, 복수의 지시 대상들을 갖는 실시예들을 포함한다. 본 명세서 및 첨부된 청구항들에서 사용되는 바와 같이, "또는"이라는 용어는 내용이 명확하게 다르게 지시하지 않는 한, 일반적으로 "및/또는"을 포함하는 의미로 사용된다.
- [0012] 이에 국한된 것은 아니지만, "하부", "상부", "밑", "아래", "위" 및 "맨 위"를 포함하는 공간 관련 용어들은 여기서 사용된다면, 설명의 편의상 다른 엘리먼트에 대한 엘리먼트(들)의 공간적 관계들을 설명하는데 사용된다. 이러한 공간 관련 용어들은 도면들에 도시되고 여기서 설명되는 특정 배향(orientation)들 외에도 사용 또는 동작중인 디바이스의 다른 배향들을 포함한다. 예를 들어, 도면들에 도시된 셀이 돌아가거나 뒤집힌다면, 다른 엘리먼트들 아래 또는 밑으로 이전에 설명된 부분들은 이러한 다른 엘리먼트들 위가 된다.
- [0013] 여기서 사용되는 바와 같이, 예를 들어 엘리먼트, 컴포넌트 또는 층이 다른 엘리먼트, 컴포넌트 또는 층 "상"에 있거나, 이들"에 접속되거나", 이들"과 연결되거나" 또는 이들"과 접촉하는" 것으로 설명되는 경우, 이는 예를 들어 특정 엘리먼트, 컴포넌트 또는 층 바로 위에 있을 수 있거나, 이들에 직접 접속될 수 있거나, 이들과 직접 연결될 수 있거나, 이들과 직접 접촉할 수 있거나, 또는 개체 엘리먼트들, 컴포넌트들 또는 계층들이 이러한 특정 엘리먼트, 컴포넌트 또는 층 상에 있거나, 이들과 접속, 연결 또는 접촉할 수도 있다. 예를 들어, 엘리먼트, 컴포넌트 또는 층이 다른 엘리먼트 "상에 직접", 다른 엘리먼트"에 직접 접속", 다른 엘리먼트"와 직접 연결", 또는 다른 엘리먼트"와 직접 접촉"으로 시작하는 것으로 지칭되는 경우에는, 예를 들어 개체 엘리먼트들, 컴포넌트들 또는 층들이 없다.
- [0014] 본 개시는 칼슘 도핑된 프라세오디뮴 망가나이트나 프라세오디뮴 칼슘 망간 산화물 또는 PCMO(예를 들어,  $Pr_{1-x}Ca_xMnO_3$ )의 이중층을 포함하는 비휘발성의 저항성 감지 메모리에 관한 것이다. 특히, 본 개시는 결정질 PCMO 층과 결정질 PCMO 층 상에 배치되어 저항성 감지 메모리 스택을 형성하는 비정질 PCMO 층을 포함하는 저항 메모리 셀들에 관한 것이다. 일부 실시예들에서, 저항성 감지 메모리 스택은 결정질 PCMO 층과 비정질 PCMO 층을 분리하는 산소 확산 장벽층을 포함한다. 이러한 디바이스들은 더 낮은 전압들(약 1볼트) 또는 전류들에서 스위칭하며 다른 단일 층 PCMO 디바이스들보다 더 대칭적인 스위칭 특성들을 제공하는 것으로 보여져 왔다. 또한, 산소 확산 장벽층의 포함은 메모리 셀의 데이터 상태 유지를 개선하는 것으로 보여져 왔다. 본 개시는 그렇게 한정적이진 않지만, 아래 제공되는 예시들의 논의를 통해 개시의 다양한 양상들의 이해가 얻어질 것이다.
- [0015] 도 1은 예시적인 비휘발성의 저항성 감지 메모리 셀(10)의 개략적인 측면도이다. 저항성 감지 메모리 셀(10)은 결정질 PCMO 층(16) 및 이 결정질 PCMO 층(16) 상에 배치되어 저항성 감지 메모리 스택(18)을 형성하는 비정질 PCMO 층(15)을 포함한다. 저항성 감지 메모리 스택(18)에 의해 제 1 전극(12)과 제 2 전극(14)이 분리된다.
- [0016] PCMO라는 용어는  $Pr_{1-x}Ca_xMnO_3$ (여기서 X는 일부 실시예들에서는 0.2 내지 0.6 범위에 있다)을 지칭한다. 귀금속이나 산화물 전극들 사이에 증착된 이러한 재료는 저항성 감지 메모리 재료에 대한 유망한 후보이다. 이 재료는 필라멘트-형성 RRAM과는 대조적으로 인터페이스 효과 RRAM을 제공한다. 인터페이스 효과 RRAM 재료들은 둘 이상의 재료들을 함유하는 복합 금속 산화물들이며 필라멘트-형성 RRAM과는 대조적으로 이러한 재료들에는 어떠한 초기 형성도 요구되지 않는다. 한 방향으로 재료를 통해 전류를 인가하는 것은 재료를 고 저항 상태가 되게 한다. 반대 방향으로 재료를 통해 전류를 인가하는 것은 재료를 저 저항 상태가 되게 한다. 그러나 이 재료는 다수의 약점들을 겪는 것으로 나타난다. 이 재료는 3 내지 5 볼트 범위의 상대적으로 높은 스위칭 전압을 필요로 하며, 둘째로 이 재료는 한 방향에서의 스위칭 전압이 반대 방향의 스위칭 전압보다 50% 더 큰, 비대칭 스위칭을 갖는 것으로 나타낸다. 또한, 이 재료는 저 데이터 상태 유지 지속 기간을 보이는 것으로 나타난다. 여기서 설명되는 저항성 감지 메모리 셀 구성들은 이러한 결함들을 극복하는 것으로 나타난다.
- [0017] PCMO 재료가 400°C보다 높은 온도에서 증착되면, PCMO 재료는 결정 구조를 형성한다. 결정 구조는 PCMO 재료의 전기 전도성을 향상시킨다. PCMO 재료가 400°C 미만 또는 375°C 미만 또는 350°C 미만의 온도에서 증착되면, PCMO 재료는 비정질이다. 비정질 PCMO 재료는 결정질 PCMO 재료보다 더 양호한 전기 절연체이다.
- [0018] 결정질 PCMO 재료는 비정질 PCMO 재료에 대한 산소 공급의 기능을 추가로 하는 산화물 전도체 역할을 한다. 비정질 PCMO 재료는 비정질 PCMO 재료의 산소 농도에 의해 터널 장벽의 높이 또는 두께가 제어되는 터널 장벽을 형성한다. 많은 실시예들에서, 비정질 PCMO는 1 내지 10 나노미터 또는 1 내지 7 나노미터 또는 1 내지 5 나노미터 범위의 두께를 갖고, 결정질 PCMO 재료는 10 내지 100 나노미터 또는 10 내지 75 나노미터 또는 20 내지 50 나노미터 범위의 두께를 갖는다. PCMO 층들 사이의 산소 이온 이동은 메모리 셀이 고 저항 데이터 상태와 저 저항 데이터 상태 사이를 스위칭하게 한다.

- [0019] 전극들(12, 14)은 임의의 유용한 불활성 및 전도성 재료로 형성될 수 있다. 많은 실시예들에서, 전극들(12, 14)은 귀금속 또는 불활성 금속, 예를 들어 텅스텐(W), 니켈(Ni), 몰리브덴(Mo), 백금(Pt), 금(Au), 팔라듐(Pd) 및 로듐(Rh)으로 형성된다. 제 1 전극(12)은 기판 상에 형성될 수 있지만, 반드시 그려할 필요는 없다. 기판은, 이용된다면, 실리콘, 실리콘과 게르마늄의 혼합물, 및 다른 유사한 재료들을 포함할 수 있다. 도 1과 도 2는 선택적인 기판을 도시하지 않는다.
- [0020] 도 2는 다른 예시적인 비휘발성의 저항성 감지 메모리 셀(10)의 개략적인 측면도이다. 저항성 감지 메모리 셀 또는 비휘발성 메모리 셀(10)은 결정질 PCMO 층(16), 비정질 PCMO 층(15), 그리고 결정질 PCMO 층(16)과 비정질 PCMO 층(15)을 분리하는 산소 확산 장벽층(17)을 포함하여, 저항성 감지 메모리 스택(18)을 형성한다. 저항성 감지 메모리 스택(18)에 의해 제 1 전극(12)과 제 2 전극(14)이 분리된다.
- [0021] 산소 확산 장벽층(17)은 메모리 셀의 열적 안정성을 향상시킨다. 산소 확산 장벽층(17)은 산소 이온들이 전기 바이어스가 있을 때는 산소 확산 장벽층(17)을 통과하여 이동하게 하지만, 전기 바이어스가 없을 때는 산소 확산 장벽층(17)을 통한 산소 또는 산소 이온 전달을 억제하는 임의의 유용한 재료로 형성될 수 있다. 유용한 산소 확산 장벽층(17) 재료들의 예시들로는 금속들이나 전도성 산화물들을 포함한다. 금속성 산소 확산 장벽층 재료는 예를 들어 백금을 포함한다. 전도성 산화물 산소 확산 장벽층 재료는 예를 들어, IrO<sub>x</sub>, RuO<sub>x</sub>, SrRuO<sub>3</sub>, 란탄 칼슘 망간 산화물(즉, LCMO) 등을 포함한다. 산소 확산 장벽층(17)은 임의의 유용한 두께를 가질 수 있다. 많은 실시예들에서, 산소 확산 장벽층(17)은 1 내지 10 나노미터 또는 2 내지 10 나노미터 범위의 두께를 갖는다.
- [0022] 전압 전위가 저항성 감지 메모리 스택(18)에 걸쳐 제 1 방향으로 인가되면, 산소 이온들은 결정질 PCMO 층(16)으로부터 산소 확산 장벽층(17)을 통과하여 비정질 PCMO 층(15)까지 구동된다. 이 프로세스는 필드 구동된다. 결정질 PCMO 층(16)과 비정질 PCMO 층(15)의 인접한 표면들 사이의 산소 이온들의 농도 기울기에 의해 산소 확산 장벽층(17)을 통한 확산이 구동된다. 전압이 제거되면, 이제 비정질 PCMO 층(15)의 산소는 산소 확산 장벽 층(17)을 통해 구동되지 않고, 어떠한 산소 기울기도 존재하지 않을 것이다. 이것은 산소 확산 장벽층(17)을 통한 산소 확산을 감소시키고 비휘발성의 저항성 감지 메모리 셀(10)의 메모리 유지력을 향상시킨다.
- [0023] 도 3은 반도체 트랜지스터(22)를 포함하는 예시적인 비휘발성의 저항성 감지 메모리 셀(20)의 개략도이다. 메모리 셀 또는 유닛(20)은 전기 전도 엘리먼트(24)를 통해 반도체 트랜지스터(22)에 전기적으로 연결되는, 여기서 설명되는 것과 같은, 저항성 감지 메모리 셀(10)을 포함한다. 트랜지스터(22)는 (예를 들어, n-도핑된 영역들로 예시된) 도핑된 영역들 및 도핑된 영역들 사이의 (예를 들어, p-도핑된 채널 영역으로 예시된) 채널 영역을 갖는 반도체 기판(21)을 포함한다. 트랜지스터(22)는 워드 라인(WL)에 전기적으로 연결되어 비트 라인(BL)으로부터 메모리 셀(10)로의 선택 및 전류 흐름을 가능하게 하는 게이트(26)를 포함한다. 저항성 감지 메모리 유닛들(20)의 어레이가 반도체 제조 기술들을 이용하여 반도체 기판 상에 형성될 수 있다.
- [0024] 도 4는 예시적인 비휘발성의 저항성 감지 어레이(30)의 개략도이다. 메모리 어레이(30)는, 교차점 어레이를 형성하는 다수의 워드 라인들(WL)과 다수의 비트 라인들(BL)을 포함한다. 각각의 교차점에서, 여기서 설명된 것과 같은, 저항성 감지 메모리 셀(10)은 워드 라인(WL)과 비트 라인(BL)에 전기적으로 연결된다. (도시되지 않은) 선택 디바이스가 각 교차점에 또는 각각의 워드 라인(WL) 및 비트 라인(BL)에 존재할 수 있다.
- [0025] 도 5는 비휘발성의 저항성 감지 메모리 셀을 형성하는 예시적인 방법의 흐름도이다. 도 6a - 도 6c는 다양한 제조 단계들에서의 비휘발성의 저항성 감지 메모리 셀의 개략적인 단면도들이다.
- [0026] 도 5의 블록(110)에서는, 도 6a에서의 결정질 PCMO 층(16)이 제 1 전극(12) 상에 증착된다. 결정질 PCMO 층(16)은 PCMO 층(16)에 결정 구조를 형성하기에 충분 온도로 증착된다. 많은 실시예들에서, 증착 온도는 400°C 보다 높다. 결정질 PCMO 층(16)과 제 1 전극(12) 모두 물리적 기상 증착, 화학적 기상 증착, 전기 화학적 증착, 문자 빔 에피택시(epitaxy) 및 원자층 증착에 의해 형성될 수 있다. 도시되지 않았지만, 제 1 전극(12)은 기판 상에 증착될 수 있다. 기판은, 이에 한정된 것은 아니지만, 실리콘, 실리콘과 게르마늄의 혼합물 및 다른 유사한 재료를 포함한다.
- [0027] 도 5의 블록(120)에서는, 도 6b에서의 비정질 PCMO 층(15)이 결정질 PCMO 층(16) 상에 증착된다. 비정질 PCMO 층(15)은 비정질 또는 비결정질 PCMO 층(15)을 형성하기에 충분한 온도로 증착된다. 많은 실시예들에서, 증착 온도는 400°C 미만, 또는 375°C 미만, 또는 350°C 미만이다.
- [0028] 도 5의 블록(130)에서는, 도 6c에서의 제 2 전극(14)이 비정질 PCMO 층(15) 상에 증착된다. 제 2 전극(14)은 위에서 설명된 증착 방법들을 이용하여 형성될 수 있다. 추가 금속 접촉층(들)이 제 2 전극(14) 상에 형성될

수 있다.

[0029] 도 7은 비휘발성 저항성 감지 메모리 셀을 형성하는 다른 예시적인 방법의 흐름도이다. 도 8a - 도 8d는 다양한 제조 단계들에서의 다른 비휘발성 저항성 감지 메모리 셀의 개략적인 단면도들이다.

[0030] 도 7의 블록(210)에서는, 도 8a에서의 결정질 PCMO 층(16)이 제 1 전극(12) 상에 증착된다. 결정질 PCMO 층(16)은, 위에서 설명된 바와 같이, PCMO 층(16)에 결정 구조를 형성하기에 충분한 온도로 증착된다. 예시되진 않았지만, 제 1 전극(12)은 기판 상에 증착될 수 있다. 기판은 이에 한정된 것은 아니지만, 실리콘, 실리콘과 게르마늄의 혼합물 및 다른 유사한 재료를 포함한다.

[0031] 도 7의 블록(220)에서는, 도 8b에서의 산소 확산 장벽층(17)이 결정질 PCMO 층(16) 상에 증착된다. 산소 확산 장벽층(17)은 위에서 설명된 증착 방법들을 이용하여 형성될 수 있다.

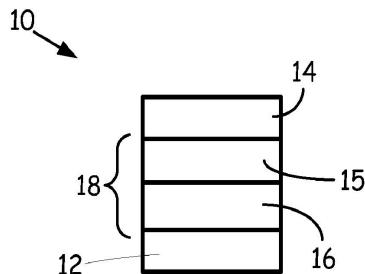
[0032] 도 7의 블록(230)에서는, 도 8c에서의 비정질 PCMO 층(15)이 산소 확산 장벽층(17) 상에 증착된다. 비정질 PCMO 층(15)은 위에서 설명된 바와 같이, 비정질 또는 비결정질 PCMO 계층(15)을 형성하기에 충분한 온도로 증착된다.

[0033] 도 7의 블록(240)에서는, 도 8d에서의 제 2 전극(14)이 비정질 PCMO 층(15) 상에 증착된다. 제 2 전극(14)은 위에서 설명된 증착 방법들을 이용하여 형성될 수 있다. 추가 금속 접촉층(들)이 제 2 전극(14) 상에 형성될 수 있다.

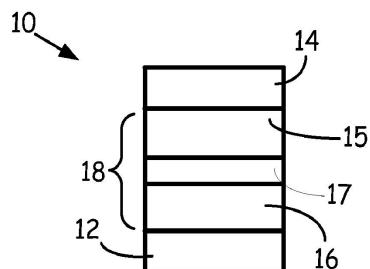
[0034] 이와 같이, 개선된 스위칭을 갖는 비휘발성 저항성 감지 메모리의 실시예들이 개시된다. 상기에 설명된 구현들 및 다른 구현들은 다음의 청구항들의 범주 내에 속한다. 해당 기술분야의 당업자들은 본 개시가 개시된 것들 이외의 다른 실시예들로도 실시될 수 있음을 인식할 것이다. 개시된 실시예들은 한정이 아닌 예시의 목적으로 제시되며, 본 발명은 다음의 청구항들에 의해서만 제한된다.

## 도면

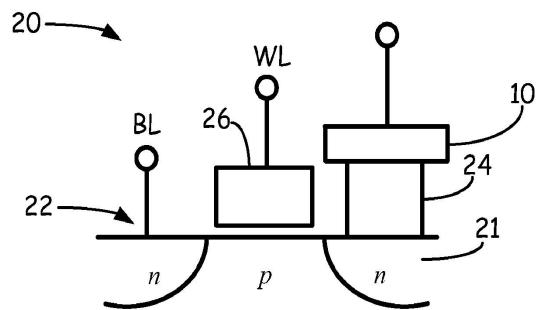
### 도면1



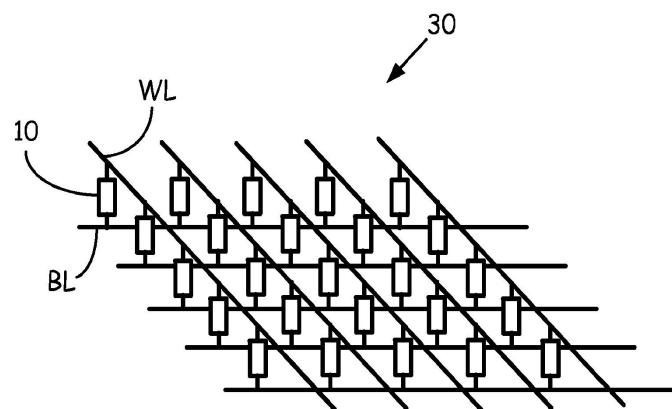
### 도면2



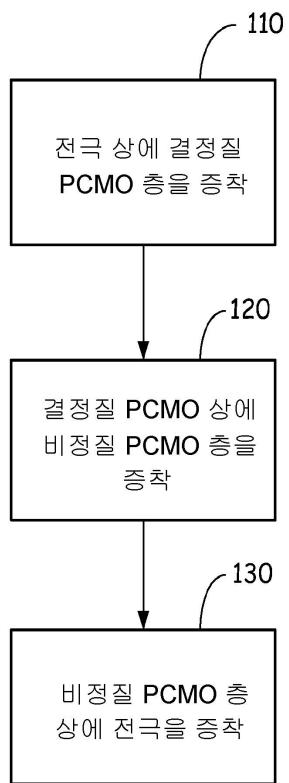
도면3



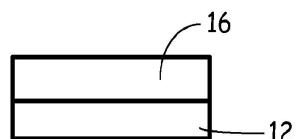
도면4



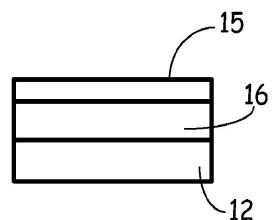
도면5



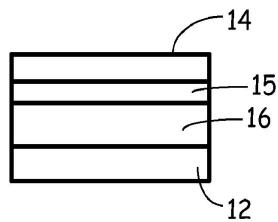
도면6a



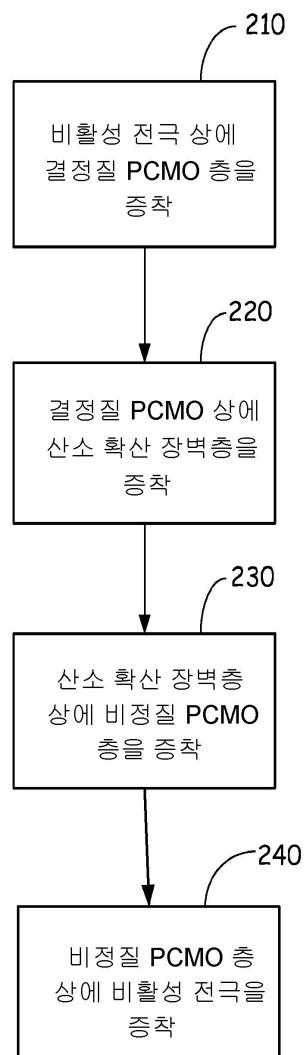
도면6b



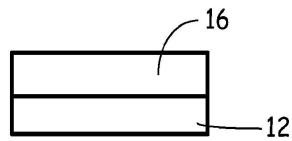
## 도면6c



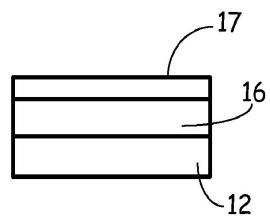
## 도면7



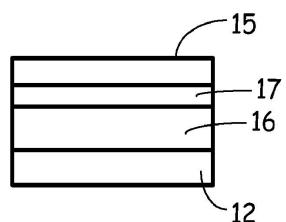
도면8a



도면8b



도면8c



도면8d

