



(12) 发明专利

(10) 授权公告号 CN 107300816 B

(45) 授权公告日 2021.04.16

(21) 申请号 201710325210.1

(51) Int.Cl.

(22) 申请日 2013.05.10

G02F 1/1368 (2006.01)

(65) 同一申请的已公布的文献号

G02F 1/1362 (2006.01)

申请公布号 CN 107300816 A

G02F 1/1343 (2006.01)

(43) 申请公布日 2017.10.27

审查员 王梓骁

(62) 分案原申请数据

201310172418.6 2013.05.10

(73) 专利权人 群创光电股份有限公司

地址 中国台湾新竹科学工业园区

(72) 发明人 王忠益 谢耀联

(74) 专利代理机构 北京三友知识产权代理有限公司

11127

代理人 任默闻

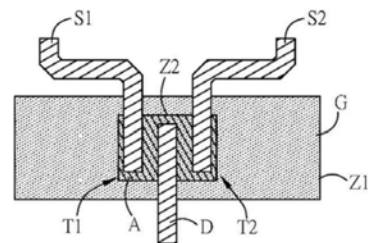
权利要求书2页 说明书8页 附图5页

(54) 发明名称

显示装置

(57) 摘要

一种薄膜晶体管基板包括一基板、多个像素电极、一栅极层、一主动层、一第一源极层、一第二源极层以及一漏极层。所述多个像素电极设置于基板上。栅极层设置于基板上。主动层与栅极层相对设置。第一源极层及第二源极层分别与主动层接触。漏极层与主动层接触，并与所述多个像素电极的其中之一电连接。栅极层、主动层、第一源极层及漏极层是形成一第一晶体管，栅极层、主动层、第二源极层及漏极层是形成一第二晶体管，第一晶体管及第二晶体管关闭时，第一源极层与第二源极层是电性绝缘。本发明亦揭露一种具有上述薄膜晶体管基板的显示装置。通过电路布局的方式来减少电容量，提升单位面积的元件布局效率，进而降低信号的延迟及变形。



1. 一种显示装置,其特征是,所述显示装置包括:
 - 一薄膜晶体管基板,具有:
 - 一基板;
 - 多个像素电极,设置于所述基板上;
 - 一栅极层,设置于所述基板上;
 - 一主动层,与所述栅极层相对设置;
 - 一第一源极层及一第二源极层,分别与所述主动层接触;及
 - 一漏极层,与所述主动层接触,所述第一源极层位于所述漏极层与所述主动层接触的部分的左上侧,所述第二源极层位于所述漏极层与所述主动层接触的部分的右下侧,所述栅极层、所述主动层、所述第一源极层及所述漏极层是形成一第一晶体管,所述栅极层、所述主动层、所述第二源极层及所述漏极层是形成一第二晶体管,所述第一晶体管及所述第二晶体管关闭时,所述第一源极层与所述第二源极层是电性绝缘。
2. 如权利要求1所述的显示装置,其特征是,所述栅极层具有一第一区域,所述主动层具有一第二区域,于所述薄膜晶体管基板的投影方向上,所述第一区域至少部分重叠所述第二区域。
3. 如权利要求1所述的显示装置,其特征是,所述漏极层与所述主动层接触的部分具有两个至四个转折。
4. 如权利要求1所述的显示装置,其特征是,所述漏极层与所述主动层接触的部分具有两个转折。
5. 如权利要求4所述的显示装置,其特征是,所述第一源极层及所述第二源极层分别对应于所述两个转折。
6. 一种显示装置,其特征是,所述显示装置包括:
 - 一薄膜晶体管基板,具有:
 - 一基板;
 - 多个像素电极,设置于所述基板上;
 - 一栅极层,设置于所述基板上;
 - 一主动层,与所述栅极层相对设置;
 - 一第一源极层及一第二源极层,分别与所述主动层接触;及
 - 一漏极层,与所述主动层接触的部分具有两个至四个转折,所述栅极层、所述主动层、所述第一源极层及所述漏极层是形成一第一晶体管,所述栅极层、所述主动层、所述第二源极层及所述漏极层是形成一第二晶体管,所述第一晶体管及所述第二晶体管关闭时,所述第一源极层与所述第二源极层是电性绝缘。
7. 如权利要求6所述的显示装置,其特征是,所述漏极层与所述主动层接触的部分具有两个转折,所述两个转折形成两个相对的内凹区域,其中,所述第一源极层及所述第二源极层分别对应于所述两个相对的内凹区域。
8. 如权利要求7所述的显示装置,其特征是,所述两个相对的内凹区域分别位于所述漏极层的两侧。
9. 如权利要求6所述的显示装置,其特征是,所述栅极层具有一第一区域,所述主动层具有一第二区域,于所述薄膜晶体管基板的投影方向上,所述第一区域至少部分重叠所述

第二区域。

10. 如权利要求6所述的显示装置,其特征是,所述第一源极层及所述第二源极层是邻设于所述漏极层。

显示装置

[0001] 本申请是申请日为2013年05月10日,申请号为201310172418.6,发明名称为薄膜晶体管基板及显示装置的发明专利申请的分案申请。

技术领域

[0002] 本发明是关于一种薄膜晶体管基板及具有该薄膜晶体管基板的显示装置。

背景技术

[0003] 随着科技的进步,显示装置已经广泛的被运用在各种领域,尤其是液晶显示装置,因具有体型轻薄、低功率消耗及无辐射等优越特性,已经渐渐地取代传统阴极射线管显示装置,而应用至许多种类的电子产品中,例如行动电话、可携式多媒体装置、笔记型电脑、液晶电视及液晶荧幕等等。

[0004] 一般而言,显示装置是包含一显示面板及一驱动模块。驱动模块具有一扫描驱动电路及一数据驱动电路。扫描驱动电路是通过多条扫描线与显示面板电连接,而数据驱动电路是通过多条数据线 with 显示面板电连接。另外,显示面板具有多个像素,而该等数据线及该等扫描线是呈交错设置以形成该等像素阵列。当扫描驱动电路输出一扫描信号使扫描线导通时,数据驱动电路将对应每一行像素的一数据信号通过数据线传送至像素的像素电极,以使显示面板显示画面。

[0005] 扫描线输出的扫描信号的导通时间(即扫描时间)主要是由扫描线的数量及显示频率来决定。然而,由于显示面板上的像素阵列的寄生电容,例如为数据线的跨线(cross over)、开关晶体管的寄生电容(例如Cgd,Cgs,Csd等),以及像素的负载阻抗可能造成一理想的扫描信号波形(例如方波)延迟及变形而成另一波形。此种信号延迟及变形的现象(即RC distortion)尤其在大尺寸、高解析度以及立体(3D)的显示装置时所造成的问题可能会更加严重,例如可能会造成像素的取样错误而使显示面板无法正常显示。其中,若要降低信号的延迟及变形的话,降低阻抗(R)与减少电容(C)是必要的手段。除了电路设计的改善方面之外,在电路实际布局(layout)上的效率提升,也可达到相同的效果。

[0006] 一般电路布局的流程是先将等效电路画好,再转换为布局图面的方式来表示,最后以实际的生产制程来制作。但是,相同的等效电路却有无限多种的布局方式可以实现,因此在电路布局效率上的提升也是设计中很重要的环节。

[0007] 因此,如何提出一种薄膜晶体管基板及具有此薄膜晶体管基板的显示装置,可通过路布局的方式来减少其电容量,提升单位面积的元件布局效率,进而降低显示装置的信号的延迟及变形,已成为重要课题之一。

发明内容

[0008] 本发明的目的为提供一种可通过电路布局的方式来减少电容量,提升单位面积的元件布局效率,进而降低信号的延迟及变形的薄膜晶体管基板及显示装置。

[0009] 为达上述目的,依据本发明的一种薄膜晶体管基板包括一基板、多个像素电极、一

栅极层、一主动层、一第一源极层、一第二源极层以及一漏极层。所述多个像素电极设置于基板上。栅极层设置于基板上。主动层与栅极层相对设置。第一源极层及第二源极层分别与主动层接触。漏极层与主动层接触，并与所述多个像素电极的其中之一电连接。栅极层、主动层、第一源极层及漏极层是形成一第一晶体管，栅极层、主动层、第二源极层及漏极层是形成一第二晶体管，第一晶体管及第二晶体管关闭时，第一源极层与第二源极层是电性绝缘。

[0010] 为达上述目的，依据本发明的一种显示装置包括一薄膜晶体管基板，薄膜晶体管基板具有一基板多个像素电极、一栅极层、一主动层、一第一源极层、一第二源极层以及一漏极层。所述多个像素电极设置于基板上。栅极层设置于基板上。主动层与栅极层相对设置。第一源极层及第二源极层分别与主动层接触。漏极层与主动层接触，并与所述多个像素电极的其中之一电连接。栅极层、主动层、第一源极层及漏极层是形成一第一晶体管，栅极层、主动层、第二源极层及漏极层是形成一第二晶体管，第一晶体管及第二晶体管关闭时，第一源极层与第二源极层是电性绝缘。

[0011] 在一实施例中，栅极层具有一第一区域，主动层具有一第二区域，于薄膜晶体管基板的投影方向上，第一区域与第二区域是重叠。

[0012] 在一实施例中，第一区域的尺寸大于第二区域的尺寸。

[0013] 在一实施例中，第一源极层及第二源极层是邻设于漏极层。

[0014] 在一实施例中，薄膜晶体管基板更包括一第三源极层，其设置于基板上，并与主动层接触，栅极层、主动层、第三源极层及漏极层是形成一第三晶体管。

[0015] 在一实施例中，第一晶体管、第二晶体管及第三晶体管关闭时，第一源极层、第二源极层及第三源极层是电性绝缘。

[0016] 在一实施例中，薄膜晶体管基板更包括另一漏极层，其设置于基板上，并与主动层接触，栅极层、主动层、第一源极层及另一漏极层是形成一第三晶体管。

[0017] 承上所述，因本发明的薄膜晶体管基板及显示装置中，栅极层与主动层相对设置，第一源极层及第二源极层分别与主动层接触，漏极层与主动层接触，并与所述多个像素电极的其中之一电连接。另外，栅极层、主动层、第一源极层及漏极层是形成一第一晶体管，栅极层、主动层、第二源极层及漏极层是形成一第二晶体管。此外，第一晶体管及第二晶体管关闭时，第一源极层与第二源极层是电性绝缘。由于本发明是将具有相同漏极层的不同薄膜晶体管元件，通过布局的方式将主动层合而为一，故可降低第一晶体管及第二晶体管所形成的主动层的面积，进而降低栅极层与主动层之间的重叠面积而减少电容的大小。因此，通过本发明，可使薄膜晶体管基板及具有此薄膜晶体管基板的显示装置减少其寄生电容量、提升单位面积的元件布局效率，进而提升晶体管单位面积的驱动能力而降低信号的延迟及变形。

附图说明

[0018] 图1A为本发明一实施例的薄膜晶体管基板上具有的电路的示意图。

[0019] 图1B为图1A的电路中，习知一种电路布局示意图。

[0020] 图1C为图1A的电路中，本发明较佳实施例的电路布局的示意图。

[0021] 图2A及图2B分别为图1A的电路中，本发明较佳实施例的电路布局的另一示意图。

- [0022] 图3A为本发明的薄膜晶体管基板上具有的另一实施态样的电路的示意图。
- [0023] 图3B为图3A的电路中,习知一种电路布局示意图。
- [0024] 图3C为图3A的电路中,本发明较佳实施例的电路布局的另一示意图。
- [0025] 图4A为本发明的薄膜晶体管基板上具有的另一实施态样的电路的示意图。
- [0026] 图4B为图4A的电路中,习知一种电路布局示意图。
- [0027] 图4C为图4A的电路中,本发明较佳实施例的电路布局的另一示意图。
- [0028] 图5A为本发明的薄膜晶体管基板上具有的另一实施态样的电路的示意图。
- [0029] 图5B为图5A的电路中,习知一种电路布局示意图。
- [0030] 图5C为图5A的电路中,本发明较佳实施例的电路布局的另一示意图。
- [0031] 附图标号:
- [0032] 1、1a、1b、1c:电路
- [0033] A:主动层
- [0034] A1:第一主动层
- [0035] A2:第二主动层
- [0036] A3:第三主动层
- [0037] A4:第四主动层
- [0038] D、D1:漏极层
- [0039] G:栅极层
- [0040] S1:第一源极层
- [0041] S2:第二源极层
- [0042] S3:第三源极层
- [0043] S4:第四源极层
- [0044] T1:第一晶体管
- [0045] T2:第二晶体管
- [0046] T3:第三晶体管
- [0047] T4:第四晶体管
- [0048] Z1:第一区域
- [0049] Z2:第二区域
- [0050] Z3:第三区域
- [0051] Z4:第四区域
- [0052] Z5:第五区域
- [0053] Z6:第六区域。

具体实施方式

[0054] 以下将参照相关图式,说明依本发明较佳实施例的薄膜晶体管基板及具有此薄膜晶体管基板的显示装置,其中相同的元件将以相同的参照符号加以说明。

[0055] 以下请参考相关图示,以比较及说明本发明的电路布局方式与习知技术不同之处。其中,本发明是将具有相同漏极层的不同薄膜晶体管元件,通过布局的方式将主动层合而为一,进而减少电容的大小,以提升单位面积下的元件布局效率。另外,是将本发明的电

路布局方式及概念应用于薄膜晶体管基板及具有此薄膜晶体管基板的显示装置。特别注意的是,本发明以下的电路只是一种举例,主要是将其概念应用于薄膜晶体管基板及显示装置的电路布局上,藉此来减少薄膜晶体管基板及显示装置的寄生电容、提升单位面积的元件布局效率,进而降低信号的延迟及变形。

[0056] 请分别参照图1A至图1C所示,其中,图1A为本发明一实施例的薄膜晶体管基板上具有的电路1的示意图,图1B为图1A的电路1中,习知一种电路布局示意图,而图1C为图1A的电路1中,本发明较佳实施例的电路布局的示意图。

[0057] 如图1A所示,电路1包括一第一晶体管T1及一第二晶体管T2,第一晶体管T1及第二晶体管T2分别为一薄膜晶体管,并设置于基板(图未显示)上。其中,第一晶体管T1及第二晶体管T2的栅极是电连接,且第一晶体管T1及第二晶体管T2的漏极亦电连接。因此,当栅极输入信号而使第一晶体管T1及第二晶体管T2导通时,第一晶体管T1的源极的信号可传送至漏极,第二晶体管T2的源极的信号亦可传送至漏极。

[0058] 另外,请先参照图1C所示,本发明的薄膜晶体管基板包括一基板(图未显示)、多个像素电极(图未显示)、一栅极层G、一主动层A、一第一源极层S1、一第二源极层S2以及一漏极层D。

[0059] 多个像素电极设置于基板上,而栅极层G亦设置于基板上。其中,栅极层G的材质例如是金属(例如铝、铜、银、钼、钛)或其合金所构成的单层或多层结构。部分用以传输驱动信号的导线,可以使用与栅极同一层且同一制程的结构,彼此电性相连,例如扫描线(scan line)。

[0060] 主动层A与栅极层G相对设置。在实施上,主动层A可为一半导体层,并例如但不限于包括一氧化物半导体。前述的氧化物半导体包括氧化物,且氧化物包括铟、锌、镓及铟的至少其中之一,或其它材料。其中,氧化物半导体例如但不限于为氧化铟镓锌、氧化铟铟锌、氧化铟铟铟、氧化铟铟铟。

[0061] 第一源极层S1及第二源极层S2分别与主动层A接触,且漏极层D亦与主动层A接触。其中,第一源极层S1与漏极层D之间具有一间隔,而第二源极层S2与漏极层D之间亦具有一间隔。于此,栅极层G、主动层A、第一源极层S1及漏极层D是形成第一晶体管T1,而栅极层G、主动层A、第二源极层S2及漏极层D是形成第二晶体管T2。本发明并不限定第一晶体管T1及第二晶体管T2为一下栅极(bottom gate)或一上栅极(top gate)的晶体管。在本实施例中,是以一下栅极为例,即主动层A位于栅极层G之上。其中,于第一晶体管T1的主动层A未导通时,第一源极层S1与漏极层D电性分离。另外,于第二晶体管T2的主动层A未导通时,第二源极层S2与漏极层D亦电性分离。

[0062] 第一源极层S1及第二源极层S2是邻设于漏极层D。换言之,第一源极层S1或第二源极层S2可位于漏极层D的上侧、下侧、左侧或右侧的邻近位置。于此,是以第一源极层S1及第二源极层S2位于漏极层D的左、右两侧为例。此外,第一晶体管T1及第二晶体管T2亦可分别包含介电层、绝缘层、保护层或其它膜层(图未显示)。其中,第一源极层S1、第二源极层S2及漏极层D的材质可分别为金属(例如铝、铜、银、钼、钛)或其合金所构成的单层或多层结构。部分用以传输驱动信号的导线,可以使用与第一源极层S1、第二源极层S2及漏极层D同层且同一制程的结构,例如数据线(data line)。

[0063] 另外,请参照图1B所示,于习知的布局中,由于第一晶体管T1的栅极与第二晶体管

T2的栅极电连接,故第一晶体管T1与第二晶体管T2共同具有一层栅极层G。另外,由于第一晶体管T1的漏极与第二晶体管T2的漏极电连接,故第一晶体管T1与第二晶体管T2亦共同具有一层漏极层D,但是,第一晶体管T1的第一主动层A1与第二晶体管T2的第二主动层A2是彼此分离而不连接。

[0064] 不过,请再参照图1C所示,在本发明的电路布局中,第一晶体管T1与第二晶体管T2共同具有栅极层G,第一晶体管T1与第二晶体管T2亦共同具有漏极层D,但第一晶体管T1与第二晶体管T2亦具有同一层的主动层A。其中,于薄膜晶体管基板的投影方向上,主动层A与栅极层G重叠设置。具体而言,本发明于形成第一晶体管T1与第二晶体管T2的主动层的制程中,是形成一个区域的主动层A,并将此主动层A同时作为第一晶体管T1及第二晶体管T2的主动层。因此,本发明是将具有相同漏极层的不同薄膜晶体管元件,通过电路布局的方式将主动层合而为一,进而减少电容的大小,藉此提升单位面积下的元件布局效率。

[0065] 另外,在图1C中,第一晶体管T1及第二晶体管T2关闭而不导通时(即栅极G不输入信号时),第一源极层S1及第二源极层S2是彼此电性绝离。另外,本发明的漏极层D是电连接至薄膜晶体管基板的该等像素电极的其中之一。此外,栅极层G具有一第一区域Z1,主动层A具有一第二区域Z2,于薄膜晶体管基板的投影方向上(即俯视方向上),第一区域Z1与第二区域Z2是重叠,且第一区域Z1的尺寸(面积)是大于第二区域Z2的尺寸(面积)。

[0066] 请比较图1B与图1C所示,于习知的图1B的布局中,第一主动层A1与第二主动层A2的面积共为392微米²,在本发明图1C的布局中,主动层A具有的第二区域Z2的面积只有308微米²,比习知减少了21.4%的布局面积。由于两层导电膜层之间可形成一电容,因此,若可降低某一层导电膜层的面积的话,就可降低两者之间的重叠面积,进而降低寄生电容而提升单位面积的元件布局效率,藉此可提升晶体管单位面积的驱动能力而降低显示装置的信号的延迟及变形。因此,藉由图1C的布局方式,可使本发明的薄膜晶体管基板及具有此薄膜晶体管基板的显示装置减少其寄生电容,提升单位面积的元件布局效率,进而降低信号的延迟及变形。

[0067] 另外,请分别参照图2A及图2B所示,其分别为图1A的电路1中,本发明较佳实施例的电路布局的另一示意图。

[0068] 如图2A所示,与图1C主要的不同在于,图1C的第一源极层S1及第二源极层S2分别位于漏极层D的左、右两侧,但于图2A的布局中,第一源极层S1及第二源极层S2分别位于漏极层D的右侧,并为右上侧及右下侧。此外,本实施例的主动层A具有的第二区域Z2的面积只有330微米²,比图1B的习知减少了15.82%的主动层布局面积。

[0069] 另外,如图2B所示,与图2A主要的不同在于,图2B的第一源极层S1及第二源极层S2分别位于漏极层D的左上侧及右下侧。另外,本实施例的主动层A具有的第二区域Z2的面积只有336微米²,比习知减少了14.29%的主动层布局面积。

[0070] 此外,图2A及图2B的电路布局可参照上述的图1C,不再赘述。

[0071] 另外,请参照图3A、图3B及图3C所示,其中,图3A为本发明的薄膜晶体管基板上具有的另一实施态样的电路1a的示意图,图3B为图3A的电路1a中,习知一种电路布局示意图,而图3C为图3A的电路1a中,本发明较佳实施例的电路布局的另一示意图。

[0072] 与图1A的电路1主要的不同在于,图3A的电路1a更包括一第三晶体管T3,第三晶体管T3的栅极与第一晶体管T1及第二晶体管T2的栅极电连接,而第三晶体管T3的源极与第一

晶体管T1的源极电连接。

[0073] 因此,于图3B的习知布局中,栅极层G、一第三主动层A3、一第一源极层S1及另一漏极层D1是形成第三晶体管T3。其中,第一晶体管T1、第二晶体管T2及第三晶体管T3共同具有一层栅极层G,第一晶体管T1及第二晶体管T2共同具有一层漏极层D,但第三晶体管T3的漏极层D1与第一晶体管T1及第二晶体管T2的漏极层D分离而不连接。另外,第一晶体管T1的第一主动的第三主动层A3是彼此分离而不连接。此外,第三主动层A3与栅极层G重叠设置。

[0074] 在图3C的本发明的布局中,栅极层G、主动层A、第一源极层S1及漏极层D1是形成第三晶体管T3,且第一晶体管T1、第二晶体管T2及第三晶体管T3是具有同一层主动层A。具体而言,本发明于形成第一晶体管T1、第二晶体管T2及第三晶体管T3的主动层的制程中,是形成一个区域的主动层A,并将此主动层A同时作为第一晶体管T1、第二晶体管T2及第三晶体管T3的主动层。

[0075] 习知的图3B的第一主动层A1、第二主动层A2及第三主动层A3的面积总和为539微米²,而图3C的布局中,主动层A具有的一第四区域Z4的面积为484微米²,因此,可比习知图3B减少了10.2%的主动层布局面积。

[0076] 另外,请参照图4A、图4B及图4C所示,其中,图4A为本发明的薄膜晶体管基板上具有的另一实施态样的电路1b的示意图,图4B为图4A的电路1b中,习知一种电路布局示意图,而图4C为图4A的电路1b中,本发明较佳实施例的电路布局的另一示意图。

[0077] 与图1A的电路1主要的不同在于,图4A的电路1b更包括一第三晶体管T3,第三晶体管T3设置于基板上。其中,第三晶体管T3的栅极与第一晶体管T1的栅极及第二晶体管T2的栅极电连接,且第三晶体管T3的漏极与第一晶体管T1的漏极及第二晶体管T2的漏极电连接。

[0078] 于图4B的习知布局中,由于第一晶体管T1的栅极、第二晶体管T2的栅极及第三晶体管T3的栅极电连接,故第一晶体管T1、第二晶体管T2及第三晶体管T3共同具有一层栅极层G。另外,由于第一晶体管T1的漏极、第二晶体管T2的漏极及第三晶体管T3的漏极电连接,故第一晶体管T1、第二晶体管T2及第三晶体管T3亦共同具有一层漏极层D,但是第一晶体管T1的第一主动层A1、第二晶体管T2的第二主动层A2及第三晶体管T3的一第三主动层A3是彼此分离而不连接。

[0079] 不过,在图4C的本发明的布局中,第一晶体管T1、第二晶体管T2及第三晶体管T3是共同具有栅极层G,第一晶体管T1、第二晶体管T2及第三晶体管T3亦共同具有漏极层D,且第一晶体管T1、第二晶体管T2及第三晶体管T3亦具有同一层的主动层A。其中,于薄膜晶体管基板的投影方向上,主动层A与栅极层G重叠设置。另外,第一晶体管T1、第二晶体管T2及第三晶体管T3的漏极层D是电连接至薄膜晶体管基板的该等像素电极(图未显示)的其中之一。另外,第一晶体管T1、第二晶体管T2及第三晶体管T3不导通时,第一源极层S1、第二源极层S2及第三源极层S3是彼此电性隔离。此外,栅极层G具有一第三区域Z3,主动层A具有一第四区域Z4,于薄膜晶体管基板的投影方向上,第三区域Z3与第四区域Z4是重叠,且第三区域Z3的尺寸是大于第四区域E4的尺寸。

[0080] 另外,图4B的第一主动层A1、第二主动层A2及第三主动层A3的面积总和为588微米²。在图4C的布局中,主动层A的第四区域Z4的面积为426微米²,因此,可比习知减少了27.55%的主动层布局面积。

[0081] 另外,请参照图5A、图5B及图5C所示,其中,图5A为本发明的薄膜晶体管基板上具有的另一实施态样的电路1c的示意图,图5B为图5A的电路1c中,习知一种电路布局示意图,而图5C为图5A的电路1c中,本发明较佳实施例的电路布局的另一示意图。

[0082] 与图4A的电路1b主动的不同在于,图5A的电路1c更包括一第四晶体管T4,第四晶体管T4设置于基板上。其中,第四晶体管T4的栅极与第一晶体管T1的栅极、第二晶体管T2的栅极及第三晶体管T3的栅极电连接,且第四晶体管T4的漏极与第一晶体管T1的漏极、第二晶体管T2的漏极及第三晶体管T3的漏极电连接。

[0083] 于图5B的习知布局中,第一晶体管T1、第二晶体管T2、第三晶体管T3及第四晶体管T4共同具有一层栅极层G。另外,第一晶体管T1、第二晶体管T2、第三晶体管T3及第四晶体管T4亦共同具有一层漏极层D,但是第一晶体管T1的第一主动层A1、第二晶体管T2的第二主动层A2、第三晶体管T3的第三主动层A3及第四晶体管T4的一第四主动层A4是彼此分离而不连接。

[0084] 不过,在图5C的本发明的布局中,第一晶体管T1、第二晶体管T2、第三晶体管T3及第四晶体管T4共同具有栅极层G,第一晶体管T1、第二晶体管T2、第三晶体管T3及第四晶体管T4亦共同具有漏极层D,且第一晶体管T1、第二晶体管T2、第三晶体管T3及第四晶体管T4亦具有同一层的主动层A。其中,于薄膜晶体管基板的投影方向上,主动层A与栅极层G重叠设置。另外,第一晶体管T1、第二晶体管T2、第三晶体管T3及第四晶体管T4的漏极层D是电连接至薄膜晶体管基板的该等像素电极(图未显示)的其中之一。另外,第一晶体管T1、第二晶体管T2、第三晶体管T3及第四晶体管T4不导通时,第一源极层S1、第二源极层S2、第三源极层S3及第四源极层S4是彼此电性隔离。此外,栅极层G具有一第五区域Z5,主动层A具有一第六区域Z6,于薄膜晶体管基板的投影方向上,第五区域Z5与第六区域Z6是重叠,且第五区域Z5的尺寸是大于第六区域E6的尺寸。

[0085] 另外,图5B的第一主动层A1、第二主动层A2、第三主动层A3及第四主动层A4的面积总和为784微米²,在图4C的布局中,主动层A的第六区域Z6的面积为528微米²,比图5B的习知减少了32.65%的主动层布局面积。

[0086] 另外,本发明的显示装置具有上述的薄膜晶体管基板,而薄膜晶体管基板的电路布局的方式可参照上述,不再赘述。其中,显示装置可为一液晶显示装置或一有机发光二极体显示装置。以液晶显示装置为例,除了薄膜晶体管基板之外,液晶显示装置更可包括一对向基板、一液晶层及一背光模块。对向基板与薄膜晶体管基板相对而设,而液晶层夹置于薄膜晶体管基板与对向基板之间。此外,背光模块设置于薄膜晶体管基板远离对向基板的一侧。

[0087] 最后一提的是,本发明是将具有相同漏极层的不同薄膜晶体管元件,通过布局的方式将主动层合而为一,进而减少电容的大小,以提升单位面积下的元件布局效率,因此,并不限定只有上述的电路出现于薄膜晶体管基板及具有此薄膜晶体管基板的显示装置,只要符合这个概念的电路及其布局方式都可涵盖于本发明的薄膜晶体管基板及具有此薄膜晶体管基板的显示装置。

[0088] 综上所述,因本发明的薄膜晶体管基板及显示装置中,栅极层与主动层相对设置,第一源极层及第二源极层分别与主动层接触,漏极层与主动层接触,并与该等像素电极的其中之一电连接。另外,栅极层、主动层、第一源极层及漏极层是形成一第一晶体管,栅极

层、主动层、第二源极层及漏极层是形成一第二晶体管。此外,第一晶体管及第二晶体管关闭时,第一源极层与第二源极层是电性绝缘。由于本发明是将具有相同漏极层的不同薄膜晶体管元件,通过布局的方式将主动层合而为一,故可降低第一晶体管及第二晶体管所形成的主动层的面积,进而降低栅极层与主动层之间的重叠面积而减少电容的大小。因此,通过本发明,可使薄膜晶体管基板及具有此薄膜晶体管基板的显示装置减少其寄生电容量、提升单位面积的元件布局效率,进而提升晶体管单位面积的驱动能力而降低信号的延迟及变形。

[0089] 以上所述仅为举例性,而非为限制性者。任何未脱离本发明的精神与范畴,而对其进行的等效修改或变更,均应包含于申请专利范围中。

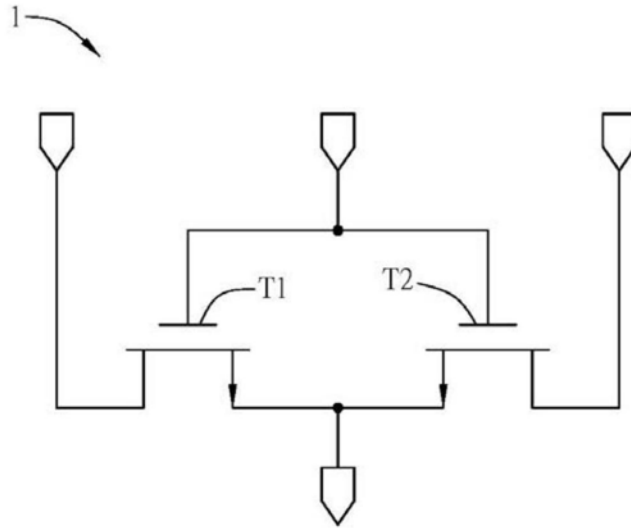


图1A

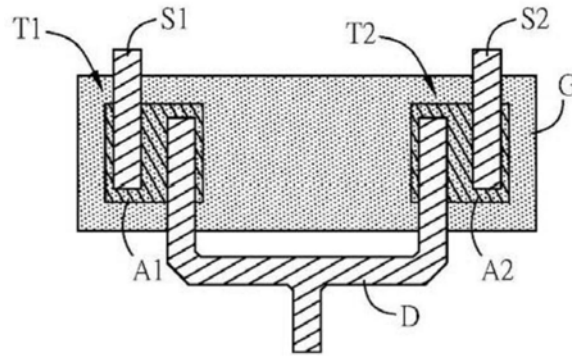


图1B

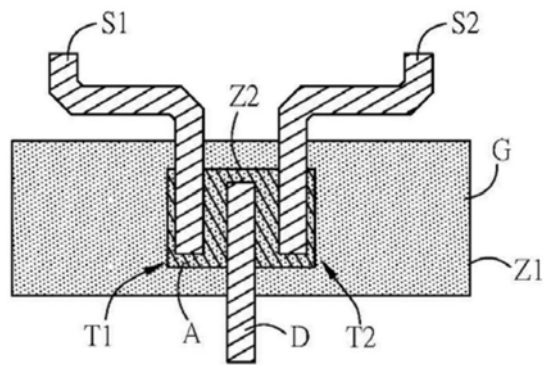


图1C

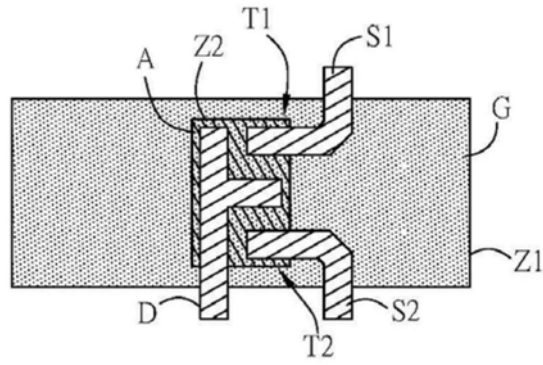


图2A

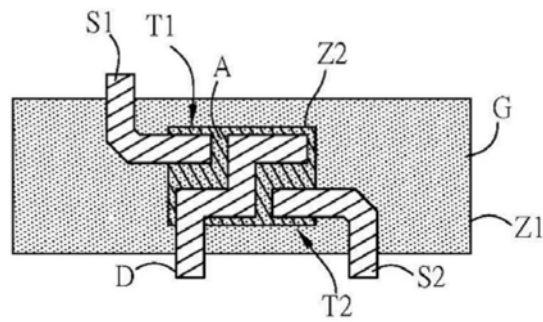


图2B

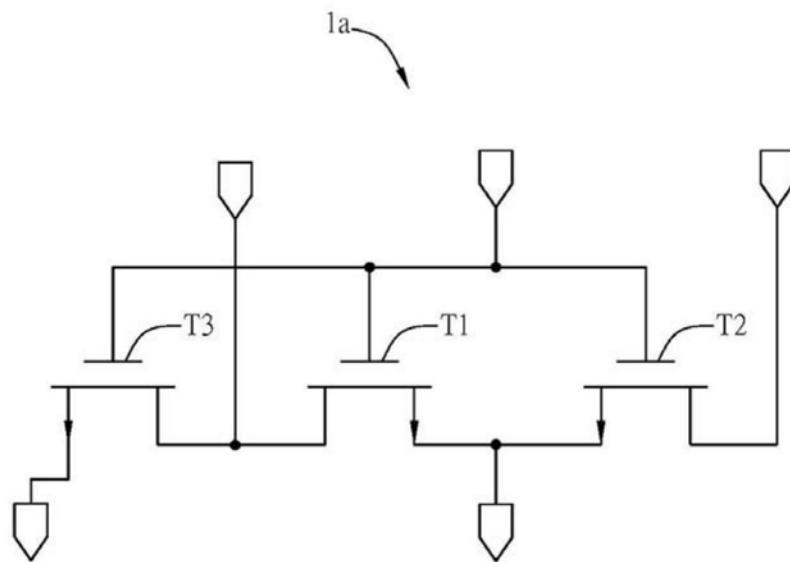


图3A

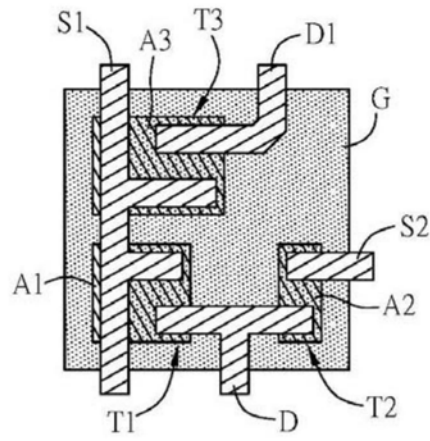


图3B

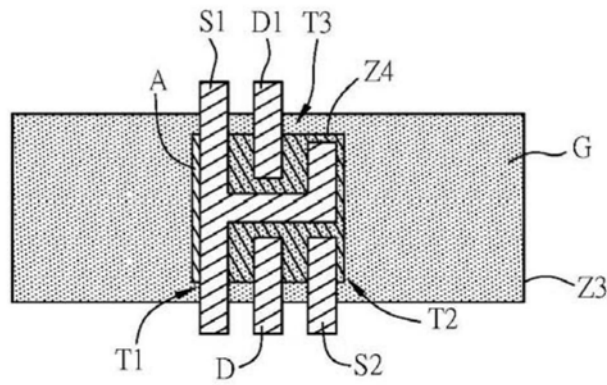


图3C

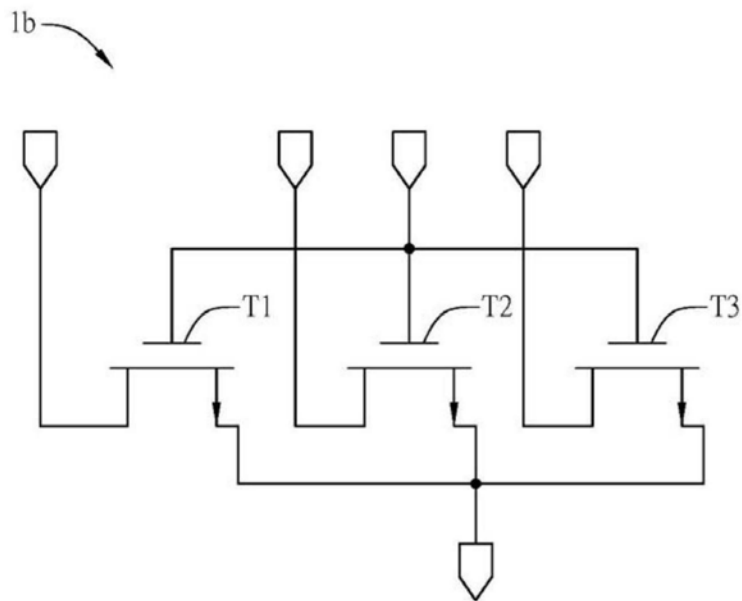


图4A

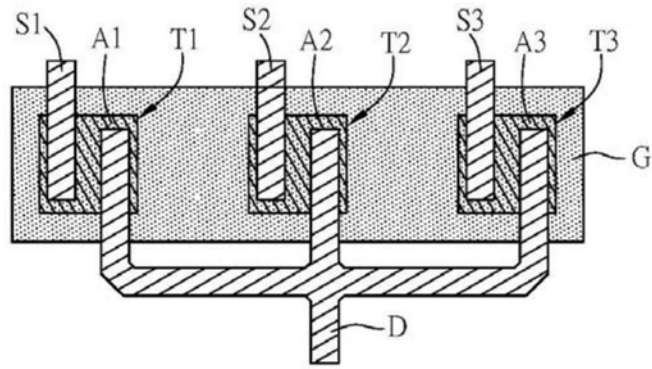


图4B

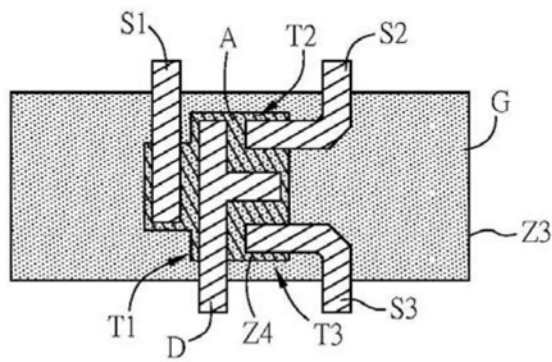


图4C

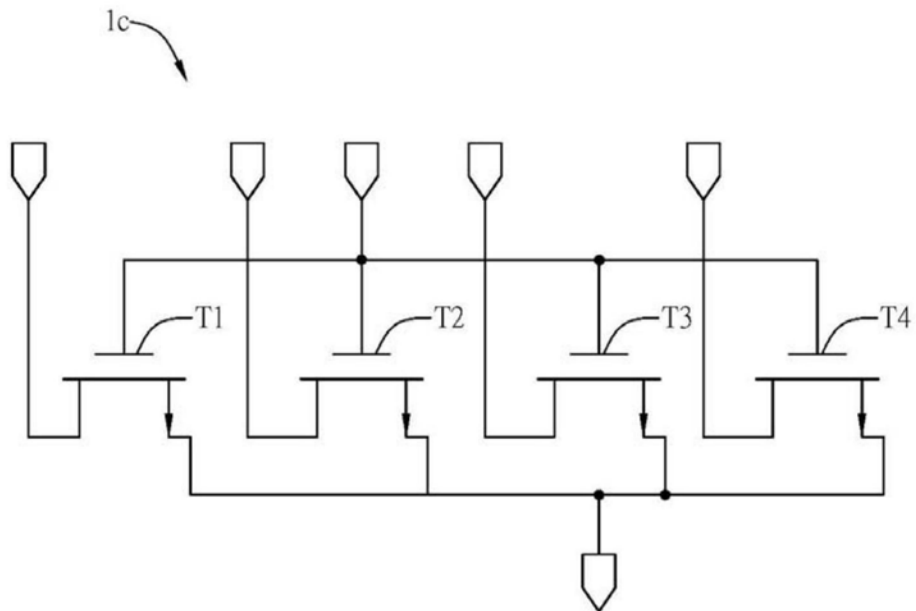


图5A

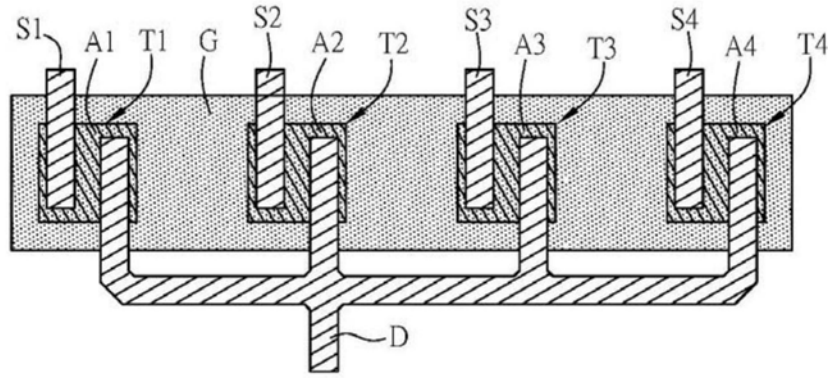


图5B

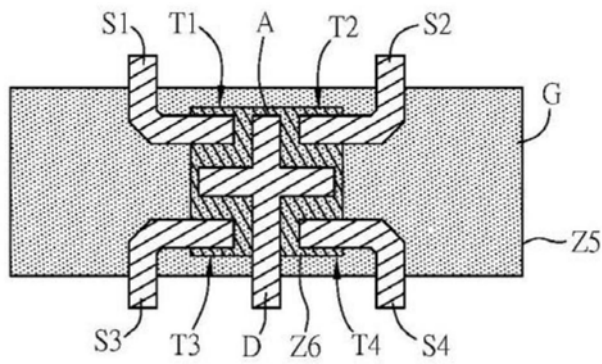


图5C