

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7626320号
(P7626320)

(45)発行日 令和7年2月4日(2025.2.4)

(24)登録日 令和7年1月27日(2025.1.27)

(51)国際特許分類		F I	
H 1 0 D	30/67 (2025.01)	H 0 1 L	29/78 6 1 6 A
G 0 2 F	1/1368(2006.01)	G 0 2 F	1/1368
		H 0 1 L	29/78 6 1 6 V
		H 0 1 L	29/78 6 1 7 M
		H 0 1 L	29/78 6 1 7 T
		請求項の数 15 (全17頁) 最終頁に続く	
(21)出願番号	特願2023-556896(P2023-556896)	(73)特許権者	521141718
(86)(22)出願日	令和4年9月21日(2022.9.21)		惠科股▲分▼有限公司
(65)公表番号	特表2024-521277(P2024-521277 A)		H K C Corporation Limited
(43)公表日	令和6年5月31日(2024.5.31)		中華人民共和國広東省深セン市宝安区石
(86)国際出願番号	PCT/CN2022/120310		岩街道石龍社区工業二路1号惠科工業園
(87)国際公開番号	WO2023/206940		厂房1棟一層至三層、五至七層、6棟七
(87)国際公開日	令和5年11月2日(2023.11.2)		層
審査請求日	令和5年9月15日(2023.9.15)		1F-3F, 5F-7F of Fac
(31)優先権主張番号	202210463909.5		tory Building 1, 7F
(32)優先日	令和4年4月29日(2022.4.29)		of Factory Building
(33)優先権主張国・地域又は機関	中国(CN)		6, Huike Industrial
			Park, No.1 Industri
			al 2nd Road, Shilong
			Community, Shiyan S
			最終頁に続く

(54)【発明の名称】 画素構造、アレイ基板及び製造方法

(57)【特許請求の範囲】

【請求項1】

ベース基板の上面に設けられるゲートと、

前記ゲートを覆い、さらに前記ゲート以外の前記ベース基板の上面を覆うゲート絶縁層と、を含み、

前記ゲート絶縁層の上面に前記ベース基板の横方向と平行する方向に沿って順に設置された、ソースと、前記ゲートに対応する上方の領域に設置されるアクティブ領域と、ドレインと、一端が前記ドレインに接続され他端が副電極金属層に接続される第一ドープ領域と、前記副電極金属層と、

前記アクティブ領域の上面両端における第二ドープ領域であって、前記アクティブ領域の上面一端における前記第二ドープ領域が前記ソースに接続され、前記アクティブ領域の上面他端における前記第二ドープ領域が前記ドレインに接続され、前記第一ドープ領域のドープ濃度が前記第二ドープ領域のドープ濃度よりも小さい第二ドープ領域と、

前記ソース、前記アクティブ領域の前記第二ドープ領域から露出した部分と、前記第二ドープ領域と、前記ドレインと、前記第一ドープ領域と、前記副電極金属層を覆い、前記ドレインに接続された主画素電極と前記副電極金属層に接続された副画素電極とが上に設けられるパッシベーション層と、をさらに含む、

画素構造。

【請求項2】

前記第一ドープ領域は第一高濃度ドープ領域と第一低濃度ドープ領域を含み、

前記第一高濃度ドープ領域は、前記ベース基板の横方向と平行する方向において前記第一低濃度ドープ領域の両端に配置され、前記第一低濃度ドープ領域の一端に配置される前記第一高濃度ドープ領域が前記ドレインに接続され、前記第一低濃度ドープ領域の他端に配置される前記第一高濃度ドープ領域が前記副電極金属層に接続される、

請求項 1 に記載の画素構造。

【請求項 3】

前記第一高濃度ドープ領域のドープ濃度は前記第二ドープ領域のドープ濃度に等しい、
請求項 2 に記載の画素構造。

【請求項 4】

前記第一高濃度ドープ領域のドープ濃度は前記第一低濃度ドープ領域のドープ濃度よりも大きい、

10

請求項 2 に記載の画素構造。

【請求項 5】

前記第一ドープ領域のドープ型と前記第二ドープ領域のドープ型はいずれも P 型ドープである、

請求項 1 又は 2 に記載の画素構造。

【請求項 6】

前記ゲート、前記ソース及び前記ドレインは、いずれも、アルミニウム (Al)、銅 (Cu)、銀 (Ag)、モリブデン (Mo) のうちの少なくとも一つの材料で構成され、又は、アルミニウム (Al)、銅 (Cu)、銀 (Ag)、モリブデン (Mo) の任意の配合比率で形成された合金材料で構成される、

20

請求項 1 又は 2 に記載の画素構造。

【請求項 7】

前記アクティブ領域は、非晶質シリコン、多結晶シリコン、又はインジウムガリウム亜鉛酸化物で構成される、

請求項 1 又は 2 に記載の画素構造。

【請求項 8】

前記ゲート絶縁層は、窒化ケイ素層、酸化ケイ素層の少なくとも一つの材料で構成される、

請求項 1 又は 2 に記載の画素構造。

30

【請求項 9】

ベース基板と

前記ベース基板に設けられた、複数の走査線と、複数のデータ線と、複数の画素ユニットと、を含み、

前記複数の走査線と前記複数のデータ線により複数の画素領域が限定され、前記複数の画素領域が主画素領域と副画素領域を含み、

前記複数の画素ユニットは請求項 1 又は 2 に記載の画素構造を含み、前記ゲートが前記複数の走査線に接続され、前記ソースが前記複数のデータ線に接続され、前記主画素電極が前記主画素領域に設置され、前記副画素電極が前記副画素領域に設置される、

アレイ基板。

40

【請求項 10】

ベース基板の上面にゲートを形成するステップと、

前記ゲートと前記ゲート以外の前記ベース基板との上面にゲート絶縁層を形成するステップと、

前記ゲート絶縁層の上面に、前記ゲートに対応する上方の前記ゲート絶縁層の上面領域に位置するアクティブ領域を形成するステップと、

前記アクティブ領域の上面両端に第二ドープ領域を形成して、前記ゲート絶縁層の上面に前記アクティブ領域及び前記第二ドープ領域と間隔をおいて第一ドープ領域を形成するステップと、

前記ゲート絶縁層の上面にソース、ドレイン及び副電極金属層を形成するステップであ

50

って、前記アクティブ領域の上面一端における前記第二ドープ領域が前記ソースに接続され、前記アクティブ領域の上面他端における前記第二ドープ領域が前記ドレインの第一端に接続され、前記ドレインの第二端が前記第一ドープ領域の第一端に接続され、前記第一ドープ領域の第二端が前記副電極金属層に接続されるステップと、

前記ソース、前記アクティブ領域、前記第二ドープ領域、前記ドレイン、前記第一ドープ領域及び前記副電極金属層の上方にパッシベーション層を形成し、前記パッシベーション層上に主画素電極及び副画素電極を設置し、前記主画素電極と前記ドレインを接続させ、前記副画素電極と前記副電極金属層を接続させるステップと、を含む、

アレイ基板の製造方法。

【請求項 11】

前記アクティブ領域の上面両端に前記第二ドープ領域を形成して、前記ゲート絶縁層の上面に前記アクティブ領域及び前記第二ドープ領域と間隔をおいて前記第一ドープ領域を形成するステップは、

前記第一ドープ領域に第一高濃度ドープ領域と第一低濃度ドープ領域を形成するステップと、

化学気相堆積により前記アクティブ領域の上面両端に前記第二ドープ領域を形成し、前記ゲート絶縁層の上面に前記アクティブ領域及び前記第二ドープ領域と間隔をおいて前記第一高濃度ドープ領域を形成するステップと、

化学気相堆積により前記第一高濃度ドープ領域の間に前記第一低濃度ドープ領域を形成するステップと、を含む、

請求項 10 に記載のアレイ基板の製造方法。

【請求項 12】

前記第一高濃度ドープ領域のドープ濃度が前記第二ドープ領域のドープ濃度に等しい、

請求項 11 に記載のアレイ基板の製造方法。

【請求項 13】

前記化学気相堆積に用いられるガスはホスフィン及びモノシランを含む、

請求項 11 に記載のアレイ基板の製造方法。

【請求項 14】

前記第一高濃度ドープ領域と前記第二ドープ領域とにおける前記モノシランのガス流量に対する前記ホスフィンのガス流量の第一比率 M は、第一所定比率範囲を満たし、

前記第一所定比率範囲は $1 : 2.0 \leq M \leq 1 : 1.5$ である、

請求項 13 に記載のアレイ基板の製造方法。

【請求項 15】

前記第一低濃度ドープ領域における前記モノシランのガス流量に対する前記ホスフィンのガス流量の第二比率 N は、第二所定比率範囲を満たし、

前記第二所定比率範囲は $1 : 0.5 \leq N \leq 1 : 0.1$ である、

請求項 13 に記載のアレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は 2022 年 4 月 29 日に中国特許庁に提出され、出願番号 202210463909.5、発明の名称「画素構造、アレイ基板及び製造方法」の中国特許出願の優先権を要求し、その全ての内容は引用により本開示に組み込まれる。

本開示は表示技術の技術分野に関し、特に画素構造、アレイ基板及び製造方法に関する。

【背景技術】

【0002】

薄膜トランジスタ液晶ディスプレイ (Thin Film Transistor-Liquid Crystal Display、TFT-LCD) は様々な一般的な表示モードを有し、例えば、TA (Twisted Nematic) 表示モード、VA (Vertically Alignment) 表示モード、FFS (Fringe Field

10

20

30

40

50

Switching) 表示モード、及びIPS (In-Plane Switching) 表示モードを有する。ここで、VAモードは他の表示モードと比較してより良好な暗状態のパフォーマンスを有し、コントラストがより良好であるが、その視野角が相対的に低い。

【0003】

現在、画素を複数のドメイン(Domain)に分ける態様でVA表示の視野角を向上させるのが通常であり、例えば8Domain(液晶が8つの方向を有する)、4Domain(液晶が4つの方向を有する)がある。4Domainは、形成態様として、一般に、画素電極にスリットが形成され、カラーフィルム基板に突起が形成される。液晶分子は、電圧が印加されていないときに異なる方向へのプレチルト角を有し、電圧が印加された後に液晶層がそれぞれ異なる傾斜方向を有する四つの液晶マイクロドメインに分かれることができる。これにより、広視野角表示特性を実現する。8Domainは、形成態様として、一般に、上記4ドメインに基づいて、一つの画素が一つの主サブ画素と一つの副サブ画素とに分かれ、主サブ画素と副サブ画素がそれぞれ4つのDomainを有するとともに、主サブ画素と副サブ画素の駆動電圧が異なるため、それぞれの液晶回転角度に差異があり、広視野角で見るときに各液晶回転角度が同一方向に配向されず、人の目に重なる効果が良好であり、色ずれに対する対策として効果が良好であり、色ずれをさらに改善し、広視野角を得ることができる。

10

【0004】

従来の技術8ドメインVA表示構造は複数のTFTにより制御する必要があり、製造コストが向上してしまう。

20

【0005】

したがって、従来の8ドメインVA表示構造の技術的解決手段は、複数のTFTの構造及びその製造がいずれも複雑であり、製造コストが向上してしまう。

【発明の概要】

【発明が解決しようとする課題】

【0006】

本開示は、従来の8ドメインVA表示構造にある複数のTFTの構造及びその製造がいずれも複雑であり、製造コストが向上する課題を解決するために、画素構造、アレイ基板及び製造方法を提供する。

30

【課題を解決するための手段】

【0007】

本開示実施例による技術的解決手段は以下である。

【0008】

第一態様は、画素構造であって、

ベース基板の上面に設けられるゲートと、

前記ゲートを覆い、さらに前記ゲート以外の前記ベース基板の上面を覆うゲート絶縁層と、を含み、

前記ゲート絶縁層の上面に前記ベース基板の横方向と平行する方向に沿って順に設置された、ソースと、前記ゲートに対応する上方の領域に設置されるアクティブ領域と、ドレインと、一端が前記ドレインに接続され、他端が副電極金属層に接続される第一ドープ領域と、前記副電極金属層と、

40

前記アクティブ領域の上面両端における第二ドープ領域であって、前記アクティブ領域の上面一端における前記第二ドープ領域が前記ソースに接続され、前記アクティブ領域の上面他端における前記第二ドープ領域が前記ドレインに接続され、前記第一ドープ領域のドープ濃度が前記第二ドープ領域のドープ濃度よりも小さい第二ドープ領域と、

前記ソース、前記アクティブ領域の前記第二ドープ領域から露出した部分と、前記第二ドープ領域と、前記ドレインと、前記第一ドープ領域と、前記副電極金属層を覆い、前記ドレインに接続された主画素電極と前記副電極金属層に接続された副画素電極とが上に設けられるパッシベーション層と、をさらに含む。

50

【0009】

一つの実施例において、前記第一ドーピング領域は第一高濃度ドーピング領域と第一低濃度ドーピング領域を含み、

前記第一高濃度ドーピング領域は、前記ベース基板の横方向と平行する方向において、前記第一低濃度ドーピング領域の両端に配置され、前記第一低濃度ドーピング領域の一端に配置される前記第一高濃度ドーピング領域が前記ドレインに接続され、前記第一低濃度ドーピング領域の他端に配置される前記第一高濃度ドーピング領域が前記副電極金属層に接続される。

【0010】

一つの実施例において、前記第一高濃度ドーピング領域のドーピング濃度は前記第二ドーピング領域のドーピング濃度に等しい。

【0011】

一つの実施例において、前記第一高濃度ドーピング領域のドーピング濃度は前記第一低濃度ドーピング領域のドーピング濃度よりも大きい。

【0012】

一つの実施例において、前記第一ドーピング領域のドーピング型と前記第二ドーピング領域のドーピング型はいずれもP型ドーピングである。

【0013】

第二態様は、アレイ基板であって、
ベース基板と

前記ベース基板に設けられた、複数の走査線と、複数のデータ線と、複数の画素ユニットと、を含み、

前記走査線と前記データ線により複数の画素領域が限定され、前記画素領域が主画素領域と副画素領域を含み、

前記画素ユニットは第一態様に記載の画素構造を含み、前記ゲートが前記走査線に接続され、前記ソースが前記データ線に接続され、前記主画素電極が前記主画素領域に設置され、前記副画素電極が前記副画素領域に設置される。

【0014】

第三態様は、アレイ基板の製造方法であって、
ベース基板の上面にゲートを形成するステップと、

前記ゲートと前記ゲート以外の前記ベース基板との上面にゲート絶縁層を形成するステップと、

前記ゲート絶縁層の上面に、前記ゲートに対応する上方の前記ゲート絶縁層の上面領域に位置するアクティブ領域を形成するステップと、

前記アクティブ領域の上面両端に第二ドーピング領域を形成して、前記ゲート絶縁層の上面に前記アクティブ領域及び第二ドーピング領域と間隔をおいて第一ドーピング領域を形成するステップと、

前記ゲート絶縁層の上面にソース、ドレイン及び副電極金属層を形成するステップであって、前記アクティブ領域の上面一端における前記第二ドーピング領域が前記ソースに接続され、前記アクティブ領域の上面他端における前記第二ドーピング領域が前記ドレインの第一端に接続され、前記ドレインの第二端が前記第一ドーピング領域の第一端に接続され、前記第一ドーピング領域の第二端が前記副電極金属層に接続されるステップと、

前記ソース、前記アクティブ領域、前記第二ドーピング領域、前記ドレイン、前記第一ドーピング領域及び前記副電極金属層の上方にパッシベーション層を形成し、前記パッシベーション層上に主画素電極及び副画素電極を設置し、前記主画素電極と前記ドレインを接続させ、前記副画素電極と前記副電極金属層を接続させるステップと、を含む。

【0015】

一つの実施例において、前記アクティブ領域の上面両端に第二ドーピング領域を形成して、前記ゲート絶縁層の上面に前記アクティブ領域及び第二ドーピング領域と間隔をおいて第一ドーピング領域を形成するステップは、

前記第一ドーピング領域に第一高濃度ドーピング領域と第一低濃度ドーピング領域を形成するステッ

10

20

30

40

50

ブと、

化学気相堆積により前記アクティブ領域の上面両端に第二ドーピング領域を形成し、前記ゲート絶縁層の上面に前記アクティブ領域及び第二ドーピング領域と間隔をおいて第一高濃度ドーピング領域を形成するステップと、

化学気相堆積により前記第一高濃度ドーピング領域の間に第一低濃度ドーピング領域を形成するステップであって、前記第一高濃度ドーピング領域のドーピング濃度が前記第二ドーピング領域のドーピング濃度に等しいステップと、を含む。

【0016】

一つの実施例において、前記化学気相堆積に用いられるガスはホスフィン及びモノシランを含み、

前記第一高濃度ドーピング領域と前記第二ドーピング領域とにおける前記モノシランのガス流量に対する前記ホスフィンのガス流量の第一比率Mは、第一所定比率範囲を満たし、

前記第一所定比率範囲は $1 : 2.0 \leq M \leq 1 : 1.5$ である。

【0017】

一つの実施例において、前記第一低濃度ドーピング領域における前記モノシランのガス流量に対する前記ホスフィンのガス流量の第二比率Nは、第二所定比率範囲を満たし、

前記第二所定比率範囲は $1 : 0.5 \leq N \leq 1 : 0.1$ である。

【発明の効果】

【0018】

本開示実施例による画素構造の効果は、薄膜トランジスタのドレインが主画素電極に直接に接続されるが、薄膜トランジスタのドレインが第一ドーピング領域を介して副画素電極にも接続され、画素構造の第一ドーピング領域が低ドーピング濃度として設置されることにより、薄膜トランジスタのドレインと副画素電極との間の抵抗は、第一ドーピング領域の低ドーピング濃度によって増大するため、薄膜トランジスタのドレインと副画素電極との間の抵抗はドレインと主画素電極との間の抵抗より大きくなる。薄膜トランジスタのドレインと副画素電極との間は、低ドーピング濃度の第一ドーピング領域により生成した抵抗がデータ信号電圧に対して分圧作用を有するため、副画素電極により取得されたデータ信号電圧が主画素電極により取得されたデータ信号電圧よりも小さく、これにより副画素領域の液晶回転角度が主画素領域の液晶回転角度よりも小さくなる。これにより、1つの薄膜トランジスタを用いて8ドメインVA表示を制御し、大角度の視野角範囲を保証する上でTFTの数及び製造ステップを減少させ、画素構造の構造複雑度及び製造コストを低減することができる。

【0019】

本開示実施例によるアレイ基板の効果は、ベース基板と、ベース基板に設けられた複数の走査線、複数のデータ線及び複数の画素ユニットとを含み、走査線及びデータ線により複数の画素領域が限定され、画素領域が主画素領域及び副画素領域を含み、画素ユニットは第一態様の内容のいずれか一項に記載の画素構造を含み、ゲートが走査線に接続され、ソースがデータ線に接続され、主画素電極が主画素領域に設けられ、副画素電極が副画素領域に設けられることにより、副画素電極により取得されたデータ信号電圧が主画素電極により取得されたデータ信号電圧よりも小さいため、副画素領域の液晶偏向角度が主画素領域の液晶偏向角度よりも小さくなる。これにより、1つの薄膜トランジスタを用いて8ドメインVA表示を制御し、大角度の視野角範囲を保証する上でTFTの数及び製造ステップを減少させ、アレイ基板の構造複雑度及び製造コストを低減することができる。

【0020】

本開示実施例によるアレイ基板の製造方法の効果は、薄膜トランジスタのドレインが主画素電極に直接に接続されるが、薄膜トランジスタのドレインが第一ドーピング領域を介して副画素電極にも接続され、画素構造の第一ドーピング領域が低ドーピング濃度として設置されることにより、薄膜トランジスタのドレインと副画素電極との間の抵抗は、第一ドーピング領域の低ドーピング濃度によって増大するため、薄膜トランジスタのドレインと副画素電極との間の抵抗はドレインと主画素電極との間の抵抗より大きくなる。薄膜トランジスタのドレインと副画素電極との間は、低ドーピング濃度の第一ドーピング領域により生成した抵抗がデータ信号

10

20

30

40

50

電圧に対して分圧作用を有するため、副画素電極により取得されたデータ信号電圧が主画素電極により取得されたデータ信号電圧よりも小さいため、副画素領域の液晶回転角度が主画素領域の液晶回転角度よりも小さくなる。これにより、1つの薄膜トランジスタを用いて8ドメインVA表示を制御することができ、大角度の視野角範囲を保証する上でTFTの数及び製造ステップを減少させ、画素構造の構造複雑度及び製造コストを低減する。

【図面の簡単な説明】

【0021】

本開示実施例による技術的解決手段をより明確に説明するために、以下に実施例又は従来の技術の説明に必要な図面を簡単に紹介し、明らかに、以下に説明する図面は本開示のいくつかの実施例だけであり、当業者にとって、創造的労働をしない前提で、これらの図面に基づいて他の図面を取得することができる。

【図1】本開示実施例による画素構造の断面構造概略図である。

【図2】本開示実施例によるアレイ基板の概略図である。

【図3】本開示実施例によるアレイ基板の等価回路図である。

【図4】本開示実施例によるアレイ基板の製造方法のフローチャートである。

【図5】本開示実施例によるアレイ基板の製造方法におけるS10に対応する断面概略図である。

【図6】本開示実施例によるアレイ基板の製造方法におけるS20に対応する断面概略図である。

【図7】本開示実施例によるアレイ基板の製造方法におけるS30に対応する断面概略図である。

【図8】本開示実施例によるアレイ基板の製造方法におけるS40に対応する断面概略図である。

【図9】本開示実施例によるアレイ基板の製造方法におけるS50に対応する断面概略図である。

【図10】本開示実施例によるアレイ基板の製造方法におけるS60に対応する断面概略図である。

【発明を実施するための形態】

【0022】

本開示が解決しようとする技術的課題、技術的解決手段及び有效果をより明確にするために、以下に図面及び実施例に関連して、本開示をさらに詳しく説明する。言うまでもないが、ここで説明する具体的実施例は単に本開示を解釈するために用いられ、本開示を限定するものではない。

【0023】

なお、素子は他の素子に「固定」又は「設置」されると記載される場合、当該他の素子に直接又は間接に位置してもよい。素子は他の素子に「接続」されると記載される場合、当該他の素子に直接又は間接に接続されてもよい。

【0024】

用語「上」、「下」、「左」、「右」などで指示される方位又は位置関係は、図面に示す方位又は位置関係に基づくものであり、説明しやすくするためのものに過ぎず、係る装置又は素子は必ず特定方位を有し、特定方位で構造され操作されることを意味又は暗示しないため、本開示に対する制限として理解されるべきではない。

【0025】

用語「第一」、「第二」は、説明しやすくするために用いられ、相対的重要性を意味又は暗示するものあるいは特徴の数を暗示するものとして理解されるべきではない。「複数」とは、他に明確かつ具体的な限定がない限り、二つ又は二つ以上を意味する。

【0026】

本開示明細書における「一つの実施例」又は「いくつかの実施例」を参照するなどの記載は、本開示の一つ又は複数の実施例において、当該実施例に関連して説明する特定の特徵、構造又は特点を含むことを意味する。したがって、本明細書の異なるところに現れる

10

20

30

40

50

文「一つの実施例において」、「いくつかの実施例において」、「他のいくつかの実施例において」、「別のいくつかの実施例において」などは、他に特別に強調されない限り、必ずしも同じ実施例を参考するものではなく、「一つ又は複数の実施例ではあるが全ての実施例ではない」ことを意味する。用語「含む」、「有する」及びそれらの変形は、他に特別に強調しない限り、いずれも「含むがこれらに限定しない」ことを意味する。

【0027】

従来の8ドメインVA表示構造は、複数のTF Tにより制御される必要があり、例えば、二つのTF Tを用いて主サブ画素及び副サブ画素をそれぞれ制御し、三番目のTF Tは副サブ画素の電圧保持期間において副サブ画素に対して部分放電を行い、あるいは、第三TF Tを省略し、二つのTF Tのみを使用して8ドメインVA表示構造を制御する。したがって、複数のTF Tの構造及びその製造等はいずれも複雑である。

10

【0028】

(第一実施例)

図1に示すように、本実施例による画素構造100は、

ベース基板1の上面に設けられるゲート611と、ゲート611を覆い、さらに前記ゲート611以外のベース基板1の上面を覆うゲート絶縁層62と、ゲート絶縁層62の上面に前記ベース基板1の横方向と平行する方向に沿って順に設置された、ソース613、ゲート611に対応する上方の領域に設置されるアクティブ領域612、ドレイン614、第一ドープ領域63、副電極金属層65と、

20

アクティブ領域612の上面両端に設置された第二ドープ領域64であって、アクティブ領域612の上面一端における第二ドープ領域64がソース613に接続され、アクティブ領域612の上面他端における第二ドープ領域64がドレインに接続され、第一ドープ領域のドープ濃度が第二ドープ領域64のドープ濃度より小さい第二ドープ領域64と、

ソース613、アクティブ領域612における第二ドープ領域64により覆われていない領域、第二ドープ領域64、ドレイン614、第一ドープ領域63、及び副電極金属層65を覆い、ドレイン614まで貫通した第一貫通孔67及び副電極金属層65まで貫通した第二貫通孔68が設けられ、ドレイン614が第一貫通孔67を介して主画素電極41に接続され、副電極金属層65が第二貫通孔68を介して副画素電極51に接続されるパッシベーション層66と、を含む。

【0029】

30

いくつかの実施例において、ゲート611、ソース613及びドレイン614はいずれも金属層である。ソース613とドレイン614は、いずれもゲート絶縁層62の上面に位置し、同様にゲート絶縁層62の上面に位置するアクティブ領域612により接続され、アクティブ領域612の上面のパッシベーション層66によりソース613とドレイン614が隔てられる。ゲート611とソース613及びドレイン614とはゲート絶縁層62により隔てられる。ここで、ゲート611、ソース613及びドレイン614はいずれも任意の電気の良導体材料で構成されてもよく、例えば、アルミニウム(Al)、銅(Cu)、銀(Ag)、モリブデン(Mo)の少なくとも一つの材料で構成され、又はアルミニウム(Al)、銅(Cu)、銀(Ag)、モリブデン(Mo)が任意の配合比率で形成された合金材料からなる。

40

【0030】

いくつかの実施例において、ゲート611はさらに走査線2として用いられる。アクティブ領域612は、非晶質シリコンA-Si又は多結晶シリコンで構成され、又は、金属酸化物半導体のインジウムガリウム亜鉛酸化物IGZO(Indium Gallium Zinc Oxide)で構成される。

【0031】

いくつかの実施例において、ゲート絶縁層62及びパッシベーション層66(Passivation, PVX)は任意の電気的不良導体材料で構成されてもよく、例えば、窒化ケイ素(SiNx)層、酸化ケイ素(SiOx)層の少なくとも一つの材料で構成される。ゲート絶縁層62はゲート611を隔離させるために用いられ、パッシベーション層

50

6 6 は一定の強度を有する保護層として用いられるとともに、また絶縁作用も有する。

【0032】

いくつかの実施例において、第二ドープ領域 6 4 は高濃度ドープ領域であり、半導体材料で形成されたアクティブ領域 6 1 2 とソース 6 1 3 及びドレイン 6 1 4 との接触抵抗を低下させるように、オーミック接触を形成しやすい一方、第一ドープ領域 6 3 のドープ濃度が第二ドープ領域 6 4 のドープ濃度よりも小さいため、第一ドープ領域 6 3 の抵抗が第二ドープ領域 6 4 より大きく、動作中に分圧の作用を果たしやすい。

【0033】

いくつかの実施例において、第一ドープ領域 6 3 は第一高濃度ドープ領域 6 3 1 及び第一低濃度ドープ領域 6 3 2 を含む。ベース基板の横方向と平行する方向において、第一高濃度ドープ領域 6 3 1 は第一低濃度ドープ領域 6 3 2 の両端に配置され、第一低濃度ドープ領域 6 3 2 の一端に配置される第一高濃度ドープ領域 6 3 1 がドレイン 6 1 4 に接続され、第一低濃度ドープ領域 6 3 2 の他端に配置される第一高濃度ドープ領域 6 3 1 が副電極金属層 6 5 に接続される。ここで、第一低濃度ドープ領域 6 3 2 の両端における第一高濃度ドープ領域 6 3 1 はオーミック接触を形成することで、第一ドープ領域 6 3 とドレイン 6 1 4 及び副電極金属層 6 5 との接触抵抗を低減することができる。

【0034】

いくつかの実施例において、第一高濃度ドープ領域 6 3 1 のドープ濃度は第二ドープ領域 6 4 のドープ濃度に等しく、第一高濃度ドープ領域 6 3 1 のドープ濃度は第一低濃度ドープ領域 6 3 2 のドープ濃度よりも大きい。第一高濃度ドープ領域 6 3 1 のドープ濃度が第二ドープ領域 6 4 のドープ濃度に等しいことは、堆積プロセスの複雑度を低減して堆積の時間を節約することに寄与し、第一高濃度ドープ領域 6 3 1 のドープ濃度が第一低濃度ドープ領域 6 3 2 のドープ濃度よりも大きいことは、オーミック接触の形成に寄与し、これにより第一ドープ領域 6 3 とドレイン 6 1 4 及び副電極金属層 6 5 との接触抵抗を低減することができる。

【0035】

いくつかの実施例において、第一ドープ領域 6 3 のドープ型と第二ドープ領域 6 4 のドープ型はいずれも P 型ドープであり、P 型ドープが薄膜トランジスタ 6 1 のスイッチング制御に寄与する。

【0036】

(第二実施例)

図 2 に示すように、本実施例によるアレイ基板 3 0 0 は、

ベース基板 1 と

ベース基板 1 に設けられた、複数の走査線 2、複数のデータ線 3 及び複数の画素ユニット 2 0 0 と、を含み、

走査線 2 とデータ線 3 により複数の画素領域が限定され、画素領域が主画素領域 4 と副画素領域 5 を含み、

画素ユニット 2 0 0 は第一実施例のいずれか一項に記載の画素構造 1 0 0 を含み、ゲート 6 1 1 が走査線 2 に接続され、ソース 6 1 3 がデータ線 3 に接続され、主画素電極 4 1 が主画素領域 4 に設置され、副画素電極 5 1 が副画素領域 5 に設置され、ここで、ゲート 6 1 1、アクティブ領域 6 1 2、ソース 6 1 3 及びドレイン 6 1 4 は薄膜トランジスタ 6 1 を構成する。なお、図 2 及び図 3 は一つの画素ユニット 2 0 0、一本の走査線 2 及び一本のデータ線 3 のみを示す。

【0037】

図 3 に示すように、薄膜トランジスタ 6 1 のゲート 6 1 1 は走査線 2 からの走査電圧 (SCAN) を受信し、薄膜トランジスタ 6 1 のゲート 6 1 1 は走査線 2 の走査電圧に基づいて薄膜トランジスタ 6 1 のオンオフを制御する。薄膜トランジスタ 6 1 がオンにされるとき、データ線 3 からのデータ電圧 (DATA) が主画素電極 4 1 に印加されることができ、主画素電極 4 1 とその対向側の上共通電極 (図示せず、電圧 VCOM を提供するためのもの) との間の電圧が両者の間の液晶層 (図示せず) に印加され、第一液晶コンデンサ

10

20

30

40

50

7が形成され、データ線3からのデータ電圧(DATA)により第一液晶コンデンサ7が充電され、これにより主画素領域4内の対応する液晶分子の回転が駆動される。薄膜トランジスタ61がオンにされるとき、データ線3からのデータ電圧(DATA)が副画素電極51に印加されることができ、副画素電極51とその対向側の上共通電極(図示せず、電圧VCOMを提供するためのもの)との間の電圧が両者の間の液晶層(図示せず)に印加され、第二液晶コンデンサ8が形成され、データ線3からのデータ電圧(DATA)により第二液晶コンデンサ8が充電され、これにより副画素領域5内の対応する液晶分子が回転駆動される。

【0038】

図3に示すように、データ線3からのデータ電圧(DATA)は、第二液晶コンデンサ8を充電するとき、第一ドープ領域63で形成された等価抵抗Rを通過する必要がある、等価抵抗Rが分圧作用を有し、データ線3からのデータ電圧(DATA)の一部を分離させるため、副画素領域5のデータ電圧が主画素領域4のデータ電圧より小さくなり、さらに、副画素領域5内の液晶分子の回転程度と主画素領域4内の液晶分子の回転程度が異なる。このように、主画素電極41と副画素電極51をいずれも4ドメイン構造として設置することにより、一つのTFT(薄膜トランジスタ61)を基に8ドメインを実現することができ、当該画素構造100におけるTFTの数及び製造ステップを減少させ、当該画素構造100の構造複雑度及び製造コストを低減する。

【0039】

いくつかの実施例において、第一ドープ領域63のドープ濃度が第二ドープ領域64のドープ濃度よりも小さいことを満たすことにより、第一ドープ領域63の抵抗が第二ドープ領域64よりも大きい場合、VA表示構造の視野角の要求に基づいて第一ドープ領域63のドープ濃度を調整して第一ドープ領域63の分圧の大きさを変更することにより、副画素領域5内の液晶分子の回転程度を調整し、より優れる大角度の表示視野角を実現することができる。

【0040】

いくつかの実施例において、第二ドープ領域64は金属層であり、これにより堆積時間が低減され、製造コストが低減される。

【0041】

本実施例は、従来技術と比べて以下の効果がある。

本実施例による画素構造及びアレイ基板は、薄膜トランジスタのドレインが主画素電極に直接に接続されるが、薄膜トランジスタのドレインが第一ドープ領域を介して副画素電極にも接続され、画素構造の第一ドープ領域が低ドープ濃度として設置されることにより、薄膜トランジスタのドレインと副画素電極との間の抵抗は、第一ドープ領域の低ドープ濃度によって増大するため、薄膜トランジスタのドレインと副画素電極との間の抵抗はドレインと主画素電極との間の抵抗より大きくなる。薄膜トランジスタのドレインと副画素電極との間には、低ドープ濃度の第一ドープ領域により生成した抵抗がデータ信号電圧に対して分圧作用を有するため、副画素電極により取得されたデータ信号電圧が主画素電極により取得されたデータ信号電圧よりも小さいため、副画素領域の液晶回転角度が主画素領域の液晶回転角度よりも小さくなる。これにより、1つの薄膜トランジスタを用いて8ドメインVA表示を制御し、大角度の視野角範囲を保証する上でTFTの数及び製造ステップを減少させ、画素構造の構造複雑度及び製造コストを低減することができる。

【0042】

本開示実施例による画素構造及びアレイ基板を有する表示パネルは、一つのTFTだけで8ドメインVA表示を実現することができ、大角度の視野角範囲を保証する上でTFTの数及び製造ステップを減少させ、低い構造複雑度及び製造コストを有する。表示パネルは、さらに、TFTの数を減少するため、単一の画素ユニットの有効表示領域を増加させ、表示パネルの輝度を向上させる。

【0043】

(第3実施例)

図 4 に示すように、本実施例によるアレイ基板 300 の製造方法は、以下のステップを含む。

S10 図 5 に示すように、ベース基板 1 の上面一端にゲート 611 を形成する。

【0044】

いくつかの実施例において、物理気相堆積によりベース基板 1 に第一金属層を形成し、第一金属層の材料はアルミニウム及びモリブデンの少なくとも一種を含む。次に、マスキング及びフォトリソグラフィによりゲート 611 を形成し、ゲート 611 がさらに走査線 2 として使用される。

【0045】

S20 図 6 に示すように、ゲート 611 とゲート 611 以外のベース基板 1 との上面にゲート絶縁層 62 を形成する。

【0046】

いくつかの実施例において、さらに、化学気相堆積により、ゲート 611 とゲート 611 以外のベース基板 1 との上面にマスキング及びフォトリソグラフィによりゲート絶縁層 62 を形成し、ゲート絶縁層 62 の材料は窒化シリコン及び酸化シリコンの少なくとも一種を含む。

【0047】

S30 図 7 に示すように、ゲート絶縁層 62 の上面にアクティブ領域 612 を形成する。

【0048】

いくつかの実施例において、化学気相堆積によりゲート絶縁層 62 の上面に非晶質シリコン層又は多結晶シリコン層を形成し、さらにマスクフォトリソグラフィプロセスによりアクティブ領域 612 を形成する。又は、物理気相堆積によりゲート絶縁層 62 の上面に多結晶シリコン層又は金属酸化物半導体層を形成した後、マスクフォトリソグラフィプロセスによりアクティブ領域 612 を形成する。ここで、金属酸化物は IGO（酸化インジウムガリウム亜鉛）を含み、アクティブ領域 612 はゲート 611 に対応する上方のゲート絶縁層 62 の上面領域に位置する。

【0049】

S40、図 8 に示すように、アクティブ領域 612 の上面両端に第二ドープ領域 64 を形成し、ゲート 611 に対応する上方のゲート絶縁層 62 の上面領域以外の領域に第一ドープ領域 63 を形成する。

【0050】

いくつかの実施例において、化学気相堆積によりアクティブ領域 612 の上面両端にイオンドープを行って堆積し、マスキング及びフォトリソグラフィにより第二ドープ領域 64 を形成する。第二ドープ領域 64 はオーミック接触層であり、アクティブ領域 612 とソース 613 及びドレイン 614 との接触抵抗を低減するために用いられる。さらに、ゲート 611 に対応する上方のゲート絶縁層 62 の上面領域以外の領域にイオンドープを行って堆積し、マスキング及びフォトリソグラフィにより第一ドープ領域 63 を形成する。

【0051】

一つの実施例において、アクティブ領域 612 の上面両端に第二ドープ領域 64 を形成し、ゲート 611 に対応する上方のゲート絶縁層 62 の上面領域以外の領域に第一ドープ領域 63 を形成するステップは、

第一ドープ領域 63 は、第一高濃度ドープ領域 631 及び第一低濃度ドープ領域 632 を含み、

化学気相堆積により、アクティブ領域 612 の上面両端に第二ドープ領域 64 を形成し、ゲート 611 に対応する上方のゲート絶縁層 62 の上面領域以外の領域に、第二ドープ領域 64 と形状が同じである第一高濃度ドープ領域 631 を形成するステップと、

化学気相堆積により、第一高濃度ドープ領域 631 の間に第一低濃度ドープ領域 632 を形成するステップと、を含む。

【0052】

第一ドーブ領域 6 3 に第一高濃度ドーブ領域 6 3 1 を形成するステップは、第一高濃度ドーブ領域 6 3 1 をオーミック接触層として、第一低濃度ドーブ領域 6 3 2 の両端それぞれがソース 6 1 3 と副電極金属層 6 5 とに接続される接触抵抗を低減するために用いられるためである。ここで、第一高濃度ドーブ領域 6 3 1 のドーブ濃度は第二ドーブ領域 6 4 のドーブ濃度に等しいことは、化学気相堆積のプロセスを簡素化させて堆積時間を低減することに寄与する。

【0053】

いくつかの実施例において、化学気相堆積に採用されるガスはホスフィン（ PH_3 ）及びモノシラン（ SiH_4 ）を含み、第一高濃度ドーブ領域 6 3 1 と第二ドーブ領域 6 4 とにおけるモノシランのガス流量に対するホスフィンのガス流量の第一比率 M は第一所定比率範囲を満たし、第一低濃度ドーブ領域 6 3 2 におけるモノシランのガス流量に対するホスフィンのガス流量の第二比率 N は第二所定比率範囲を満たす。

10

【0054】

いくつかの実施例において、第一所定比率範囲が $1:2.0 \leq M \leq 1:1.5$ として設置され、第二所定比率範囲が $1:0.5 \leq N \leq 1:0.1$ として設置される。第一所定比率範囲と第二所定比率範囲とのモノシランのガス流量に対するホスフィンのガス流量の比率は、化学気相堆積のプロセスをよりよく制御でき、ドーブ濃度の要求に合致するドーブ領域が得られる。

【0055】

S 5 0 図 9 に示すように、ゲート絶縁層 6 2 の上面にソース 6 1 3 を形成し、アクティブ領域 6 1 2 と第一ドーブ領域 6 3 との間のゲート絶縁層 6 2 の上面にドレイン 6 1 4 を形成し、ゲート絶縁層 6 2 の上面に第一ドーブ領域 6 3 に隣接して副電極金属層 6 5 を形成し、副電極金属層 6 5 とドレイン 6 1 4 はそれぞれ第一ドーブ領域 6 3 の両側に隣接する。

20

【0056】

いくつかの実施例において、物理気相堆積によりゲート絶縁層 6 2 の上面に第二金属層を形成し、第二金属層の材料はアルミニウム及びモリブデンの少なくとも一種を含み、その後、マスキング及びフォトリソグラフィによりソース 6 1 3 を形成し、アクティブ領域 6 1 2 と第一ドーブ領域 6 3 との間のゲート絶縁層 6 2 の上面にドレイン 6 1 4 を形成し、ゲート絶縁層 6 2 の上面に副電極金属層 6 5 を形成する。ここで、アクティブ領域 6 1 2 の上面一端における第二ドーブ領域 6 4 がソース 6 1 3 に接続され、アクティブ領域 6 1 2 の上面他端の第二ドーブ領域 6 4 がドレイン 6 1 4 の第一端に接続され、ドレイン 6 1 4 の第二端が第一ドーブ領域 6 3 の第一端に接続され、第一ドーブ領域 6 3 の第二端が副電極金属層 6 5 に接続される。

30

【0057】

S 6 0 図 1 0 に示すように、ソース 6 1 3 と、第二ドーブ領域 6 4 に覆われた以外のアクティブ領域 6 1 2 の上面領域と、ソース 6 1 3 及びドレイン 6 1 4 に覆われた以外の第二ドーブ領域 6 4 の上面領域と、ドレイン 6 1 4 と、第一ドーブ領域 6 3 と、副電極金属層 6 5 との上方にパッシベーション層 6 6 を形成する。

【0058】

いくつかの実施例において、化学気相堆積等により、ソース 6 1 3 と、第二ドーブ領域 6 4 に覆われた以外のアクティブ領域 6 1 2 の上面領域と、ソース 6 1 3 及びドレイン 6 1 4 に覆われた以外の第二ドーブ領域 6 4 の上面領域と、ドレイン 6 1 4 と、第一ドーブ領域 6 3 と、副電極金属層 6 5 との上方に一つの絶縁材料層を形成し、その後にマスキング及びフォトリソグラフィによりパッシベーション層 6 6 を形成し、パッシベーション層 6 6 の材料は窒化ケイ素又は酸化ケイ素の少なくとも一種を含む。ここで、パッシベーション層 6 6 には、ドレイン 6 1 4 まで貫通した第一貫通孔 6 7 と、副電極金属層 6 5 まで貫通した第二貫通孔 6 8 が設けられ、ドレイン 6 1 4 を第一貫通孔 6 7 を介して主画素電極 4 1 に接続させ、副電極金属層 6 5 を第二貫通孔 6 8 を介して副画素電極 5 1 に接続させる。

40

50

【0059】

ここで、ドレイン614を第一貫通孔67を介して主画素電極41に接続させ、副電極金属層65を第二貫通孔68を介して副画素電極51に接続させることは、

物理気相堆積により、第一貫通孔67及び第二貫通孔68において一つの透明金属層を形成するステップであって、透明金属層の材料は酸化インジウムスズ、酸化インジウム亜鉛、酸化アルミニウム亜鉛などであってもよいステップと、

その後、マスキング及びフォトリソグラフィにより開口領域に位置する主画素電極41及び副画素電極51を形成するステップであって、主画素電極41が第一貫通孔67を介してドレイン614に接続され、副画素電極51が第二貫通孔68を介して副電極金属層65に接続されるステップと、を含む。

10

【0060】

本開示実施例は、従来技術と比べて以下の効果がある。

本開示実施例によるアレイ基板の製造方法は、薄膜トランジスタのドレインが主画素電極に直接に接続されるが、薄膜トランジスタのドレインが第一ドープ領域を介して副画素電極にも接続され、画素構造の第一ドープ領域が低ドープ濃度として設置されることにより、薄膜トランジスタのドレインと副画素電極との間の抵抗は、第一ドープ領域の低ドープ濃度によって増大するため、薄膜トランジスタのドレインと副画素電極との間の抵抗はドレインと主画素電極との間の抵抗より大きくなる。薄膜トランジスタのドレインと副画素電極との間は、低ドープ濃度の第一ドープ領域により生成した抵抗がデータ信号電圧に対して分圧作用を有するため、副画素電極により取得されたデータ信号電圧が主画素電極により取得されたデータ信号電圧よりも小さいため、副画素領域の液晶回転角度が主画素領域の液晶回転角度よりも小さくなる。これにより、1つの薄膜トランジスタを用いて8ドメインVA表示を制御することができ、大角度の視野角範囲を保証する上でTFTの数及び製造ステップを減少させ、画素構造の構造複雑度及び製造コストを低減する。

20

【0061】

本開示実施例による画素構造及びアレイ基板を有する表示パネルは、一つのTFTだけで8ドメインVA表示を実現することができ、大角度の視野角範囲を保証する上でTFTの数及び製造ステップを減少させ、低い構造複雑度及び製造コストを有する。

【0062】

言うまでもないが、上記実施例における各ステップの番号の大きさは実行順序の先後を意味するものではなく、各過程の実行順序はその機能及び固有論理により決定されるべきであり、本開示実施例の実施過程に対する任意限定を構成するべきではない。

30

【0063】

上記実施例において、各実施例に対する説明はいずれも重点を有し、ある実施例において詳しく説明又は記載されていない部分は、他の実施例の関連説明を参照することができる。

【0064】

上記実施例は本開示の技術的解決手段を説明するためのものに過ぎず、限定するものではない。上記実施例を参照して本開示を詳しく説明したが、当業者が理解すべきであるように、上記各実施例に記載された技術的解決手段に対して修正するか又は一部の特徴を同等に置換することができる。これらの修正又は置換は、対応する技術的解決手段の本質を本開示の各実施例に係る技術的解決手段の精神及び範囲から逸脱するものではなく、いずれも本開示の保護範囲内に含まれるべきである。

40

【符号の説明】

【0065】

- 100 画素構造
- 200 画素ユニット
- 300 アレイ基板
- 1 ベース基板
- 2 走査線

50

- 3 データ線
- 4 主画素領域
- 4 1 主画素電極
- 5 副画素領域
- 5 1 副画素電極
- 6 1 薄膜トランジスタ
- 6 1 1 ゲート
- 6 1 2 アクティブ領域
- 6 1 3 ソース
- 6 1 4 ドレイン
- 6 2 ゲート絶縁層
- 6 3 第一ドープ領域
- 6 3 1 第一高濃度ドープ領域
- 6 3 2 第一低濃度ドープ領域
- 6 4 第二ドープ領域
- 6 5 副電極金属層
- 6 6 パッシベーション層
- 6 7 第一貫通孔
- 6 8 第二貫通孔
- 7 第一液晶コンデンサ
- 8 第二液晶コンデンサ
- 9 第一記憶コンデンサ
- 1 0 第二記憶コンデンサ

10

20

【図面】

【図 1】

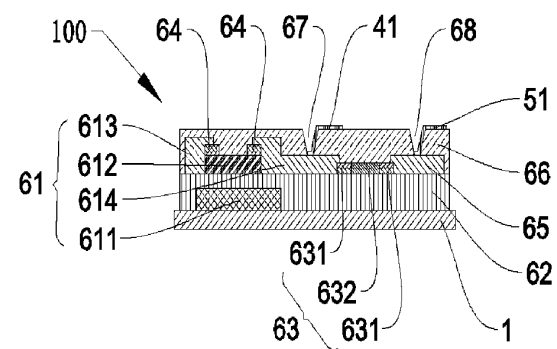


图 1

【図 2】

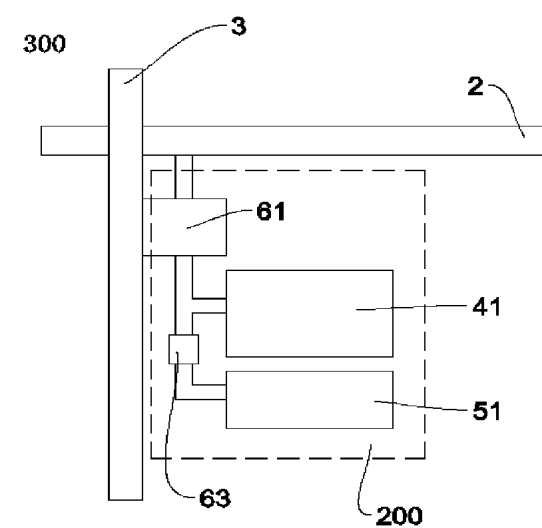


图 2

30

40

50

【図 3】

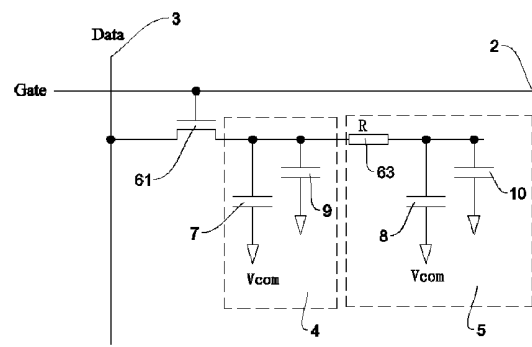
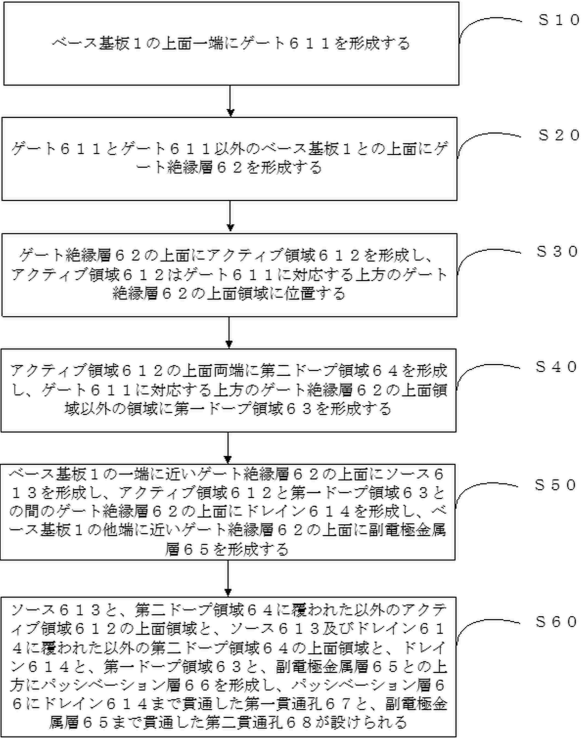


图 3

【図 4】



【図 5】

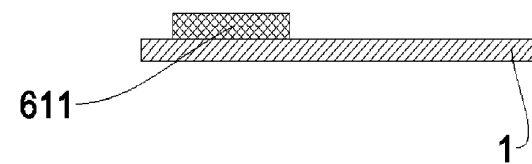


图 5

【図 6】

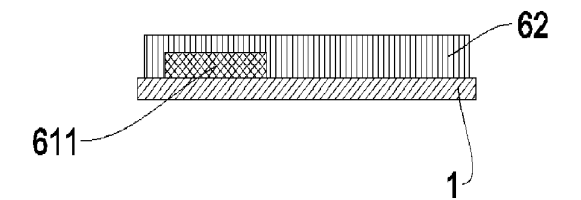


图 6

10

20

30

40

50

【図 7】

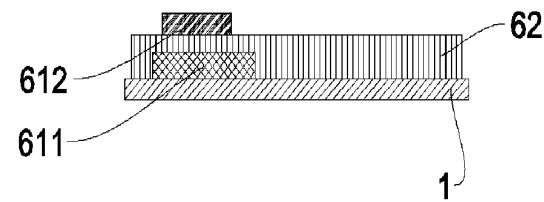


图 7

【図 8】

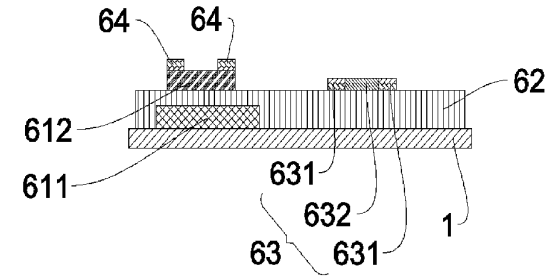


图 8

【図 9】

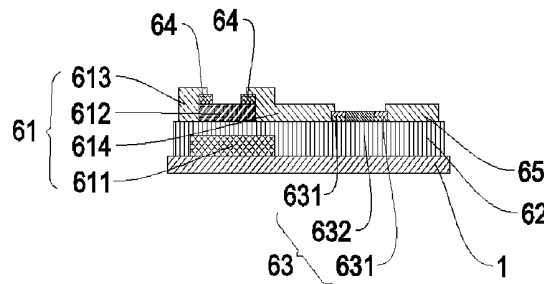


图 9

【図 10】

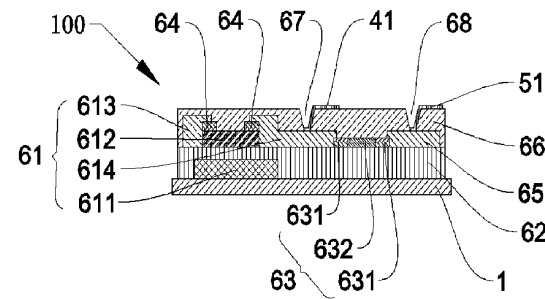


图 10

10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I
H 0 1 L 29/78 6 1 8 B

treet, Baoan District, Shenzhen, China

(74)代理人 110000877

弁理士法人 R Y U K A 国際特許事務所

(72)発明者 ブ、ヤン

中華人民共和国広東省深セン市宝安区石岩街道石龍社区工業二路1号恵科工業園厂房1棟一層至三層、五至七層、6棟七層、▲郵▼▲編▼5 1 8 0 0 0

(72)発明者 リ、ロンロン

中華人民共和国広東省深セン市宝安区石岩街道石龍社区工業二路1号恵科工業園厂房1棟一層至三層、五至七層、6棟七層、▲郵▼▲編▼5 1 8 0 0 0

審査官 田付 徳雄

(56)参考文献

特開 2 0 0 6 - 1 8 4 5 1 6 (J P , A)

米国特許出願公開第 2 0 0 7 / 0 0 1 3 6 3 3 (U S , A 1)

特開 2 0 0 8 - 2 8 7 1 1 5 (J P , A)

米国特許出願公開第 2 0 1 8 / 0 3 6 4 5 3 1 (U S , A 1)

特開 2 0 1 3 - 1 0 5 8 7 3 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 1 / 3 3 6

G 0 2 F 1 / 1 3 6 8

H 0 1 L 2 9 / 7 8 6