(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0001594
(43) 공개일자 2018년01월04일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/3648 (2013.01)
G09G 3/3614 (2013.01)
(21) 출원번호 10-2017-7037302(분할)
(22) 출원일자(국제) 2011년01월19일
심사청구일자 없음
(62) 원출원 특허 10-2012-7023370
원출원일자(국제) 2011년01월19일
심사청구일자 2016년01월18일
(85) 번역문제출일자 2017년12월26일
(86) 국제출원번호 PCT/JP2011/051375
(87) 국제공개번호 WO 2011/099359
국제공개일자 2011년08월18일
(30) 우선권주장
JP-P-2010-029446 2010년02월12일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
고야마 준
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 16 항

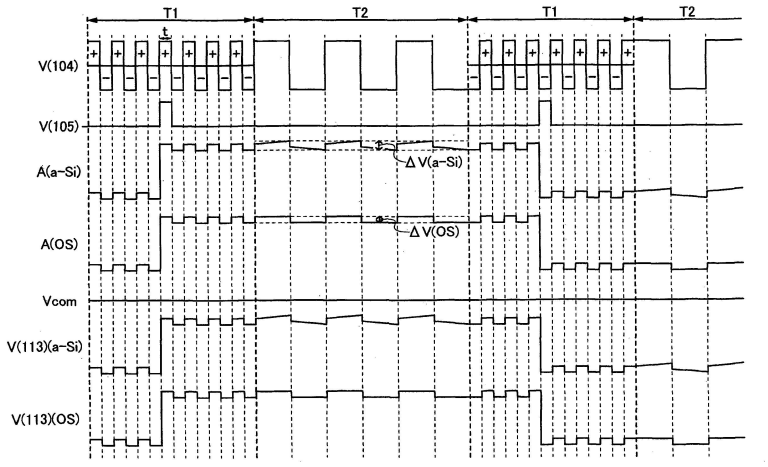
(54) 발명의 명칭 **표시 장치 및 구동 방법**

(57) 요 약

본 발명은, 표시 장치의 소비 전력을 저감하고, 또한 표시 품질의 저하를 억제하는 것을 과제로 한다.

표시 장치의 각 화소에 설치되는 트랜지스터로서, 산화물 반도체층을 구비하는 트랜지스터를 적용한다. 또한, 이 산화물 반도체층을 고순도화함으로써, 이 트랜지스터의 오프 전류를 줄이는 것이 가능하다. 따라서, 이 트랜지스터의 오프 전류에 의한 데이터 신호의 값의 변동을 억제할 수 있다. 즉, 이 트랜지스터가 설치된 화소에 대한 데이터 신호의 기입 빈도를 저감한 경우(휴지 기간이 장기화된 경우)에서의 표시의 열화(변화)를 억제할 수 있다. 또한, 휴지 기간에 신호선에 공급되는 교류의 구동 신호의 주파수를 저감한 경우의 표시의 플리커를 억제할 수 있다.

대 표 도



(52) CPC특허분류
G09G 3/3655 (2013.01)
G09G 3/3688 (2013.01)
G09G 2310/0297 (2013.01)
G09G 2310/06 (2013.01)
G09G 2320/0214 (2013.01)
G09G 2320/0247 (2013.01)
G09G 2330/021 (2013.01)

명 세 서

청구범위

청구항 1

표시 장치로서,

주사 기간에 데이터 신호가 공급되고, 상기 주사 기간에 뒤따르며, 상기 주사 기간보다 긴 휴지 기간에 상기 데이터 신호보다 주파수가 낮은 교류의 구동 신호가 공급되는 신호선;

상기 주사 기간에 포함되는 1 수평 주사 기간에 선택 신호가 공급되고, 상기 1 수평 주사 기간 이외의 기간에 있어서 비선택 신호가 공급되는 주사선; 및

산화물 반도체층을 포함하는 트랜지스터를 포함하고,

상기 트랜지스터는 게이트, 소스, 및 드레인을 갖고,

상기 게이트는 상기 주사선에 전기적으로 접속되고,

상기 소스 및 상기 드레인 중 한쪽은 상기 신호선에 전기적으로 접속되고,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하고,

단위 채널 폭(1㎛)당 상기 산화물 반도체층을 포함하는 상기 트랜지스터의 오프 전류가 1×10^{-18} A/㎛ 이하인, 표시 장치.

청구항 2

제 1 항에 있어서,

하나의 프레임 기간은 상기 주사 기간과 상기 휴지 기간으로 이루어진, 표시 장치.

청구항 3

제 1 항에 있어서,

상기 신호선의 전위를 제어하는 신호선 구동 회로; 및

상기 신호선 구동 회로에 상기 데이터 신호 또는 상기 구동 신호를 선택적으로 출력하는 콘트롤러를 더 포함하고,

상기 콘트롤러는,

상기 데이터 신호를 생성하는 데이터 신호 생성 회로;

상기 구동 신호를 생성하는 구동 신호 생성 회로; 및

상기 콘트롤러의 출력 신호로서, 상기 주사 기간에 상기 데이터 신호를 선택하고 상기 휴지 기간에 상기 구동 신호를 선택하는 스위치를 포함하는, 표시 장치.

청구항 4

제 3 항에 있어서,

상기 콘트롤러는,

상기 데이터 신호와 주파수가 동일한 제 1 클록 신호를 생성하는 기준 클록 신호 생성 회로;

상기 제 1 클록 신호를 분주하여 상기 구동 신호와 주파수가 동일한 제 2 클록 신호를 생성하는 주파수 분주 회로; 및

상기 신호선 구동 회로에서 이용되는 클록 신호로서, 상기 주사 기간에 상기 제 1 클록 신호를 선택하고 상기 휴지 기간에 상기 제 2 클록 신호를 선택하는 클록 신호 선택 스위치를 포함하는, 표시 장치.

청구항 5

제 1 항에 있어서,

상기 구동 신호의 전압의 변동이 상기 데이터 신호의 전압 변동 범위 내에 있는, 표시 장치.

청구항 6

제 1 항에 있어서,

한쪽의 단자가 상기 트랜지스터의 상기 소스 및 상기 드레인의 다른 한쪽에 전기적으로 접속되고, 다른 한쪽의 단자가 공통 전위선에 전기적으로 접속된 용량 소자; 및

한쪽의 단자가 상기 트랜지스터의 상기 소스 및 상기 드레인의 다른 한쪽과 상기 용량 소자의 상기 한쪽의 단자에 전기적으로 접속되고, 다른 한쪽의 단자가 상기 공통 전위선에 전기적으로 접속된 액정 소자를 더 포함하고,

상기 공통 전위선의 전위가, 상기 주사 기간에 상기 데이터 신호와 역의 극성을 가지는 상기 공통 전위선용 구동 신호가 되고, 상기 휴지 기간에 고정 전위를 가지는 신호가 되는, 표시 장치.

청구항 7

제 1 항에 있어서,

한쪽의 단자가 상기 트랜지스터의 상기 소스 및 상기 드레인의 다른 한쪽에 전기적으로 접속되고, 다른 한쪽의 단자가 공통 전위선의 전위가 공급되는 배선에 전기적으로 접속된 용량 소자; 및

한쪽의 단자가 상기 트랜지스터의 상기 소스 및 상기 드레인의 다른 한쪽과 상기 용량 소자의 상기 한쪽의 단자에 전기적으로 접속되고, 다른 한쪽의 단자가 상기 공통 전위선의 상기 전위가 공급되는 상기 배선에 전기적으로 접속된 액정 소자를 더 포함하고,

상기 공통 전위선의 상기 전위가, 상기 주사 기간에 상기 데이터 신호와 역의 극성을 가지는 제 1 공통 전위선용 구동 신호가 되고, 상기 휴지 기간에 상기 구동 신호와 같은 극성을 가지는 제 2 공통 전위선용 구동 신호가 되는, 표시 장치.

청구항 8

제 7 항에 있어서,

상기 구동 신호와, 상기 제 2 공통 전위선용 구동 신호가 동일한 신호인, 표시 장치.

청구항 9

제 1 항에 있어서,

단위 채널 폭(1㎛)당 상기 트랜지스터의 오프 전류는 100 zA/㎛ 이하인, 표시 장치.

청구항 10

제 1 항에 있어서,

상기 산화물 반도체층의 캐리어 밀도는 $1\times10^{11}/cm^3$ 미만인, 표시 장치.

청구항 11

표시 장치의 구동 방법으로서,

주사 기간에 신호선에 데이터 신호를 공급하는 단계; 및

휴지 기간에 상기 신호선에 교류의 구동 신호를 공급하는 단계를 포함하고,

상기 표시 장치는 산화물 반도체층을 포함하는 트랜지스터와, 상기 신호선을 포함하고,

상기 트랜지스터는 소스 및 드레인을 갖고,

상기 소스 및 상기 드레인 중 한쪽은 상기 신호선에 전기적으로 접속되고,

상기 휴지 기간은 상기 주사 기간에 뒤따르고,

상기 휴지 기간은 상기 주사 기간보다 길고,

상기 교류의 구동 신호는 상기 데이터 신호보다 낮은 주파수를 갖고,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하고,

단위 채널 폭(1㎛)당 상기 트랜지스터의 오프 전류가 1×10^{-18} A/㎛ 이하인, 표시 장치 구동 방법.

청구항 12

제 11 항에 있어서,

상기 주사 기간에 포함되는 1 수평 주사 기간에 주사선에 선택 신호를 공급하는 단계; 및

상기 1 수평 주사 기간 이외의 기간에 상기 주사선에 비선택 신호를 공급하는 단계를 더 포함하는, 표시 장치 구동 방법.

청구항 13

제 11 항에 있어서,

상기 교류의 구동 신호의 전압의 변동이 상기 데이터 신호의 전압 변동 범위 내에 있는, 표시 장치 구동 방법.

청구항 14

제 11 항에 있어서,

상기 주사 기간에 공통 전위선에 상기 데이터 신호와 역의 극성을 가지는 공통 전위를 공급하는 단계; 및

상기 휴지 기간에 상기 공통 전위선에 고정 전위를 가진 신호를 공급하는 단계를 더 포함하고,

상기 공통 전위선은 액정 소자의 한쪽의 단자와 용량 소자의 한쪽의 단자에 전기적으로 접속되고,

상기 액정 소자의 다른 한쪽 단자와 상기 용량 소자의 다른 한쪽 단자는 상기 소스 및 상기 드레인 중 다른 한쪽에 전기적으로 접속된, 표시 장치 구동 방법.

청구항 15

제 11 항에 있어서,

상기 주사 기간에 공통 전위선에 상기 데이터 신호와 역의 극성을 가지는 제 1 공통 전위를 공급하는 단계; 및

상기 휴지 기간에 상기 공통 전위선에 상기 구동 신호와 동일한 극성을 가지는 제 2 공통 전위를 공급하는 단계를 더 포함하고,

상기 공통 전위선은 액정 소자의 한쪽의 단자와 용량 소자의 한쪽의 단자에 전기적으로 접속되고,

상기 액정 소자의 다른 한쪽의 단자와 상기 용량 소자의 다른 한쪽의 단자는 상기 소스와 상기 드레인의 다른 한쪽에 전기적으로 접속된, 표시 장치 구동 방법.

청구항 16

제 11 항에 있어서,

단위 채널 폭(1㎛)당 상기 산화물 반도체층을 포함하는 상기 트랜지스터의 오프 전류가 100 zA/㎛ 이하인, 표시 장치 구동 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은, 표시 장치에 관한 것이다. 특히, 액티브 매트릭스형의 표시 장치에 관한 것이다.

배 경 기 술

[0002] 매트릭스 형상으로 배열된 복수의 화소를 가지는 액티브 매트릭스형의 표시 장치가 보급되어 있다. 일반적으로, 이 화소는 트랜지스터와, 이 트랜지스터의 게이트에 전기적으로 접속되는 주사선과, 이 트랜지스터의 소스 및 드레인의 한쪽에 전기적으로 접속되는 신호선을 가진다. 그리고 주사선의 전위를 제어하는 것에 의해 트랜지스터를 온 상태로 함과 동시에, 신호선의 전위를 이 화소에 대한 데이터 신호가 되도록 제어한다. 이것에 의해, 소망의 화소에, 소망의 데이터 신호를 공급할 수 있다. 이 표시 장치는 이러한 조작을 각 화소에 대하여 순차 행함으로써 표시를 행한다. 현재는, 표시 장치의 표시가 1초 동안에 60회(60 Hz) 다시 쓸 수 있는 것이 일반적이다. 즉, 각 화소에 대하여 약 0.0167초에 1회의 빈도로, 데이터 신호의 입력(다시 쓰기)을 행하는 것이 일반적이다.

[0003] 최근에는, 지구 환경에 대한 관심이 높아져, 저소비 전력형의 표시 장치의 개발이 주목받고 있다. 예를 들면, 특허문헌 1에서는, 표시 장치의 표시의 다시쓰기 빈도를 저감함으로써 소비 전력을 저감하는 기술이 개시되어 있다. 특허문헌 1에 개시되는 표시 장치의 구체적인 구성에 대하여 이하에 설명한다.

[0004] 특허문헌 1에 개시되는 표시 장치에서는, 1 화면을 주사하는 주사 기간과, 이 주사 기간에 계속되고, 또한 이 주사 기간보다 긴 휴지 기간이 제공되고 있다. 그리고 이 휴지 기간에, 주사선의 전위를 비선택 신호에 고정함과 동시에, 신호선의 전위를, (1) 고정 전위로 하거나, (2) 고정 전위로 한 후에 부유 상태로 하거나, 또는 (3) 데이터 신호의 주파수 이하의 교류의 구동 신호로 하는 것 등의 기술이 개시되어 있다. 이것에 의해, 휴지 기간에서의 신호선의 전위의 변동에 따른 전력의 소비를 저감하고 있다. 또한, 휴지 기간에 신호선의 전위를 데이터 신호의 주파수 이하의 교류의 구동 신호로 하는 경우((3)의 경우), 신호선과 화소 전극의 용량 결합에 기인한 이 화소 전극의 전위의 변동을, 주사 기간과 휴지 기간에 거의 일정하게 하는 것이 가능하다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개 2002-182619호 공보

발명의 내용

해결하려는 과제

[0006] 휴지 기간에 신호선에 데이터 신호의 주파수 이하의 교류의 구동 신호를 공급하는 경우((3)의 경우), 이 휴지 기간의 장기화 및 이 구동 신호의 주파수의 저감이 소비 전력의 저감에 대하여 효과적이다. 그러나, 이 휴지 기간의 장기화 및 이 구동 신호의 주파수의 저감의 각각에 따라, 각 화소에 설치된 트랜지스터의 오프 전류의 값에 비례하여, 표시 품질이 저하될 개연성이 높아진다.

[0007] 먼저, 이 휴지 기간이 장기화한다는 것은, 화소가 데이터 신호를 보유한 채로, 이 화소에 설치된 트랜지스터가 오프 상태를 유지하는 기간이 장기화된다는 것이다. 따라서, 이 트랜지스터의 오프 전류에 의해 데이터 신호의 값이 변동하여, 각 화소의 표시가 열화(변화)할 개연성이 높아진다.

[0008] 또한, 이 구동 신호는 상술한 바와 같이 교류의 신호이다. 따라서, 신호선의 전위가 이 구동 신호의 특정의 반주기에 해당하는 기간에 있어서, 특정 화소가 가지는 데이터 신호보다 고전위가 되고, 또한, 상술한 반주기에 계속되는 반주기에 해당하는 기간에 있어서, 이 화소가 가지는 데이터 신호보다 저전위가 되는 상태가 될 수 있다. 이 경우, 이 화소에 설치된 트랜지스터에 생기는 오프 전류에 의해, 전자의 반주기에 해당하는 기간에 화소 전극의 전위가 $\Delta V1$ 상승하고, 후자의 반주기에 해당하는 기간에 화소 전극의 전위가 $\Delta V2$ 하강한다고 표현할 수 있다. 여기서, $\Delta V1$ 및 $\Delta V2$의 값은 이 반주기의 길이에 비례한다. 즉, 이 구동 신호의 주파수가 저감한다는 것은, 화소가 보유하는 신호의 변동이 커진다는 것이다. 따라서, 이 트랜지스터의 오프 전류에 의해 데이터 신호의 값이 변동하여, 각 화소의 표시에 플리커를 일으킬 개연성이 높아진다.

[0009] 따라서, 본 발명의 일 양태는, 표시 장치의 소비 전력을 저감하고, 또한 표시 품질의 저하를 억제하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0010] 상술한 과제는, 각 화소에 설치되는 트랜지스터로서, 산화물 반도체층을 구비하는 트랜지스터를 적용함으로써 해결할 수 있다. 또한, 이 산화물 반도체층은 전자 공여체(도너)가 되는 불순물(수소 또는 물 등)을 철저하게 제거함으로써 고순도화된 산화물 반도체층이다. 고순도화된 산화물 반도체층 중에는 수소나 산소 결손 등에 유래하는 캐리어가 매우 적고(제로에 가까움), 캐리어 밀도는 $1\times10^{12}/cm^3$ 미만, 바람직하게는 $1\times10^{11}/cm^3$ 미만이다. 즉, 산화물 반도체층의 수소나 산소 결손 등에 유래하는 캐리어 밀도를 한없이 제로에 가깝게 한다. 산화물 반도체층 중에 수소나 산소 결손 등에 유래하는 캐리어가 매우 적기 때문에, 트랜지스터의 오프 전류를 줄일 수 있다.

[0011] 즉, 본 발명의 일 양태는, 1 화면을 주사하는 주사 기간에 데이터 신호가 공급되고, 상기 주사 기간에 계속되고, 또한 상기 주사 기간보다 긴 휴지 기간에 상기 데이터 신호보다 주파수가 낮은 교류의 구동 신호가 공급되는 신호선과, 상기 주사 기간에 포함되는 1 수평 주사 기간에 선택 신호가 공급되고, 상기 1 수평 주사 기간 이외의 기간에 비선택 신호가 공급되는 주사선과 게이트가 상기 주사선에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 상기 신호선에 전기적으로 접속된, 산화물 반도체층을 구비하는 트랜지스터가 설치된 화소를 가지는 것을 특징으로 하는 표시 장치이다.

발명의 효과

[0012] 본 발명의 일 양태의 표시 장치는, 각 화소에 설치되는 트랜지스터로서, 산화물 반도체층을 구비하는 트랜지스터를 적용한다. 또한, 이 산화물 반도체층을 고순도화함으로써, 이 트랜지스터의 오프 전류를 줄이는 것이 가능하다. 따라서, 이 트랜지스터의 오프 전류에 의한 데이터 신호의 값의 변동을 억제할 수 있다. 즉, 이 트랜지스터가 설치된 화소에 대한 데이터 신호의 기입 빈도를 저감한 경우(휴지 기간이 장기화된 경우)의 표시의 열화(변화)를 억제할 수 있다. 또한, 휴지 기간에 신호선에 공급되는 교류의 구동 신호의 주파수를 저감한 경우의 표시의 플리커를 억제할 수 있다.

도면의 간단한 설명

[0013] 도 1(A)는 표시 장치의 구성을 나타낸 도면, 도 1(B)는 화소의 회로도, 도 1(C)은 화소에 설치되는 트랜지스터의 일례를 나타낸 단면도.

도 2는 표시 장치의 동작을 설명한 도면.

도 3은 표시 장치의 동작을 설명한 도면.

도 4는 표시 장치의 동작을 설명한 도면.

도 5(A)~도 5(C)는 표시 장치의 화소에 설치되는 트랜지스터의 일례를 나타낸 단면도.

도 6은 관련된 표시 장치의 구성을 나타낸 도면.

도 7(A)~도 7(D)는 트랜지스터를 설명한 도면.

도 8은 전자기기를 설명한 도면.

도 9는 트랜지스터의 특성을 나타낸 도면.

도 10은 트랜지스터의 특성 평가용 회로도.

도 11은 트랜지스터의 특성 평가용 타이밍 차트.

도 12는 트랜지스터의 특성을 나타낸 도면.

도 13은 트랜지스터의 특성을 나타낸 도면.

도 14는 트랜지스터의 특성을 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

[0014] 이하에서는, 본 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되는 것은 아니고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은, 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0015] (액티브 매트릭스형의 표시 장치의 일례에 대하여)

[0016] 먼저, 액티브 매트릭스형의 표시 장치의 일례에 대하여 설명한다. 구체적으로는, 1 화면을 주사하는 주사 기간과, 이 주사 기간에 계속되고, 또한 이 주사 기간보다 긴 휴지 기간이 제공된 액티브 매트릭스형의 액정 표시 장치의 일례에 대하여 도 1~도 6을 참조하여 설명한다. 또한, 이 주사 기간은 매트릭스 형상으로 배열된 복수의 화소 전부에 대하여, 데이터 신호의 입력이 1회 행해지는 기간이며, 이 휴지 기간은 매트릭스 형상으로 배열된 복수의 화소 전부에 대하여, 데이터 신호의 입력을 하지 않는 기간이다.

[0017] 도 1(A)은 액티브 매트릭스형의 표시 장치의 구성예를 나타낸 도면이다. 도 1(A)에 나타낸 표시 장치는, 화소부(101)와, 신호선 구동 회로(102)와, 주사선 구동 회로(103)와, 각각이 평행 또는 대략 평행으로 배열되고, 또한 신호선 구동 회로(102)에 의해 전위가 제어되는 복수의 신호선(104)과, 각각이 평행 또는 대략 평행으로 배열되고, 또한 주사선 구동 회로(103)에 의해 전위가 제어되는 복수의 주사선(105)을 가진다. 또한, 화소부(101)는 복수의 화소(107)를 가진다. 또한, 복수의 화소(107)는 매트릭스 형상으로 배열하고 있다. 또한, 복수의 신호선(104)의 각각은 매트릭스 형상으로 배열된 복수의 화소 중, 몇 개의 열에 배열된 복수의 화소에 전기적으로 접속되고, 복수의 주사선(105)의 각각은 매트릭스 형상으로 배열된 복수의 화소 중, 몇 개의 행에 배열된 복수의 화소에 전기적으로 접속된다. 또한, 신호선 구동 회로(102) 및 주사선 구동 회로(103)에는, 외부로부터 신호(데이터 신호(Data), 클록 신호(CK), 스타트 신호(SP) 등) 및 구동용 전원(고전원 전위(Vdd), 저전원 전위(Vss) 등)이 입력된다.

[0018] 도 1(B)은 도 1(A)에 나타낸 표시 장치가 가지는 화소(107)의 회로도의 일례를 나타낸 도면이다. 도 1(B)에 나타낸 화소(107)는 게이트가 주사선(105)에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 신호선(104)에 전기적으로 접속된 트랜지스터(111)와, 한쪽의 단자가 트랜지스터(111)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 다른 한쪽의 단자가 공통 전위(Vcom)를 공급하는 배선(공통 전위선이라고도 함)에 전기적으로 접속된 용량 소자(112)와, 한쪽의 단자가 트랜지스터(111)의 소스 및 드레인의 다른 한쪽 및 용량 소자(112)의 한쪽의 단자에 전기적으로 접속되고, 다른 한쪽의 단자가 공통 전위선에 전기적으로 접속된 액정 소자(113)를 가진다. 또한, 트랜지스터(111)는 n 채널형의 트랜지스터이다. 또한, 트랜지스터(111)의 소스 및 드레인의 다른 한쪽, 용량 소자(112)의 한쪽의 단자, 및 액정 소자(113)의 한쪽의 단자가 전기적으로 접속하는 노드를 노드(A)라고

부르기로 한다.

[0019] 도 1(C)은 도 1(B)에 나타낸 화소(107)에 설치된 트랜지스터(111)의 구체적인 구조의 일례를 나타낸 도면이다. 도 1(C)에 나타낸 트랜지스터(111)는 절연 표면을 가지는 기판(120) 위에 형성된 게이트층(121)과, 게이트층(121) 위에 형성된 게이트 절연층(122)과, 게이트 절연층(122) 위에 형성된 산화물 반도체층(123)과, 산화물 반도체층(123) 위에 형성된 소스층(124a) 및 드레인층(124b)을 가진다. 또한, 도 1(C)에 나타낸 트랜지스터(111)에서는, 트랜지스터(111)를 덮어, 산화물 반도체층(123)에 접하는 절연층(125)과, 절연층(125) 위에 형성된 보호 절연층(126)이 형성되어 있다.

[0020] 도 1(C)에 나타낸 트랜지스터(111)는 상기한 바와 같이, 반도체층으로서 산화물 반도체층(123)을 구비한다. 산화물 반도체층(123)에 이용하는 산화물 반도체로서는, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계, 3원계 금속 산화물인 In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, 2원계 금속 산화물인 In-Zn-O계, In-Ga-O계, Sn-Zn-O계, Al-Zn-O계, Zn-Mg-O계, Sn-Mg-O계, In-Mg-O계, 또는 단원계 금속 산화물인 In-O계, Sn-O계, Zn-O계 등을 이용할 수 있다. 또한, 상기 산화물 반도체에 SiO_2를 포함해도 좋다. 여기서, 예를 들면, In-Ga-Zn-O계 산화물 반도체란, 적어도 In과 Ga와 Zn을 포함하는 산화물이며, 그 조성비에 특별히 제한은 없다. 또한, In과 Ga와 Zn 이외의 원소를 포함해도 좋다.

[0021] 또한, 산화물 반도체층(123)은, 화학식 $InMO_3(ZnO)_m(m>0)$으로 표기되는 박막을 이용할 수 있다. 여기서, M은, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들면 M으로서 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등을 선택할 수 있다.

[0022] 상술한 산화물 반도체는, 변동 요인이 되는 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 함) 등의 불순물을 의도적으로 배제함으로써 고순도화하여, 전기적으로 I형(진성)화된 산화물 반도체이다. 이것에 의해, 이 산화물 반도체를 반도체층으로서 이용한 트랜지스터의 전기적 특성 변동을 억제할 수 있다.

[0023] 따라서 산화물 반도체 중의 수소는 적으면 적을수록 좋다. 또한, 고순도화된 산화물 반도체층 중에는 수소나 산소 결손 등에 유래하는 캐리어가 매우 적고(제로에 가까움), 캐리어 밀도는 $1\times10^{12}/cm^3$ 미만, 바람직하게는 $1\times10^{11}/cm^3$ 미만이다. 즉, 산화물 반도체층의 수소나 산소 결손 등에 유래하는 캐리어 밀도를 한없이 제로에 가깝게 한다. 산화물 반도체층 중에 수소나 산소 결손 등에 유래하는 캐리어가 매우 적기 때문에, 트랜지스터의 오프 전류를 줄일 수 있다. 오프 전류는 적으면 적을수록 바람직하다. 상기 산화물 반도체를 반도체층으로서 이용한 트랜지스터는, 채널 폭(w) 1㎛당의 전류값이 100 zA(젭토암페어) 이하, 바람직하게는 10 zA 이하, 더욱 바람직하게는 1 zA 이하이다. 또한, pn 접합이 없고, 핫 캐리어 열화가 없기 때문에, 트랜지스터의 전기적 특성이 이들 요인의 영향을 받지 않는다.

[0024] 이와 같이 산화물 반도체층에 포함되는 수소를 철저하게 제거함으로써 고순도화된 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터는 오프 전류를 매우 작게 할 수 있다. 즉, 트랜지스터의 비도통 상태에서, 산화물 반도체층은 절연체로 간주할 수 있어, 회로 설계를 행할 수 있다. 한편, 산화물 반도체층은 트랜지스터의 도통 상태에서, 비정질 실리콘으로 형성되는 반도체층보다 높은 전류 공급 능력을 예상할 수 있다.

[0025] 절연 표면을 가지는 기판(120)으로서, 사용할 수 있는 기판에 큰 제한은 없다. 예를 들면, 바륨 붕규산 유리나 알루미노 붕규산 유리 등의 유리 기판을 이용할 수 있다.

[0026] 트랜지스터(111)에 있어서, 베이스막이 되는 절연막을 기판(120)과 게이트층(121)의 사이에 형성해도 좋다. 베이스막은 기판으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 또는 산화 질화 실리콘막으로부터 선택된 하나 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다.

[0027] 게이트층(121)의 재료는, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 이용하여, 단층으로 또는 적층하여 형성할 수 있다.

[0028] 게이트 절연층(122)은 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화 질화 알루미늄층, 질화 산화 알루미늄층, 또는 산화 하프늄층을 단층으로 또는 적층하여 형성할 수 있다. 예를 들면, 제 1 게이트 절연층으로서 플라즈마 CVD법에 의해 막두께 50 nm 이상 200 nm 이하의 질화 실리콘층($SiN_y(y>0)$)를 형성하고, 제 1 게이트

절연층 위에 제 2 게이트 절연층으로서, 막두께 5 nm 이상 300 nm 이하의 산화 실리콘층($SiO_x(x>0)$)을 적층할 수 있다.

[0029] 소스층(124a), 드레인층(124b)에 이용하는 도전막으로서는, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 이용할 수 있다. 또한, Al, Cu 등의 금속층의 하측 또는 상측의 한쪽 또는 쌍방에 Ti, Mo, W 등의 고융점 금속층을 적층시킨 구성으로 해도 좋다. 또한, Al막에 생기는 힐록이나 위스커의 발생을 방지하는 원소(Si, Nd, Sc 등)가 첨가되어 있는 Al 재료를 이용함으로써 내열성을 향상시키는 것이 가능하게 된다.

[0030] 또한, 소스층(124a), 드레인층(124b)(이것들과 같은 층으로 형성되는 배선층을 포함함)이 되는 도전막으로서는 도전성의 금속 산화물로 형성해도 좋다. 도전성의 금속 산화물로서는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐 산화 주석 합금($In_2O_3-SnO_2$, ITO라고 약기함), 산화 인듐 산화 아연 합금(In_2O_3-ZnO) 또는 이들의 금속 산화물 재료에 산화 실리콘을 포함시킨 것을 이용할 수 있다.

[0031] 절연층(125)은 대표적으로는 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 또는 산화 질화 알루미늄막 등의 무기 절연막을 이용할 수 있다.

[0032] 보호 절연층(126)은 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 질화 산화 알루미늄막 등의 무기 절연막을 이용할 수 있다.

[0033] 또한, 보호 절연층(126) 위에 트랜지스터에 기인한 표면 요철을 저감하기 위해 평탄화 절연막을 형성해도 좋다. 평탄화 절연막으로서는, 폴리이미드, 아크릴, 벤조시클로부텐, 등의 유기 재료를 이용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k 재료) 등을 이용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연막을 형성해도 좋다.

[0034] (트랜지스터의 오프 전류에 대하여)

[0035] 다음에, 고순도화된 산화물 반도체층을 구비하는 트랜지스터의 오프 전류를 구한 결과에 대하여 설명한다.

[0036] 먼저, 고순도화된 산화물 반도체층을 구비하는 트랜지스터의 오프 전류가 충분히 작은 것을 고려하여, 채널 폭(W)이 1 m로 충분히 큰 트랜지스터를 준비하여 오프 전류의 측정을 행하였다. 채널 폭(W)이 1 m인 트랜지스터의 오프 전류를 측정한 결과를 도 9에 나타낸다. 도 9에서, 횡축은 게이트 전압(VG), 종축은 드레인 전류(ID)이다. 드레인 전압(VD)이 +1 V 또는 +10 V인 경우, 게이트 전압(VG)이 -5 V에서 -20 V의 범위에서, 트랜지스터의 오프 전류는, 검출 한계인 1×10^{-12} A 이하인 것을 알 수 있었다. 또한, 트랜지스터의 오프 전류(여기에서는, 단위 채널 폭(1㎛)당의 값)은 1 aA/㎛(1×10^{-18} A/㎛) 이하가 되는 것을 알 수 있었다.

[0037] 다음에, 고순도화된 산화물 반도체층을 구비하는 트랜지스터의 오프 전류를 더욱 정확하게 구한 결과에 대하여 설명한다. 상술한 바와 같이, 고순도화된 산화물 반도체층을 구비하는 트랜지스터의 오프 전류는, 측정기의 검출 한계인 1×10^{-12} A 이하인 것을 알 수 있었다. 따라서, 특성 평가용 소자를 제작하여, 보다 정확한 오프 전류의 값(상기 측정에서의 측정기의 검출 한계 이하의 값)을 구한 결과에 대하여 설명한다.

[0038] 먼저, 전류 측정 방법에 이용한 특성 평가용 소자에 대하여, 도 10을 참조하여 설명한다.

[0039] 도 10에 나타낸 특성 평가용 소자는 측정계(800)가 3개 병렬로 접속되어 있다. 측정계(800)는, 용량 소자(802), 트랜지스터(804), 트랜지스터(805), 트랜지스터(806), 트랜지스터(808)를 가진다. 트랜지스터(804), 트랜지스터(808)에는, 고순도화된 산화물 반도체층을 구비하는 트랜지스터를 적용했다.

[0040] 측정계(800)에 있어서, 트랜지스터(804)의 소스 단자 및 드레인 단자의 한쪽과 용량 소자(802)의 단자의 한쪽과, 트랜지스터(805)의 소스 단자 및 드레인 단자의 한쪽은, 전원(V2를 부여하는 전원)에 접속되어 있다. 또한, 트랜지스터(804)의 소스 단자 및 드레인 단자의 다른 한쪽과, 트랜지스터(808)의 소스 단자 및 드레인 단자의 한쪽과, 용량 소자(802)의 단자의 다른 한쪽과, 트랜지스터(805)의 게이트 단자는 접속되어 있다. 또한, 트랜지스터(808)의 소스 단자 및 드레인 단자의 한쪽과, 트랜지스터(806)의 소스 단자 및 드레인 단자의 한쪽과, 트랜지스터(806)의 게이트 단자는 전원(V1을 부여하는 전원)에 접속되어 있다. 또한, 트랜지스터(805)의 소스 단자 및 드레인 단자의 다른 한쪽과, 트랜지스터(806)의 소스 단자 및 드레인 단자의 다른 한쪽은, 출력 단자에 접속되어 있다.

[0041] 또한, 트랜지스터(804)의 게이트 단자에는 트랜지스터(804)의 온 상태와 오프 상태를 제어하는 전위(Vext_b2)가 공급되고, 트랜지스터(808)의 게이트 단자에는 트랜지스터(808)의 온 상태와 오프 상태를 제어하는 전위(Vext_b1)가 공급된다. 또한, 출력 단자로부터는 전위(Vout)가 출력된다.

[0042] 다음에, 상기의 특성 평가용 소자를 이용한 전류 측정 방법에 대하여 설명한다.

[0043] 먼저, 오프 전류를 측정하기 위해 전위차를 부여하는 초기화 기간의 대략에 대하여 설명한다. 초기화 기간에는, 트랜지스터(808)의 게이트 단자에 트랜지스터(808)를 온 상태로 하는 전위(Vext_b1)를 입력하고, 트랜지스터(804)의 소스 단자 및 드레인 단자의 다른 한쪽과 접속되는 노드(즉, 트랜지스터(808)의 소스 단자 및 드레인 단자의 한쪽, 용량 소자(802)의 단자의 다른 한쪽, 및 트랜지스터(805)의 게이트 단자에 접속되는 노드)인 노드(A)에 전위(V1)를 부여한다. 여기서, 전위(V1)는 예를 들면 고전위로 한다. 또한, 트랜지스터(804)는 오프 상태로 해둔다.

[0044] 그 후, 트랜지스터(808)의 게이트 단자에, 트랜지스터(808)를 오프 상태로 하는 전위(Vext_b1)를 입력하고, 트랜지스터(808)를 오프 상태로 한다. 트랜지스터(808)를 오프 상태로 한 후에, 전위(V1)를 저전위로 한다. 여기에서도, 트랜지스터(804)는 오프 상태로 해둔다. 또한, 전위(V2)는 전위(V1)와 같은 전위로 한다. 이상에 의해, 초기화 기간이 종료된다. 초기화 기간이 종료된 상태에서는, 노드(A)와 트랜지스터(804)의 소스 단자 및 드레인 단자의 한쪽과의 사이에 전위차가 생기고, 또한, 노드(A)와 트랜지스터(808)의 소스 단자 및 드레인 단자의 다른 한쪽과의 사이에 전위차가 생기게 되기 때문에, 트랜지스터(804) 및 트랜지스터(808)에는 전하가 약간 흐른다. 즉, 오프 전류가 발생한다.

[0045] 다음에, 오프 전류의 측정 기간의 대략에 대하여 설명한다. 측정 기간에는, 트랜지스터(804)의 소스 단자 및 드레인 단자의 한쪽의 단자의 전위(즉 V2), 및, 트랜지스터(808)의 소스 단자 및 드레인 단자의 다른 한쪽의 단자의 전위(즉 V1)는 저전위로 고정해둔다. 한편, 측정 기간 중에, 상기 노드(A)의 전위는 고정하지 않는다(플로팅 상태로 함). 이것에 의해, 트랜지스터(804), 트랜지스터(808)에 전하가 흘러, 시간의 경과와 함께 노드(A)에 보유되는 전하량이 변동한다. 그리고 노드(A)에 보유되는 전하량의 변동에 따라, 노드(A)의 전위가 변동한다. 즉, 출력 단자의 출력 전위(Vout)도 변동한다.

[0046] 상기 전위차를 부여하는 초기화 기간, 및, 그 후의 측정 기간에서의 각 전위의 관계의 상세한 사항(타이밍 차트)을 도 11에 나타낸다.

[0047] 초기화 기간에 있어서, 먼저, 전위(Vext_b2)를 트랜지스터(804)가 온 상태가 되는 전위(고전위)로 한다. 이것에 의해, 노드(A)의 전위는 V2 즉 저전위(VSS)가 된다. 또한, 노드(A)에 저전위(VSS)를 부여하는 것은 필수는 아니다. 그 후, 전위(Vext_b2)를 트랜지스터(804)가 오프 상태가 되는 전위(저전위)로 하여, 트랜지스터(804)를 오프 상태로 한다. 그리고 다음에, 전위(Vext_b1)를 트랜지스터(808)가 온 상태가 되는 전위(고전위)로 한다. 이것에 의해, 노드(A)의 전위는 V1, 즉 고전위(VDD)가 된다. 그 후, Vext_b1을 트랜지스터(808)가 오프 상태가 되는 전위로 한다. 이것에 의해, 노드(A)가 플로팅 상태가 되어, 초기화 기간이 종료된다.

[0048] 그 후의 측정 기간에서는, 전위(V1) 및 전위(V2)를 노드(A)에 전하가 흘러들어가거나, 또는 노드(A)로부터 전하가 흘러나오는 전위로 한다. 여기에서는, 전위(V1) 및 전위(V2)를 저전위(VSS)로 한다. 단, 출력 전위(Vout)를 측정하는 타이밍에서는, 출력 회로를 동작시킬 필요가 생기기 때문에, 일시적으로 V1을 고전위(VDD)로 하는 일이 있다. 또한, V1을 고전위(VDD)로 하는 기간은 측정에 영향을 주지 않을 정도의 단기간으로 한다.

[0049] 위에서 설명한 바와 같이 하여 전위차를 부여하여, 측정 기간이 개시되면, 시간의 경과와 함께 노드(A)에 보유되는 전하량이 변동하고, 이것에 따라 노드(A)의 전위가 변동한다. 이것은, 트랜지스터(805)의 게이트 단자의 전위가 변동하는 것을 의미하기 때문에, 시간의 경과와 함께, 출력 단자의 출력 전위(Vout)의 전위도 변화하게 된다.

[0050] 얻어진 출력 전위(Vout)로부터, 오프 전류를 산출하는 방법에 대하여, 이하에 설명한다.

[0051] 오프 전류의 산출에 앞서, 노드(A)의 전위(VA)와 출력 전위(Vout)와의 관계를 구해둔다. 이것에 의해, 출력 전위(Vout)로부터 노드(A)의 전위(VA)를 구할 수 있다. 상기 관계로부터, 노드(A)의 전위(VA)는 출력 전위(Vout)의 함수로서 다음식과 같이 나타낼 수 있다.

[0052] [수학식 1]

[0053] $$V_A = F(Vout)$$

[0054] 또한, 노드(A)의 전하(QA)는, 노드(A)의 전위(VA), 노드(A)에 접속되는 용량(CA), 정수(const)를 이용하여, 다음식과 같이 나타내어진다. 여기서, 노드(A)에 접속되는 용량(CA)은 용량 소자(802)의 용량과 다른 용량의 합이다.

[0055] [수학식 2]

[0056] $$Q_A = C_A V_A + const$$

[0057] 노드(A)의 전류(IA)는, 노드(A)에 흘러들어가는 전하(또는 노드(A)로부터 흘러나오는 전하)의 시간 미분이기 때문에, 노드(A)의 전류(IA)는 다음식과 같이 나타내어진다.

[0058] [수학식 3]

[0059] $$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(Vout)}{\Delta t}$$

[0060] 이와 같이, 노드(A)에 접속되는 용량(CA)과, 출력 단자의 출력 전위(Vout)로부터, 노드(A)의 전류(IA)를 구할 수 있다.

[0061] 이상에 나타낸 방법에 의해, 오프 상태에서 트랜지스터의 소스와 드레인 사이를 흐르는 오프 전류를 측정할 수 있다.

[0062] 여기에서는, 채널 길이 L = 10㎛, 채널 폭(W) = 50㎛의, 고순도화한 산화물 반도체층을 구비하는 트랜지스터(804), 고순도화된 산화물 반도체를 구비하는 트랜지스터(808)를 제작했다. 또한, 병렬된 각 측정계(800)에 있어서, 용량 소자(802)의 각 용량값을 100 fF, 1 pF, 3 pF로 했다.

[0063] 또한, 상술한 측정에서는, VDD = 5 V, VSS = 0 V로 했다. 또한, 측정 기간에서는, 전위(V1)를 원칙으로 하여 VSS로 하고, 10~300 sec마다 100 msec의 기간만 VDD로 하여 Vout를 측정했다. 또한, 소자에 흐르는 전류(I)의 산출에 이용되는 Δt는 약 30000 sec로 했다.

[0064] 도 12에 상기 전류 측정에 관한 경과 시간(Time)과 출력 전위(Vout)와의 관계를 나타낸다. 도 12로부터, 시간의 경과에 따라, 전위가 변화하는 양태를 확인할 수 있다.

[0065] 도 13에는, 상기 전류 측정에 의해 산출된 실온(25℃)에서의 오프 전류를 나타낸다. 또한, 도 13은 트랜지스터(804) 또는 트랜지스터(808)의 소스-드레인 전압(V)과 오프 전류(I)와의 관계를 나타내는 것이다. 도 13으로부터, 소스-드레인 전압이 4 V의 조건에서, 오프 전류는 약 40 zA/㎛인 것을 알 수 있었다. 또한, 소스-드레인 전압이 3.1 V의 조건에서, 오프 전류는 10 zA/㎛ 이하인 것을 알 수 있었다. 또한, 1 zA는 10^{-21} A를 나타낸다.

[0066] 또한, 상기 전류 측정에 의해 산출된 85℃의 온도 환경 하에서의 오프 전류에 대하여 도 14에 나타낸다. 도 14는 85℃의 온도 환경 하에서의 소스-드레인 전압(V)와 오프 전류(I)와의 관계를 나타낸 것이다. 도 14로부터, 소스-드레인 전압이 3.1 V의 조건에서, 오프 전류는 100 zA/㎛ 이하인 것을 알 수 있었다.

[0067] 이상에 의해, 고순도화된 산화물 반도체층을 구비하는 트랜지스터에서는 오프 전류가 충분히 작아지는 것이 확인되었다.

[0068] (액티브 매트릭스형의 표시 장치의 동작의 일례에 대하여)

[0069] 다음에, 상술한 표시 장치의 동작의 일례에 대하여, 도 2를 참조하여 설명한다. 또한, 도 2에는, 도 1(B)에 나타낸 신호선(104)의 전위(V(104)), 주사선(105)의 전위(V(105)), 트랜지스터(111)가 산화물 반도체층을 구비하는 트랜지스터인 경우의 노드(A)의 전위(A(OS)), 공통 전위(Vcom), 및 트랜지스터(111)가 산화물 반도체층을 구비하는 트랜지스터인 경우의 액정 소자(113)에 인가되는 전압(V(113)(OS))을 모식적으로 나타낸다. 또한, 도 2에서는, 트랜지스터(111)가 아몰퍼스(amorphous) 실리콘층을 구비하는 트랜지스터인 경우의 노드(A)의 전위(A(a-Si)), 및 트랜지스터(111)가 아몰퍼스 실리콘층을 구비하는 트랜지스터인 경우의 액정 소자(113)에 인가되는

전압(V(113)(a－Si))을, 비교를 위해, 모식적으로 나타내고 있다.

[0070] 신호선(104)에는, 주사 기간(T1)에 데이터 신호가 공급되고, 휴지 기간(T2)에 교류의 구동 신호가 공급된다. 또한, 이 데이터 신호는 1 수평 주사 기간(t：1 게이트 선택 기간이라고도 함)마다 극성이 반전하는 신호이다. 즉, 본 명세서에 개시되는 표시 장치는, 게이트 라인 반전 구동을 행하는 표시 장치이다. 또한, 이 데이터 신호는 아날로그 신호이다. 또한, 이 구동 신호는 적어도 1 수평 주사 기간보다 긴 기간마다 극성이 반전하는 교류의 신호이다. 또한, 이 구동 신호는 2치(値)의 신호이다. 또한, 이 구동 신호의 전압의 변동을, 데이터 신호의 전압 변동 범위 내로 할 수 있다.

[0071] 주사선(105)에는, 주사 기간(T1)에 포함되는 특정의 1 수평 주사 기간에 하이 레벨의 전위(선택 신호)가 공급되고, 그 이외의 기간에는 로 레벨의 전위(비선택 신호)가 공급된다. 즉, 화소(107)가 가지는 트랜지스터(111)는 이 1 수평 주사 기간에 있어서 온 상태가 되고, 그 이외의 기간에는 오프 상태가 된다.

[0072] 노드(A)에는, 1 수평 주사 기간에 있어서 트랜지스터(111)를 통하여 신호선(104)으로부터 데이터 신호가 공급되고, 그 이외의 기간에는 신호가 공급되지 않는다. 즉, 이 1 수평 주사 기간 이외의 기간에는, 노드(A)는 부유 상태가 된다. 따라서, 이 1 수평 주사 기간 이외의 기간에 있어서, 노드(A)의 전위는 신호선(104)과 노드(A)의 용량 결합에 의해 변동한다. 또한, 용량 결합에 기인한 노드(A)의 전위의 변동은 트랜지스터(111)가 아몰퍼스 실리콘층을 구비하는 트랜지스터인지, 산화물 반도체층을 구비하는 트랜지스터인지에 따라 크게 변화되는 일은 없다.

[0073] 그러나, 트랜지스터(111)가 아몰퍼스 실리콘을 구비하는 트랜지스터인 경우와, 산화물 반도체를 구비하는 트랜지스터인 경우에는, 휴지 기간에서의 노드(A)의 전위의 변동량이 다르다. 구체적으로는, 휴지 기간(T2)에서의 노드(A)의 전위의 변동량이, 산화물 반도체층을 구비하는 트랜지스터가 아몰퍼스 실리콘층을 구비하는 트랜지스터보다 작아진다(ΔV(a－Si)＞ΔV(OS)가 됨). 이것은 산화물 반도체층을 구비하는 트랜지스터가 아몰퍼스 실리콘층을 구비하는 트랜지스터보다 오프 전류가 작은 것에 기인한다.

[0074] 또한, 여기에서는, 공통 전위(Vcom)로서 고정 전위를 적용하고 있다. 이 고정 전위로서는, 접지 전위 또는 0 V 등을 적용할 수 있다.

[0075] 액정 소자(113)에는, 노드(A)의 전위와 공통 전위(Vcom)의 전위차분의 전압이 인가된다. 따라서, 액정 소자(113)에 인가되는 전압의 변화는 노드(A)의 전위의 변화와 같다.

[0076] 화소(107)에서의 표시는 액정 소자(113)에 인가되는 전압에 의해 정해진다. 상술한 표시 장치에서, 이 전압은 신호선(104)과의 용량 결합 및 트랜지스터(111)에 생기는 오프 전류 등에 따라 변동한다. 따라서, 화소(107)에서의 실제의 표시는, 1 수평 주사 기간에서 화소(107)에 입력되는 데이터 신호에 기초하여 형성되는 표시와는 엄밀하게는 다르다. 구체예를 이하에 설명한다. 만일, 주사 기간에서, 화소(107)에 대하여 1초간에 60회(약 16.7 ms에 1회) 데이터 신호가 입력된다고 한다. 이 경우, 1 수평 주사 기간은 16.7 ms보다 월등하게 짧다. 여기에서는, 이 1 수평 주사 기간은 편의상 16.7μs로 한다(예를 들면, 표시 장치에서 매트릭스 형상으로 배열된 복수의 화소의 행수가 1000행이라고 하면, 이 1 수평 주사 기간은 16.7μs 정도가 된다). 이때, 신호선(104)에는, 화소(107)와 동렬(同列)에 형성된 화소에 대한 데이터 신호의 공급이 이 1 수평 주사 기간 이외의 기간에도 행해지기 때문에, 신호선(104)의 전위는 이 1 수평 주사 기간 이외의 기간에서도 변동한다. 따라서, 노드(A)의 전위도 신호선(104)과의 용량 결합에 의해 변동하고, 화소(107)에서의 16.7 ms 동안의 실질적인 표시는 이 1 수평 주사 기간(16.7μs)에 신호선(104)으로부터 공급되는 데이터 신호에 기초한 표시와는 엄밀하게는 다르다.

[0077] 또한, 본 명세서에 개시되는 표시 장치는 휴지 기간을 가진다. 만일, 휴지 기간에 신호선(104)의 전위가 고정 전위가 되거나 또는 부유 상태가 되는 경우, 액정 소자(113)에 인가되는 전압의 변동에 대하여, 상술한 용량 결합에 의한 기여가 없어진다. 이 경우, 주사 기간에서의 화소(107)의 표시와, 휴지 기간에서의 화소(107)의 표시가 다르게 된다. 이것에 대하여, 본 명세서에 개시되는 표시 장치는, 휴지 기간에 있어서, 신호선(104)에 대하여 교류의 구동 신호를 공급하고 있다. 따라서, 휴지 기간에도, 주사 기간과 동일한 정도의 용량 결합에 의한 기여를, 액정 소자(113)에 인가되는 전압의 변동에 대하여 부여할 수 있다. 이것에 의해, 휴지 기간에서의 화소(107)의 표시를, 주사 기간에서의 표시와 마찬가지로 할 수 있다.

[0078] 또한, 본 명세서에 개시되는 표시 장치는, 화소(107)에 설치된 트랜지스터(111)로서 산화물 반도체층을 구비하는 트랜지스터를 적용하고 있다. 이것에 의해, 액정 소자(113)에 인가되는 전압에 대한, 트랜지스터(111)의 오프 전류의 기여를 저감할 수 있다. 이것에 의해, 화소(107)에서의 신호의 보유 기간을 장기화할 수 있다. 즉,

휴지 기간을 장기화할 수 있다. 또한, 휴지 기간에 있어서, 액정 소자(113)에 인가되는 전압의 진폭을 저감하는 것이 가능하게 된다. 이것에 의해, 화소(107)에서의 표시의 플리커를 저감할 수 있다. 특히, 이 효과는, 신호선(104)에 공급되는 교류의 구동 신호의 주파수가 저감된 경우에 크다.

[0079] 이상과 같이, 본 명세서에 개시되는 표시 장치는, 산화물 반도체를 구비하는 트랜지스터를 트랜지스터(111)로서 적용함으로써, 휴지 기간이 장기화된 경우, 또는 휴지 기간에 신호선(104)에 공급되는 교류의 구동 신호의 주파수가 저감된 경우에도 표시 품질을 보유할 수 있는 표시 장치이다. 즉, 본 명세서에 개시되는 표시 장치는, 소비 전력의 저감 및 표시 품질의 저하의 억제가 가능한 표시 장치이다.

[0080] (액티브 매트릭스형의 표시 장치의 변형예에 대하여)

[0081] 상술한 표시 장치는 본 발명의 일 양태이며, 이 표시 장치와 다른 점을 가지는 표시 장치도 본 발명에는 포함된다.

[0082] 예를 들면, 상술한 표시 장치에서는, 공통 전위선에 고정 전위가 공급되는 구성에 대하여 나타냈지만, 주사 기간에 있어서, 공통 전위선에 교류의 구동 신호(제 1 공통 전위선용 구동 신호)가 공급되는 구성(소위, 코먼 반전 구동)으로 하는 것도 가능하다(도 3 참b 조). 이것에 의해, 데이터 신호의 전압 진폭을 반감하는 것이 가능하게 된다. 이 경우, 공통 전위선의 전위는 주사 기간에 데이터 신호와 역의 극성을 가지는 2치의 신호가 되어, 휴지 기간에 있어서 고정 전위를 가지는 신호가 된다.

[0083] 또한, 휴지 기간에서도, 공통 전위선에 교류의 구동 신호(제 2 공통 전위선용 구동 신호)를 공급하는 것도 가능하다(도 4 참조). 이 경우, 공통 전위선의 전위는, 주사 기간에 있어서 데이터 신호와 역의 극성을 가지는 2치의 신호(제 1 공통 전위선용 구동 신호)가 되어, 휴지 기간에 있어서 신호선(104)에 공급되는 교류의 구동 신호와 같은 극성을 가지는 2치의 신호(제 2 공통 전위선용 구동 신호)가 된다. 또한, 휴지 기간에 있어서, 공통 전위선에 공급되는 교류의 구동 신호(제 2 공통 전위선용 구동 신호)의 전압의 변동을, 주사 기간에 있어서, 공통 전위선에 공급되는 교류의 구동 신호(제 1 공통 전위선용 구동 신호)의 전압 변동 범위 내로 할 수 있다. 또한, 휴지 기간에 있어서, 공통 전위선에 공급되는 교류의 구동 신호(제 2 공통 전위선용 구동 신호)를, 휴지 기간에 있어서 신호선(104)에 공급되는 교류의 구동 신호와 동일한 신호로 하는 것도 가능하다.

[0084] 또한, 상술한 표시 장치에서는, 휴지 기간에 신호선(104)에 공급되는 교류의 구동 신호가 2치의 신호인 구성에 대하여 나타냈지만, 이 구동 신호가 다치(多値)의 신호에 의해 구성되어 있어도 좋다.

[0085] 또한, 상술한 표시 장치에서는, 용량 소자(112)의 다른 한쪽의 단자 및 액정 소자(113)의 다른 한쪽의 단자의 각각이, 동일한 공통 전위(Vcom)가 공급되는 배선에 전기적으로 접속되는 구성에 대하여 나타냈지만, 용량 소자(112)의 다른 한쪽의 단자 및 액정 소자(113)의 다른 한쪽의 단자의 각각이 전기적으로 접속되는 배선에 공급되는 공통 전위가 상이하여도 좋다. 즉, 용량 소자(112)의 다른 한쪽의 단자가 제 1 공통 전위를 공급하는 배선에 전기적으로 접속되고, 액정 소자(113)의 다른 한쪽의 단자가 제 1 공통 전위와는 다른, 제 2 공통 전위를 공급하는 배선에 전기적으로 접속되는 구성으로 해도 좋다.

[0086] 또한, 상술한 표시 장치에서는, 트랜지스터(111)로서 채널 에치형이라고 불리는 보텀 게이트 구조의 하나를 적용하는 구성에 대하여 나타냈지만(도 1(C) 참조), 트랜지스터(111)는 이 구성에 한정되지 않는다. 예를 들면, 도 5(A)~도 5)에 나타낸 트랜지스터를 적용하는 것이 가능하다.

[0087] 도 5(A)에 나타낸 트랜지스터(510)는, 채널 보호형(채널 스톱형이라고도 함)이라고 불리는 보텀 게이트 구조의 하나이다.

[0088] 트랜지스터(510)는 절연 표면을 가지는 기판(120) 위에, 게이트층(121), 게이트 절연층(122), 산화물 반도체층(123), 산화물 반도체층(123)의 채널 형성 영역을 덮는 채널 보호층으로서 기능하는 절연층(511), 소스층(124a), 및 드레인층(124b)을 포함한다. 또한, 소스층(124a), 드레인층(124b), 및 절연층(511)을 덮어, 보호 절연층(126)이 형성되어 있다.

[0089] 도 5(B)에 나타낸 트랜지스터(520)는 보텀 게이트형의 트랜지스터이며, 절연 표면을 가지는 기판인 기판(120) 위에, 게이트층(121), 게이트 절연층(122), 소스층(124a), 드레인층(124b), 및 산화물 반도체층(123)을 포함한다. 또한, 소스층(124a) 및 드레인층(124b)을 덮어, 산화물 반도체층(123)에 접하는 절연층(125)이 형성되어 있다. 절연층(125) 위에는 보호 절연층(126)이 더 형성되어 있다.

[0090] 트랜지스터(520)에서는, 게이트 절연층(122)이 기판(120) 및 게이트층(121) 위에 접하여 형성되고, 게이트 절연층(122) 위에 소스층(124a), 드레인층(124b)이 접하여 형성되어 있다. 그리고 게이트 절연층(122), 및 소스층

(124a), 드레인층(124b) 위에 산화물 반도체층(123)이 형성되어 있다.

[0091] 도 5(C)에 나타낸 트랜지스터(530)는 탑 게이트 구조의 트랜지스터의 하나이다. 트랜지스터(530)는 절연 표면을 가지는 기판(120) 위에, 절연층(531), 산화물 반도체층(123), 소스층(124a), 및 드레인층(124b), 게이트 절연층(122), 게이트층(121)을 포함하고, 소스층(124a), 드레인층(124b)에 각각 배선층(532a), 배선층(532b)이 접하여 형성되어 전기적으로 접속하고 있다.

[0092] 또한, 절연층(511, 531)은 대표적으로는 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 또는 산화 질화 알루미늄막 등의 무기 절연막을 이용할 수 있다. 또한, 배선층(532a), 배선층(532b)에 이용하는 도전막으로서는, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 이용할 수 있다. 또한, Al, Cu 등의 금속층의 하측 또는 상측의 한쪽 또는 쌍방에 Ti, Mo, W 등의 고융점 금속층을 적층시킨 구성으로 해도 좋다. 또한, Al막에 발생하는 힐록이나 위스커의 발생을 방지하는 원소(Si, Nd, Sc 등)가 첨가되어 있는 Al 재료를 이용함으로써 내열성을 향상시키는 것이 가능하게 된다.

[0093] (액티브 매트릭스형의 표시 장치에 대한 신호 공급의 구체예에 대하여)

[0094] 이하에서는, 상술한 표시 장치에서, 주사 기간에 데이터 신호를 신호선에 공급하고, 또한 휴지 기간에 교류의 구동 신호를 공급하기 위한 구성의 구체예에 대하여 도 6을 참조하여 설명한다.

[0095] 도 6에 나타낸 표시 장치는, 콘트롤러(600)를 가진다. 콘트롤러(600)는 데이터 신호를 생성하는 데이터 신호 생성 회로(601)와, 교류의 구동 신호를 생성하는 구동 신호 생성 회로(602)와, 주사 기간에 신호선 구동 회로(102) 내에서 이용되는 클록 신호를 생성하는 기준 클록 신호 생성 회로(603)와, 기준 클록 신호 생성 회로(603)로부터 입력되는 클록 신호를 분주(分周)한 신호를 출력하는 분주 회로(604)를 가진다. 또한, 분주 회로(604)의 출력 신호는 휴지 기간에 신호선 구동 회로(102) 내에서 이용되는 클록 신호가 된다. 또한, 이 데이터 신호와 이 클록 신호는 주파수가 동일하게 되도록 제어된다. 마찬가지로, 이 구동 신호와 이 분주한 신호는 주파수가 동일해지도록 제어된다.

[0096] 또한, 도 6에 나타낸 표시 장치는 데이터 신호 생성 회로(601)와 구동 신호 생성 회로(602)의 어느 출력 신호를 신호선 구동 회로(102)에 출력하는지를 선택하는 스위치(605)와, 기준 클록 신호 생성 회로(603)와 분주 회로(604)의 어느 출력 신호를 신호선 구동 회로(102)에 출력하는지를 선택하는 스위치(606)를 가진다. 구체적으로는, 스위치(605)는 주사 기간에 데이터 신호 생성 회로(601)의 출력 신호(데이터 신호)를 선택하고, 휴지 기간에 구동 신호 생성 회로(602)의 출력 신호(구동 신호)를 선택한다. 또한, 스위치(606)는 주사 기간에 기준 클록 신호 생성 회로(603)의 출력 신호를 선택하고, 휴지 기간에 분주 회로(604)의 출력 신호를 선택한다.

[0097] 이러한 구성 및 동작을 행하는 콘트롤러(600)를 형성함으로써, 상술한 표시 장치의 동작이 가능하다.

[0098] (트랜지스터의 제조 방법의 구체예에 대하여)

[0099] 이하에서는, 트랜지스터(111)에 적용 가능한 트랜지스터의 구체예에 대하여 도 7을 참조하여 설명한다.

[0100] 도 7(A)~도 7(D)은 트랜지스터(111)의 구체적인 구성 및 제작 공정의 구체예를 나타낸 도면이다. 또한, 도 7(D)에 나타낸 트랜지스터(410)는 채널 에치형이라고 불리는 보텀 게이트 구조의 하나이다. 또한, 도 7(D)에는 싱글 게이트 구조의 트랜지스터를 나타내지만, 필요에 따라, 채널 형성 영역을 복수 가지는 멀티 게이트 구조의 트랜지스터로 할 수 있다.

[0101] 이하, 도 7(A)~도 7(D)을 참조하여, 기판(400) 위에 트랜지스터(410)를 제작하는 공정에 대하여 설명한다.

[0102] 먼저, 절연 표면을 가지는 기판(400) 위에 도전막을 형성한 후, 제 1 포토리소그래피 공정에 의해 게이트층(411)을 형성한다. 또한, 이 공정에서 이용되는 레지스트 마스크는 잉크젯법에 따라 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0103] 절연 표면을 가지는 기판(400)에 사용할 수 있는 기판에 큰 제한은 없지만, 적어도, 후의 가열 처리에 견딜 수 있을 정도의 내열성을 가지고 있는 것이 필요하다. 예를 들면, 바륨 붕규산 유리나 알루미노 붕규산 유리 등의 유리 기판을 이용할 수 있다. 또한, 유리 기판으로서는, 후의 가열 처리의 온도가 높은 경우에는, 변형점이 730℃ 이상의 것을 이용하면 좋다.

[0104] 베이스층이 되는 절연층을 기판(400)과 게이트층(411)의 사이에 형성해도 좋다. 베이스층은 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 또는 산

화 질화 실리콘막으로부터 선택된 하나 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다.

[0105] 또한, 게이트층(411)의 재료는, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 이용하여, 단층으로 또는 적층하여 형성할 수 있다.

[0106] 예를 들면, 게이트층(411)의 2층의 적층 구조로서는, 알루미늄층 위에 몰리브덴층을 적층한 2층 구조, 동층 위에 몰리브덴층을 적층한 2층 구조, 구리층 위에 질화 티탄층 혹은 질화 탄탈을 적층한 2층 구조, 질화 티탄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로서는, 텅스텐층 또는 질화 텅스텐층과, 알루미늄과 실리콘의 합금층 또는 알루미늄과 티탄의 합금층과, 질화 티탄층 또는 티탄층을 적층한 3층 구조로 하는 것이 바람직하다.

[0107] 다음에, 게이트층(411) 위에 게이트 절연층(402)을 형성한다.

[0108] 게이트 절연층(402)은 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 혹은 산화 알루미늄층을 단층으로 또는 적층하여 형성할 수 있다. 예를 들면, 성막 가스로서, 실란(SiH_4), 산소 및 질소를 이용하여 플라즈마 CVD법에 의해 산화 질화 실리콘층을 형성하면 좋다. 또한, 게이트 절연층(402)으로서 산화 하프늄(HfOx), 산화 탄탈(TaOx) 등의 High-k 재료를 이용할 수도 있다. 게이트 절연층(402)의 막두께는 100 nm 이상 500 nm 이하로 하고, 적층의 경우는, 예를 들면, 막두께 50 nm 이상 200 nm 이하의 제 1 게이트 절연층과, 제 1 게이트 절연층 위에 막두께 5 nm 이상 300 nm 이하의 제 2 게이트 절연층을 적층하여 형성한다.

[0109] 여기에서는, 게이트 절연층(402)으로서 플라즈마 CVD법에 의해 막두께 100 nm 이하의 산화 질화 실리콘층을 형성한다.

[0110] 또한, 게이트 절연층(402)으로서, 고밀도 플라즈마 장치를 이용하여 산화 질화 실리콘층을 형성해도 좋다. 여기서 고밀도 플라즈마 장치는, $1\times10^{11}/cm^3$ 이상의 플라즈마 밀도를 달성할 수 있는 장치를 나타낸다. 예를 들면, 3 kW~6 kW의 마이크로파 전력을 인가하여 플라즈마를 발생시키고, 절연층의 성막을 행한다.

[0111] 체임버에 재료 가스로서 실란(SiH_4), 아산화질소(N_2O), 및 희가스를 도입하고, 10 Pa~30 Pa의 압력 하에서 고밀도 플라즈마를 발생시켜 유리 등의 절연 표면을 가지는 기판 위에 절연층을 형성한다. 그 후, 실란(SiH_4)의 공급을 정지하고, 대기에 노출하는 일 없이 아산화질소(N_2O)와 희가스를 도입하여 절연층 표면에 플라즈마 처리를 행하여도 좋다. 아산화질소(N_2O)와 희가스를 도입하여 절연층 표면에 행해지는 플라즈마 처리는, 적어도 절연층의 성막보다 후에 행한다. 상기 프로세스 순서를 거친 절연층은 막두께가 얇고, 예를 들면 100 nm 미만이어도 신뢰성을 확보할 수 있는 절연층이다.

[0112] 게이트 절연층(402)의 형성 시, 체임버에 도입하는 실란(SiH_4)과 아산화질소(N_2O)의 유량비는 1 : 10에서 1 : 200의 범위로 한다. 또한, 체임버에 도입하는 희가스로서는 헬륨, 아르곤, 크립톤, 크세논 등을 이용할 수 있지만, 그 중에서 저렴한 아르곤을 이용하는 것이 바람직하다.

[0113] 또한, 고밀도 플라즈마 장치에 의해 얻어진 절연층은 일정한 두께의 막을 형성을 할 수 있기 때문에 단차 피복성이 뛰어나다. 또한, 고밀도 플라즈마 장치에 의해 얻어지는 절연층은 얇은 막의 두께를 정밀하게 제어할 수 있다.

[0114] 상기 프로세스 순서를 거친 절연층은 종래의 평행 평판형의 PCVD 장치로 얻어지는 절연층과는 크게 다르고, 같은 에천트를 이용하여 에칭 속도를 비교한 경우에, 평행 평판형의 PCVD 장치로 얻어지는 절연막의 10% 이상 또는 20% 이상 늦고, 고밀도 플라즈마 장치로 얻어지는 절연층은 치밀한 막이라고 할 수 있다.

[0115] 또한, 후의 공정에 의해 i형화 또는 실질적으로 i형화되는 산화물 반도체(고순도화된 산화물 반도체)는 계면 준위, 계면 전하에 대하여 매우 민감하기 때문에, 게이트 절연층과의 계면은 중요하다. 따라서 고순도화된 산화물 반도체에 접하는 게이트 절연층은 고품질화가 요구된다. 따라서 μ파(2.45 GHz)를 이용한 고밀도 플라즈마 CVD 장치는 치밀하고 절연 내압이 높은 고품질의 절연막을 형성할 수 있으므로 바람직하다. 고순도화된 산화물 반도체와 고품질 게이트 절연층이 밀접(密接)함으로써, 계면 준위를 저감하여 계면 특성을 양호한 것으로 할 수 있기 때문이다. 게이트 절연층으로서의 막질이 양호한 것은 물론, 산화물 반도체와의 계면 준위 밀도를 저감하고, 양호한 계면을 형성할 수 있다는 것이 중요하다.

[0116] 다음에, 게이트 절연층(402) 위에, 막두께 2 nm 이상 200 nm 이하의 산화물 반도체막(430)을 형성한다. 또한,

산화물 반도체막(430)을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하고, 게이트 절연층(402)의 표면에 부착되어 있는 분상 물질(파티클, 먼지라고도 함)을 제거하는 것이 바람직하다. 역스퍼터링이란, 타겟측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판측에 RF 전원을 이용하여 전압을 인가하고, 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 이용해도 좋다.

[0117] 산화물 반도체막(430)은, In－Ga－Zn－O계, In－Sn－O계, In－Sn－Zn－O계, In－Al－Zn－O계, Sn－Ga－Zn－O계, Al－Ga－Zn－O계, Sn－Al－Zn－O계, In－Zn－O계, In－Ga－O계, Sn－Zn－O계, Al－Zn－O계, In－O계, Sn－O계, Zn－O계의 산화물 반도체막을 이용한다. 여기에서는, 산화물 반도체막(430)으로서 In－Ga－Zn－O계 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 성막한다. 이 단계에서의 단면도가 도 7(A)에 상당한다. 또한, 산화물 반도체막(430)은 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스(대표적으로는 아르곤) 및 산소의 혼합 분위기 하에서 스퍼터링법에 의해 형성할 수 있다. 또한, 스퍼터링법을 이용하는 경우, SiO_2를 2 중량% 이상 10 중량% 이하 포함하는 타겟을 이용하여 성막을 행하여, 산화물 반도체막(430)에 결정화를 저해하는 SiOx(X>0)를 포함시키고, 후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 결정화되는 것을 억제하는 것이 바람직하다.

[0118] 여기에서는, In, Ga, 및 Zn을 포함하는 금속 산화물 타겟(In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1[mol], In : Ga : Zn = 1 : 1 : 0.5[atom])을 이용하여, 기판과 타겟 사이의 거리를 100 mm, 압력 0.2 Pa, 직류(DC) 전원 0.5 kW, 아르곤 및 산소(아르곤 : 산소 = 30 sccm : 20 sccm, 산소 유량 비율 40%) 분위기 하에서 성막한다. 또한, 펄스 직류(DC) 전원을 이용하면, 성막 시에 발생하는 분상 물질을 경감할 수 있어, 막두께 분포도 균일하게 되기 때문에 바람직하다. In－Ga－Zn－O계 막의 막두께는 5 nm 이상 200 nm 이하로 한다. 여기에서는, 산화물 반도체막으로서 In－Ga－Zn－O계 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 막두께 20 nm의 In－Ga－Zn－O계 막을 성막한다. 또한, In, Ga, 및 Zn을 포함하는 금속 산화물 타겟으로서 In : Ga : Zn = 1 : 1 : 1[atom], 또는 In : Ga : Zn = 1 : 1 : 2[atom]의 조성비를 가지는 금속 산화물 타겟을 이용할 수도 있다.

[0119] 스퍼터링법에는 스퍼터링용 전원에 고주파 전원을 이용하는 RF 스퍼터링법과 DC 스퍼터링법이 있고, 펄스적으로 바이어스를 더 부여하는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 이용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 이용된다.

[0120] 또한, 재료가 다른 타겟을 복수 제공할 수 있는 다원 스퍼터링 장치도 있다. 다원 스퍼터링 장치는, 동일 체임버에서 다른 재료막을 적층 성막할 수도, 동일 체임버에서 복수 종류의 재료를 동시에 방전시켜 성막할 수도 있다.

[0121] 또한, 체임버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 이용하는 스퍼터링 장치나, 글로우 방전을 사용하지 않고 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법을 이용하는 스퍼터링 장치가 있다.

[0122] 또한, 스퍼터링법을 이용하는 성막 방법으로서 성막 중에 타겟 물질과 스퍼터링 가스 성분을 화학 반응시켜 그들의 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막 중에 기판에도 전압을 가하는 바이어스 스퍼터링법도 있다.

[0123] 다음에, 산화물 반도체막(430)을 제 2 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층으로 가공한다. 또한, 이 공정에서 이용되는 레지스트 마스크는 잉크젯법에 의해 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0124] 다음에, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제 1 가열 처리의 온도는 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 변형점 미만으로 한다. 여기에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하여, 산화물 반도체층에 대하여 질소 분위기 하 450℃에서 1시간의 가열 처리를 행한 후, 대기에 접하는 일 없이, 산화물 반도체층으로 물이나 수소가 재혼입하는 것을 막아, 산화물 반도체층(431)을 얻는다(도 7(B) 참조).

[0125] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하여도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 헬라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의

램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 가열 처리를 행하는 장치이다. 기체에는, 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.

[0126] 예를 들면, 제 1 가열 처리로서, 650℃~700℃의 고온으로 가열한 불활성 가스 중에 기판을 이동시켜 넣고, 몇 분간 가열한 후, 기판을 이동시켜 고온으로 가열한 불활성 가스 중에서 꺼내는 GRTA를 행하여도 좋다. GRTA를 이용하면 단시간에서의 고온 가열 처리가 가능하게 된다.

[0127] 또한, 제 1 가열 처리에서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 하는 것이 바람직하다.

[0128] 또한, 산화물 반도체층의 제 1 가열 처리는, 섬 형상의 산화물 반도체층으로 가공하기 전의 산화물 반도체막(430)에 대하여 행할 수도 있다. 그 경우에는, 제 1 가열 처리 후에, 가열 장치로부터 기판을 취출하여, 제 2 포토리소그래피 공정을 행한다.

[0129] 산화물 반도체층에 대한 탈수화 또는 탈수소화의 가열 처리는, 산화물 반도체층의 형성 후, 산화물 반도체층 위에 소스층 및 드레인층을 적층시킨 후, 소스층 및 드레인층 위에 보호 절연막을 형성한 후, 중 언제 행하여도 좋다.

[0130] 또한, 게이트 절연층(402)에 개구부를 형성하는 경우, 그 공정은 산화물 반도체막(430)에 탈수화 또는 탈수소화 처리를 행하기 전이어도 행한 후이어도 좋다.

[0131] 또한, 여기서의 산화물 반도체막(430)의 에칭은 웨트 에칭에 한정되지 않고 드라이 에칭을 이용해도 좋다.

[0132] 드라이 에칭에 이용하는 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들면 염소(Cl_2), 삼염화 붕소(BCl_3), 사염화 실리콘($SiCl_4$), 사염화탄소(CCl_4) 등)가 바람직하다.

[0133] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들면 사불화 탄소(CF_4), 육불화 유황(SF_6), 삼불화 질소(NF_3), 트리플루오로메탄(CHF_3) 등), 브롬화 수소(HBr), 산소(O_2), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 이용할 수 있다.

[0134] 드라이 에칭법으로서는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma : 유도 결합형 플라즈마) 에칭법을 이용할 수 있다. 소망의 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극 온도 등)을 적절히 조절한다.

[0135] 웨트 에칭에 이용하는 에칭액으로서는, 인산과 초산과 질산을 혼합한 용액 등을 이용할 수 있다. 또한, ITO07N(칸토 화학사제(KANTO CHEMICAL CO., INC.))를 이용해도 좋다.

[0136] 또한, 웨트 에칭 후의 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 그 제거된 재료를 포함하는 에칭액의 폐수를 정제하고, 포함되는 재료를 재이용해도 좋다. 이 에칭 후의 폐수로부터 산화물 반도체층에 포함되는 인듐 등의 재료를 회수하여 재이용함으로써, 자원을 유효 활용하여 저비용화할 수 있다.

[0137] 소망의 가공 형상으로 에칭할 수 있도록, 재료에 맞추어 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적절히 조절한다.

[0138] 다음에, 게이트 절연층(402), 및 산화물 반도체층(431) 위에, 금속 도전막을 형성한다. 금속 도전막은 스퍼터링법이나 진공 증착법으로 형성하면 좋다. 금속 도전막의 재료로서는, 알루미늄(Al), 크롬(Cr), 구리(Cu), 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W)으로부터 선택된 원소, 상술한 원소를 성분으로 하는 합금, 또는 상술한 원소를 조합한 합금 등을 들 수 있다. 또한, 망간(Mn), 마그네슘(Mg), 지르코늄(Zr), 베릴륨(Be), 이트륨(Y) 중 어느 하나 또는 복수로부터 선택된 재료를 이용해도 좋다. 또한, 금속 도전막은 단층 구조이어도, 2층 이상의 적층 구조로 해도 좋다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 구리 또는 구리를 주성분으로 하는 막의 단층 구조, 알루미늄막 위에 티탄막을 적층하는 2층 구조, 질화 탄탈막 또는 질화 구리막 위에 구리막을 적층하는 2층 구조, 티탄막 위에 알루미늄막을 적층하고, 알루미늄막 위에 티탄막을 더 적층하는 3층 구조 등을 들 수 있다. 또한, 알루미늄(Al)에 티탄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소를 단수, 또는 복수 조합한 막, 합금막, 혹은 질화막을 이용해도

좋다.

[0139] 금속 도전막 형성 후에 가열 처리를 행하는 경우에는, 이 가열 처리에 견딜 수 있는 내열성을 금속 도전막에 갖게 하는 것이 바람직하다.

[0140] 제 3 포토리소그래피 공정에 의해 금속 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여, 소스층(415a), 드레인층(415b)을 형성한 후, 레지스트 마스크를 제거한다(도 7(C) 참조).

[0141] 또한, 금속 도전막의 에칭 시에, 산화물 반도체층(431)은 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다.

[0142] 여기에서는, 금속 도전막으로서 티탄막을 이용하고, 산화물 반도체층(431)에는 In-Ga-Zn-O계 산화물을 이용하여, 에천트로서 암모니아과수(암모니아, 물, 과산화 수소수의 혼합액)를 이용한다.

[0143] 또한, 제 3 포토리소그래피 공정에서는, 산화물 반도체층(431)은 일부만이 에칭되고, 홈부(오목부)를 가지는 산화물 반도체층이 될 수도 있다. 또한, 이 공정에서 이용하는 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0144] 또한, 포토리소그래피 공정에서 이용하는 포토마스크수 및 공정수를 삭감하기 위해, 투과한 광이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의해 형성된 레지스트 마스크를 이용하여 에칭 공정을 행하여도 좋다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 막두께를 가지는 형상이 되어, 애싱을 행함으로써 형상을 더욱 변형할 수 있기 때문에, 다른 패턴으로 가공하는 복수의 에칭 공정에 이용할 수 있다. 따라서, 한 장의 다계조 마스크에 의해, 적어도 2종류 이상이 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크수를 삭감할 수 있고, 대응하는 포토리소그래피 공정도 삭감할 수 있기 때문에, 공정의 간략화가 가능하게 된다.

[0145] 다음에, 아산화질소(N_2O), 질소(N_2), 또는 아르곤(Ar) 등의 가스를 이용한 플라즈마 처리를 행한다. 이 플라즈마 처리에 의해 노출되어 있는 산화물 반도체층의 표면에 부착된 흡착수 등을 제거한다. 또한, 산소와 아르곤의 혼합 가스를 이용하여 플라즈마 처리를 행하여도 좋다.

[0146] 플라즈마 처리를 행한 후, 대기에 접하는 일 없이, 산화물 반도체층의 일부에 접하는 보호 절연막이 되는 산화물 절연층(416)을 형성한다.

[0147] 산화물 절연층(416)은 적어도 1 nm 이상의 막두께로 하고, 스퍼터링법 등, 산화물 절연층(416)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성할 수 있다. 산화물 절연층(416)에 수소가 포함되면, 그 수소가 산화물 반도체층에 침입하여 산화물 반도체층(431)의 백 채널이 저저항화(N형화)하게 되어, 기생 채널이 형성될 우려가 있다. 따라서, 산화물 절연층(416)은 가능한 한 수소를 포함하지 않는 막이 되도록, 성막 방법으로 수소를 이용하지 않는 것이 중요하다.

[0148] 여기에서는, 산화물 절연층(416)으로서 막두께 200 nm의 산화 실리콘막을 스퍼터링법을 이용하여 성막한다. 성막 시의 기판 온도는 실온 이상 300℃ 이하이면 좋고, 여기에서는 100℃로 한다. 산화 실리콘막의 스퍼터링법에 의한 성막은 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기 하에서 행할 수 있다. 또한, 타겟으로서 산화 실리콘 타겟 또는 실리콘 타겟을 이용할 수 있다. 예를 들면, 실리콘 타겟을 이용하여, 산소, 및 질소 분위기 하에서 스퍼터링법에 의해 산화 실리콘막을 형성할 수 있다.

[0149] 다음에, 불활성 가스 분위기 하, 또는 산소 가스 분위기 하에서 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들면 250℃ 이상 350℃ 이하)를 행한다. 예를 들면, 질소 분위기 하에서 250℃, 1시간의 제 2 가열 처리를 행한다. 제 2 가열 처리를 행하면 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(416)과 접한 상태로 가열된다. 이것에 의해, 산화물 반도체층의 일부(채널 형성 영역)에 산소가 공급된다.

[0150] 이상의 공정을 거치는 것에 의해, 산화물 반도체층에 대하여 탈수화 또는 탈수소화를 위한 가열 처리를 행한 후, 산화물 반도체층의 일부(채널 형성 영역)를 선택적으로 산소 과잉인 상태로 한다. 그 결과, 게이트층(411)과 중첩되는 채널 형성 영역(413)은 I형이 되어, 소스층(415a)과 중첩되는 소스 영역(414a)과 드레인층(415b)과 중첩되는 드레인 영역(414b)이 자기 정합적으로 형성된다. 이상의 공정으로 트랜지스터(410)가 형성된다.

[0151] 85℃, 2×10^6 V/cm, 12시간의 게이트 바이어스·열스트레스 시험(BT 시험)에서는, 불순물(수소 등)이 산화물 반도체에 존재하고 있으면, 불순물과 산화물 반도체의 주성분과의 결합수가 강전계(B : 바이어스)와 고온(T : 온

도)에 의해 절단되고, 생성된 미결합수가 스레숄드 전압(Vth)의 드리프트를 유발하게 된다. 이것에 대하여, 산화물 반도체의 불순물, 특히 수소나 물 등을 극력 제거하여, 상술한 고밀도 플라즈마 CVD 장치를 이용하여 치밀하고 절연 내압이 높은 고품질의 절연막을 형성하여, 산화물 반도체와의 계면 특성을 양호하게 함으로써, BT 시험에 대해서도 안정적인 트랜지스터를 얻을 수 있다.

[0152] 또한 대기 중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서의 가열 처리를 행하여도 좋다. 여기에서는 150℃에서 10시간 가열 처리를 행한다. 이 가열 처리는 일정한 가열 온도를 보유하여 가열해도 좋고, 실온에서, 100℃ 이상 200℃ 이하의 가열 온도로의 승온과, 가열 온도로부터 실온까지의 강온을 복수회 반복하여 행하여도 좋다. 또한, 이 가열 처리를 산화물 절연막의 형성 전에, 감압 하에서 행하여도 좋다. 감압 하에서 가열 처리를 행하면 가열 시간을 단축할 수 있다. 이 가열 처리에 의해, 산화물 반도체층으로부터 산화물 절연층 중에 수소를 취할 수 있다.

[0153] 또한, 드레인층(415b)과 중첩한 산화물 반도체층에 있어서 드레인 영역(414b)을 형성함으로써, 트랜지스터의 신뢰성의 향상을 도모할 수 있다. 구체적으로는, 드레인 영역(414b)을 형성함으로써, 드레인층(415b)으로부터 드레인 영역(414b), 채널 형성 영역(413)에 걸쳐, 도전성을 단계적으로 변화시킬 수 있는 구조로 할 수 있다.

[0154] 또한, 산화물 반도체층에서의 소스 영역 또는 드레인 영역은 산화물 반도체층의 막두께가 15 nm 이하로 얇은 경우는 막두께 방향 전체에 걸쳐 형성되지만, 산화물 반도체층의 막두께가 30 nm 이상 50 nm 이하로 보다 두꺼운 경우는, 산화물 반도체층의 일부, 소스층 또는 드레인층과 접하는 영역 및 그 근방이 저저항화하여 소스 영역 또는 드레인 영역이 형성되고, 산화물 반도체층에서 게이트 절연층에 가까운 영역은 I형으로 할 수도 있다.

[0155] 산화물 절연층(416) 위에 보호 절연층을 더 형성해도 좋다. 예를 들면, RF 스퍼터링법을 이용하여 질화 실리콘막을 형성한다. RF 스퍼터링법은 양산성이 좋기 때문에, 보호 절연층의 성막 방법으로서 바람직하다. 보호 절연층은 수분이나, 수소 이온이나, OH^- 등의 불순물을 포함하지 않고, 이것들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하여, 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 산화 질화 알루미늄 등을 이용한다. 여기에서는, 질화 실리콘막을 이용하여 보호 절연층으로서 보호 절연층(403)을 형성한다(도 7(D) 참조).

[0156] (액티브 매트릭스형의 표시 장치를 탑재한 각종 전자기기에 대하여)

[0157] 이하에서는, 본 명세서에 개시되는 표시 장치를 탑재한 전자기기의 예에 대하여 도 8을 참조하여 설명한다.

[0158] 도 8(A)은 노트형의 퍼스널 컴퓨터를 나타낸 도면이며, 본체(2201), 하우징(2202), 표시부(2203), 키보드(2204) 등에 의해 구성되어 있다.

[0159] 도 8(B)은 휴대 정보 단말(PDA)을 나타낸 도면이며, 본체(2211)에는 표시부(2213)와, 외부 인터페이스(2215)와, 조작 버튼(2214) 등이 설치되어 있다. 또한, 조작용의 부속품으로서 스타일러스(2212)가 있다.

[0160] 도 8(C)은 전자 페이퍼의 일례로서, 전자 서적(2220)을 나타낸 도면이다. 전자 서적(2220)은 하우징(2221) 및 하우징(2223)의 2개의 하우징으로 구성되어 있다. 하우징(2221) 및 하우징(2223)은 축부(2237)에 의해 일체로 되어 있고, 이 축부(2237)를 축으로 하여 개폐 동작을 행할 수 있다. 이러한 구성에 의해, 전자 서적(2220)은 종이 서적과 같이 이용하는 것이 가능하다.

[0161] 하우징(2221)에는 표시부(2225)가 내장되고, 하우징(2223)에는 표시부(2227)가 조립되어 있다. 표시부(2225) 및 표시부(2227)는 연속된 화면을 표시하는 구성으로 해도 좋고, 다른 화면을 표시하는 구성으로 해도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들면 우측의 표시부(도 8(C)에서는 표시부(2225))에 문장을 표시하고, 좌측의 표시부(도 8(C)에서는 표시부(2227))에 화상을 표시할 수 있다.

[0162] 또한, 도 8(C)에서는, 하우징(2221)에 조작부 등을 구비한 예를 나타내고 있다. 예를 들면, 하우징(2221)은 전원(2231), 조작 키(2233), 스피커(2235) 등을 구비하고 있다. 조작 키(2233)에 의해, 페이지를 보낼 수 있다. 또한, 하우징의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 해도 좋다. 또한, 하우징의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 해도 좋다. 또한, 전자 서적(2220)은 전자 사전으로서의 기능을 갖게 한 구성으로 해도 좋다.

[0163] 또한, 전자 서적(2220)은 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선에 의해, 전자 서적 서버로부터, 소망의 서적 데이터 등을 구입하여, 다운로드하는 구성으로 하는 것도 가능하다.

[0164] 또한, 전자 페이퍼는 정보를 표시하는 것이면 모든 분야에 적용하는 것이 가능하다. 예를 들면, 전자 서적 이외에도, 포스터, 전철 등의 탈 것의 차내 광고, 신용카드 등의 각종 카드의 표시 등에 적용할 수 있다.

[0165] 도 8(D)은 휴대전화기를 나타낸 도면이다. 이 휴대전화기는 하우징(2240) 및 하우징(2241)의 2개의 하우징으로 구성되어 있다. 하우징(2241)은 표시 패널(2242), 스피커(2243), 마이크로폰(2244), 포인팅 디바이스(2246), 카메라용 렌즈(2247), 외부 접속 단자(2248) 등을 구비하고 있다. 또한, 하우징(2240)은 이 휴대전화기의 충전을 행하는 태양전지 셀(2249), 외부 메모리 슬롯(2250) 등을 구비하고 있다. 또한, 안테나는 하우징(2241) 내부에 내장되어 있다.

[0166] 표시 패널(2242)은 터치 패널 기능을 구비하고 있고, 도 8(D)에는 영상 표시되어 있는 복수의 조작 키(2245)를 점선으로 나타내고 있다. 또한, 이 휴대전화는 태양전지 셀(2249)로부터 출력되는 전압을 각 회로에 필요한 전압에 승압하기 위한 승압 회로를 실장하고 있다. 또한, 상기 구성에 더하여, 비접촉 IC칩, 소형 기록 장치 등을 내장한 구성으로 할 수도 있다.

[0167] 표시 패널(2242)은 사용 형태에 따라 표시의 방향이 적절히 변화한다. 또한, 표시 패널(2242)과 동일면에 카메라용 렌즈(2247)를 구비하고 있기 때문에, 화상 전화가 가능하다. 스피커(2243) 및 마이크로폰(2244)은 음성 통화에 한정하지 않고, 화상 전화, 녹음, 재생 등이 가능하다. 또한, 하우징(2240)과 하우징(2241)은 슬라이드하여, 도 8(D)과 같이 펼쳐져 있는 상태에서 서로 겹친 상태로 할 수 있어, 휴대폰에 적절한 소형화가 가능하다.

[0168] 외부 접속 단자(2248)는 AC 어댑터나 USB 케이블 등의 각종 케이블과 접속 가능하고, 충전이나 데이터 통신이 가능하게 되어 있다. 또한, 외부 메모리 슬롯(2250)에 기록 매체를 삽입하여, 보다 대량의 데이터의 보존 및 이동에 대응할 수 있다. 또한, 상기 기능에 더하여, 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이어도 좋다.

[0169] 도 8(E)은 디지털 카메라를 나타낸 도면이다. 이 디지털 카메라는 본체(2261), 표시부(A)(2267), 접안부(2263), 조작 스위치(2264), 표시부(B)(2265), 배터리(2266) 등에 의해 구성되어 있다.

[0170] 도 8(F)은 텔레비전 장치를 나타낸 도면이다. 텔레비전 장치(2270)에서는 하우징(2271)에 표시부(2273)가 조립되어 있다. 표시부(2273)에 의해, 영상을 표시하는 것이 가능하다. 또한, 여기에서는, 스탠드(2275)에 의해 하우징(2271)을 지지한 구성을 나타내고 있다.

[0171] 텔레비전 장치(2270)의 조작은 하우징(2271)이 구비하는 조작 스위치나, 별체의 리모콘 조작기(2280)에 의해 행할 수 있다. 리모콘 조작기(2280)가 구비하는 조작 키(2279)에 의해, 채널이나 음량의 조작을 행할 수 있고 표시부(2273)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(2280)에, 이 리모콘 조작기(2280)로부터 출력하는 정보를 표시하는 표시부(2277)를 형성하는 구성으로 해도 좋다.

[0172] 또한, 텔레비전 장치(2270)는 수신기나 모뎀 등을 구비한 구성으로 하는 것이 적합하다. 수신기에 의해, 일반 텔레비전 방송의 수신을 행할 수 있다. 또한, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 한방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 혹은 수신자들간 등)의 정보통신을 행하는 것이 가능하다.

부호의 설명

[0173] 101 : 화소부 102 : 신호선 구동 회로

103 : 주사선 구동 회로 104 : 신호선

105 : 주사선 107 : 화소

111 : 트랜지스터 112 : 용량 소자

113 : 액정 소자 120 : 기판

121 : 게이트층 122 : 게이트 절연층

123 : 산화물 반도체층 124a : 소스층

124b : 드레인층 125 : 절연층

126 : 보호 절연층　　400 : 기판

402 : 게이트 절연층　403 : 보호 절연층

410 : 트랜지스터　　411 : 게이트층

413 : 채널 형성 영역　414a : 소스 영역

414b : 드레인 영역　　415a : 소스층

415b : 드레인층　　416 : 산화물 절연층

430 : 산화물 반도체막　431 : 산화물 반도체층

510 : 트랜지스터　　511 : 절연층

520 : 트랜지스터　　530 : 트랜지스터

531 : 절연층　　532a : 배선층

532b : 배선층　　600 : 콘트롤러

601 : 데이터 신호 생성 회로　602 : 구동 신호 생성 회로

603 : 기준 클록 신호 생성 회로　604 : 분주 회로

605 : 스위치　　606 : 스위치

800 : 측정계　　802 : 용량 소자

804 : 트랜지스터　　805 : 트랜지스터

806 : 트랜지스터　　808 : 트랜지스터

2201 : 본체　　2202 : 하우징

2203 : 표시부　　2204 : 키보드

2211 : 본체　　2212 : 스타일러스

2213 : 표시부　　2214 : 조작 버튼

2215 : 외부 인터페이스　2220 : 전자 서적

2221 : 하우징　　2223 : 하우징

2225 : 표시부　　2227 : 표시부

2231 : 전원　　2233 : 조작 키

2235 : 스피커　　2237 : 축부

2240 : 하우징　　2241 : 하우징

2242 : 표시 패널　　2243 : 스피커

2244 : 마이크로폰　　2245 : 조작 키

2246 : 포인팅 디바이스　2247 : 카메라용 렌즈

2248 : 외부 접속 단자　2249 : 태양전지 셀

2250 : 외부 메모리 슬롯　2261 : 본체

2263 : 접안부　　2264 : 조작 스위치

2265 : 표시부(B)　　2266 : 배터리

2267 : 표시부(A)　　2270 : 텔레비전 장치

2271 : 하우징　　2273 : 표시부

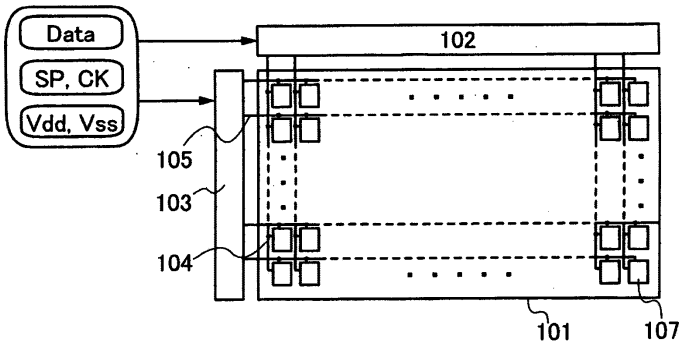
2275 : 스탠드　　2277 : 표시부

2279 : 조작 키　　2280 : 리모콘 조작기

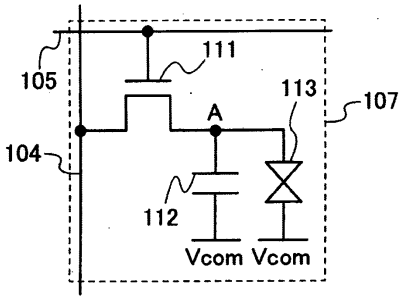
도면

도면1

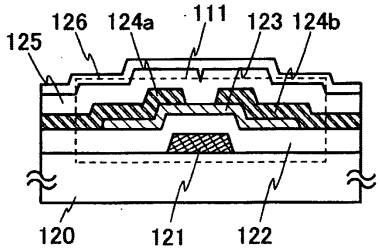
(A)



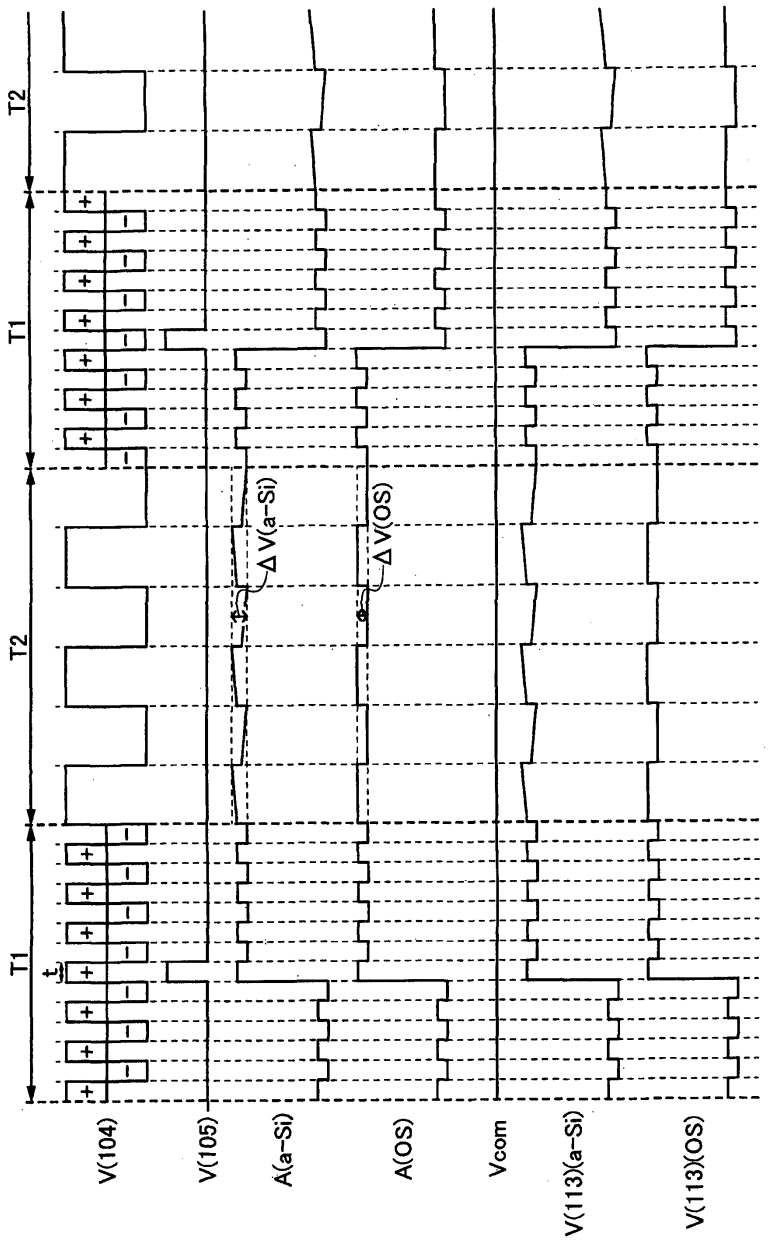
(B)



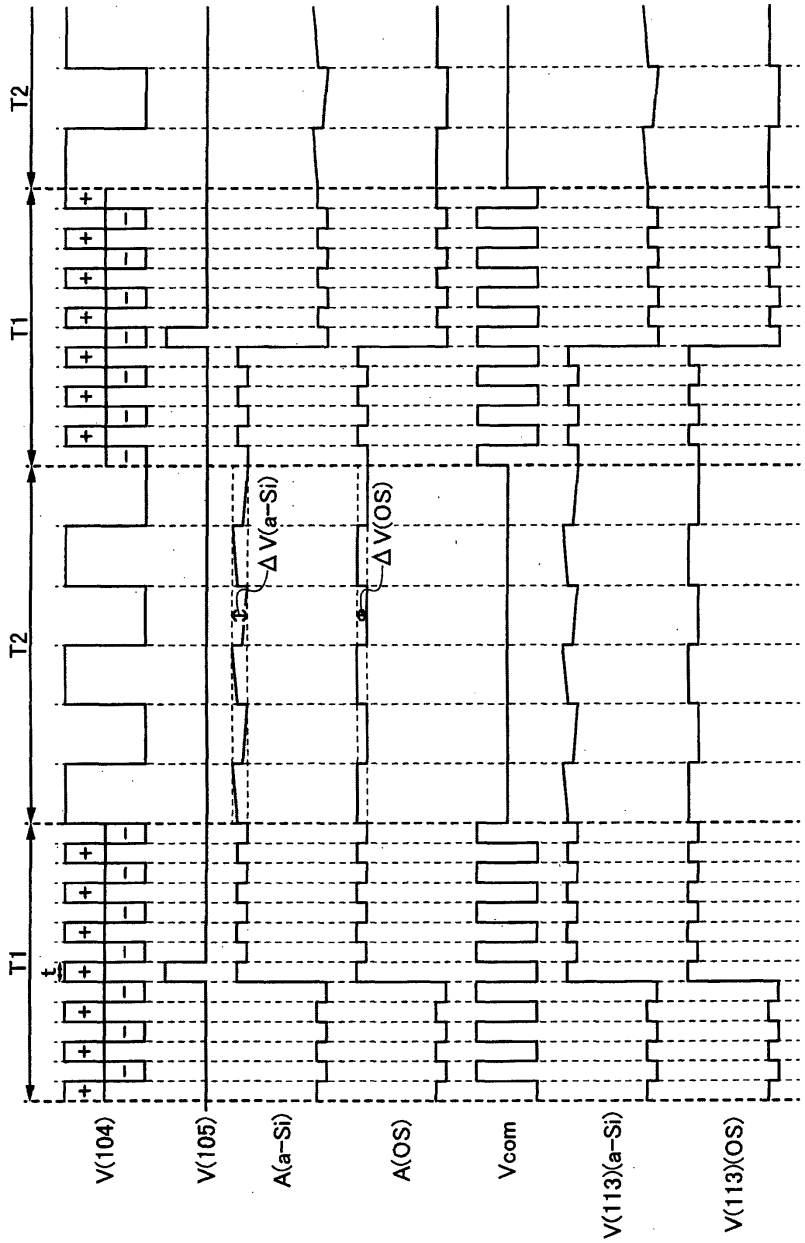
(C)



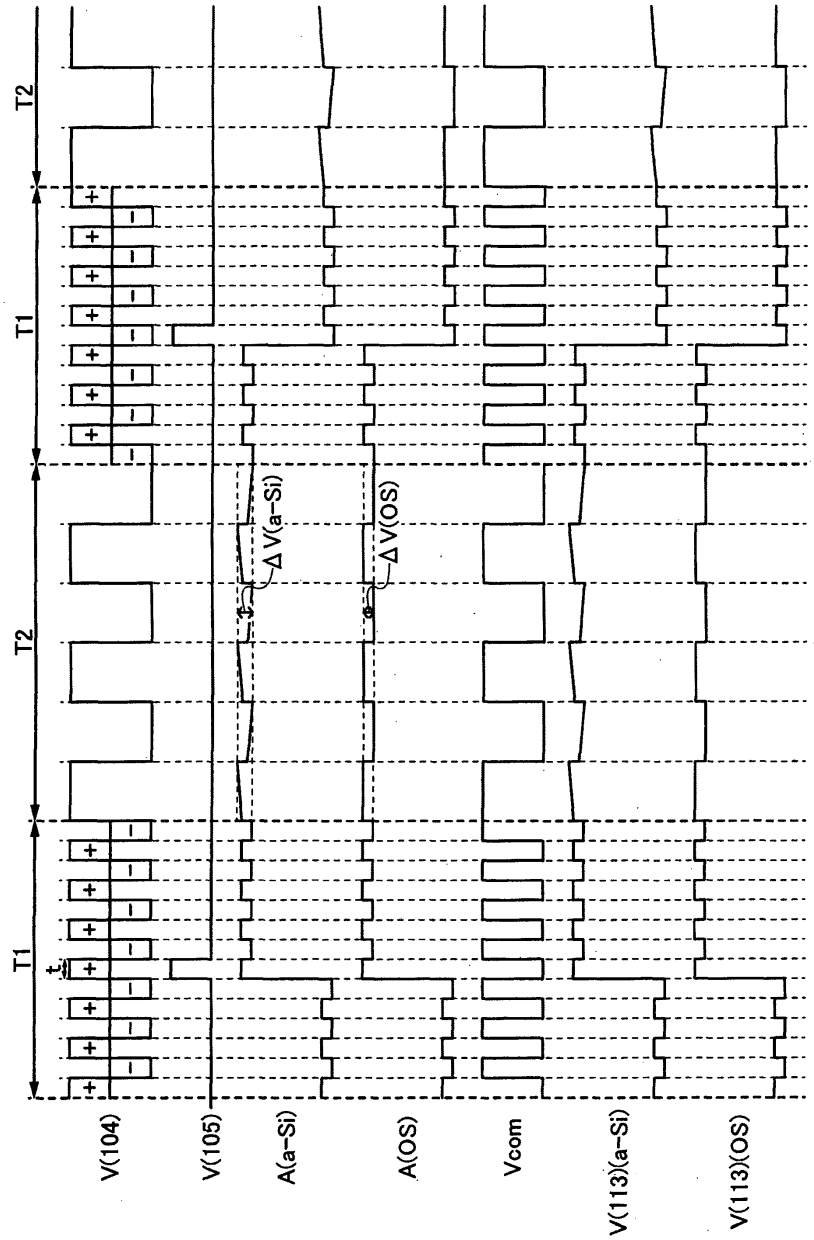
도면2



도면3

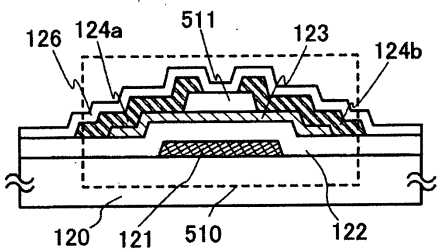

T2
T1
T2
T1
t
ΔV(a-Si)
ΔV(OS)
V(104)
V(105)
A(a-Si)
A(OS)
Vcom
V(113)(a-Si)
V(113)(OS)

도면4

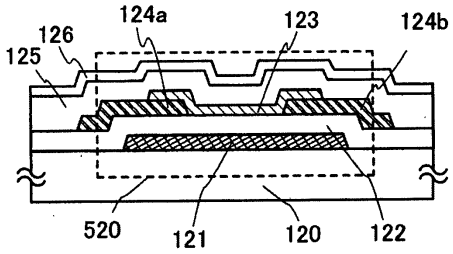


도면5

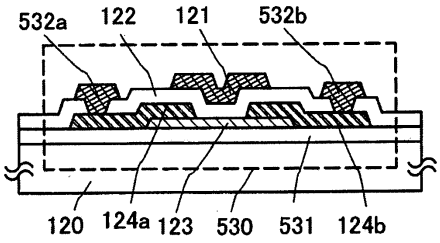
(A)


126
124a
511
123
124b
120
121
510
122

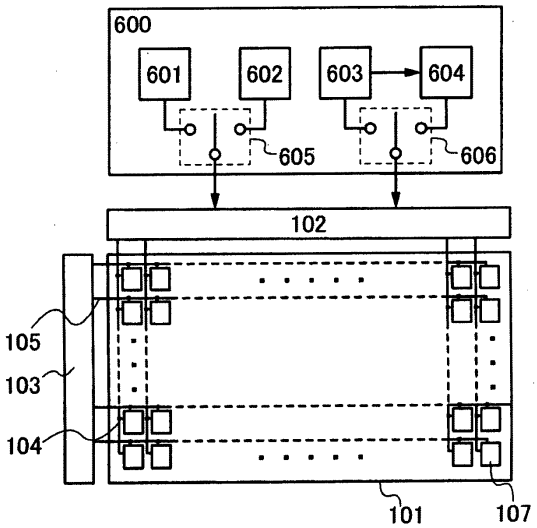
(B)


124a
123
124b
126
125
520
121
120
122

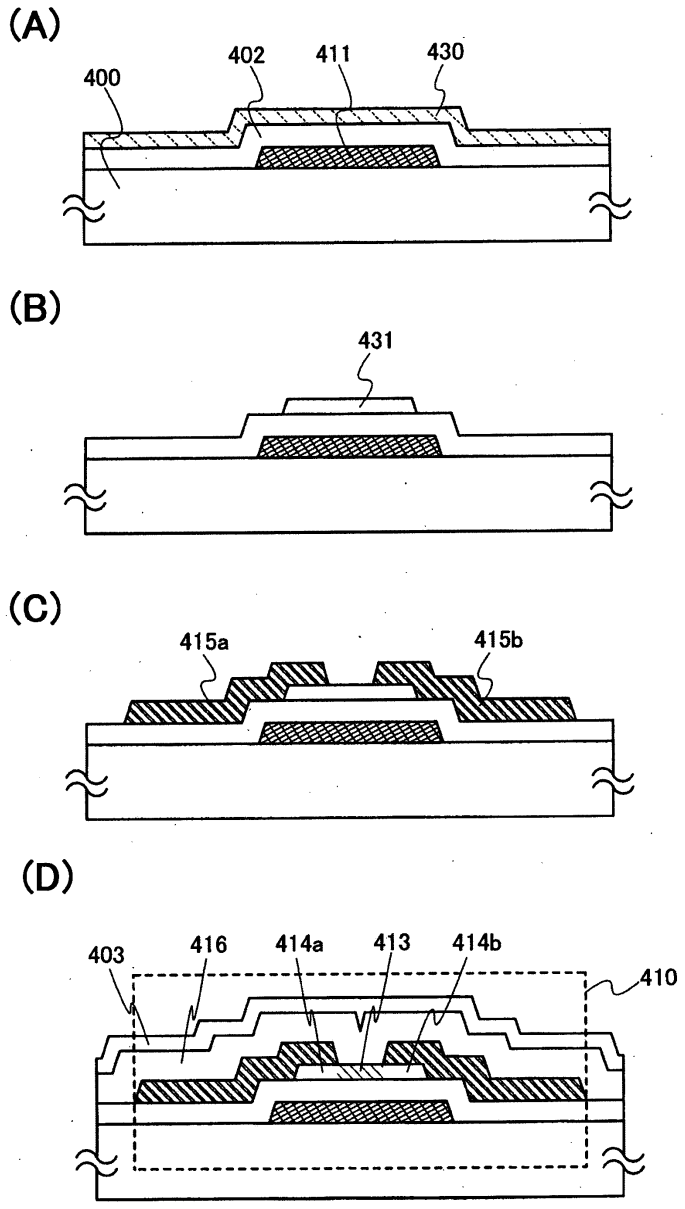
(C)


532a
122
121
532b
120
124a
123
530
531
124b

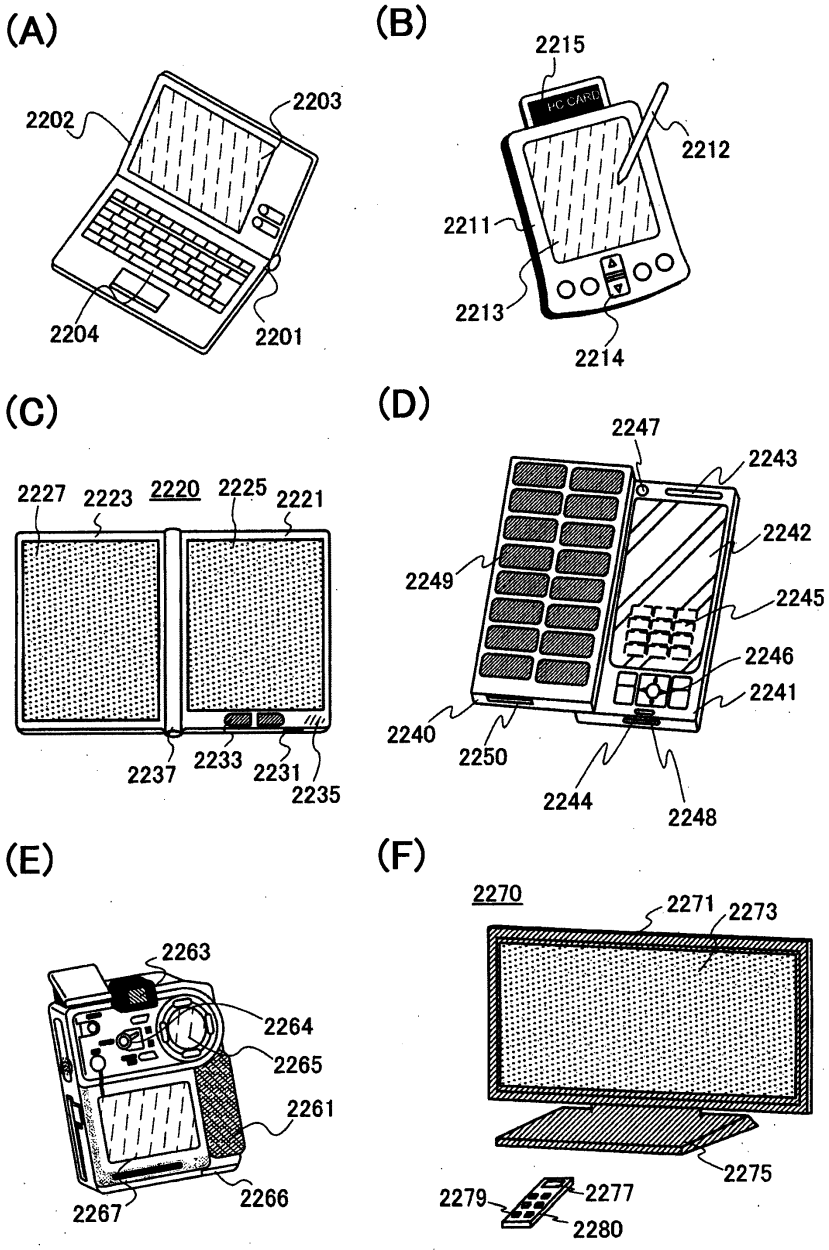
도면6


600
601
602
603
604
605
606
102
105
103
104
101
107

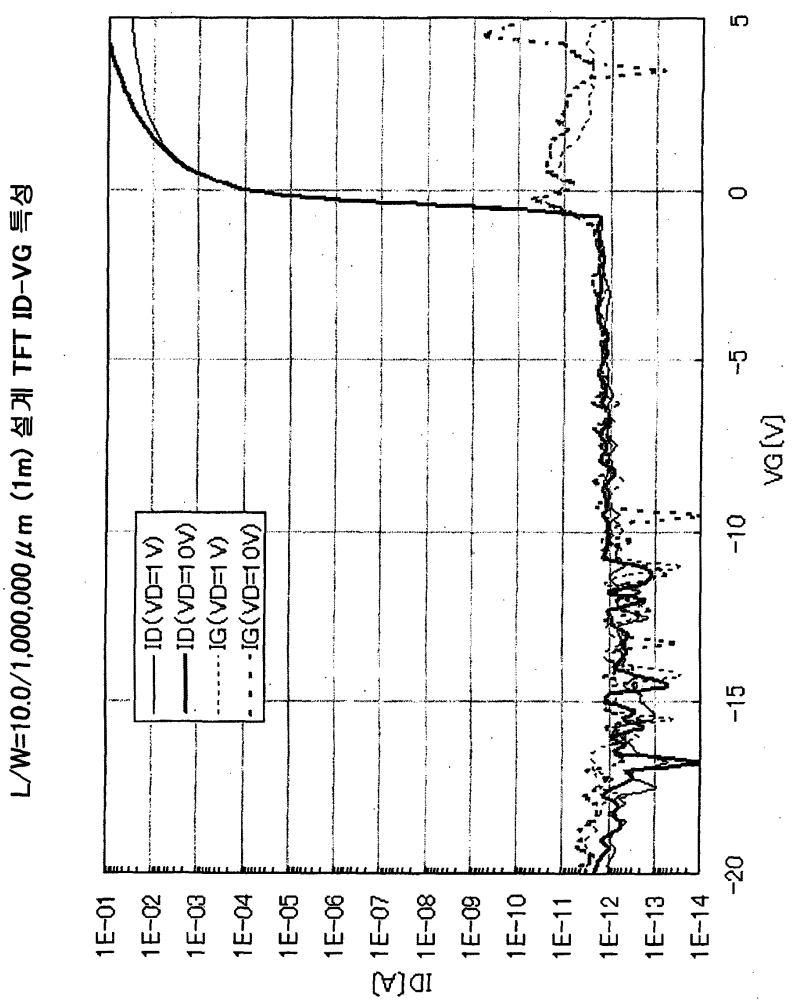
도면7



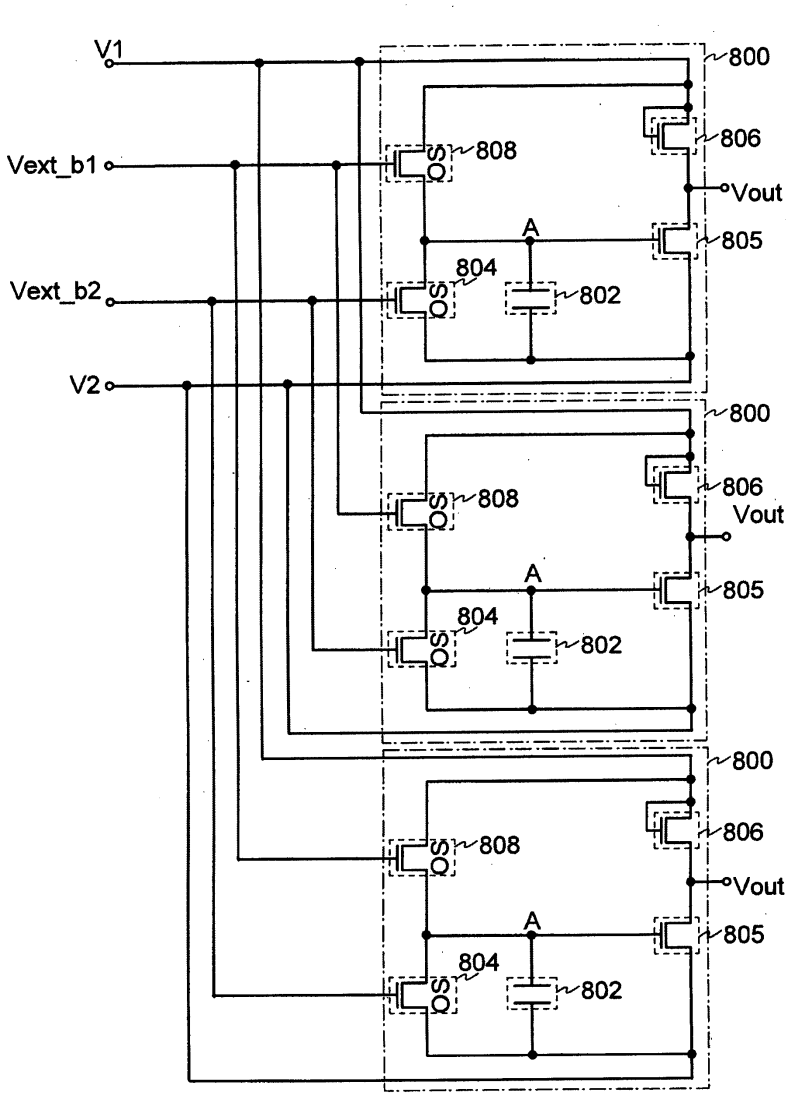
도면8


(A)
2202
2203
2204
2201
(B)
2215
PC CARD
2212
2211
2213
2214
(C)
2227
2223
2220
2225
2221
2237
2233
2231
2235
(D)
2247
2243
2242
2249
2245
2246
2241
2240
2250
2244
2248
(E)
2263
2264
2265
2261
2267
2266
(F)
2270
2271
2273
2275
2279
2277
2280

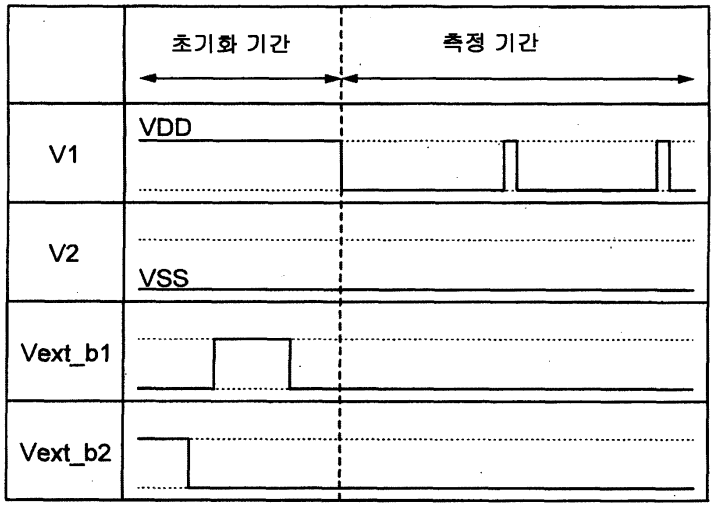
도면9


L/W=10.0/1,000,000㎛ (1m) 설계 TFT ID-VG 특성
ID(VD=1V)
ID(VD=10V)
IG(VD=1V)
IG(VD=10V)
ID[A]
1E-01
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
1E-14
5
0
-5
-10
-15
-20
VG[V]

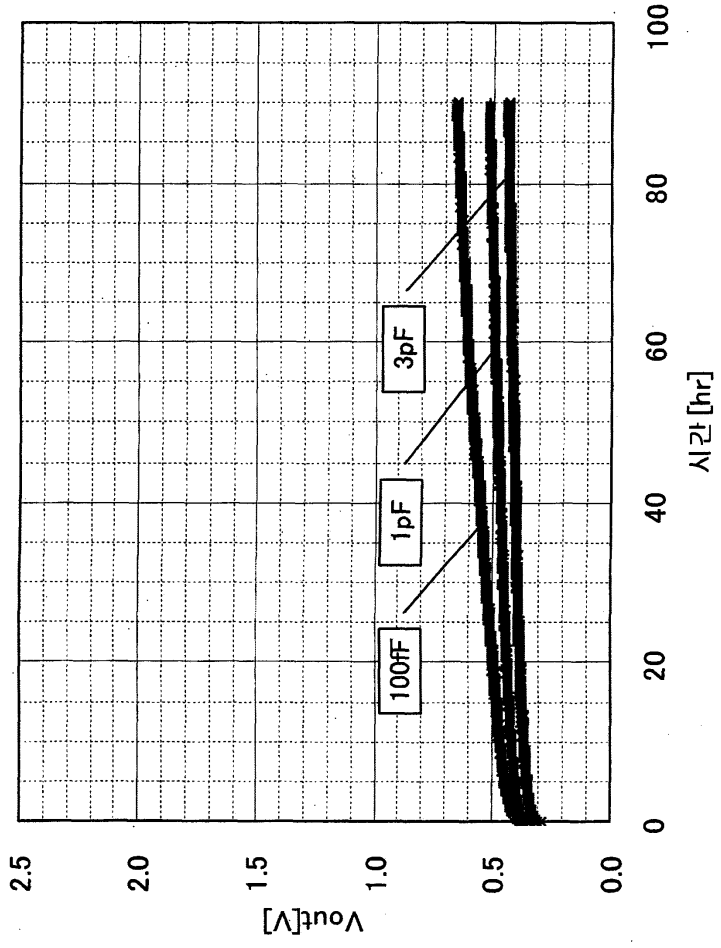
도면10


V1
Vext_b1
Vext_b2
V2
800
806
808
Vout
805
A
804
802
800
806
808
Vout
805
A
804
802
800
806
808
Vout
805
A
804
802

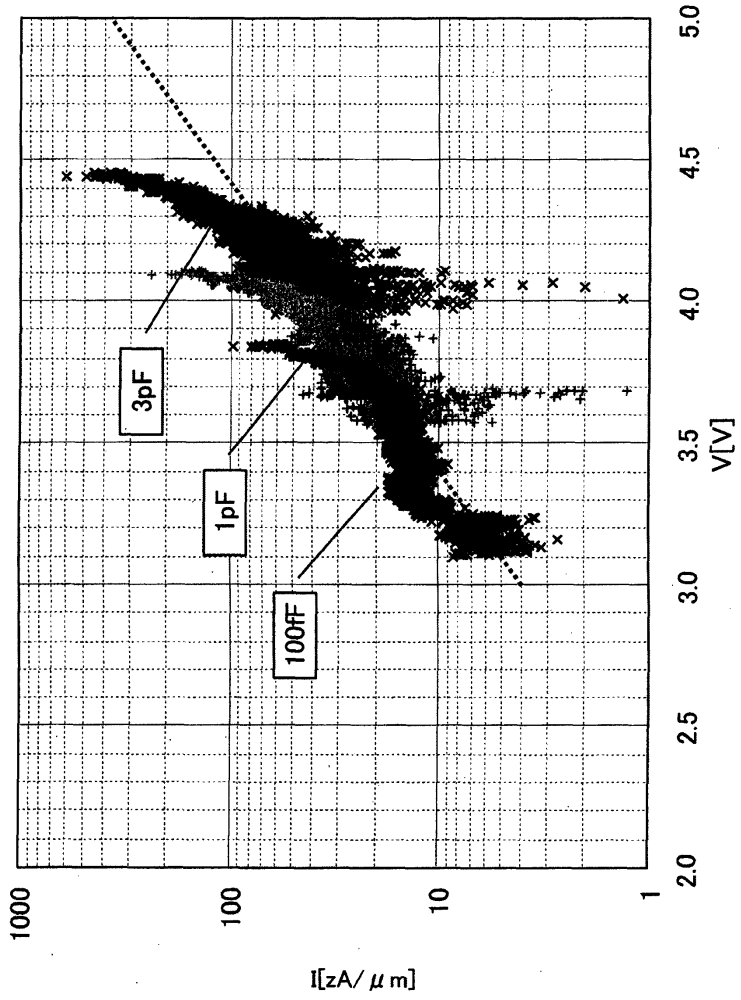
도면11


초기화 기간
측정 기간
V1
VDD
V2
VSS
Vext_b1
Vext_b2

도면12


3pF
1pF
100fF
시간 [hr]
0
20
40
60
80
100
Vout[V]
2.5
2.0
1.5
1.0
0.5
0.0

도면13



도면14

