(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0026770
(43) 공개일자 2024년02월29일

(51) 국제특허분류(Int. Cl.)
H10N 70/00 (2024.01) *G06N 3/063* (2023.01)
(52) CPC특허분류
H10N 70/24 (2023.02)
G06N 3/063 (2013.01)
(21) 출원번호 10-2022-0105046
(22) 출원일자 2022년08월22일
심사청구일자 2022년08월22일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
윤태식
서울특별시 강남구 도곡로43길 20, 202동 801호 (역삼동, 래미안 그레이튼)
정하영
경기도 수원시 영통구 에듀타운로 65, 5203동 1302호 (이의동, 자연앤자이)
(74) 대리인
김종선, 이형석

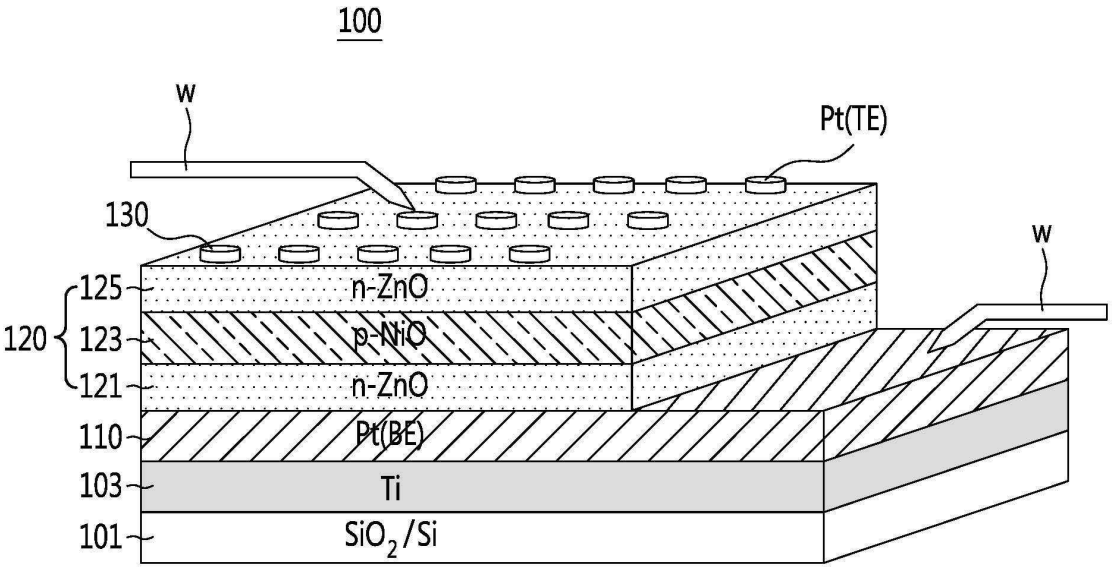
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **자가-선택형 양극 인공 시냅스 소자 및 그의 제조방법**

(57) 요 약

본 발명의 인공 시냅스 소자는 하부전극, 하부전극 상에 배치되는 n형-p형-n형 구조의 산화물 반도체로 형성되는 다층 산화막 및, 다층 산화막 상에 배치되는 상부전극을 포함한다. 이에 의해, 본 발명은 n형-p형-n형 구조의 산화물 반도체를 이용함으로써 선택 소자 없이 시냅스 가중치 변화와 선택 소자 특성을 동시에 나타내는 자가 선택형 시냅스 특성을 발휘할 수 있다.

대 표 도 - 도2



(52) CPC특허분류
H10N 70/021 (2023.02)
H10N 70/826 (2023.02)
H10N 70/883 (2023.02)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711155486
과제번호 2021M3F3A2A01037844
부처명 과학기술정보통신부
과제관리(전문)기관명 재단법인 한국연구재단
연구사업명 차세대지능형반도체기술개발사업
연구과제명 저항 변화성 소재 및 구조의 정밀 제어를 통한 고성능 고신뢰성 2단자 시냅스 소자 및 어레이 개발
기 여 율 1/1
과제수행기관명 울산과학기술원
연구기간 2021.04.09 ~ 2023.12.31

명 세 서

청구범위

청구항 1

하부전극;

상기 하부전극 상에 배치되는 n형-p형-n형 구조의 산화물 반도체로 형성되는 다층 산화막; 및,

상기 다층 산화막 상에 배치되는 상부전극;을 포함하는 인공 시냅스 소자.

청구항 2

제1항에 있어서,

상기 다층 산화막은 바이어스가 인가되면, 산소 이온의 재분배에 의해 n형과 p형 접합(junction)에서 전위 장벽(potential barrier)의 변화를 야기하여 시냅스 가중치를 변화시키며 상기 전위 장벽을 이용하여 선택 소자 특성을 동시에 나타내는 자가-선택형 시냅스 동작이 이루어지는 것을 특징으로 하는 인공 시냅스 소자.

청구항 3

제2항에 있어서,

상기 다층 산화막은

상기 p형 산화막에서 산소 이온(oxygen ion)이 억셉터(acceptor) 역할을 수행하고,

상기 n형 산화막에서 산소 공공(oxygen vacancy)이 도너(donor) 역할을 수행하는 것을 특징으로 하는 인공 시냅스 소자.

청구항 4

제1항에 있어서,

상기 다층 산화막의 n형과 p형 접합에서의 전위 장벽의 높이에 따라 턴-온(turn-on) 전압의 진폭이 결정되는 것을 특징으로 하는 인공 시냅스 소자.

청구항 5

제1항에 있어서,

상기 다층 산화막의 n형-p형-n형 구조에서 산소 공공의 양과 이동성에 의해 시냅스 가중치 변화 폭이 결정되는 것을 특징으로 하는 인공 시냅스 소자.

청구항 6

하부전극을 형성하는 단계;

상기 하부전극 상에 n형-p형-n형 구조의 산화물 반도체로 다층 산화막을 형성하는 단계; 및,

상기 다층 산화막 상에 상부전극을 형성하는 단계;를 포함하는 인공 시냅스 소자의 제조 방법.

청구항 7

제6항에 있어서,

상기 하부전극을 형성하는 단계는

기판 상에 포토레지스트를 도포하는 단계;

도포된 상기 포토레지스트 상에 마스크를 사용하여 노광하고 선택적으로 상기 포토레지스트를 제거하는 단계;

선택적으로 제거된 상기 포토레지스트 상에 금속막을 증착하는 단계;

상기 금속막 상에 상기 하부전극을 증착하는 단계; 및,

상기 금속막과 상기 하부전극이 증착된 포토레지스트를 제거하는 단계;를 포함하는 것을 특징으로 하는 인공 시냅스 소자의 제조 방법.

청구항 8

제6항에 있어서,

상기 하부전극을 형성하는 단계는

상기 기판 상에 상기 금속막과 상기 하부전극을 순차적으로 증착하는 단계;

상기 하부전극 상에 포토레지스트를 도포하는 단계;

도포된 상기 포토레지스트 상에 마스크를 사용하여 노광하고 선택적으로 상기 포토레지스트를 제거하는 단계; 및,

선택적으로 제거된 상기 포토레지스트를 마스크로 사용하여 상기 금속막과 상기 하부전극을 식각하는 단계;를 포함하는 것을 특징으로 하는 인공 시냅스 소자의 제조 방법.

청구항 9

제6항에 있어서,

상기 다층 산화막을 형성하는 단계는

상기 하부전극 상에 n형 산화물 반도체를 증착하는 단계;

상기 n형 산화물 반도체 상에 p형 산화물 반도체를 증착하는 단계; 및,

상기 p형 산화물 반도체 상에 n형 산화물 반도체를 증착하는 단계;를 포함하는 인공 시냅스 소자의 제조 방법.

청구항 10

제6항에 있어서,

상기 상부전극을 형성하는 단계는,

상기 다층 산화막 상에 상부전극을 증착하는 단계;

증착된 상기 상부전극 상에 포토레지스트를 도포하는 단계;

도포된 상기 포토레지스트 상에 마스크를 사용하여 노광하고 선택적으로 상기 포토레지스트를 제거하는 단계; 및,

선택적으로 제거된 상기 포토레지스트를 마스크로 사용하여 상기 상부전극을 식각하는 단계;를 포함하는 것을 특징으로 하는 인공 시냅스 소자의 제조 방법.

청구항 11

제6항에 있어서,

상기 다층 산화막은

바이어스가 인가되면, 산소 이온의 재분배에 의해 n형과 p형 접합에서 전위 장벽의 변화를 야기하여 시냅스 가중치를 변화시키며 상기 전위 장벽을 이용하여 선택 소자 특성을 동시에 나타내는 자가-선택형 시냅스 동작이 이루어지는 것을 특징으로 하는 인공 시냅스 소자의 제조 방법.

청구항 12

제11항에 있어서,

상기 다층 산화막은

상기 p형 산화물 반도체에서 산소 이온이 억셉터 역할을 수행하고,

상기 n형 산화물 반도체에서 산소 공공이 도너 역할을 수행하는 것을 특징으로 하는 인공 시냅스 소자의 제조 방법.

청구항 13

제6항에 있어서,

상기 다층 산화막의 n형과 p형 접합에서의 전위 장벽의 높이에 따라 턴-온(turn-on) 전압의 진폭이 결정되는 것을 특징으로 하는 인공 시냅스 소자의 제조 방법.

청구항 14

제6항에 있어서,

상기 다층 산화막의 n형-p형-n형 구조에서 산소 공공의 양과 이동성에 의해 시냅스 가중치 변화 폭이 결정되는 것을 특징으로 하는 인공 시냅스 소자의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 자가-선택형 양극 인공 시냅스 소자 및 그의 제조방법에 관한 것으로서, 특히, n형-p형-n형 구조의 산화물 반도체를 이용함으로써 선택 소자 없이 멤리스터 특성을 발휘하는 자가-선택형 양극 인공 시냅스 소자 및 그의 제조방법에 관한 것이다.

배 경 기 술

[0002] 현대사회는 컴퓨터의 개발을 통해 많은 분야에서 급격한 기술 발전을 이루어 냈다. 기존의 컴퓨팅 시스템은 폰 노이만 방식으로 연산 및 논리 기능을 하는 비메모리 소자와 기억 기능을 하는 메모리 소자의 신호교환을 통해 정보를 처리하는데, 반도체 소자의 수가 많으면 많을수록 우수한 기능을 수행할 수 있는 정보 처리 방식을 갖고 있다. 이러한 이유로 우수한 반도체 재료의 개발과 소자의 집적화 기술 향상을 통해 현재까지 폰 노이만 기반의 고성능 컴퓨팅 시스템을 만들어낼 수 있었다. 하지만 더욱 복잡하고 많은 양의 정보를 저장/처리해야하기 때문에 집적화 기술과 전력소비 측면에서 봤을 때 폰 노이만 방식의 컴퓨팅 시스템은 한계에 도달하게 되었고 현재 이를 극복하기 위한 새로운 정보 처리 방식이 요구되고 있다

[0003] 현재 차세대 컴퓨팅 시스템으로 여러 방식이 연구되고 있다. 그 중 우수한 에너지 효율과 정보 처리 능력을 갖고 있는 인간의 뇌를 모사하는 뉴로모픽 시스템에 대한 연구가 대표적이다. 인간의 두뇌에서는 약 1 천억 개의 뉴런과 이를 연결해주는 통로 역할의 시냅스를 통해 정보가 처리되고, 이는 많은 양의 정보를 병렬 처리하기 때문에 복잡한 정보처리에 우수한 특성을 보이며, 정보 처리 시 약 15W 정도의 저 전력으로 대량의 정보를 처리할 수 있다.

[0004] 뇌는 외부기관으로부터 정보를 받아들일 때, 각각의 뉴런들이 수십 mV의 작은 전기적 신호를 발생시키고 이러한 신호가 시냅스에 전달되어 시냅스의 신호 전달 능력(Synaptic weight)을 변화시킨다. 시냅스의 신호 전달 능력에 대한 변화 거동은 인가되는 전압에 따라 저항상태가 변화하는 반도체의 멤리스터 특성과 비슷한 거동을 보이기 때문에 멤리스터 기반의 시냅스 소자를 제작하여 두뇌의 정보처리 방식인 뉴로모픽 시스템을 구현해내는 연구가 활발히 이루어지고 있다.

[0005] 멤리스터(Memristor)는 memory+resistor의 합성어로 반도체의 저항변화 특성을 말하고, 여러 방식을 통해 저항변화가 이루어지게 된다. 멤리스터의 구조는 금속-유전체-금속의 2단자 구조로, 간단한 구조를 갖기 때문에 3차원의 집적화 기술이 필요한 뉴런-시냅스 연결 구조를 형성하는데 용이하다.

[0006] 크로스바 어레이 구조는 간단한 멤리스터의 구조를 이용한 집적 구조 기술 중 하나로, 여러 패터닝 기술을 통해 제작되고 있다. 크로스바 구조에서 상/하부 전극이 교차되는 지점에 멤리스터가 형성되는데, 이러한 간단한 제작방법을 통해 소자에 대한 제작비용과 고밀도화를 위한 적층 기술 측면에서 시냅스 소자 구현에 대한 적합한 구조라고 할 수 있다.

[0007] 하지만 크로스바 어레이 구조는 구조상 치명적인 문제를 갖고 있다. 이는 특정 멤리스터(셀; cell)에 정보를 설정하거나 읽기 과정을 할 때, 해당되는 크로스바에 전압을 인가하게 되면 같은 크로스바에 연결된 이웃한 소자로 전류가 새어 들어가게 되면서 기존 정보를 변환시키거나 잘못된 정보가 얻어질 수 있는 문제가 발생하게 된다. 이는 신뢰성에 대한 큰 문제점으로 작용하며, 이를 누설 전류(sneak path leakage current) 현상이라고 한다. 이 현상을 해결하기 위해 한쪽 방향으로만 전류가 흐를 수 있는 정류 기능을 추가해주어야 하는데, 이를 위해 회로 영역에서 코딩 설계를 수정하거나 비선형 I-V 곡선을 만들어 주는 방법이 사용된다. 비선형 I-V 곡선을 얻어내는 방법으로 선택 소자(selector)인 트랜지스터 또는 다이오드를 이용한 이중 구조의 소자를 제작하는데, 크기나 제작비용 측면에서 다이오드-멤리스터 구조가 많이 사용된다. 하지만 이 또한 정류 장치가 추가로 제작되는 것이기 때문에 제작비용, 소비 전력 그리고 집적화 측면에서 불완전한 해결방안이다. 특히, 1S1M 크로스바 구조 즉, 선택 소자와 멤리스터 소자를 적층하여 크로스바 구조로 제작했을 때, 특정 전압 이상에서 전류가 흐르는 전기적 특성을 얻음으로써, 누설 전류에 대한 문제점을 해결할 수 있다. 하지만 크로스바 구조의 제작은 고집적화를 통해 소자 간의 거리를 좁혀 전압/전류의 이동 거리를 최소화함으로써 소비 전력을 감소시키고, 소자 제작 공정을 간소화하는 목적을 갖는데, 두 소자가 적층한 구조로 제작 과정이 복잡한 순서를 갖는다.

[0008] 이에, 크로스바 구조를 보다 간단하게 제작하기 위하여, 선택 소자 없는 메모리 셀 구조를 만들기 위한 연구가 진행되어 왔다. 이는 멤리스터 소자에서 각 물질의 고유 특성을 이용하여 에너지 밴드 구조를 설계함으로써 선택 소자 없이 멤리스터 소자 만으로 전압 인가 방향에 따라 전자가 이동하지 못하게 하는 정류 특성을 얻어낼 수 있다. 선택 소자가 필요하지 않는 멤리스터 소자는 자가-선택형 멤리스터라고 한다. 반 데르 발스 이종 구조(van der Waals heterostructures)에서 계면 상전이(interface phase transition), 터널링 장벽 및 휘발성 필라멘트 형성을 이용하는 등의 다양한 기술이 사용되고 있다. 특히, I-V 정류 특성에 의해 자가 선택 단계가 수행되면 자가-정류형 멤리스터라고 한다. 여기서, 자기-정류형은 한 방향으로만 작동할 수 있다는 점에서 자가-선택형과 다르며 단극(unipolar) 메모리로만 사용이 제한된다.

[0009] 결론적으로, 누설 전류 문제점을 해결하는 선택 소자가 필요하지 않는 자가-선택형 멤리스터인 인공 시냅스 소자에 대한 연구 및 개발이 필요한 실정이다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 대한민국 등록특허 제10-1922049호

발명의 내용

해결하려는 과제

[0011] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, n형-p형-n형 구조의 산화물 반도체를 이용함으로써 선택 소자 없이 멤리스터 만으로 선택 소자 특성과 시냅스 소자 특성을 동시에 발휘하는 자가-선택형 양극 인공 시냅스 소자 및 그의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0012] 상기와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 인공 시냅스 소자는, 하부전극; 상기 하부전극 상에 배치되는 n형-p형-n형 구조의 산화물 반도체로 형성되는 다층 산화막; 및, 상기 다층 산화막 상에 배치되는 상부전극;을 포함할 수 있다.

[0013] 또한, 상기 다층 산화막은 바이어스가 인가되면, n형과 p형 접합(junction)에서 전위 장벽(potential barrier)의 변화를 야기하고 산소 이온의 재분배에 의해 저항이 변하는 시냅스 특성과 상기 전위 장벽에 의한 선택 소자 특성이 동시에 나타나는 자가-선택형 시냅스 동작이 이루어질 수 있다.

[0014] 또한, 상기 다층 산화막은 상기 p형 산화막에서 산소 이온(oxygen ion)이 억셉터(acceptor) 역할을 수행하고, 상기 n형 산화막에서 산소 공공(oxygen vacancy)이 도너(donor) 역할을 수행할 수 있다.

[0015] 또한, 상기 다층 산화막의 n형과 p형 접합에서의 전위 장벽의 높이에 따라 소자에 전류가 흐를 수 있도록 허용하는 턴-온(turn-on) 전압의 진폭이 결정될 수 있다.

[0016] 또한, 상기 다층 산화막의 n형-p형-n형 구조에서 산소 공공의 양과 이동성에 의해 시냅스 가중치의 변화 폭이 결정될 수 있다.

[0017] 본 발명의 다른 실시예에 따른 인공 시냅스 소자의 제조 방법은 하부전극을 형성하는 단계; 상기 하부전극 상에 n형-p형-n형 구조의 산화물 반도체로 다층 산화막을 형성하는 단계; 및, 상기 다층 산화막 상에 상부전극을 형성하는 단계;를 포함할 수 있다.

[0018] 실시예에서, 상기 하부전극을 형성하는 단계는 기판 상에 포토레지스트를 도포하는 단계; 도포된 상기 포토레지스트 상에 마스크를 사용하여 노광하고 선택적으로 상기 포토레지스트를 제거하는 단계; 선택적으로 제거된 상기 포토레지스트 상에 금속막을 증착하는 단계; 상기 금속막 상에 상기 하부전극을 증착하는 단계; 및, 상기 금속막과 상기 하부전극이 증착된 포토레지스트를 제거하는 단계;를 포함할 수 있다.

[0019] 다른 실시예에서, 상기 하부전극을 형성하는 단계는 상기 기판 상에 상기 금속막과 상기 하부전극을 순차적으로 증착하는 단계; 상기 하부전극 상에 포토레지스트를 도포하는 단계; 도포된 상기 포토레지스트 상에 마스크를 사용하여 노광하고 선택적으로 상기 포토레지스트를 제거하는 단계; 및, 선택적으로 제거된 상기 포토레지스트를 마스크로 사용하여 상기 금속막과 상기 하부전극을 식각하는 단계;를 포함할 수 있다.

[0020] 실시예에서, 상기 다층 산화막을 형성하는 단계는 상기 하부전극 상에 n형 산화물 반도체를 증착하는 단계; 상기 n형 산화물 반도체 상에 p형 산화물 반도체를 증착하는 단계; 및, 상기 p형 산화물 반도체 상에 n형 산화물 반도체를 증착하는 단계;를 포함할 수 있다.

[0021] 실시예에서, 상기 상부전극을 형성하는 단계는, 상기 다층 산화막 상에 상기 상부전극을 증착하는 단계; 증착된 상기 상부전극 상에 포토레지스트를 도포하는 단계; 도포된 상기 포토레지스트 상에 마스크를 사용하여 노광하고 선택적으로 상기 포토레지스트를 제거하는 단계; 및, 선택적으로 제거된 상기 포토레지스트를 마스크로 사용하여 상기 상부전극을 식각하는 단계;를 포함할 수 있다.

[0022] 또한, 상기 다층 산화막은 바이어스가 인가되면, n형과 p형 접합에서 전위 장벽의 변화를 야기하고 산소 이온의 재분배에 의해 저항이 변하는 시냅스 특성과 상기 전위 장벽에 의한 선택 소자 특성이 동시에 나타나는 자가-선택형 시냅스 동작이 이루어질 수 있다.

[0023] 또한, 상기 다층 산화막은 상기 p형 산화물 반도체에서 산소 이온이 억셉터 역할을 수행하고, 상기 n형 산화물 반도체에서 산소 공공이 도너 역할을 수행할 수 있다.

[0024] 또한, 상기 다층 산화막의 n형과 p형 접합에서의 전위 장벽의 높이에 따라 소자에 전류가 흐를 수 있도록 허용하는 턴-온(turn-on) 전압의 진폭이 결정될 수 있다.

[0025] 또한, 상기 다층 산화막의 n형-p형-n형 구조에서 산소 공공의 양과 이동성에 의해 시냅스 가중치의 변화 폭이 결정될 수 있다.

발명의 효과

[0026] 상기와 같은 본 발명에 따른 자가-선택형 양극 인공 시냅스 소자 및 그의 제조방법은 n형-p형-n형 구조의 산화물 반도체를 이용함으로써 선택 소자 없이 저항변화 특성을 나타내는 멤리스터 특성을 발휘하여 시냅스 소자로 활용할 수 있다.

[0027] 특히, 본 발명은 n-p-n 다이오드 구조를 갖는 다층 산화막을 이용함으로써 양방향 전압조건에서 모두 다이오드 특성에 의한 선택 소자의 효과와 다층 산화막 내부에서의 산소이온 이동에 따른 저항변화 특성을 동시에 확보할 수 있는 효과를 발휘할 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 일 실시예에 따른 크로스바 어레이 구조를 개략적으로 나타내는 모식도이다.

도 2는 본 발명의 일 실시예에 따른 인공 시냅스 소자의 스택 구성을 간략하게 나타내는 사시도이다.

도 3은 본 발명의 일 실시예에 따른 인공 시냅스 소자의 제조 방법을 설명하기 위한 공정 모식도이다.

도 4는 본 발명의 일 실시예에 따른 인공 시냅스 소자에 대한 투과전자현미경(TEM) 및 에너지분산분광법(EDS) 분석 사진이다.

도 5는 본 발명의 일 실시예에 따른 인공 시냅스 소자에 대한 오거전자분광법(AES) 분석 그래프이다.

도 6은 -8V에서 8V의 듀얼 전압 스윕(dual voltage sweeping) 하에서의 본 발명의 일 실시예에 따른 인공 시냅스 소자의 전류-전압(I-V) 곡선을 나타내는 그래프이다.

도 7은 본 발명의 일 실시예에 따른 인공 시냅스 소자의 산소 이온 이동을 개념적으로 나타내는 모식도이다.

도 8은 본 발명의 일 실시예에 따른 인공 시냅스 소자의 가중치 업데이트 데이터를 나타내는 그래프이다.

도 9는 본 발명의 일 실시예에 따른 인공 시냅스 소자의 읽기/쓰기 전압 변조에 따른 시냅스 가중치 업데이트의 주기 및 셀 간 변화를 나타내는 그래프이다.

도 10은 본 발명에 따른 인공 시냅스 소자의 세미 로그스케일의 펄스 적용시 전도도 변화 평가를 나타내는 그래프이다.

도 11은 본 발명에 따른 인공 시냅스 소자의 저항변화 특성의 시간에 따른 유지 특성(retention property) 평가를 나타내는 그래프이다.

도 12는 본 발명에 따른 인공 시냅스 소자와 비교예를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하에서 본 발명의 기술적 사상을 명확화하기 위하여 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다. 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성요소에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략할 것이다. 도면들 중 실질적으로 동일한 기능구성을 갖는 구성요소들에 대하여는 비록 다른 도면상에 표시되더라도 가능한 동일한 참조번호들 및 부호들을 부여하였다. 설명의 편의를 위하여 필요한 경우에는 장치와 방법을 함께 서술하도록 한다.

[0030] 도 1은 본 발명의 일 실시예에 따른 크로스바 어레이 구조를 개략적으로 나타내는 모식도이다.

[0031] 도 1을 참조하면, 인공지능 반도체 시스템인 뉴로모픽 시스템의 핵심 요소인 고집적 크로스바 어레이 구조를 갖는 인공 시냅스 소자(100)는 어레이 구조에서의 특정 셀만을 선택하여 시냅스 가중치를 업데이트하는 학습동작과 이를 읽어 들이는 추론동작이 가능하다.

[0032] 이와 같이 특정 셀을 선택하기 위해서 n형-p형-n형 다이오드 구조를 갖는 다층 산화막 구조를 이용하여 양방향 전압조건에서 모두 다이오드 특성에 의한 선택 소자의 효과와 다층 산화막 내부에서의 산소 이동에 따른 저항변화 특성을 동시에 나타낼 수 있다.

[0033] 인공 시냅스 소자(100)는 n형-p형-n형 구조의 다층 산화막을 이용하여 대칭형 양극 (bipolar) 선택 소자가 필요하지 않다.

[0034] 인공 시냅스 소자(100)는 선택 동작을 수행하기 위해 다른 유형의 산화물 반도체를 사용함으로써 전위 장벽을 더 높게 만들고, I-V 특성을 훨씬 더 비선형으로 만들 뿐만 아니라 여러 가지 안정적인 저항을 나타낼 수 있다.

[0035] 도 2는 본 발명의 일 실시예에 따른 인공 시냅스 소자의 스택 구성을 간략하게 나타내는 사시도이다.

[0036] 도 1 및 도 2를 참조하면, 크로스바 어레이 구조의 셀은 본 발명의 인공 시냅스 소자(100)로 구현될 수 있다.

[0037] 인공 시냅스 소자(100)는 하부전극(110), 다층 산화막(120) 및 상부전극(130)을 포함할 수 있다.

[0038] 하부전극(110)은 기판(101) 상에 형성될 수 있다. 이때, 기판(101)은 지지기판으로 다양한 물질로 구현될 수 있다. 예를 들어 기판(101)은 실리콘(Si), 산화규소(SiO_2), 탄화규소(SiC), 게르마늄(Ge), SOI(Silicon on Insulator), PET(Polyethylene terephthalate), PES(Polyether sulfone), PS(Poly styrene), PC(Poly carbonate), PI(Polyimide), PEN(Polyethylene naphthalate) 및 PAR(Poly artylatate) 중 선택된 어느 하나 이상을 포함할 수 있다. 바람직하게, 기판(101)은 실리콘(Si)을 모재로 하여 표면을 산화시킨 산화규소(SiO_2)가 형성된 기판으로 구현될 수 있다.

[0039] 한편, 기판(101)과 하부전극(110) 사이에 금속막(103)을 더 포함할 수 있다. 여기서 금속막(103)은 티타늄(Ti)으로 구현될 수 있으며, 이는 기판(101)과의 접착력을 높이기 위한 목적으로 삽입된 박막이다.

[0040] 하부전극(110)은 전기 전도도를 가지는 금속 계열 또는 투명 전기 전도도 산화물을 포함할 수 있다. 하부전극

(110)은 금(Au), 은(Ag), 백금(Pt), 구리(Cu), 알루미늄(Al), 루테늄(Ru), 이리듐(Ir), 인듐(In), 갈륨(Ga), 몰리브덴(Mo), 텅스텐(W) 및 아연(Zn) 중 선택된 어느 하나를 포함할 수 있다. 바람직하게, 하부전극(110)은 백금(Pt) 또는 산화물 반도체 박막과 반응하지 않고 산소 이온의 교환이 잘 일어나지 않는 불활성 전극으로 구현될 수 있다.

[0041] 다층 산화막(120)은 하부전극(110) 상에 배치되는 n형(121)-p형(123)-n형(125) 구조의 산화물 반도체로 형성될 수 있다. 여기서, n형 산화물 반도체(121, 125)는 3가 원소를 포함하는 산화물 반도체로 아연 산화물(ZnO) 계열인 indium-gallium-zinc oxide, indium-zinc-tin oxide 등과 indium-tin oxide, 세륨 산화물(CeO_2), 철 산화물(Fe_2O_3) 중 어느 하나를 포함할 수 있다. p형 산화물 반도체(123)는 5가 원소를 포함하는 산화물 반도체로 니켈 산화물(NiO), 갈륨 산화물(Ga_2O_3), 구리 산화물(CuO), 산화 주석(SnO) 중 어느 하나를 포함할 수 있다.

[0042] 다층 산화막(120)은 바이어스가 인가되면, n형과 p형 접합(junction)에서 전위 장벽(potential barrier)의 변화를 야기하고, 산소 이온의 재분배에 의해 저항이 변하는 시냅스 특성과 상기 전위 장벽에 의한 선택 소자 특성이 동시에 나타나는 자가-선택형 시냅스 동작이 이루어질 수 있다. 다층 산화막(120)은 아날로그 방식으로 ~10배 범위의 시냅스 가중치를 변조할 수 있다.

[0043] 다층 산화막(120)은 p형 산화막(123)에서 산소 이온(oxygen ion)이 억셉터(acceptor) 역할을 수행하고, n형 산화막(121, 125)에서 산소 공공(oxygen vacancy)이 도너(donor) 역할을 수행할 수 있다.

[0044] 다층 산화막(120)의 n형과 p형 접합에서의 전위 장벽의 높이에 따라 소자에 전류가 흐를 수 있도록 허용하는 턴-온(turn-on) 전압의 진폭이 결정될 수 있다.

[0045] 다층 산화막(120)의 n형-p형-n형 구조에서 산소 공공의 양과 이동성에 의해 시냅스 가중치 변화 폭이 결정될 수 있다.

[0046] 상부전극(130)은 전기 전도도를 가지는 금속 계열 또는 투명 전기 전도도 산화물을 포함할 수 있다. 상부전극(130)은 금(Au), 은(Ag), 백금(Pt), 구리(Cu), 알루미늄(Al), 루테늄(Ru), 이리듐(Ir), 인듐(In), 갈륨(Ga), 몰리브덴(Mo), 텅스텐(W) 및 아연(Zn) 중 선택된 어느 하나를 포함할 수 있다. 바람직하게, 상부전극(130)은 백금(Pt) 또는 산화물 반도체 박막과 반응하지 않고 산소 이온의 교환이 잘 일어나지 않는 불활성 전극으로 구현될 수 있다.

[0047] 이에, 본 발명은 양전압 극성 모두에서 자가-선택 기능을 위한 비선형 I-V 특성을 발휘할 수 있다. 또한, 본 발명은 크로스바 어레이 구조 내에 선택된 셀과 선택되지 않은 셀 사이의 하프 전압 방식에서도 자가-선택이 가능하다.

[0049] 도 3은 본 발명의 일 실시예에 따른 인공 시냅스 소자의 제조 방법을 설명하기 위한 공정 모식도이다.

[0050] 도 2 및 도 3을 참조하면, 인공 시냅스 소자를 제조하는 방법은 기판(101) 상에 하부전극(110)을 형성하고, 하부전극(110) 상에 n형-p형-n형 구조의 산화물 반도체로 다층 산화막(120)을 형성한 후, 다층 산화막(120) 상에 상부전극을 형성할 수 있다.

[0051] (a) 내지 (f) 단계는 하부전극(110)을 형성하는 공정을 나타낸다.

[0052] (a)단계에서 기판(101) 상에 포토레지스트(PR)를 도포한다. 여기서 포토레지스트(PR)는 네거티브 포토레지스트일 수 있다.

[0053] (b)단계에서 도포된 포토레지스트(PR) 상에 마스크(M)를 사용하여 노광(Exposure)하고, (c) 단계는 선택적으로 포토레지스트(PR)를 제거한다.

[0054] (d)단계에서 선택적으로 제거된 포토레지스트(PR) 상에 금속막(103)을 증착하고, (e) 단계에서 금속막(103) 상에 하부전극(110)을 증착한다. 실시예에서, 금속막(103)과 하부전극(110)을 증착하는 방법은 전자빔증착법(E-beam evaporator)을 이용할 수 있다.

[0055] (f)단계에서 금속막(103)과 하부전극(110)이 증착된 포토레지스트(PR)을 제거한다. 실시예에서, 포토레지스트(PR)을 제거하는 방법은 아세톤을 이용한 리프트오프 공정을 수행할 수 있다. 이로써, 미세 패턴의 형성이 가능하다.

[0056] 다른 실시예에서, 기판(101) 상에 금속막(103)과 하부전극(110)을 순차적으로 증착한다. 그리고, 하부전극(110) 상에 포토레지스트(PR)를 도포한다. 여기서 포토레지스트(PR)는 포지티브 포토레지스트일 수 있다.

[0057] 이후, 포토레지스트(PR) 상에 마스크(M)를 사용하여 노광(Exposure)하여 선택적으로 포토레지스트(PR)를 제거한다.

[0058] 그리고, 선택적으로 제거된 포토레지스트(PR)를 마스크로 사용하여 금속막(103)과 하부전극(110)을 식각한다. 이때, 식각 방법은 반응성이온식각(RIE)을 이용할 수 있다.

[0059] (g)단계는 하부전극(110) 상에 다층 산화막(120)을 형성하는 공정을 나타낸다. 즉, (g) 단계에서 형 산화물 반도체(121)을 증착하고, n형 산화물 반도체(121) 상에 p형 산화물 반도체(123)을 증착하고, p형 산화물 반도체(123) 상에 n형 산화물 반도체(125)를 증착한다. 이에, 다층 산화막(120)은 n형-p형-n형 산화물 반도체가 차례로 적층되어 다층 구조로 형성될 수 있다.

[0060] 실시예에서, n형-p형-n형 산화물 반도체를 증착하는 방법은 스퍼터링(sputtering) 방법을 이용할 수 있다.

[0061] (h) 내지 (l) 단계는 상부전극(130)을 형성하는 공정을 나타낸다.

[0062] (h)단계에서 다층 산화막(120) 상에 상부전극(130)을 증착한다.

[0063] (i)단계에서 상부전극(130) 상에 포토레지스트(PR)를 도포한다. 여기서 포토레지스트(PR)는 포지티브 포토레지스트일 수 있다.

[0064] (j)단계에서 포토레지스트(PR) 상에 마스크(M)를 사용하여 노광(Exposure)하여 선택적으로 포토레지스트(PR)를 제거한다. 이때, 하부전극(110)과 상부전극(130)이 90도 직교하도록 마스크(M)를 회전하여 사용할 수 있다.

[0065] (k)단계에서 선택적으로 제거된 포토레지스트(PR)를 마스크로 사용하여 상부전극(130)을 식각한다. 이때, 식각 방법은 반응성이온식각(RIE)을 이용할 수 있다. 이때, 상부전극(130)의 경우 n형 산화물 반도체가 아세톤과 반응하기 때문에 별도의 리프트오프 공정을 수행하지 않아도 된다.

[0066] 이러한 공정으로 제조된 인공 시냅스 소자는 SiO2/Si 기판(101) 상에 상부전극(Pt, 130)-n형 산화막(ZnO, 125)-P형 산화막(NiO, 123)-n형 산화막(ZnO, 121)-하부전극(Pt, 110)-금속막(Ti, 103)의 구조로 구현될 수 있다.

[0067] 실시예에서, 상부전극(130)의 두께는 70nm로 구현될 수 있으며, 하부전극(110)의 두께는 100nm로 구현될 수 있다. 또한, 다층 산화막(120)의 두께는 125nm로 구현될 수 있다. n형 산화막(121, 125)의 두께는 50nm이고, P형 산화막(123)의 두께는 25nm로 구현될 수 있다.

[0069] 도 4는 본 발명의 일 실시예에 따른 인공 시냅스 소자에 대한 투과전자현미경(TEM) 및 에너지분산분광법(EDS) 분석 사진이다.

[0070] 도 2 및 도 4를 참조하면, (a)와 (b)와 같이 다층 산화막(120)의 n형-아연산화물(ZnO)은 모두 다결정으로 증착되었음을 알 수 있다. 또한, p형-니켈산화물(NiO)도 다결정으로 증착되었음을 확인할 수 있다. (c)를 통해 각 층의 두께와 이를 구성하는 원소를 확인할 수 있다.

[0072] 도 5는 본 발명의 일 실시예에 따른 인공 시냅스 소자에 대한 오거전자분광법(AES) 분석 그래프이다.

[0073] 도 2 및 도 5를 참조하면, 오거전자분광법(AES)을 통해 인공 시냅스 소자(100)의 정량적 원소 및 화학적 상태를 확인할 수 있다. 하부에서 열적으로 성장된 SiO2의 Si와 O 사이의 화학량론적 비율은 1:2에 가깝고 이는 정량적 결과가 신뢰할 수 있음을 의미한다. n형 산화막(ZnO)의 경우 상층과 하층 모두 O가 부족하다. 이는 스퍼터링에 의해 증착된 n형 산화막(ZnO)의 경우 일반적으로 유사한 경향을 나타내며, 산소 공공은 n-형 도펀트로서 산화막이 n-형임을 나타낸다. P형 산화막(NiO)의 경우 Ni가 부족하다. 이 경우에도 스퍼터링으로 증착된 p형 산화막(NiO)은 일반적으로 유사한 경향을 나타내며 금속 공공은 p-형 도펀트이며 산화막이 p-형임을 나타낸다. 화학량론적 비율은 스퍼터링으로 증착된 n형 산화막(ZnO) 및 p형 산화막(NiO)에서 보여지는 일반적인 경향을 따른다.

[0075] 도 6은 -8V에서 8V의 듀얼 전압 스윕(dual voltage weeping) 하에서의 본 발명의 일 실시예에 따른 인공 시냅스 소자의 전류-전압(I-V) 곡선을 나타내는 그래프이고, 도 7은 본 발명의 일 실시예에 따른 인공 시냅스 소자의

산소 이온 이동을 개념적으로 나타내는 모식도이다.

[0076] 도 2 및 도 6을 참조하면, (a)와 (b)의 스윕 전류-전압(이하 'I-V'라 함) 곡선은 선형(linear) 및 세미-로그 스케일(semi-logarithmic scales)로서, 이 측정에서의 전압은 -8V에서 8V의 듀얼 전압을 30회 반복적으로 스윕하였다. 두 그래프 모두 전류가 0 → +8 → 0V 반복할 때 순차적으로 증가했음을 보여준다. 전류가 증가하더라도 선형 플롯은 I-V 곡선이 정류 특성을 특징으로 하는 비선형 기울기를 갖는 것을 보여준다. 턴온 전압은 +4V이며, 세미-로그 플롯의 곡률은 전류의 급격한 증가에 따라 변하는 것을 알 수 있다.

[0077] 즉, 0 → -8 → 0V로 스윕을 반복하였을 때, 선형 스케일의 비선형 기울기, 세미-로그 스케일의 곡률 변화와 함께 순차적으로 증가되었음을 확인할 수 있다. 이는 대칭 n-ZnO/p-NiO/n-ZnO 구조로 인한 대칭 I-V 곡선이 특징이다.

[0078] 두 극성 모두에서 I-V 스윕 곡선에서 증가된 전도도(conductance, 전류)는 n형-p형-n형 접합에서의 전위 장벽 높이의 전압 구동 변조로 해석된다. 금속/산화물 계면에서 쇼트키 장벽 높이가 상대적으로 낮아 무시할 수 있을 정도로 상대적으로 낮다고 가정하면, 전류 흐름은 n형-p형-n형 접합에서의 전위 장벽 높이에 의해 우세하게 결정된다.

[0079] 하부전극(110)이 접지된 상태에서 상부전극(130)에 +V를 인가하면 다층 산화막(120)의 p형 산화막(NiO, 123)과 n형 산화막(ZnO, 121) 계면(p-NiO/n-ZnO)의 전위 장벽 높이가 변하여 측정 전류를 결정하게 된다. 따라서, +V 스윕을 반복할 때 증가된 전류는 p형 산화막(NiO, 123)과 하단 n형 산화막(ZnO, 121) 계면에서의 전위 장벽 높이가 인가된 +V에 의해 감소됨을 의미하며, 도 7의 (b)와 같다.

[0080] 감소된 장벽 높이는 p형 산화막(NiO, 123)의 산소 이온이 전기장 아래에서 재분배된다는 것에 의해 설명된다. +V가 인가됨에 따라 p형 산화막(NiO, 123)의 산소 이온은 전류는 p형 산화막(NiO, 123)과 하단 n형 산화막(ZnO, 121) 계면에서의 p형 산화막(NiO, 123)과 상단 n형 산화막(ZnO, 125) 계면 영역으로 이동하므로 p형 산화막(NiO, 123)의 산소 이온 농도는 다음과 같다.

[0081] p-형 도펀트는 p형 산화막(NiO, 123)과 하단 n형 산화막(ZnO, 121) 계면에서 감소된다. 결과적으로 p형 산화막(NiO, 123)과 하단 n형 산화막(ZnO, 121) 계면에서 내장된 전위 장벽 높이가 감소하고 결과적으로 전도도가 증가한다.

[0082] 유사하게, p형 산화막(NiO, 123)과 상단 n형 산화막(ZnO, 125) 계면의 전위 장벽은 (상단 n형 산화막(ZnO, 125)로부터 전자가 주입되기 때문에 상부전극(130)에서 -V 인가시) 총 전류를 결정한다.

[0083] 종래의 시냅스 소자는 한 전압 극성에서 증가된 전도도를 보이며, 전도도가 단 하나의 계면에 의해서만 결정되기 때문에 다른 극성에서는 전도도가 감소한다.

[0084] 종래의 시냅스 소자와 달리 본 발명은 +V 스윕을 반복할 때와 마찬가지로 -V 스윕을 반복할 때도 순차적으로 증가된 전도도를 보여준다. -V 인가에서의 증가된 전류는 p형 산화막(NiO, 123) 내에서 산소 이온의 이동과 일관되게 해석된다. 상부전극(130)에 -V를 인가하면 p형 산화막(NiO, 123)과 상단 n형 산화막(ZnO, 125) 계면에서 p형 산화막(NiO, 123)과 하단 n형 산화막(ZnO, 121) 계면으로 산소 이온이 이동하므로 상단 계면 근처의 p형 산화막(NiO, 123)에서 산소 원자가 고갈된다.

[0085] 그 결과, 도 7의 (c)와 같이 p형 산화막(NiO, 123)과 상단 n형 산화막(ZnO, 125) 계면의 전위 장벽이 감소하고 전류가 증가한다. p형 산화막(NiO, 123) 내 산소의 재분배는 NiOx가 NiO, Ni_3O_4, Ni2O3 및 NiO_2의 각 단계에서 Ni 양이온의 다양한 원자가 상태를 갖기 때문일 수 있다.

[0086] 따라서 전압 인가는 산소 이온이 다층 산화막(120) 내에서 이동하도록 하고 그 조성과 결합 상태를 국부적으로 변화시킨다. 결과적으로 계면의 전위 장벽 높이는 그에 따라 변조될 수 있다.

[0087] 이러한 I-V 스윕과 달리, 학습 작업을 위한 시냅스 가중치 업데이트 및 추론을 위한 가중치 읽기 작업은 가중치 업데이트를 위해 +V를 강화에 인가되고, -V가 가중치 업데이트를 위한 내림 절차에 인가되고, 그 다음 읽기 작업은 일반적으로 더 낮은 진폭의 +V 인가됨에 수행된다.

[0088] 따라서 +V 및 -V 인가에 따라, p형 산화막(NiO, 123)과 하단 n형 산화막(ZnO, 121) 계면 변조는 읽기 동작이 +V로 이루어지기 때문에 학습 및 추론 동작을 결정한다. 이와 관련하여 +V 인가 시 전도도가 증가하는 강화(potentiation behavior)가 확인되었기 때문에, -V 인가 시 전도도의 감소와 함께 억제 동작(depression behavior)에 대한 검증이 남아 있다. 도 7의 (c)와 같이 -V 인가할 때 p형 산화막(NiO, 123)과 상단 n형 산화막

(ZnO, 125) 계면에서 반발된 산소 이온으로 인해 p형 산화막(NiO, 123)과 하단 n형 산화막(ZnO, 121) 계면에 산소 이온이 축적될 것이다. 이에, p형 산화막(NiO, 123)과 하단 n형 산화막(ZnO, 121) 계면의 전위 장벽이 증가합니다. 결과적으로 +V를 사용한 읽기 작업은 억제 동작을 모방하는 감소된 전도도를 보일 수 있다.

[0090] 도 8은 본 발명의 일 실시예에 따른 인공 시냅스 소자의 가중치 업데이트 데이터를 나타내는 그래프이다.

[0091] 도 8을 참조하면, 가중치 업데이트 데이터는 선형 스케일에서 각각 +8 및 -8 V 펄스 인가를 반복할 때 시냅스 강화(Potentiation) 및 억제(Depression) 동작을 보여준다. 가중치 업데이트의 강화를 위해 0.64ms 폭의 +8V 펄스를 각 주기마다 30회 인가하고, 억제의 경우 0.64ms 폭의 -8V 펄스를 각 주기마다 30회 인가하였다.

[0092] 가중치 업데이트 작업 후 전류는 0.64 폭의 +2V 펄스로 읽혀졌다. 강화 및 억제에 대한 시냅스 가중치 업데이트의 동적 범위는 초기 값의 약 10배에 이른다.

[0093] 전류 증가에 따른 강화는 상대적으로 선형적인 것으로 나타났으나, 억제 동작은 첫 번째 펄스에서 전류의 급격한 감소를 보여준다. 전류의 이러한 급격한 감소는 비선형 억제와 비대칭 업데이트 동작으로 이어진다. 전류는 억제 펄스(depression pulses)를 반복함으로써 초기값 이하로 낮아졌으며, 이는 시냅스 가중치가 초기값으로 회복되는 것에 국한되지 않고, 산소 이온의 과도한 재분배로 인해 더 낮아질 수 있음을 의미한다.

[0095] 도 9는 본 발명의 일 실시예에 따른 인공 시냅스 소자의 읽기/쓰기 전압 변조에 따른 시냅스 가중치 업데이트의 주기 및 셀 간 변화를 나타내는 그래프이다.

[0096] 도 9를 참조하면, (a)는 쓰기 전압(±8V)으로 변조했을 때 시냅스 가중치 업데이트의 주기 및 셀 간 변동을 보여준다. 가중치 업데이트의 강화를 위해 0.64ms 폭의 +8V 펄스를 5주기 동안 30번 인가하고, 억제를 위해 0.64ms 폭의 -8V 펄스를 5주기 동안 30번 인가했다. 동적 범위와 전류 레벨은 5주기 동안 일정하게 유지되고 10개의 다른 셀에서 균일하다. 이것은 p형 산화막(NiO)과 n형 산화막(ZnO) 계면의 전위 장벽의 변조에 의해 이루어진 시냅스 가중치 업데이트가 안정적이고 신뢰할 수 있음을 나타낸다.

[0097] 또한, 더 많은 사이클이 반복됨에 따라 가중치 업데이트가 대칭적으로 변하는 점에 주목해야 한다. 이는 p형 산화막(NiO)과 n형 산화막(ZnO)의 화학량론을 조정함으로써 전위 장벽의 초기 상태를 최적화함으로써 더 많은 선형성 및 가중치 업데이트의 대칭성을 달성할 수 있음을 의미한다.

[0098] (b)는 5개의 서로 다른 셀에 대해 하프 쓰기(half-write) 전압(±4V)으로 변조했을 때 시냅스 가중치 업데이트의 주기 간 및 셀 간 변동을 보여준다. 가중치 업데이트의 목적은 동적 범위와 현재 레벨의 균일도가 높다.

[0099] (c)는 5개의 서로 다른 셀에 대해 읽기 전압(±2V)으로 변조했을 때 시냅스 가중치 업데이트의 주기 및 셀 간 변동을 보여준다. 동적 범위는 모든 셀에서 (a)의 동적 범위보다 훨씬 낮았으며, 이는 읽기 방해가 펄스 측정에 대해 무시할 수 있음을 나타낸다.

[0101] 도 10은 본 발명에 따른 인공 시냅스 소자의 세미 로그스케일의 펄스 적용시 전도도 변화 평가를 나타내는 그래프이다.

[0102] 스위칭 특성을 평가하려면 전압 진폭에 대한 전도도 변화를 조사해야 한다. 크로스바 어레이 구조는 일반적으로 고밀도 메모리 또는 인공 시냅스에 사용된다. 이 구조에서 선택 셀은 완전히 바이어스되고 선택되지 않은 셀은 선택 셀에 인가된 전압의 절반에 해당하는 전압이 인가되는 하프 바이어스 방식이 널리 사용된다. 따라서 완전히 바이어스된 선택 셀에서 넓은 범위의 전도도 변화를 달성하고 하프 바이어스된 선택되지 않은 셀에서 무시할 수 있는 변동을 달성하는 것이 요구된다. 즉, 이를 통해 선택된 셀에 인가된 전압의 절반에 해당하는 전압이 선택되지 않은 주변 셀에 인가됨으로 하프 쓰기 전압 조건에서의 시냅스 가중치 변화를 최소화함으로써 주변 셀을 통한 누설전류(sneak path leakage current)를 최소화할 수 있다.

[0103] 도 10의 (a) 및 (b)와 같이 선택된 셀에 ±8 V를 인가했을 때의 전도도 변화와 비교하여, 강화 및 억제를 위해 하프 바이어스된 ±4를 인가했을 때의 전도도 변화를 평가하였다.

[0104] 펄스 폭과 읽기 전압은 완전 바이어스된 셀 작동에서 동일하게 설정되었다. 완전히 바이어스된 작동(±8V)에서 10보다 높은 동적 범위와 비교하여 10보다 높았고, 강화 및 억제를 위한 ±4V인 하프 바이어스 조건에서 전도도

의 변화는 약 1.3배에 불과했다. 하프 전압 방식을 사용하여 선택도는 7.7이었다. 낮은 동적 범위와 높은 선택성 매개변수는 인공 스냅스 소자의 자가-선택 특성을 보여준다. 이는 본 발명의 인공 스냅스 소자가 선택 소자를 추가하지 않고 선택 소자와 시냅스 기능을 동시에 가지고 있음을 보여준다.

[0105] 이 측정에서 읽기 전압은 +2V로 설정되었다. (c)와 같이, ±2V 펄스를 반복할 때의 전류 변동을 측정함으로써 읽기 방해를 평가하였다. +2V의 동일한 읽기 전압에서의 동적 범위는 ±4V 인가 시의 동적 범위의 약 1.3배인 것으로 나타났다. 이것은 완전 바이어스 작동(±8V)에 비해 무시할 수 있다. ±2V와 ±4V 인가 조건 사이의 동일한 전도도 변화는 ±4V 인가 시의 전도도 변화가 (±2V 또는 두 조건에서의 고유 전도도 변동)에서의 읽기 방해에 기인할 수 있음을 암시하며, 이는 저전압에서 최소화된 산소 이온 재분배로 인해 동일하다. 두 경우 모두, 본 발명의 인공 시냅스 소자의 자가-선택 특성을 강조한다.

[0107] 도 11은 본 발명에 따른 인공 시냅스 소자의 저항변화 특성의 시간에 따른 유지 특성 (retention property) 평가를 나타내는 그래프이다.

[0108] 도 11을 참조하면, 인공 시냅스 소자의 변화된 시냅스 가중치의 보존 특성을 나타낸다. 시냅스 소자가 업데이트된 가중치 값을 얼마나 오래 유지하는지 테스트하기 위해 측정되었다. 단기 및 장기 가소성(STP 및 LTP) 특성은 기능이 있는 파란색 곡선으로 각각 표시된다. +8V 펄스를 30회 인가하여 소자를 강화한 후, +2V 펄스로 30분간 전류를 판독하였다. 강화 펄스 후 전류는 약 3nA에서 10nA로 증가한 다음 가소성의 빠른 손실과 함께 STP를 모방하면서 갑자기 감소했다. 그 후, 전류는 생물학적 시냅스의 LTP를 모방하는 시간에 따라 거의 일정하게 유지되었다. 이러한 모든 결과는 n형-p형-n형 산화물 반도체 구조인 다층 산화막을 포함하는 자가-선택형 인공 시냅스 소자는 선택 소자가 없는 크로스바 어레이 구조에 적용할 수 있음을 보여준다.

[0110] 도 12는 본 발명에 따른 인공 시냅스 소자와 비교예를 설명하기 위한 도면이다.

[0111] 도 12를 참조하면, (a)는 자가-선택형 인공 시냅스 소자를 나타내며, 선택 속성은 p형-n형 접합 계면의 전위 장벽에서 비롯된다. 이를 통해 비선형 I-V 특성을 가진 선택 기능을 수행할 수 있다. 시냅스 특성의 경우, 산화막 내 산소 이온 분포의 변화에 의한 전위 장벽의 변조는 시냅스 가중치 업데이트에 대한 점진적인 저항 변화를 이끈다. 강화 및 억제 동작에 대한 전압 극성 의존성은 산소의 양과 p형 산화막의 다양한 원자가 상태의 안정성에 의해 결정되었다. p형-n형 접합(ZnO/NiO) 계면의 전위 장벽은 + 바이어스 인가에 의해 증가하고 - 바이어스 인가에 의해 감소한다.

[0112] 일반적으로 p형 반도체와 n형 반도체가 합쳐져 접합을 형성하면 페르미 준위의 차이로 인해 내장 전위(built-in potential)라고 하는 에너지 장벽이 형성된다. 이 전위 장벽은 내장 전위 미만의 순방향 바이어스 전압이 인가될 때 전류 흐름을 차단하여 턴온 전압 이상의 순방향 바이어스 전압이 인가될 때만 선택 기능이 켜지는 스위칭 특성을 제공한다. 비대칭 n형-p형 접합에서 이 정류 특성은 순방향 바이어스 조건에서만 달성되므로 순방향 바이어스 극성 조건에서 스위칭 특성이 발생한다.

[0113] 본 발명은 인가된 바이어스의 양 극성에서 스위칭 특성이 나타나는 대칭 시냅스 소자로서 n형-p형-n형 다층 산화막 구조를 사용하였다. 스위칭 특성은 인가된 바이어스의 양 극성에서 모두 나타난다. 시냅스 동이 양 극성 모두에서 시냅스 가중치 업데이트와 그 검증을 연결함으로 소자로서 n형-p형-n형 다층 산화막 구조를 적용한 인공 시냅스 소자를 구현하였다.

[0114] 전기적 바이어스가 가해지면 산소 이온(=산소 공공)이 n형 산화막과 p형 산화막 사이로 이동한다. 이것은 산소 이동 능력을 가진 산화물 반도체가 n형 및 p형 층 모두에 사용되기 때문에 발생할 수 있다. 산소의 이동은 국부적 산소 농도(=산소 공공 농도)의 변화를 초래하고, 이는 내장 전위 장벽의 높이를 변화시킨다. 예를 들어, 상부전극에 양의 바이어스를 인가하면 산소 이온이 하단 n형 산화막에서 p형 산화막으로 이동한다. 그러면 p형 산화막과 하단 n형 산화막 계면에 전위 장벽이 커지게 된다.

[0115] 반대로, 상부전극에 음의 바이어스를 인가하면 p형 산화막에서 하단 n형 산화막으로 산소 이동을 유도하여 내장된 전위 장벽을 낮춘다. 결과적으로 내장 전위의 높이에 의해 결정되는 소자의 전도도는 인가된 바이어스의 극성과 진폭에 의해 제어될 수 있다.

[0116] n형 산화막과 p형 산화막 사이의 장벽이 자가-선택 시냅스 기능을 결정하는지 여부를 확인하기 위해 (b)와 같이 비교예로 n형 산화막(ZnO)만 있는 동일한 두께의 기준 시냅스 소자를 만들었다. 본 발명의 시냅스 소자와 기준

시냅스 소자의 IV 곡선, 소자 구조 및 에너지 밴드 다이어그램을 나타낸다.

[0117] 기준 시냅스 소자와 비교하였을 때, 본 발명은 더 낮은 전도도를 가졌으며 이는 p형 산화막(NiO)로부터의 에너지 장벽이 선택 특성을 위해 전류를 효과적으로 차단하고 있음을 나타낸다.

[0118] 지금까지 본 발명에 대하여 도면에 도시된 바람직한 실시예들을 중심으로 상세히 살펴보았다. 이러한 실시예들은 이 발명을 한정하려는 것이 아니라 예시적인 것에 불과하며, 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 진정한 기술적 보호범위는 전술한 설명이 아니라 첨부된 특허청구범위의 기술적 사상에 의해서 정해져야 할 것이다. 비록 본 명세서에 특정한 용어들이 사용되었으나 이는 단지 본 발명의 개념을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 본 발명의 각 단계는 반드시 기재된 순서대로 수행되어야 할 필요는 없고, 병렬적, 선택적 또는 개별적으로 수행될 수 있다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 특허청구범위에서 청구하는 본 발명의 본질적인 기술사상에서 벗어나지 않는 범위에서 다양한 변형 형태 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 균등물은 현재 공지된 균등물뿐만 아니라 장래에 개발될 균등물 즉 구조와 무관하게 동일한 기능을 수행하도록 발명된 모든 구성요소를 포함하는 것으로 이해되어야 한다.

부호의 설명

[0119] 100: 인공 시냅스 소자 101: 기판

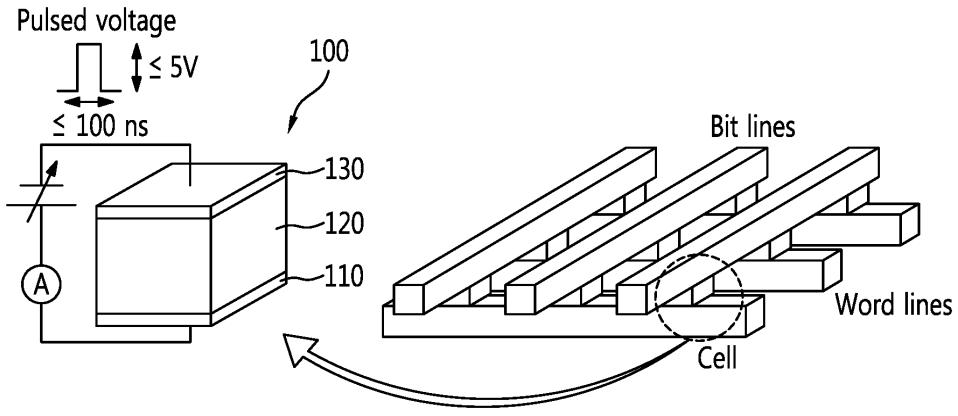
103: 금속막 110: 하부전극

120: 다층 산화막 121, 125: n형 산화막

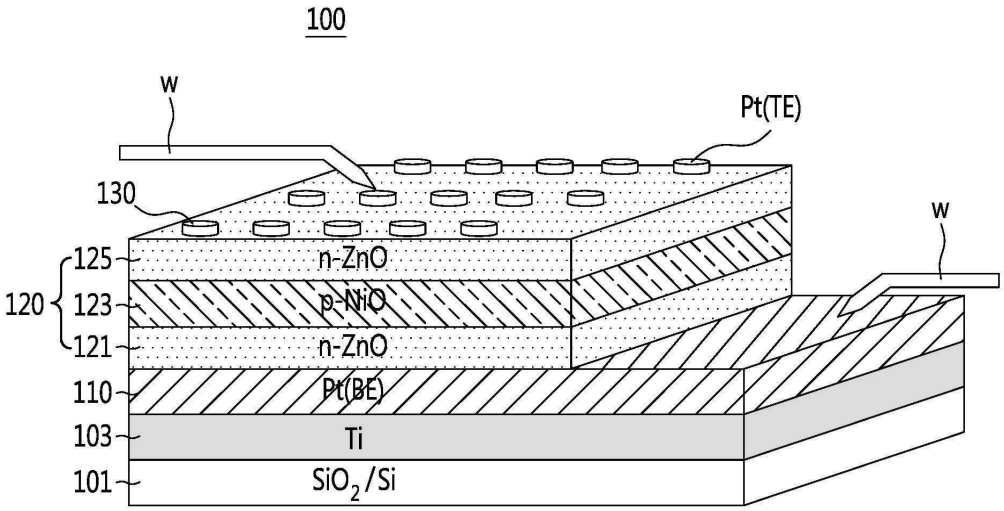
123: p형 산화막 130: 상부전극

도면

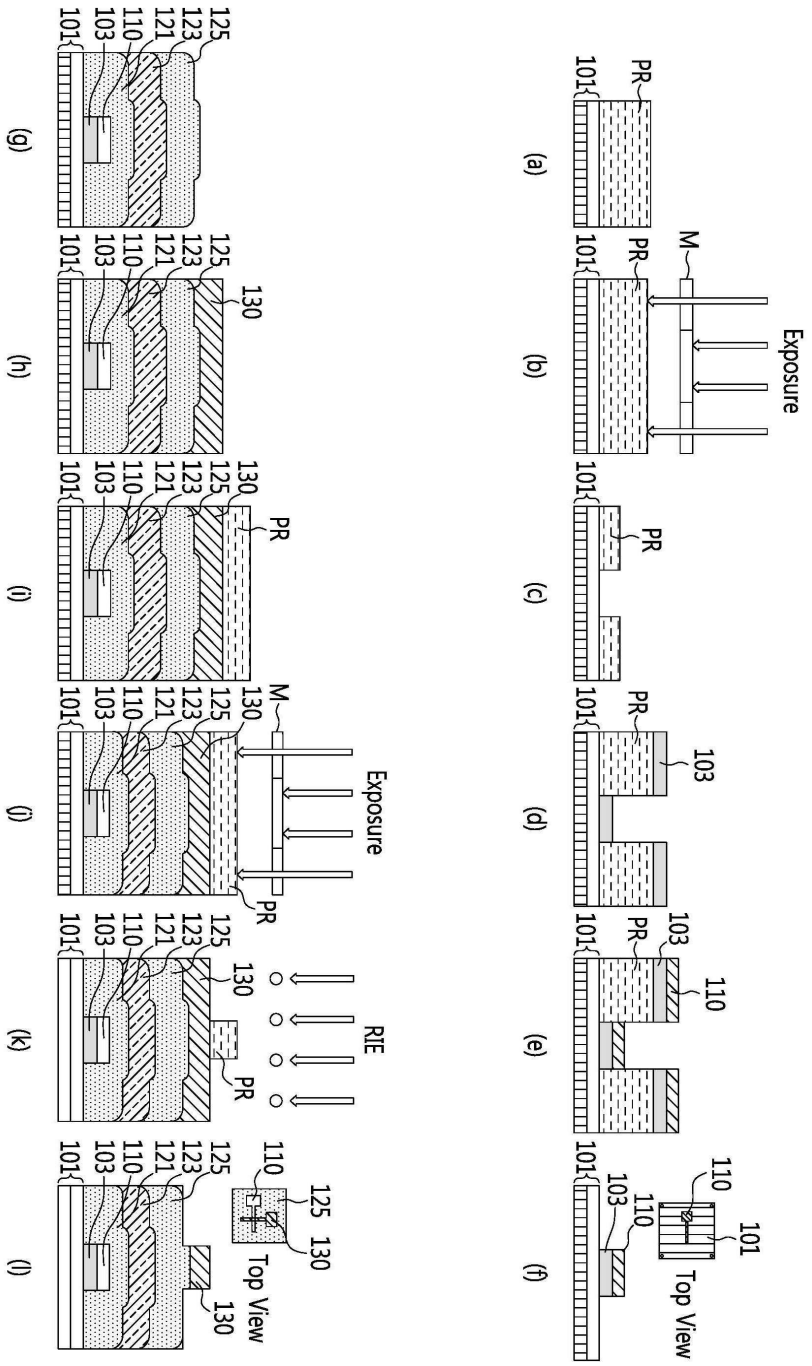
도면1



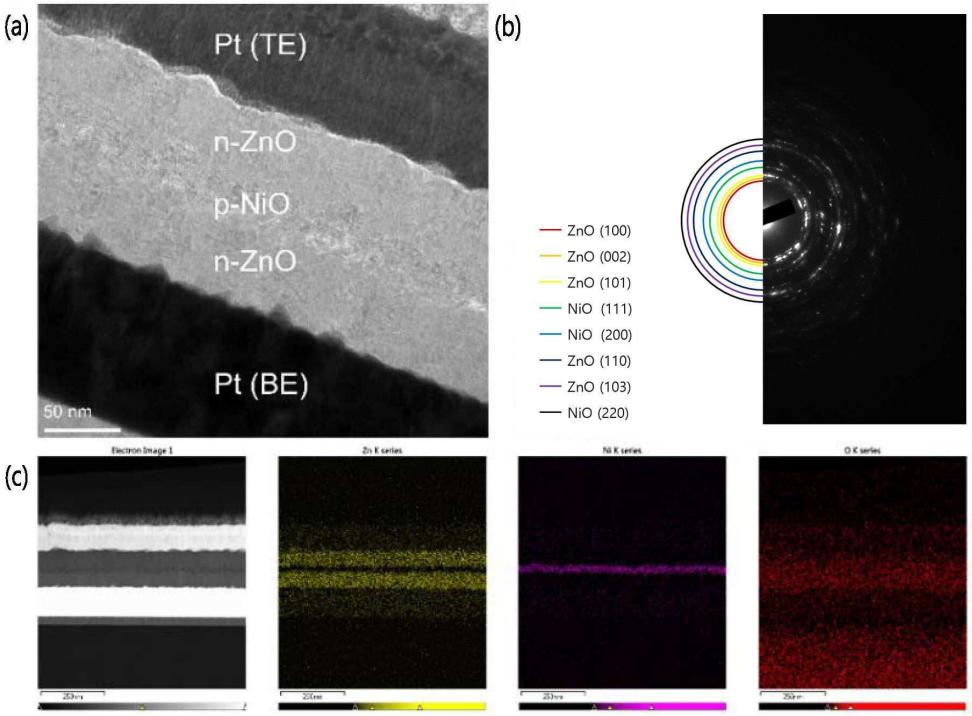
도면2


100
W
Pt(TE)
130
W
125
n-ZnO
120
123
p-NiO
121
n-ZnO
110
Pt(BE)
103
Ti
101
SiO2/Si

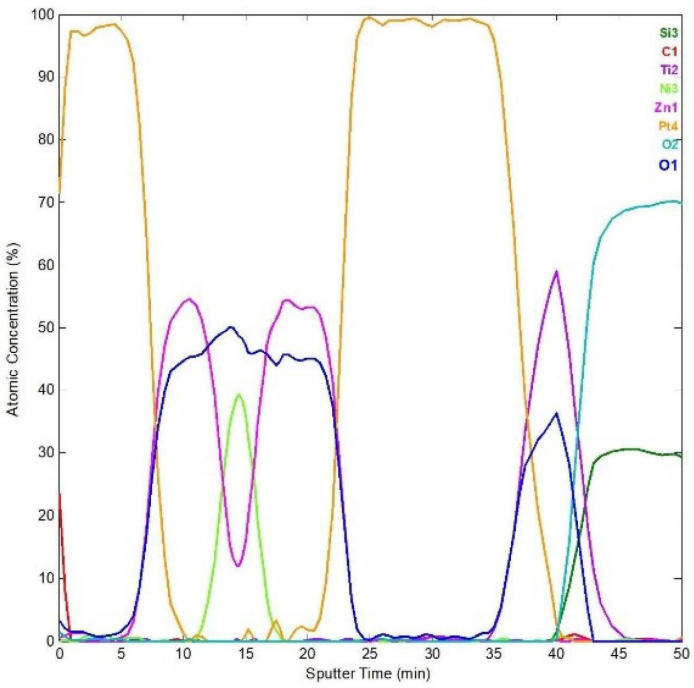
도면3


(a)
(b)
(c)
(d)
(e)
(f)
(g)
(h)
(i)
(j)
(k)
(l)
PR
M
Exposure
101
103
110
121
123
125
130
RIE
Top View

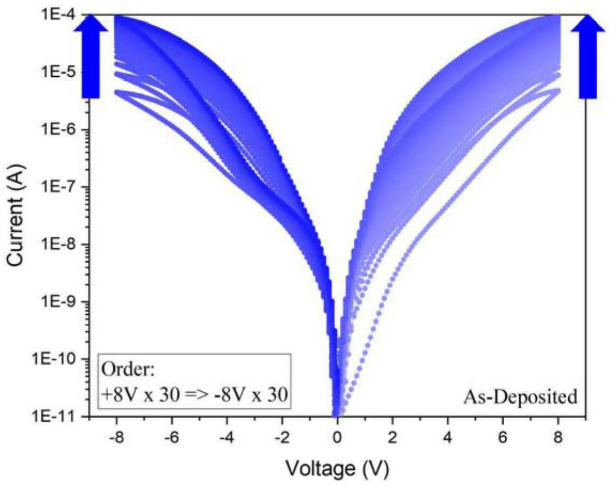
도면4


(a)
Pt (TE)
n-ZnO
p-NiO
n-ZnO
Pt (BE)
50 nm
(b)
ZnO (100)
ZnO (002)
ZnO (101)
NiO (111)
NiO (200)
ZnO (110)
ZnO (103)
NiO (220)
(c)
Electron Image 1
Zn K series
Ni K series
O K series

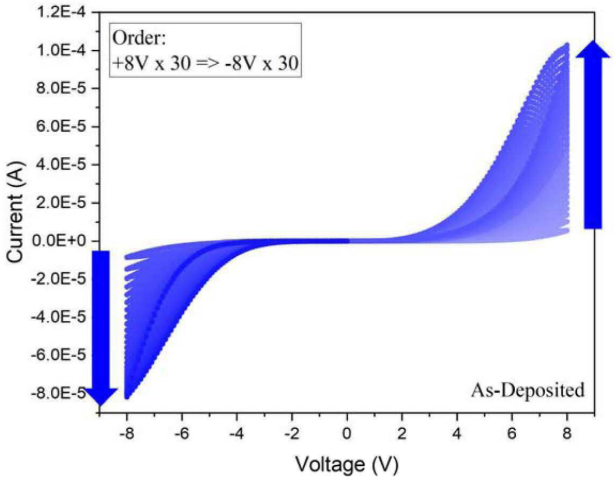
도면5


Si3
C1
Ti2
Ni3
Zn1
Pt4
O2
O1
Atomic Concentration (%)
Sputter Time (min)
0
10
20
30
40
50
60
70
80
90
100
0
5
10
15
20
25
30
35
40
45
50

도면6

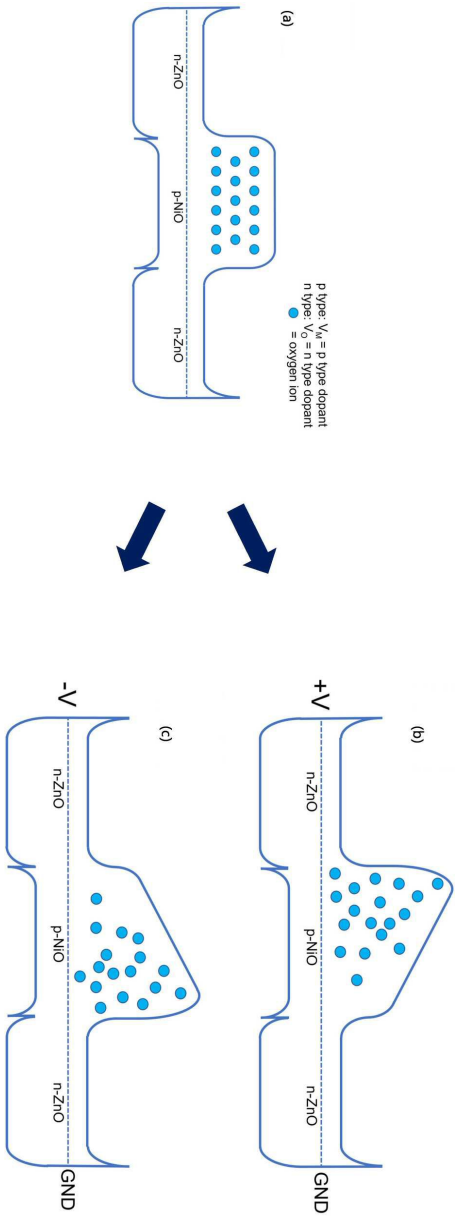

1E-4
1E-5
1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
Current (A)
Order:
+8V x 30 => -8V x 30
As-Deposited
-8
-6
-4
-2
0
2
4
6
8
Voltage (V)

(a)

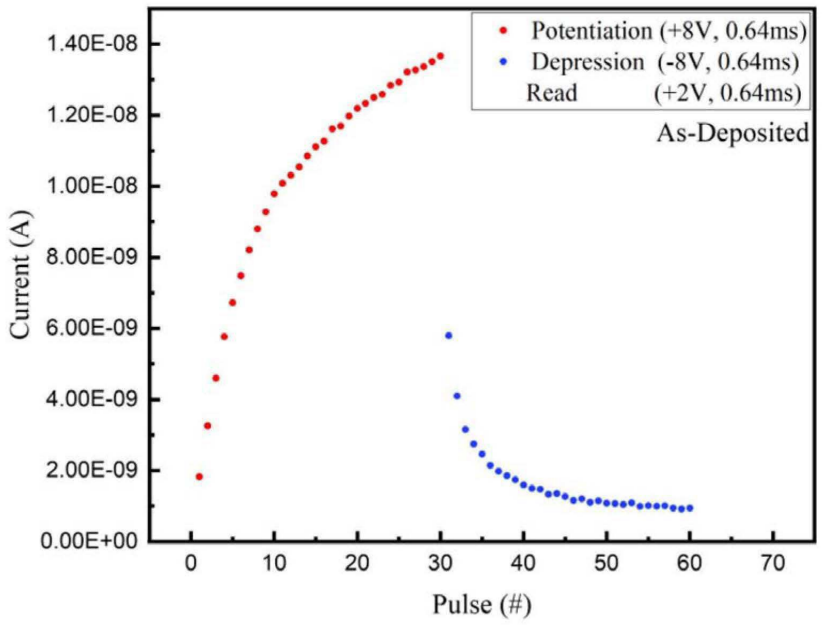

1.2E-4
1.0E-4
8.0E-5
6.0E-5
4.0E-5
2.0E-5
0.0E+0
-2.0E-5
-4.0E-5
-6.0E-5
-8.0E-5
Current (A)
Order:
+8V x 30 => -8V x 30
As-Deposited
-8
-6
-4
-2
0
2
4
6
8
Voltage (V)

(b)

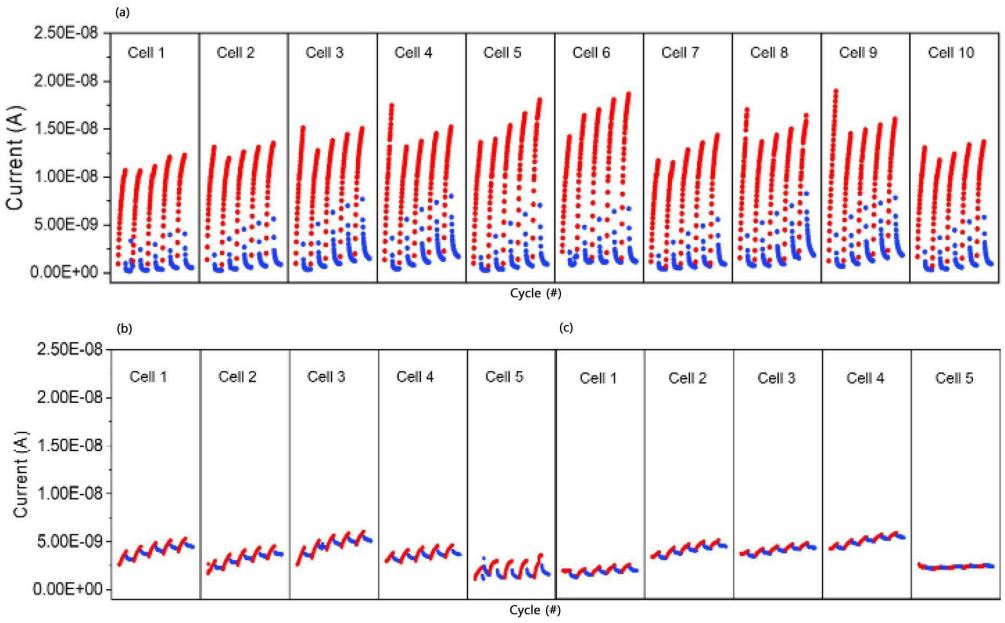
도면7


(a)
n-ZnO
p-NiO
n-ZnO
p type V_M = p type dopant
n type V_O = n type dopant
= oxygen ion
(b)
+V
n-ZnO
p-NiO
n-ZnO
GND
(c)
-V
n-ZnO
p-NiO
n-ZnO
GND

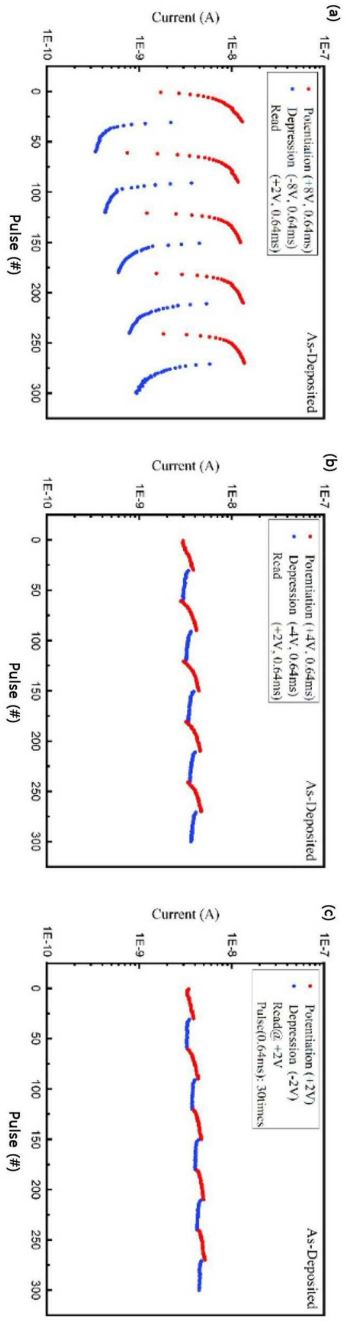
도면8


Potentiation (+8V, 0.64ms)
Depression (-8V, 0.64ms)
Read (+2V, 0.64ms)
As-Deposited
Current (A)
Pulse (#)
1.40E-08
1.20E-08
1.00E-08
8.00E-09
6.00E-09
4.00E-09
2.00E-09
0.00E+00
0
10
20
30
40
50
60
70

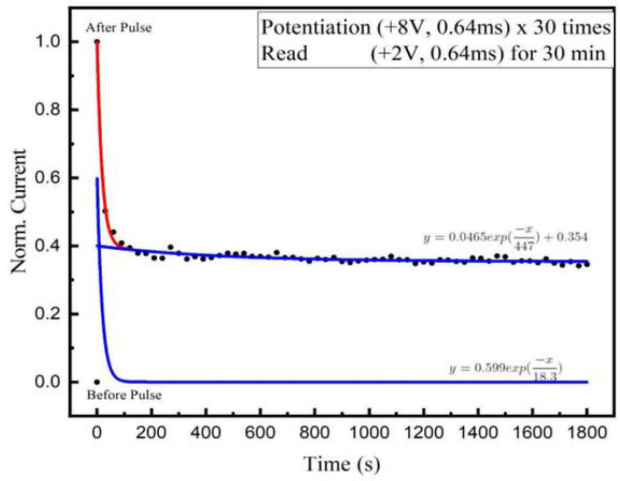
도면9


(a)
Cell 1
Cell 2
Cell 3
Cell 4
Cell 5
Cell 6
Cell 7
Cell 8
Cell 9
Cell 10
Current (A)
Cycle (#)
(b)
(c)
2.50E-08
2.00E-08
1.50E-08
1.00E-08
5.00E-09
0.00E+00

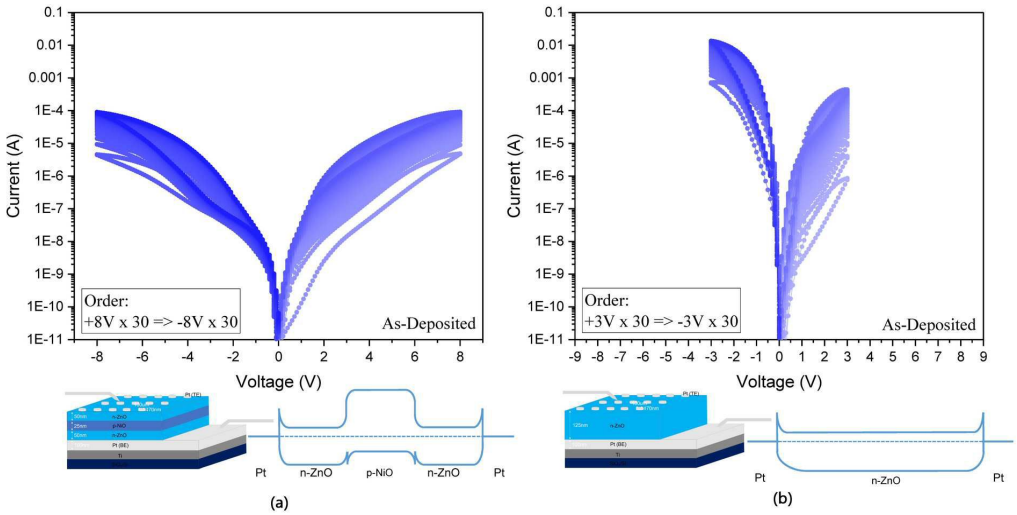
도면10


(a)
Current (A)
1E-7
1E-8
1E-9
1E-10
Potentiation (+1V, 0.64ms)
Depression (-8V, 0.64ms)
Read (+2V, 0.64ms)
As-Deposited
0
50
100
150
200
250
300
Pulse (#)
(b)
Current (A)
1E-7
1E-8
1E-9
1E-10
Potentiation (+4V, 0.64ms)
Depression (-4V, 0.64ms)
Read (+2V, 0.64ms)
As-Deposited
0
50
100
150
200
250
300
Pulse (#)
(c)
Current (A)
1E-7
1E-8
1E-9
1E-10
Potentiation (+2V)
Depression (-2V)
Read@ +2V
Pulse(0.64ms): 30times
As-Deposited
0
50
100
150
200
250
300
Pulse (#)

도면11


After Pulse
Potentiation (+8V, 0.64ms) x 30 times
Read (+2V, 0.64ms) for 30 min
Norm. Current
Time (s)
$y = 0.0465exp(\frac{-x}{447}) + 0.354$
$y = 0.599exp(\frac{-x}{18.3})$
Before Pulse

도면12


Current (A)
Voltage (V)
Order:
+8V x 30 => -8V x 30
As-Deposited
Pt
n-ZnO
p-NiO
n-ZnO
Pt
(a)
Order:
+3V x 30 => -3V x 30
As-Deposited
Pt
n-ZnO
Pt
(b)