



(10) 授权公告号 CN 113113473 B

(45) 授权公告日 2022.08.12

(21) 申请号 202110502422.9

(22) 申请日 2021.05.08

(65) 同一申请的已公布的文献号
申请公布号 CN 113113473 A

(43) 申请公布日 2021.07.13

(66) 本国优先权数据
202110412662.X 2021.04.16 CN

(73) 专利权人 深圳真茂佳半导体有限公司
地址 518000 广东省深圳市南山区西丽街
道沙河西路健兴科技大厦C座310

(72) 发明人 任炜强

(74) 专利代理机构 北京维正专利代理有限公司
11508

专利代理师 吴珊

(51) Int.Cl.

H01L 29/06 (2006.01)

H01L 29/08 (2006.01)

H01L 29/417 (2006.01)

H01L 23/367 (2006.01)

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

H01L 21/28 (2006.01)

宙查员 宋晶晶

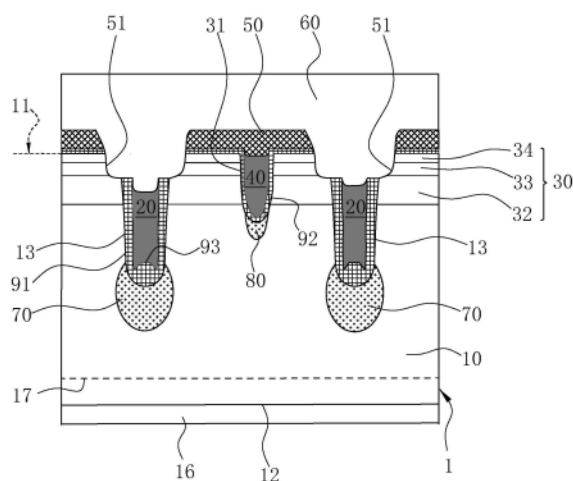
权利要求书3页 说明书17页 附图18页

(54) 发明名称

场效晶体管结构及其制造方法、芯片装置

(57) 摘要

本发明涉及一种场效晶体管结构及其制造方法、芯片装置，晶体管包括位于底部的漏极外延层、位于顶部的源极层以及嵌入于漏极外延层内的源极延伸倒鳍与栅极；栅极排列在源极延伸倒鳍之间，栅极两侧形成有成对由源极层至漏极外延层内部并联的对称型沟道；优选示例中，栅极两侧的沟道上方还形成有成对由源极层至漏极外延层并联的对称型领域电阻；优选示例中，漏极外延层在对应栅极的底部部位形成栅下浮空反极型结；优选示例中，漏极外延层在对应源极延伸倒鳍的底部部位形成屏蔽栅底部浮空反极型柱底结。本发明首创了双倒半鳍浮空超结栅式场效晶体管(DRFJ MOSFET)架构，具有衬底背面漏极与顶面源极电子流均匀化或帮助均匀化的增益效果。



1. 一种场效晶体管结构,其特征在于,包括:

漏极衬底,具有处理表面与对应的背面,由所述处理表面形成有相互平行的第一沟槽,所述第一沟槽的内壁以第一氧化隔离层绝缘处理,所述第一沟槽内设置源极延伸倒鳍;

有源层,形成于所述漏极衬底的所述处理表面,由所述有源层形成有位于所述第一沟槽之间的第二沟槽,所述第二沟槽的内壁以第二氧化隔离层绝缘处理,所述第二沟槽内设置栅极,所述第二沟槽的第二深度足以贯穿所述有源层但小于所述第一沟槽的第一深度;

内介电层,形成于所述有源层上与所述栅极上,使所述栅极为嵌埋结构;由所述内介电层形成有对准所述第一沟槽的第三沟槽,所述第三沟槽的内壁没有绝缘处理;

源极层,形成于所述第三沟槽内,以导通所述源极延伸倒鳍,所述有源层的厚度方向定义场效晶体管的沟道长度;所述有源层为多层结构,包括:位于底层的沟道层、位于所述沟道层上的电流平衡层、位于所述电流平衡层上的源极领域层;所述第三沟槽的深度使所述第三沟槽穿过所述源极领域层与所述电流平衡层;

其中,所述第三沟槽为扩大槽孔的结构,所述第三沟槽的内壁与所述第二沟槽的内壁保持间隔,所述第三沟槽的宽度大于所述第一沟槽的宽度,所述第三沟槽的深度小于所述有源层的整体厚度且大于所述电流平衡层与所述源极领域层的厚度和;

其中,所述第三沟槽的内侧壁与底部相接的区段为倾斜状,以避免形成所述第三沟槽时过度蚀除到所述有源层的沟道层;

其中,所述第三沟槽的宽度与深度足以直接侧露所述有源层的边缘及底露出所述源极延伸倒鳍的顶部;当形成所述第三沟槽的干式刻蚀到沟道层的反极型掺杂物质,便作为刻蚀停止信号,所述第三沟槽不会贯穿沟道层;

其中,所述电流平衡层为轻N型掺杂,所述源极领域层为重N型掺杂;所述源极延伸倒鳍的材质包括导电多晶硅;所述源极延伸倒鳍的顶面相对凹陷于两侧第一氧化隔离层的上缘,且该凹陷处被所述源极层填充。

2. 根据权利要求1所述的场效晶体管结构,其特征在于,所述源极层还形成于所述内介电层上,所述有源层由所述漏极衬底的所述处理表面内化形成。

3. 根据权利要求1所述的场效晶体管结构,其特征在于,所述第一沟槽的底部经过厚氧化处理,使所述第一沟槽的绝缘厚度在内壁底部大于在内壁侧部。

4. 根据权利要求1所述的场效晶体管结构,其特征在于,所述漏极衬底在对应所述第一沟槽底部的部位还形成有深植入区,以形成屏蔽栅底部浮空反极型柱底结。

5. 根据权利要求1所述的场效晶体管结构,其特征在于,所述漏极衬底在对应所述第二沟槽底部的部位还形成有植入区,以形成栅下浮空反极型结。

6. 根据权利要求1-5中任一项所述的场效晶体管结构,其特征在于,利用所述栅极的电场效应,来自所述源极层的电子流由所述第三沟槽的侧边分流沿着所述第二沟槽的侧壁轮廓的其中一对称侧移动到所述第一沟槽之间的所述漏极衬底,均匀在所述漏极衬底的所述背面或设置于该背面的漏极金属垫。

7. 一种场效晶体管结构的制造方法,其特征在于,包括:

提供漏极衬底,具有处理表面与对应的背面,由所述处理表面刻蚀形成相互平行的第一沟槽;

在所述处理表面与所述第一沟槽内形成第一氧化隔离层,使所述第一沟槽的内壁绝缘

处理;

以沉淀填充方式在所述第一沟槽内设置源极延伸倒鳍,并去除所述源极延伸倒鳍与所述第一氧化隔离层在所述处理表面上的部位;所述源极延伸倒鳍的材质包括导电多晶硅;

由所述处理表面刻蚀形成位于所述第一沟槽之间的第二沟槽,所述第二沟槽的第二深度小于所述第一沟槽的第一深度;

在所述处理表面与所述第二沟槽内形成第二氧化隔离层,使所述第二沟槽的内壁绝缘处理;

以沉淀填充方式在所述第二沟槽内设置栅极;

在所述漏极衬底的所述处理表面下以能量注入方式形成有源层,所述有源层的厚度与深度在所述第二沟槽的第二深度能贯穿的范围内;在形成所述有源层的步骤中,所述有源层由所述漏极衬底的所述处理表面内化形成;所述有源层包括位于底层的沟道层、位于所述沟道层上的电流平衡层、位于所述电流平衡层上的源极领域层;其中,所述电流平衡层为轻N型掺杂,所述源极领域层为重N型掺杂;

以沉淀覆盖方式在所述有源层上与所述栅极上形成内介电层,使所述栅极为嵌埋结构;

由所述内介电层刻蚀形成对准所述第一沟槽的第三沟槽,所述第三沟槽的内壁没有绝缘处理;所述第三沟槽为扩大槽孔的结构,所述第三沟槽的内壁与所述第二沟槽的内壁保持间隔,所述第三沟槽的宽度大于所述第一沟槽的宽度,所述第三沟槽的深度小于所述有源层的整体厚度且大于所述电流平衡层与所述源极领域层的厚度和;所述第三沟槽的内侧壁与底部相接的区段为倾斜状,以避免形成所述第三沟槽时过度蚀除到所述有源层的沟道层;所述第三沟槽的宽度与深度足以直接侧露所述有源层的边缘及底露出所述源极延伸倒鳍的顶部;当形成所述第三沟槽的干式刻蚀到沟道层的反极型掺杂物质,便作为刻蚀停止信号,所述第三沟槽不会贯穿沟道层;

在所述第三沟槽内形成源极层,以导通所述源极延伸倒鳍,所述有源层的厚度方向定义场效晶体管的沟道长度;所述源极延伸倒鳍相对凹陷于两侧第一氧化隔离层,且被所述源极层填充。

8. 根据权利要求7所述的场效晶体管结构的制造方法,其特征在于:

在提供所述漏极衬底的步骤后,还包括:以离子植入方式在所述漏极衬底在对应所述第一沟槽底部的部位形成屏蔽栅底部浮空反极型柱底结;具体的,所述漏极衬底为导电型半导体晶圆;

或/与,在形成所述第一氧化隔离层的步骤中,包括:以热氧化或沉淀方式形成所述第一氧化隔离层;之后在所述第一沟槽内形成侧壁保护层;非等向性刻蚀所述侧壁保护层在所述第一沟槽的底部形成开口;再形成氧化隔离叠加块于所述侧壁保护层的开口;选择性刻蚀去除所述侧壁保护层,以露出所述第一氧化隔离层,所述第一氧化隔离层加上所述氧化隔离叠加块在内壁底部的厚度大于所述第一氧化隔离层在内壁侧部的厚度;具体的,所述第一氧化隔离层的材质包括氧化硅,所述侧壁保护层的材质包括氮化硅;

或/与,在设置所述源极延伸倒鳍的步骤中,所述源极延伸倒鳍与所述第一氧化隔离层在所述处理表面上的部位去除方法包括化学机械研磨或/与回刻蚀;或/与,在形成所述第二沟槽的步骤中,包括的前置步骤是:形成掩膜层在所述处理表面上,以遮盖所述处理表面

以及所述源极延伸倒鳍的顶部;在所述第二沟槽形成之后,以离子植入方式在所述漏极衬底在对应所述第二沟槽底部的部位形成栅下浮空反极型结;

或/与,在形成所述第二氧化隔离层的步骤中,所述第二氧化隔离层具体为栅氧化层,以热氧化或热氧化加上淀积方式形成所述栅氧化层于所述第二沟槽的内壁与所述处理表面上;还包括:在所述栅氧化层形成前,先形成牺牲栅氧层于所述第二沟槽的内壁,之后去除所述牺牲栅氧层并清洗所述漏极衬底;

或/与,在设置所述栅极的步骤中,所述栅极在所述处理表面上的部位去除方法包括化学机械研磨或/与回刻蚀;所述栅极的材质包括导电多晶硅,含有掺杂离子;

或/与,在形成所述源极层的步骤中,所述源极层还形成于所述内介电层上,所述源极层的材质为金属;在形成所述源极层的步骤后,对所述漏极衬底的背面进行晶背减薄与晶背金属化。

9. 一种半导体芯片装置,其特征在于,包括:如权利要求1-6中任一项所述的一种场效晶体管结构。

场效晶体管结构及其制造方法、芯片装置

[0001] 本发明的优先权基础包括：申请号202110414351.7、申请日2021.04.16、专利名称为“场效晶体管结构及其制造方法、芯片装置”的发明申请案。

技术领域

[0002] 本发明涉及半导体晶体管的技术领域，尤其是涉及一种场效晶体管结构及其制造方法、芯片装置。

背景技术

[0003] 场效晶体管结构作为半导体芯片的关键重要器件，目前已有多种结构，主要包括有以下几类：FinFET鳍式场效晶体管、JFET结型场效晶体管、面场效晶体管、穿隧式场效晶体管槽栅场效应管、分裂栅场效应管以及超级结场效应管。其中FinFET鳍式场效晶体管、JFET结型场效晶体管、面场效晶体管以及穿隧式场效晶体管结构都是将源极接点与漏极接点设计在半导体衬底的同一表面，随着晶圆薄化与器件微小化的趋势发展，由晶圆背面漏电流的问题会越来越是一个需要面对与克服的难题。其中，JFET结型场效应晶体管与穿隧式场效晶体管，由于将沟道层设计在半导体衬底的有源区内，漏电流的问题比较严重，FinFET鳍式晶体管是将沟道层以额外沉积的方式设计在突出鳍状的栅极上，漏电流的问题相对较轻，但器件结构与工艺相对复杂。FinFET鳍式晶体管的沟道层以氧化层表面外延方式形成显然不具有如内生方式形成沟道层的单晶结构，故其沟道层电性能稳定性不及JFET结型场效应晶体管、面场效晶体管与穿隧式场效晶体管。槽栅(trench gate)场效应管存在硅极限的限制，导致实现同样导通电阻占用更大的晶圆面积器件的功率密度无法提升。分裂栅场效应管和超级结场效应管虽然可以突破硅极限但工艺制程复杂且工艺控制窗口窄；另外器件容易出现电流集中可靠性差的现象，使器件的性能和可靠性很难兼得。

[0004] 现有技术中的FinFET鳍式晶体管可见于CN103985712A、CN106981517A、CN106887461A，都具有突出于衬底的栅极鳍。现有技术中的JFET结型场效应晶体管可见于CN1507070A、CN108257955A，不具有突出于衬底的栅极且沟道层以衬底内掺杂区图案界定。现有技术中的面场效晶体管可见于CN107534060A，不具有突出于衬底的栅极，单元占据表面积较大。现有技术中的穿隧式场效晶体管可见于CN110797387A、CN110943121A，为FinFET鳍式晶体管的一种变种，两鳍状结构以外延方式形成图案磊晶层，鳍状结构侧壁覆盖栅极层并予以填埋，将原本鳍状结构的栅极功能变化为沟道功能，同一表面上两鳍状结构的顶部分别作为源极与漏极。

发明内容

[0005] 本发明的主要目的一是提供一种场效晶体管结构，主要进步在于以创新的晶体管架构解决场效晶体管的源极电子流分布不均、产品性能和可靠性不兼容、产品性能和加工难度不兼容的问题。对于该晶体管架构定名为双倒半鳍浮空超结栅式场效晶体管(Double Reverse-semi-fins Floating Junction MOSFET, DRFJ)。

[0006] 本发明的主要目的二是提供一种场效晶体管结构的制造方法,用以实现极处电子流分布均匀场效晶体管结构的制作。

[0007] 本发明的主要目的三是提供一种半导体芯片装置,包括DRFJ架构的场效晶体管结构。

[0008] 本发明的主要目的—是通过以下技术方案得以实现的:

[0009] 提出一种场效晶体管结构,包括:

[0010] 漏极衬底,具有由漏极外延层提供的处理表面与对应的背面,由所述处理表面形成有相互平行的第一沟槽,所述第一沟槽的内壁绝缘处理,所述第一沟槽内设置源极延伸倒鳍,所述第一沟槽的深度不超过所述漏极外延层的厚度;

[0011] 有源层,形成于所述漏极外延层的所述处理表面,由所述有源层形成有位于所述第一沟槽之间的第二沟槽,所述第二沟槽的内壁绝缘处理,所述第二沟槽内设置栅极,所述第二沟槽的第二深度足以贯穿所述有源层但小于所述第一沟槽的第一深度;

[0012] 内介电层,形成于所述有源层上与所述栅极上,使所述栅极为嵌埋结构;由所述内介电层形成有对准所述第一沟槽的第三沟槽,所述第三沟槽的内壁没有绝缘处理,所述第三沟槽的宽度与深度足以直接侧露所述有源层的边缘及底露出所述源极延伸倒鳍的顶部;

[0013] 源极层,形成于所述第三沟槽内,以导通所述源极延伸倒鳍,所述有源层的反型层注入厚度方向定义场效晶体管的沟道长度,取代现有技术中以有源层的长度方向定义场效晶体管的沟道长度,以提供竖立向于处理表面的多个且短距离的并联晶体管沟道。

[0014] 通过采用上述技术方案,利用由所述内介电层形成有对准所述第一沟槽的第三沟槽,所述第三沟槽的内壁没有绝缘处理,所述第三沟槽的宽度与深度足以直接侧露所述有源层的边缘及底露出所述源极延伸倒鳍的顶部,实现了源极层的底部导接源极延伸倒鳍以及源极层的两侧导接所述有源层;进一步使所述源极延伸倒鳍具有电子流隔离栅的作用;源极层在所述第三沟槽的两侧导通所述有源层,所述有源层沿着的栅极绝缘处理的两侧轮廓可导通至所述漏极衬底,故能实现以所述有源层的反型层注入厚度方向定义场效晶体管的沟道长度,具体是栅极绝缘处理的每一侧轮廓都能规划出一个晶体管沟道,由于栅极埋入深度突破所述有源层到达所述漏极外延层的内部,在埋入式栅极两侧形成相对于处理表面竖立向且并联的平行沟道;而且漏极衬底的背面可作为漏极垫的接触,电子流的移动是由处理表面到漏极外延层的背面,过程中是经过了第三沟槽的两侧分流以及栅极绝缘处理的其中一侧沟道的半栅极开通,在源极延伸倒鳍的分流与隔离栅的场效应下分散在漏极衬底的背面,实现了两个相邻源极分路下的两个半栅晶体管两侧沟道导通在漏极衬底的背面与源极延伸倒鳍之间,使原本衬底背面漏电流的缺陷转换成有益与有意义的漏极输出,并且避免了电子流如熔丝效应集中于漏极衬底的背面的局部区域。

[0015] 此外,利用源极层与源极延伸倒鳍制程上分离设计与结构上导通,工艺上源极层只需要填充具有较大宽度的第三沟槽,而不需要填入具有较小宽度的第一沟槽,源极延伸倒鳍的材质选择具有更多自由度,以克服工艺填孔填槽的困难、提高与漏极外延层的热膨胀适配度以及减少对漏极外延层的金属扩散效应。

[0016] 本发明在较佳示例中可以进一步配置为:所述源极层还形成于所述内介电层上,所述有源层由所述漏极外延层的所述处理表面内化形成;所述第三沟槽的宽度大于所述第一沟槽的宽度。

[0017] 可以通过采用上述优选技术特点,利用还形成于所述内介电层上的源极层,两个相邻近第三沟槽内的源极层导通在所述内介电层上,以扩大源极接触,所述内介电层电绝缘所述栅极顶部与延伸的源极层。当所述有源层由所述漏极外延层的所述处理表面内化形成,所述有源层与所述漏极外延层两者的晶格匹配,没有界面间隙的缺陷,晶体管的沟道结构与漏极外延层成为一体结构,在电性能稳定度上优于外延生长的有源层或沟道层;利用所述第三沟槽的宽度大于所述第一沟槽的宽度,使源极延伸倒鳍的顶部有效的打开在所述第三沟槽的底部,第三沟槽具有接触孔的作用,减少因第三沟槽对不准第一沟槽而无法导通源极层与源极延伸倒鳍的缺陷发生,最终达到两者在使用上具有一致的电场电位。优选的,所述第三沟槽的内侧壁与底部相接的区段为倾斜状,以避免形成所述第三沟槽时过度蚀除到所述有源层的沟道层。

[0018] 本发明在较佳示例中可以进一步配置为:所述有源层为多层结构,包括:位于底部的沟道层、位于所述沟道层上的电流平衡层、位于所述电流平衡层上的源极领域层;所述第三沟槽的深度使所述第三沟槽穿过所述源极领域层与所述电流平衡层。

[0019] 通过采用上述优选技术特点,利用所述有源层的多层结构,在源极领域层与沟道层之间形成电流平衡层,电流平衡层的厚度向在绝缘处理后栅极两侧各具有电阻作用,以提供竖立向于处理表面的多个且短距离的并联电阻,分别导接对应的并联晶体管沟道与源极领域层之间,避免较大电子流下个别并联晶体管沟道的烧毁,消除熔丝效应。

[0020] 本发明在较佳示例中可以进一步配置为:所述第一沟槽的底部经过厚氧化处理,使所述第一沟槽的绝缘厚度在内壁底部大于在内壁侧部。

[0021] 通过采用上述优选技术特点,利用所述第一沟槽的绝缘厚度在内壁底部大于在内壁侧部,在所述第一沟槽的内壁底部形成氧化隔离叠加块,避免在所述源极延伸倒鳍的底部与所述漏极外延层形成电子穿遂,提高槽底抗雪崩击穿能力与后工艺中离子植入的栅氧改质抵抗性,同时减少所述源极延伸倒鳍的底部的场效应,使所述源极延伸倒鳍的两侧在所述漏极外延层内形成分流隔离栅的分流场效应。

[0022] 本发明在较佳示例中可以进一步配置为:所述漏极外延层在对应所述第一沟槽底部的部位还形成有深植入区,以形成屏蔽栅底部浮空反极型柱底结。

[0023] 通过采用上述优选技术特点,利用屏蔽栅底部浮空反极型柱底结由所述源极延伸倒鳍的底部透出,以增加浮空反极型柱对临近的极型柱的电荷平衡,在制作上可以减少所述第一沟槽的深度和底部绝缘层厚度,也有利于所述源极延伸倒鳍的填充形成。

[0024] 本发明在较佳示例中可以进一步配置为:所述漏极外延层在对应所述第二沟槽底部的部位还形成有植入区,以形成栅下浮空反极型结。

[0025] 通过采用上述优选技术特点,利用栅下浮空反极型结由所述栅极的底部透出,避免栅极绝缘层底部受到底部集中电场的破坏,使栅极绝缘层可靠性提升,同时避免底部栅氧电场集中导致的击穿耐压降低。

[0026] 本发明在较佳示例中可以进一步配置为:利用所述栅极的电场效应,来自所述源极层的电子流由所述第三沟槽的侧边分流沿着所述第二沟槽的侧壁轮廓的其中一对称侧移动到所述第一沟槽之间的所述漏极衬底,均匀在所述漏极外延层的所述背面或设置于该背面的漏极金属垫。

[0027] 通过采用上述优选技术特点,利用所述栅极的电场效应,实现电子流由顶面至底

面的在处理表面上的第三沟槽两侧分流并在所述漏极外延层的所述第一沟槽之间的分隔均匀化。

[0028] 本发明的主要目的二是通过以下技术方案得以实现的：

[0029] 提出一种场效晶体管结构的制造方法，用以制造如上所述任意技术方案可能组合的场效晶体管结构，该制造方法包括：

[0030] 提供漏极衬底，具有由漏极外延层提供的处理表面与对应的背面，由所述处理表面刻蚀形成相互平行的第一沟槽；

[0031] 在所述处理表面与所述第一沟槽内形成第一氧化隔离层，使所述第一沟槽的内壁绝缘处理；

[0032] 以沉淀填充方式在所述第一沟槽内设置源极延伸倒鳍，并去除所述源极延伸倒鳍与所述第一氧化隔离层在所述处理表面上的部位，所述第一沟槽的深度不超过所述漏极外延层的厚度；

[0033] 由所述处理表面刻蚀形成位于所述第一沟槽之间的第二沟槽，所述第二沟槽的第二深度小于所述第一沟槽的第一深度；

[0034] 在所述处理表面与所述第二沟槽内形成第二氧化隔离层，使所述第二沟槽的内壁绝缘处理；

[0035] 以沉淀填充方式在所述第二沟槽内设置栅极；

[0036] 在所述漏极外延层的所述处理表面下以能量注入方式形成有源层，所述有源层的厚度与深度在所述第二沟槽的第二深度能贯穿的范围内；

[0037] 以沉淀覆盖方式在所述有源层上与所述栅极上形成内介电层，使所述栅极为嵌埋结构；

[0038] 由所述内介电层刻蚀形成对准所述第一沟槽的第三沟槽，所述第三沟槽的内壁没有绝缘处理，所述第三沟槽的宽度与深度足以直接侧露所述有源层的边缘及底露出所述源极延伸倒鳍的顶部；

[0039] 在所述第三沟槽内形成源极层，以导通所述源极延伸倒鳍，所述有源层的反型层注入厚度方向定义场效晶体管的沟道长度。

[0040] 通过采用上述技术方案，利用所述源极延伸倒鳍的预先制作，减少半导体制程中在漏极外延层的沟槽内填充源极延伸物的工艺难度，最终制得双倒鳍间半栅式场效晶体管。

[0041] 本发明在较佳示例中可以进一步配置为：

[0042] 在提供所述漏极衬底的步骤后，还包括：以离子植入方式在所述漏极外延层在对应所述第一沟槽底部的部位形成屏蔽栅底部浮空反极型柱底结；具体的，所述漏极外延层为导电型半导体晶圆；

[0043] 在形成所述第一氧化隔离层的步骤中，包括：以热氧化或沉淀方式形成所述第一氧化隔离层；之后在所述第一沟槽内形成侧壁保护层；非等向性刻蚀所述侧壁保护层在所述第一沟槽的底部形成开口；再形成氧化隔离叠加块于所述侧壁保护层的开口；选择性刻蚀去除所述侧壁保护层，以露出所述第一氧化隔离层，所述第一氧化隔离层加上所述氧化隔离叠加块在内壁底部的厚度大于所述第一氧化隔离层在内壁侧部的厚度；具体的，所述第一氧化隔离层的材质包括氧化硅，所述侧壁保护层的材质包括氮化硅；

[0044] 在设置所述源极延伸倒鳍的步骤中,所述源极延伸倒鳍与所述第一氧化隔离层在所述处理表面上的部位去除方法包括化学机械研磨或/与回刻蚀;优选的,所述源极延伸倒鳍的材质包括导电多晶硅;

[0045] 在形成所述第二沟槽的步骤中,包括的前置步骤是:形成掩膜层在所述处理表面上,以遮盖所述处理表面以及所述源极延伸倒鳍的顶部;优选的,在所述第二沟槽形成之后,以离子植入方式在所述漏极外延层在对应所述第二沟槽底部的部位形成栅下浮空反极型结;

[0046] 在形成所述第二氧化隔离层的步骤中,所述第二氧化隔离层具体为栅氧化层,以热氧化或热氧化加上淀积方式形成所述栅氧化层于所述第二沟槽的内壁与所述处理表面上;优选还包括:在所述栅氧化层形成前,先形成牺牲栅氧层于所述第二沟槽的内壁,之后去除所述牺牲栅氧层并清洗所述漏极外延层;

[0047] 在设置所述栅极的步骤中,所述栅极在所述处理表面上的部位去除方法包括化学机械研磨或/与回刻蚀;优选的,所述栅极的材质包括导电多晶硅,含有掺杂离子;

[0048] 在形成所述有源层的步骤中,所述有源层由所述漏极外延层的所述处理表面内化形成;所述有源层包括位于底部的沟道层、位于所述沟道层上的电流平衡层、位于所述电流平衡层上的源极领域层;

[0049] 在形成所述第三沟槽的步骤中,所述第三沟槽为扩大槽孔的结构,所述第三沟槽的内壁与所述第二沟槽的内壁保持间隔,所述第三沟槽的宽度大于所述第一沟槽的宽度,所述第三沟槽的深度小于所述有源层的整体厚度且大于所述电流平衡层与所述源极领域层的厚度和;

[0050] 在形成所述源极层的步骤中,所述源极层还形成于所述内介电层上,所述源极层的材质为金属;在形成所述源极层的步骤后,对所述漏极外延层的背面进行晶背减薄与晶背金属化。

[0051] 可以通过采用上述优选技术特点,利用上述对应的特征达到如上所述相应的技术效果。

[0052] 本发明的主要目的三是通过以下技术方案得以实现的:

[0053] 提出一种半导体芯片装置,包括:如上所述任意技术方案可能组合的场效晶体管结构,或者,使用的场效晶体管结构包括:位于处理表面下的漏极外延层、位于所述处理表面上的源极层以及嵌入于所述漏极外延层内的源极延伸倒鳍与栅极;所述栅极排列在所述源极延伸倒鳍之间,所述栅极两侧形成有成对由所述源极层至所述漏极外延层内部并联的对称型沟道;优选的,所述栅极两侧的沟道上方还形成有成对由所述源极层至所述漏极外延层并联的对称型领域电阻;优选的,所述漏极外延层在对应所述栅极的底部部位形成栅下浮空反极型结;优选的,所述漏极外延层在对应所述源极延伸倒鳍的底部部位形成屏蔽栅底部浮空反极型柱底结。

[0054] 通过采用上述技术方案,利用位于处理表面上的源极层与嵌埋于漏极外延层的栅极,建立以有源层厚度方向定义的多个竖立并联沟道,电子流能均匀输出(或输入)在背面。当半导体芯片装置安装在载板上即完成漏极接触连接,能节省一个电极位的连接操作,随着芯片越来越薄,不需要考虑芯片背面漏电流的问题。

[0055] 综上所述,本发明包括以下至少一种对现有技术作出贡献的技术效果:

[0056] 1. 第一沟槽所在的隔离栅(具体为源极延伸倒鳍)上设置如第三沟槽的槽型接触孔供源极层的填入,具有以下效果的一种或多种:a.作为接触孔的第三沟槽位于作为隔离栅极的源极延伸倒鳍的上面,相比于位于在隔离栅极之间设置接触孔的结构,第三沟槽的接触孔面积可以增大,因此提升了器件的散热性能和电流性能,同时SOA(安全工作区域)会相应得以提升10%以上;b.作为接触孔的第三沟槽在作为分流隔离栅的源极延伸倒鳍上在保持接触孔大小的同时和栅极的距离可以更宽提升制造过程安全余量提升加工良率;c.作为接触孔的第三沟槽相对与现有技术一般设计的平面接触孔可以提升器件的UIS(Unclamped Inductive Switching,非钳位电感性开关)可靠性;d.帮助接触孔在整个隔离栅区域源极延伸倒鳍短路连接了器件源极,相对原有的只有部分区域短接源极的结构可以使整个器件的屏蔽栅同时达到电荷平衡没有区域间的延时,因此器件的UIS可以提升20%以上;

[0057] 2. 关于多层结构有源层的电流平衡层在配置上的技术效果包括:a.此层的加入在等效电路中相当于源极对应每个半栅晶体管引入一个电阻可以平衡每个晶体管单元的电流大小,可使器件温升均匀可靠性增加;b.增加了器件并联应用可靠性;

[0058] 3. 关于隔离栅底部的厚氧化在配置上的技术效果包括:第一沟槽底部拐角处由于晶格结构不同导致热氧化层的厚度只有侧壁的60-70%,导致对于体内场板电荷平衡器件在反向阻断时电场全部集中在隔离栅底部和PN结区域,氧化隔离叠加块与隔离栅浮空反极区(如N型场效应管的P区)的加入有利于进一步改善底部电场,通过隔离栅厚氧的引入可以增加底部热氧的可靠性;

[0059] 4. 关于浮空反极型柱底结(具体为N型场效应管的隔离栅底部浮空P柱)在配置上的技术效果包括:a.柱底结引入电荷平衡区配合体场板结构可以共同实现EPI的电荷平衡,在实现相同阻断电压可以取得更好的器件性能;b.简化加工方法降低加工难度,相对于完全的体场板结式晶体管结构可以减少沟槽刻蚀深度、热氧化时间、温度;相对于只有沟槽的完全隔离栅结构可以减少外延层生长测试和离子注入次数;

[0060] 5. 关于栅下浮空反极型结(具体为N型场效应管的栅下浮空P区)在配置上的技术效果包括:a.提升栅氧可靠性,反向阻断时电场全部集中在栅极底部和PN结区域,为了减少米勒电容PN结离栅氧底部越近越好,但越近栅氧电场越强影响器件可靠性和降低击穿特性;b.提升UIS性能,UIS时栅底部电场集中导致击穿影响UIS,栅下浮空反极型结的引入减少了电场强度增加UIS性能;c.减低米勒电容。

附图说明

[0061] 图1绘示本发明一些较佳实施例的场效晶体管结构在横切栅极的局部结构示意图;

[0062] 图2绘示本发明一些较佳实施例的制作场效晶体管结构的过程中所提供漏极衬底的示意图;

[0063] 图3绘示本发明一些较佳实施例的制作场效晶体管结构的过程中由漏极外延层的处理表面刻蚀形成相互平行的第一沟槽的示意图;

[0064] 图4绘示本发明一些较佳实施例的制作场效晶体管结构的过程中在第一沟槽底部的部位离子植入形成屏蔽栅底部浮空反极型柱底结的示意图;

[0065] 图5绘示本发明一些较佳实施例的制作场效晶体管结构的过程中在处理表面上与第一沟槽内形成第一氧化隔离层的示意图；

[0066] 图6绘示本发明一些较佳实施例的制作场效晶体管结构的过程中在第一沟槽内形成源极延伸倒鳍的示意图；

[0067] 图7绘示本发明一些较佳实施例的制作场效晶体管结构的过程中去除源极延伸倒鳍与第一氧化隔离层在处理表面上部位的示意图；

[0068] 图8绘示本发明一些较佳实施例的制作场效晶体管结构的过程中形成掩膜层在处理表面上的示意图；

[0069] 图9绘示本发明一些较佳实施例的制作场效晶体管结构的过程中由处理表面刻蚀形成第二沟槽并在第二沟槽底部的部位形成栅下浮空反极型结的示意图；

[0070] 图10绘示本发明一些较佳实施例的制作场效晶体管结构的过程中在处理表面与第二沟槽内形成第二氧化隔离层的示意图；

[0071] 图11绘示本发明一些较佳实施例的制作场效晶体管结构的过程中在第二沟槽内设置栅极的示意图；

[0072] 图12绘示本发明一些较佳实施例的制作场效晶体管结构的过程中在处理表面下以能量注入方式形成有源层的示意图；

[0073] 图13绘示本发明一些较佳实施例的制作场效晶体管结构的过程中使有源层区分为沟道层与领域层的示意图；

[0074] 图14绘示本发明一些较佳实施例的制作场效晶体管结构的过程中使领域层区分为电流平衡层与源极领域层的示意图；

[0075] 图15绘示本发明一些较佳实施例的制作场效晶体管结构的过程中在有源层上与栅极上形成内介电层的示意图；

[0076] 图16绘示本发明一些较佳实施例的制作场效晶体管结构的过程中由内介电层刻蚀形成第三沟槽的示意图；

[0077] 图17绘示本发明一些较佳实施例的制作场效晶体管结构的过程中在第三沟槽内形成源极层的示意图；

[0078] 图18绘示本发明一些较佳实施例中所制得的场效晶体管结构在使用状态中电子流流动示意图；

[0079] 图19绘示本发明第一变化实施例的场效晶体管结构在横切栅极的局部结构示意图；

[0080] 图20绘示本发明第二变化实施例的场效晶体管结构在横切栅极的局部结构示意图；

[0081] 图21绘示本发明第三变化实施例的场效晶体管结构在横切栅极的局部结构示意图。

[0082] 附图标记：1、漏极衬底；10、漏极外延层；11、处理表面；12、背面；13、第一沟槽；14、表面酸化膜；15、主体区；16、漏极金属垫；17、参杂浓度清晰变化水平面；20、源极延伸倒鳍；30、有源层；31、第二沟槽；32、沟道层；33、电流平衡层；34、源极领域层；40、栅极；41、掩膜层；50、内介电层；51、第三沟槽；60、源极层；70、浮空反极型柱底结；80、栅下浮空反极型结；91、第一氧化隔离层；92、第二氧化隔离层；93、氧化隔离叠加块。

具体实施方式

[0083] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是作为理解本发明的发明构思一部分实施例,而不能代表全部的实施例,也不作唯一实施例的解释。基于本发明中的实施例,本领域普通技术人员在理解本发明的发明构思前提下所获得的所有其他实施例,都属于本发明保护的范围内。

[0084] 需要说明,若本发明实施例中有涉及方向性指示(诸如上、下、左、右、前、后……),则该方向性指示仅用于解释在某一特定姿态下各部件之间的相对位置关系、运动情况等,如果该特定姿态发生改变时,则该方向性指示也相应地随之改变。为了方便理解本发明的技术方案,以下将本发明的场效晶体管结构及其制造方法、芯片装置做进一步详细描述与解释,但不作为本发明限定的保护范围。以下实施例中以N沟道型晶体管表示,在不同示例变化上也可以调整为P沟道型晶体管,并且,本领域技术人员应当知道说明书所指的源极与漏极是一种相对概念,不是绝对概念,在变化例具体应用中,示例的源极可以作为漏极连接使用,示例的漏极可以作为源极连接使用,当说明书中记载的源极作为源极连接,当说明书中记载的漏极必然作为漏极连接;当说明书中记载的源极作为漏极连接,当说明书中记载的漏极必然作为源极连接。为了方便理解本申请的技术方案,说明书与保护范围仍使用“源极”与“漏极”,实际上不限于于源极与漏极,而是使用上代表两个不同电位极的第一电极与第二电极。此外,说明书中记载的“反极”即是与基础极相反的电极,例如源漏极的基础极是N型,则反极是P型,反之亦然。

[0085] 图1绘示本发明一些较佳实施例的场效晶体管结构在横切栅极的局部结构示意图,图2至图17绘示本发明一些较佳实施例的场效晶体管结构在制程个别步骤的示意图,图18绘示本发明一些较佳实施例的场效晶体管结构在使用状态的示意图。附图所示包括多个实施例具有共性的部分,变化例具有差异或区别的部分另以文字方式描述。因此,应当基于产业特性与技术本质,熟知本领域的技术人员应正确且合理的理解与判断以下所述的个别技术特征或其任意多个的组合是否能够表征到同一实施例,或者是多个技术本质互斥的技术特征仅能分别表征到不同变化实施例。

[0086] 参照图1,为本发明实施例公开的一种场效晶体管结构,主要包括:漏极衬底1、源极延伸倒鳍20、有源层30、栅极40及源极层60,以实现场效晶体管电子流开关的基本功能。本实施例以N沟道型晶体管表示,在变化例中本领域技术人员应当能调整为P沟道型晶体管。

[0087] 漏极衬底1具有由漏极外延层10提供的处理表面11与对应的背面12,由所述处理表面11形成有相互平行的第一沟槽13,所述第一沟槽13的内壁绝缘处理,所述第一沟槽13内设置源极延伸倒鳍20,所述第一沟槽13的深度不超过所述漏极外延层10的厚度。漏极衬底1在半导体制程中是半导体晶圆,在产品中是切单后的芯片基础层,漏极衬底1的基础材质通常是硅,也可以是碳化硅、III-V族或II-VI化合物,在掺杂电子提供物质或电洞提供物质后具有导电性,掺杂区域在芯片有效区,可以全面也可以区块状,示例是重N型掺杂。漏极衬底1通常是单晶结构,就N型晶体管具体例如是N⁺单晶硅。漏极外延层10是由漏极衬底1磊晶外延生长的功能层,通常与漏极衬底1具有相同的晶向,也是单晶结构,就N型晶体管具体例如N-单晶硅,导电性低于漏极衬底1。漏极外延层10的一个作用是在漏极外延层10与漏极

衬底1之间提供掺杂浓度清晰变化的水平面,以利于沟道竖立式场效晶体管的半导体制作。处理表面11是半导体工艺的处理表面,背面12是相反于处理表面11的表面。第一沟槽13由处理表面11形成,表示第一沟槽13的开口朝向处理表面11,第一沟槽13的底部朝向背面12,第一沟槽13没有贯通漏极外延层10。图中绘示的虽然只有两个第一沟槽13,但实际上是两条以上的多条,沟槽数量可以调整,图1中的结构在左右两侧可以适当的重复展开;较优的沟槽形状在处理表面111上是多个平行直条状,但也可以是平行具有相同间隔的各种弯曲形状。使用上源极延伸倒鳍20应与源极保持相同的场电压,源极延伸倒鳍20为导电性,材质优选为多晶态的导电硅或其他导电性半导体材料,能与漏极外延层10有着相同或相近的热膨胀适配性;在其他示例中也可以是半导体工艺中使用的导电材料,例如:钨、铜、铝,常用为钨。源极延伸倒鳍20的结构可以如图1所示的单层结构也可以是多层叠加结构。

[0088] 有源层30形成于所述漏极外延层10的所述处理表面11,由所述有源层30形成有位于所述第一沟槽13之间的第二沟槽31,所述第二沟槽31的内壁绝缘处理,所述第二沟槽31内设置栅极40,所述第二沟槽31的第二深度足以贯穿所述有源层30但小于所述第一沟槽13的第一深度。有源层30的一部分(沟道层)是受到栅极40的电场作用形成电子流的开通与关闭。在本优选实施例中,有源层30是由漏极外延层10内生形成,例如对漏极外延层10进行反极型离子植入或还包括同极型的离子植入,有源层30与漏极外延层10有一体适配的晶格结构;在一变化示例中,有源层30是由漏极外延层10表面外延生长,故有源层30可以形成于处理表面11内,也能形成于处理表面11上。第二沟槽31的底部高于第一沟槽13的底部,即相比于第一沟槽13,第二沟槽31的底部更靠近处理表面11。栅极40在处理表面11上的形状是顺从于源极延伸倒鳍20,以保持两者相同的间隔。栅极40为导电性,材质优选为多晶态的导电硅或其他导电性半导体材料,能与漏极外延层10有着相同或相近的热膨胀适配性;在其他示例中也可以采用半导体工艺中使用的其他导电材料,例如:钨、铜、铝,常用为钨。栅极40的结构可以如图1所示的单层结构也可以是多层叠加结构。栅极40的底部形状与源极延伸倒鳍20的底部形状可以不相同;例如,栅极40的底部形状为往下突出的圆弧形切面,源极延伸倒鳍20的底部形状为中间往上的内凹切面,具体是分别利用第二氧化隔离层92的槽底延伸形状以及第一氧化隔离层91加上氧化隔离叠加块93的槽底形状组合所构成,其作用是:提升底部绝缘层电场强度和对电场的耐受度。又例如,浮空反极型柱底结70对应沟槽宽度的尺寸能大于栅下浮空反极型结80对应沟槽宽度的尺寸,使浮空反极型柱底结70的宽度能超过第一沟槽13的宽度。

[0089] 内介电层50形成于所述有源层30上与所述栅极40上,使所述栅极40为嵌埋结构;由所述内介电层50形成有对准所述第一沟槽13的第三沟槽51,所述第三沟槽51的内壁没有绝缘处理,所述第三沟槽51的宽度与深度足以直接侧露所述有源层30的边缘及底露出所述源极延伸倒鳍20的顶部。内介电层50为绝缘性质,隔离了栅极40与源极层60,内介电层50的材质具体可为PSG(磷硅玻璃)或BPSG(硼磷硅玻璃),其液态涂布方式这般形成方法使内介电层50的厚度可以得到保障,以有效隔离源极与栅极。图中绘示的内介电层50虽然只有一层,在不同变化示例中可以是多层叠加的绝缘结构。所述第三沟槽51的作用是接触孔连接,用于电连接源极延伸倒鳍20与源极层60或者/以及电连接有源层30的领域层与源极层60,接触孔的窗口宽度(第三沟槽51的宽度)应大于第一沟槽13的宽度,以扩大接触区域;所述第三沟槽51的深度不能破坏或贯穿有源层30,以避免源极与漏极的电性短路。被嵌埋的栅

极40可以利用其本身的端部延伸或连接引线将电性引拉到嵌埋区之外,或在源极区之外以导电栓塞贯穿内介电层50,使栅极连接线路引拉出去,因此栅极40的场电位可以独立调整。

[0090] 源极层60形成于所述第三沟槽51内,以导通所述源极延伸倒鳍20,所述有源层30的反型层注入厚度方向定义场效晶体管的沟道长度,取代现有技术中以有源层30的长度方向定义场效晶体管的沟道长度,以提供竖立向于处理表面11的多个且短距离的并联晶体管沟道。本实施例中,源极层60是整面覆盖在处理表面11上的单元区,还填入第三沟槽51内,源极层60除了导通至源极延伸倒鳍20,还导通了有源层30的领域层。源极层60为导电性,材质优选为铝或其他导电金属材料,额外具有金属垫的作用,以省略金属垫的制作;在其他示例中源极层60也可以采用半导体工艺中使用的其他导电材料,例如:钨、铜、多晶态的导电硅。该源极层60的结构可以如图1所示的单层结构也可以是多层叠加结构。前述反型层注入厚度方向具体为沟通层32的厚度方向。

[0091] 实施例的基础原理为:利用由所述内介电层50形成有对准所述第一沟槽13的第三沟槽51,所述第三沟槽51的内壁没有绝缘处理,所述第三沟槽51的宽度与深度足以直接侧露所述有源层30的边缘及底露出所述源极延伸倒鳍20的顶部,实现了源极层60的底部导接源极延伸倒鳍20以及源极层60的两侧导接所述有源层30,使所述源极延伸倒鳍20具有电子流隔离栅的作用;源极层60在所述第三沟槽51的两侧导通所述有源层30,所述有源层30沿着的栅极40绝缘处理的两侧轮廓可导通至所述漏极外延层10,故能实现以所述有源层30的反型层注入厚度方向定义场效晶体管的沟道长度,具体是栅极40绝缘处理的每一侧轮廓都能规划出一个晶体管沟道,由于栅极40埋入深度突破所述有源层30到达所述漏极外延层10的内部,在埋入式栅极40两侧形成相对于处理表面11竖立向且并联的平行沟道;而且漏极衬底1的背面12可作为漏极金属垫的接触,电子流的移动是由处理表面11到漏极衬底1的背面12,过程中是经过了第三沟槽51的两侧分流以及栅极40绝缘处理的其中一侧沟道的半栅极40开通,在源极延伸倒鳍20的分流与隔离栅的场效应下分散在漏极衬底1的背面12,实现了两个相邻源极分路下的两个半栅晶体管两侧沟道导通在漏极衬底1的背面12与源极延伸倒鳍20之间,使原本衬底背面12漏电流的缺陷转换成有益与有意义的漏极输出,并且避免了电子流如熔丝效应集中于漏极衬底1的背面12的局部区域。

[0092] 因此,本申请的场效晶体管的电路结构是在两个分流隔离栅(对应源极延伸倒鳍20)之间设置有两个半栅沟道结构(对应沿栅极40两侧每一侧有源层30的沟道层32的厚度),源极层60在分流隔离栅上分流,分流后的电子流又与相邻分流电子流通过个别半栅沟道结构在漏极外延层10内汇集,均匀分配在漏极衬底1的背面,例如通过左边第三沟槽51的电子流通量A到达中间半栅极左侧为 $A/2$,右边第三沟槽51的电子流通量B到达中间半栅极右侧为 $B/2$,在对应左右两边第三沟槽51之间到达漏极衬底1的背面12的电子流通量为 $A/2$ 加上 $B/2$,另一邻近侧对应第三沟槽51之间的背面电子流通量就是 $B/2$ 加上 $C/2$,C为下一个相邻侧第三个第三沟槽51的电子流通量,实现了背面电子流均匀化,晶背漏电流不再是一个技术问题。

[0093] 此外,利用源极层60与源极延伸倒鳍20制程上分离设计与结构上导通,工艺上源极层60只需要填充具有较大宽度的第三沟槽51,而不需要填入具有较小宽度的第一沟槽13,源极延伸倒鳍20的材质选择具有更多自由度,以克服工艺填孔填槽的困难、提高与漏极外延层10的热膨胀适配度以及减少对漏极外延层10的金属扩散效应。

[0094] 关于源极层60与供源极层填入的第三沟槽51的具体化,在较佳示例中,所述源极层60还形成于所述内介电层50上;所述第三沟槽51的宽度大于所述第一沟槽13的宽度。利用还形成于所述内介电层50上的源极层60,相邻近两个第三沟槽51内的源极层60相互导通在所述内介电层50上,以扩大源极接触,所述内介电层50电绝缘所述栅极40顶部与延伸的源极层60。利用所述第三沟槽51的宽度大于所述第一沟槽13的宽度,使源极延伸倒鳍20的顶部有效的打开在所述第三沟槽51的底部,第三沟槽51具有接触孔的作用,减少因第三沟槽51对不准第一沟槽13而无法导通源极层60与源极延伸倒鳍20的缺陷发生,最终达到两者在使用上具有一致的电场电位。在另一变化示例中,所述第三沟槽51的宽度可以小于所述第一沟槽13的宽度,只需要在部分区域中以多个扩大孔径的接触孔方式使较小宽度的第三沟槽51相接,也能实现源极层60与源极延伸倒鳍20的导通,区别在于实施工艺较为困难。示例中,第一沟槽13的宽度介于 $0.2\sim 3.0\mu\text{m}$,第二沟槽31的宽度介于 $0.21\sim 4.0\mu\text{m}$,第三沟槽51的宽度介于 $0.2\sim 0.7\mu\text{m}$ 。而第二沟槽31的底部高度介于第一沟槽13的底部高度与第三沟槽51的底部高度之间;示例中,第二沟槽31的底部高度与第一沟槽13的底部存在高度差,第一沟槽13由处理表面11起的深度介于 $1.5\sim 10\mu\text{m}$ 。

[0095] 关于有源层30的具体化,所述有源层30由所述漏极外延层10的所述处理表面11内化形成,故所述有源层30与所述漏极外延层10两者的晶格匹配,没有界面间隙的缺陷,晶体管的沟道结构与漏极外延层10成为一体结构,在电性能稳定度上优于外延生长的有源层或沟道层。优选的,所述第三沟槽51的内侧壁与底部相接的区段为倾斜状,以避免形成所述第三沟槽51时过度蚀除到所述有源层30的沟道层32。在另一变化示例中,所述有源层30可以外延方式磊晶形成,无论是内生方式还是外延方式形成的沟道层都是单晶结构,沟道电性能稳定,但内生方式漏极外延层10内形成的沟道层具有与漏极外延层10较优的晶格匹配度。示例中,有源层30的厚度介于 $0.5\sim 3\mu\text{m}$ 。

[0096] 关于有源层30的更具体化,在较佳示例中,所述有源层30为多层结构,包括:位于底部的沟道层32、位于所述沟道层32上的电流平衡层33、位于所述电流平衡层33上的源极领域层34;所述第三沟槽51的深度使所述第三沟槽51穿过所述源极领域层34与所述电流平衡层33。所述有源层30的多层结构,在源极领域层34与沟道层32之间形成电流平衡层33,电流平衡层33的厚度向在绝缘处理后栅极40两侧各具有电阻作用,以提供竖立向于处理表面11的多个且短距离的并联电阻,分别导接对应的并联晶体管沟道与源极领域层34之间,避免较大电子流下个别并联晶体管沟道的烧毁,消除熔丝效应。在N型晶体管的示例结构中,沟道层32为P型掺杂区,电流平衡层33与源极领域层34为N型掺杂区,其中就N型掺杂浓度而言,电流平衡层33低于源极领域层34,即是电流平衡层33为轻N型掺杂,源极领域层34为重N型掺杂;故电流平衡层33的电阻高于源极领域层34的电阻,源极领域层34倾向于导电性。而沟道层32的P型掺杂物质具体可以是硼(B),沟道层32的沟道作用产生于厚度向,而非与处理表面11相同或平行的表面向。在另一变化示例中,所述有源层30可以只包括:位于底部的沟道层32、位于所述沟道层32上的源极领域层34。示例中,沟道层32的厚度介于 $0.1\sim 2\mu\text{m}$,电流平衡层33的厚度介于 $0.05\sim 1\mu\text{m}$,源极领域层34的厚度介于 $0.05\sim 1\mu\text{m}$ 。

[0097] 关于第一沟槽13的绝缘具体化,在较佳示例中,所述第一沟槽13的底部经过厚氧化处理,使所述第一沟槽13的绝缘厚度在内壁底部大于在内壁侧部。利用所述第一沟槽13的绝缘厚度在内壁底部大于在内壁侧部,在所述第一沟槽13的内壁底部形成氧化隔离叠加

块93,避免在所述源极延伸倒鳍20的底部与所述漏极外延层10形成电子穿遂,提高槽底抗雪崩击穿能力与后工艺中离子植入的栅氧改质抵抗性,同时减少所述源极延伸倒鳍20的底部的场效应,使所述源极延伸倒鳍20的两侧在所述漏极外延层10内形成分流隔离栅的分流场效应。示例中,位于第一沟槽13侧壁的第一氧化隔离层91的厚度介于700~13000Å,位于第一沟槽13底部的第一氧化隔离层91与氧化隔离叠加块93的组合厚度介于1000~18000Å;位于第二沟槽31的第二氧化隔离层92的厚度介于300~1300Å。

[0098] 关于漏极外延层10的一种具体化,在较佳示例中,所述漏极外延层10在对应所述第一沟槽13底部的部位还形成有深植入区,以形成屏蔽栅底部浮空反极型柱底结70。屏蔽栅底部浮空反极型柱底结70由所述源极延伸倒鳍20的底部透出,以增加浮空反极型柱对临近的极型柱的电荷平衡,避免不同区所述源极延伸倒鳍20之间的电子流提早汇集,在制作上可以减少所述第一沟槽13的深度,底部绝缘层厚度也能减少,也有利于所述源极延伸倒鳍20的填充形成。示例中,反极型柱底结70为P型掺杂;反极型柱底结70是作用于提高源极延伸倒鳍20的分流隔离作用,防止电子流在漏极外延层10内提早汇集;故相同性能下第一沟槽13的槽深度可以减少,降低源极延伸倒鳍20填槽的填充难度。示例中,反极型柱底结70的底部深度不超过所述漏极外延层10的厚度,使所述漏极外延层10在所述第一沟槽13之间不被所述反极型柱底结70完全阻隔,反极型参杂物质不会进入漏极衬底1,在制造工艺中保持图中参杂浓度清晰变化水平面17的存在,使竖立沟道式场效晶体管具有较好的产品稳定性。

[0099] 关于漏极外延层10的另一种可并列或可同时采用的具体化,在较佳示例中,所述漏极外延层10在对应所述第二沟槽31底部的部位还形成有植入区,以形成栅下浮空反极型结80。利用栅下浮空反极型结80由所述栅极40的底部透出,避免栅极绝缘层底部受到底部集中电场的破坏,使栅极绝缘层可靠性提升,同时避免底部栅氧电场集中导致的击穿耐压降低。栅极40绝缘侧边的一侧电子流沿着栅极40底部轮廓爬过回流到栅极40绝缘侧边的另一侧,栅极40绝缘侧边的两侧电子流都能进入到所述漏极外延层10。示例中,栅下浮空反极型结80为P型掺杂,使得漏极外延层10在栅极40下方形成电阻化效应,基于P型掺杂浓度的调整或者/以及N型与P型混掺可以调整到栅下浮空反极型结80为非沟道功能。

[0100] 在较佳示例的使用过程,利用所述栅极40的电场效应,来自所述源极层60的电子流由所述第三沟槽51的侧边分流沿着所述第二沟槽31的侧壁轮廓的其中一对称侧移动到所述第一沟槽13之间的所述漏极外延层10,均匀在所述漏极外延层10的所述背面12或设置于该背面12的漏极金属垫。利用所述栅极40的电场效应,实现电子流由顶面至底面的在处理表面11上的第三沟槽51两侧分流并在所述漏极外延层10的所述第一沟槽13之间的分隔均匀化。

[0101] 此外,配合参阅图2至图17,本发明另一些实施例另提出一种场效晶体管结构的制造方法,用于制造上述任意技术方案组合的场效晶体管结构,工艺步骤说明如后。

[0102] 首先参照图2,对应步骤S2是提供漏极衬底1,具有由漏极外延层10提供的处理表面11与对应的背面12;该步骤中,漏极衬底1通常为晶圆形态,具体是硅晶圆。漏极外延层10的处理表面11上形成有一表面酸化膜14,具有硬掩膜的作用,以利后工艺中第一沟槽13的形成。示例中,具有漏极外延层10的漏极衬底1具体是EPI晶圆,漏极衬底1的基础层具体是硅衬底,即图2中的主体区15,主体区15以上至处理表面11是外延生长的磊晶结构,即漏极

外延层10,使得漏极外延层10作为处理表面11与背面12之间的外延结构部位具有功能性导电并具备如硅衬底晶圆一样的单晶结构与晶向,而主体区15为半导体材质的导电性。在N型场效晶体管结构中,主体区15具体是N+单晶硅,漏极外延层10具体是N-单晶硅。主体区15与漏极外延层10之间形成一个参杂浓度清晰变化水平面17,与处理表面11平行向,以利于保持竖立向沟道的产率与良率。图3至图17的后续工艺至晶背研磨之前都具有主体区15,但图中是省略表现,主体区15的存在是维持衬底作为制程载体的基础物理结构,晶背研磨之后主体区15的厚度大幅减少,但不损及所述漏极外延层10,芯片产品中减薄后的主体区15可以保留也可以不保留。根据器件阻断电压和器件参数要求选择合适的上述外延结构,该外延结构是N型但不限于N型,晶向<100>但不限于此晶向。

[0103] 参照图3,对应步骤S3是由所述处理表面11刻蚀形成相互平行的第一沟槽13,第一沟槽13形成后移除表面酸化膜14。表面酸化膜14的材质是氧化硅,厚度介于1000Å~8000Å,也可以选用表面淀积掩蔽膜层取代,表面淀积掩蔽膜层的材质是氮化硅但不限于氮化硅。以光刻与刻蚀方式选定区域掩蔽膜的图案,屏蔽体场板沟槽刻蚀,根据器件的特性不同,第一沟槽13刻蚀深度介于1.5~10μm。

[0104] 参照图4,作为一个选置步骤S4,在提供所述漏极衬底与形成第一沟槽13的步骤后,还包括:以离子植入方式在所述漏极外延层10在对应所述第一沟槽13底部的部位形成屏蔽栅底部浮空反极型柱底结70。具体示例的次步骤包括:S41、注入屏蔽栅底部浮空反极型柱底结70之前,先将掩蔽氧化层生长,生长厚度200~800Å;S42、P柱注入,注入B11可包括含有多次注入,注入能量20k-2Mev,注入剂量 $10^{11} \sim 10^{14}$ ions/cm²,以形成如图4所示的屏蔽栅底部浮空反极型柱底结70,柱底结的深度长0.5~5μm;S43、形成牺牲氧化层,氧化温度700~1100℃,厚度300~1000Å;S44、以选择性干刻蚀方式去掉牺牲氧化层;S45、清洗所述漏极外延层10。此步骤是用于形成反极型柱底结并将第一沟槽13清洁化,避免注入参杂物对第一沟槽13绝缘处理的不利影响。

[0105] 参照图5,对应步骤S5是在所述处理表面11与所述第一沟槽13内形成第一氧化隔离层91,使所述第一沟槽13的内壁绝缘处理。第一氧化隔离层91具体是热氧化层或/与淀积氧化层,但不限于此两种,氧化层厚度根据器件参数要求可以介于700~13000Å。

[0106] 再参照图5,在形成所述第一氧化隔离层91的步骤中,包括:以热氧化或沉淀方式形成所述第一氧化隔离层91;之后在所述第一沟槽13内形成侧壁保护层;非等向性刻蚀所述侧壁保护层在所述第一沟槽13的底部形成开口;再形成氧化隔离叠加块93于所述侧壁保护层的开口;选择性刻蚀去除所述侧壁保护层,以露出所述第一氧化隔离层91,所述第一氧化隔离层91加上所述氧化隔离叠加块93在内壁底部的厚度大于所述第一氧化隔离层91在内壁侧部的厚度;具体的,所述第一氧化隔离层91的材质包括氧化硅,所述侧壁保护层的材质包括氮化硅。例如氮化硅的侧壁保护层的厚度可介于500~10000Å。当氧化隔离叠加块93作为槽底的厚氧化层以非等向性沉淀方式形成之后可能还形成于处理表面11上,可以利用CMP去掉处理表面11上的侧壁保护层与氧化隔离叠加块93的多余部位,然后选择性的化学刻蚀掉所述第一沟槽13侧壁的侧壁保护层。

[0107] 参照图6与图7,以沉淀填充方式在所述第一沟槽13内设置源极延伸倒鳍20,所述第一沟槽13的深度不超过所述漏极外延层10的厚度,并去除所述源极延伸倒鳍20与所述第一氧化隔离层91在所述处理表面11上的部位。图6对应步骤S6是源极延伸倒鳍20的大面积

形成,图7对应步骤S7是源极延伸倒鳍20的形状修整。步骤S6的一种示例但不限于的工艺条件是:S61、多晶硅(Poly)淀积于所述第一沟槽13内并形成于处理表面11上;S62、in-situ方式掺杂和注入掺杂物,使多晶硅具有导电性,掺杂浓度介于 $10^{18} \sim 10^{21}$ ions/cm³,厚度介于1000~15000Å。

[0108] 参照图7,作为一个S6后的选置步骤S7,在设置所述源极延伸倒鳍20的步骤中,所述源极延伸倒鳍20与所述第一氧化隔离层91在所述处理表面11上的部位予以去除,去除方法包括化学机械研磨(CMP)或/与回刻蚀(etch back);优选的,所述源极延伸倒鳍20的材质包括导电多晶硅。

[0109] 参照图8,作为一个在形成第二沟槽31的步骤中,包括的前置步骤S8是:形成掩膜层41在所述处理表面11上,以遮盖所述处理表面11以及所述源极延伸倒鳍20的顶部。掩膜层41作为表面淀积掩蔽膜层,材质具体是但不限于氧化硅(SiO₂)或氮化硅(SiN),厚度介于1000Å~8000Å。

[0110] 参照图9,对应步骤S9是利用所述由掩膜层41的图案化由所述处理表面11刻蚀形成位于所述第一沟槽13之间的第二沟槽31,所述第二沟槽31的第二深度小于所述第一沟槽13的第一深度;再参照图9,优选的,在所述第二沟槽31形成之后,以离子植入方式在所述漏极外延层10在对应所述第二沟槽31底部的部位形成栅下浮空反极型结80。步骤S9的一种示例具体工艺包括:S91、以光刻与刻蚀选定掩膜层41的镂空区域;S92、以刻蚀形成第二沟槽31,第二沟槽31的沟槽深度介于0.5~2.0 μm;S93、在第二沟槽31内形成遮蔽氧化层(screen oxide),生长厚度200~800Å;S94、离子注入B11包含多次注入,注入能量20~200keV,注入剂量 $10^{11} \sim 10^{13}$ ions/cm²,以形成如图9所示的栅下浮空反极型结80。

[0111] 参照图10,对应步骤S10是在所述处理表面11与所述第二沟槽31内形成第二氧化隔离层92,使所述第二沟槽31的内壁绝缘处理。再参照图10,在形成所述第二氧化隔离层92的步骤中,所述第二氧化隔离层92具体为栅氧化层,以热氧化或热氧化加上淀积方式形成所述栅氧化层于所述第二沟槽31的内壁与所述处理表面11上;栅氧化层的氧化温度700~1100℃,厚度300~1300Å。优选的S10还包括:在所述栅氧化层形成前,先形成牺牲栅氧层于所述第二沟槽31的内壁,牺牲栅氧层的氧化温度700~1100℃,厚度300~1000Å,之后去除所述牺牲栅氧层并清洗所述漏极外延层10,此步骤是为了清除离子注入时在所述第二沟槽31的内壁表面的不利影响,去除累积于表面的注入离子。

[0112] 参照图11,对应步骤S11是以沉淀填充方式在所述第二沟槽31内设置栅极40。在设置所述栅极40的步骤中,所述栅极40在所述处理表面11上的部位去除方法包括化学机械研磨或/与回刻蚀;优选的,所述栅极40的材质包括导电多晶硅,含有掺杂离子。步骤S11的一种示例但不限于的工艺条件是:S111、多晶硅(Poly)淀积于所述第二沟槽31内并形成于处理表面11上;S112、in-situ方式掺杂和注入掺杂物,使多晶硅具有导电性,掺杂浓度介于 $10^{18} \sim 10^{21}$ ions/cm³,厚度介于1000~15000Å;S113、以化学机械研磨(CMP)或/与回刻蚀(etch back)方式去除在处理表面11上多余的导电性多晶硅,以制得位于所述第二沟槽31内的栅极40。

[0113] 参照图12,对应步骤S12是在所述漏极外延层10的所述处理表面11下以能量注入方式形成有源层30,所述有源层30的厚度与深度在所述第二沟槽31的第二深度能贯穿的范围内。在形成所述有源层30的步骤中,所述有源层30由所述漏极外延层10的所述处理表面

11内化形成;所述有源层30包括位于底部的沟道层32、位于所述沟道层32上的电流平衡层33、位于所述电流平衡层33上的源极领域层34。步骤S12的一种示例但不限于的工艺条件是:S121、光刻界定沟道区;S122、注入B11含多次注入,形成P-body区,注入能量20~800keV,注入剂量 $10^{12} \sim 10^{14}$ ions/cm²,以形成有源层30。

[0114] 参照图13,作为一个选置步骤S13,在有源层30中正极型注入,形成有源层30中上层的领域层,以界定出有源层30下层的沟道层32的上边界与电流平衡层33的下边界。步骤S13的一种示例但不限于的工艺条件是:S131、光刻界定沟道区;S132、注入As或P含多次注入,形成N型电流平衡层,注入能量20~400keV,注入剂量 $10^{13} \sim 10^{15}$ ions/cm²,以形成有源层30的电流平衡层33并界定出所述沟道层32。

[0115] 参照图14,作为一个选置步骤S14,在有源层30的领域层中再正极型注入,形成源极领域层34,以界定出电流平衡层33的上边界与源极领域层34的下边界。步骤S14的一种示例但不限于的工艺条件是:S141、注入As或P含多次注入,形成N型源极层,注入能量20~100keV,注入剂量 $10^{14} \sim 10^{16}$ ions/cm²,以形成有源层30的源极领域层34并界定出电流平衡层33。

[0116] 参照图15,对应步骤S15是以沉淀覆盖方式在所述有源层30上与所述栅极40上形成内介电层50,使所述栅极40为嵌埋结构。步骤S15的一种示例但不限于的工艺条件是:淀积介质层具体为LT0(低温氧化硅)或HT0(高温氧化硅)加上BPSG(硼磷硅玻璃)或PSG(磷硅玻璃)的组合,其中LT0或HT0的厚度介于500~3000Å, BPSG或PSG的厚度介于2000~10000Å。

[0117] 参照图16,对应步骤S16是由所述内介电层50刻蚀形成对准所述第一沟槽13的第三沟槽51,所述第三沟槽51的内壁没有绝缘处理,所述第三沟槽51的宽度与深度足以直接侧露所述有源层30的边缘及底露出所述源极延伸倒鳍20的顶部。当干式刻蚀到沟道层32的反极型掺杂物质,便可作为刻蚀停止信号,故所述第三沟槽51不会贯穿沟道层32。在形成所述第三沟槽51的步骤中,优选的是所述第三沟槽51为扩大槽孔的结构,所述第三沟槽51的内壁与所述第二沟槽31的内壁保持间隔,所述第三沟槽51的宽度大于所述第一沟槽13的宽度,所述第三沟槽51的深度小于所述有源层30的整体厚度且大于所述电流平衡层33与所述源极领域层34的厚度和。步骤S16的一种示例但不限于的工艺条件是:S161、光刻界定接触孔区,以预先定义第三沟槽51的宽度大于第一沟槽13的宽度且小于两个相邻第二沟槽31之间的间隙(spacing);S162、进行刻蚀,以形成第三沟槽51,第三沟槽51由处理表面11起算的深度大于源极领域层34与电流平衡层33的厚度和且小于所述有源层30的厚度,以避免贯穿所述有源层30。

[0118] 参照图17,对应步骤S17是在所述第三沟槽51内形成源极层60,以导通所述源极延伸倒鳍20,所述有源层30的反型层注入厚度方向定义场效晶体管的沟道长度。在形成所述源极层60的步骤中,所述源极层60还形成于所述内介电层50上,所述源极层60的材质为金属;在形成所述源极层60的步骤后,对所述漏极衬底1的背面12进行晶背减薄与晶背金属化。源极层60具体是金属材质,最终制得的场效晶体管的上方是源极接触垫,可由所述源极层60的上表面提供,场效晶体管的下方是漏极接触垫16,由背面12金属化形成,场效晶体管的金属垫即位于源漏极的金属垫之间。

[0119] 方法实施例的基础原理为:利用所述源极延伸倒鳍20的预先制作,减少半导体制

程中在漏极外延层10的沟槽内填充源极延伸物的工艺难度,最终制得双倒鳍间半栅式场效晶体管。

[0120] 本发明的实施例还提出一种半导体芯片装置,包括:如上所述任意技术方案可能组合的场效晶体管结构,或者,配合参阅图18使用的场效晶体管结构包括:位于处理表面11下的漏极外延层10、位于所述处理表面11上的源极层60以及嵌入于所述漏极外延层10内的源极延伸倒鳍20与栅极40;所述栅极40排列在所述源极延伸倒鳍20之间,所述栅极40两侧形成有成对由所述源极层60至所述漏极外延层10内部并联的对称型沟道;优选的,所述栅极40两侧的沟道上方还形成有成对由所述源极层60至所述漏极外延层10并联的对称型领域电阻;优选的,所述漏极外延层10在对应所述栅极40的底部部位形成栅下浮空反极型结80;优选的,所述漏极外延层10在对应所述源极延伸倒鳍20的底部部位形成屏蔽栅底部浮空反极型柱底结70。

[0121] 实施例的基础原理为:位于处理表面11上的源极层60以及嵌埋于漏极外延层10的栅极40,建立以有源层30厚度方向定义的多个竖立并联沟道,电子流能均匀输出(或输入)在漏极衬底1的背面12。当半导体芯片装置安装在载板上即完成漏极接触连接,能节省一个电极位的连接操作,随着芯片越来越薄,不需要考虑芯片背面漏电流的问题。电子流由源极层60进行分流,在栅极40的电场效应下,沟道层32纵向导通,到达漏极衬底1的背面12,源极延伸倒鳍20能避免电子流在漏极外延层10内提前汇集,由源极层60与背面12之间为分流交错隔离栅的形态,以形成较均匀的电子流分布,特别适用于半导体功率器件的应用。

[0122] 图19绘示本发明第一变化实施例的场效晶体管结构,在横切栅极的局部结构下,晶体管包括底部的漏极外延层10、位于顶部的源极层60以及嵌入于漏极外延层10内的源极延伸倒鳍20与栅极40;栅极40排列在源极延伸倒鳍20之间,栅极20两侧形成有成对由源极层至漏极外延层内部并联的对称型沟道,位在图19中沟道层32在栅极40两侧沿着沟道层厚度方向的边缘处;在此变化示例中,栅极20两侧的沟道层32上方还形成有成对由源极层60至漏极外延层10并联的对称型领域电阻,位于电流平衡层33在栅极40两侧沿着电流平衡层厚度方向的边缘处;第一变化实施例与前述较佳实施例相比,省略栅下浮空反极型结80的制作。栅下浮空反极型结80的主要作用之一是减少栅极20底部的电子流击穿,得到UIS(非钳位电感性开关)性能。栅下浮空反极型结80的省略可能会改变场效晶体管的一些电性能,但是基本的散热性能、SOA提升、半导体制作工艺良率、器件的UIS可靠性还能保持。在已经有足够栅氧可靠性的场合可以使用该架构,栅下浮空反极型结80的制作可以省略,以简化半导体工艺制程。

[0123] 图20绘示本发明第二变化实施例的场效晶体管结构,在横切栅极的局部结构下,晶体管包括位于底部的漏极外延层10、位于顶部的源极层60以及嵌入于漏极外延层10内的源极延伸倒鳍20与栅极40;栅极40排列在源极延伸倒鳍20之间,栅极20两侧形成有成对由源极层至漏极外延层内部并联的对称型沟道,位在图20中沟道层32在栅极40两侧沿着沟道层厚度方向的边缘处;第二变化实施例与前述第一变化实施例相比,省略浮空反极型柱底结70的制作;与前述较佳实施例相比,省略浮空反极型柱底结70与栅下浮空反极型结80的制作。基本的散热性能、SOA提升、半导体制作工艺良率、器件的UIS可靠性还能保持。在已经有足够屏蔽栅深度(源极延伸倒鳍20嵌入于漏极外延层10的深度)与栅氧可靠性的场合可以使用该架构,以简化半导体工艺制程。浮空反极型柱底结70在半导体工艺中的主要作用

之一是减少第一沟槽13的刻蚀深度,热氧化时间与工艺温度也能减少,制程窗能较大,产率能提高,当半导体工艺的沟槽工艺能力更好及精准度更高时,浮空反极型柱底结70的制作可以省略。

[0124] 图21绘示本发明第三变化实施例的场效晶体管结构,在横切栅极的局部结构下,晶体管包括底部的漏极外延层10、位于顶部的源极层60以及嵌入于漏极外延层10内的源极延伸倒鳍20与栅极40;栅极40排列在源极延伸倒鳍20之间,栅极20两侧形成有成对由源极层至漏极外延层内部并联的对称型沟道,位在图21中沟道层32在栅极40两侧沿着沟道层厚度方向的边缘处;第三变化实施例与前述第二变化实施例相比,省略电流平衡层33与氧化隔离叠加块93的制作,即有源层30仅包括沟道层32及源极领域层34或者/以及不需要制作氧化隔离叠加块93;与前述第一变化实施例相比,省略电流平衡层33、氧化隔离叠加块93与浮空反极型柱底结70的制作;与前述较佳实施例相比,省略电流平衡层33、氧化隔离叠加块93、浮空反极型柱底结70与栅下浮空反极型结80的制作。基本的散热性能、SOA提升、半导体制作工艺良率、器件的UIS可靠性还能保持。在已经有足够器件温升均匀度、足够屏蔽栅深度(源极延伸倒鳍20嵌入于漏极外延层10的深度)与栅氧可靠性的场合可以使用该架构,以简化半导体工艺制程。电流平衡层33的主要作用之一是:在栅极40两侧沿着层厚度方向的边缘处相当于在晶体管电路结构的等效电路中的源极引入一个电阻,以平衡并联下个别晶体管单元的电流大小,当各晶体管单元温升均匀时,电流平衡层33的制作可以省略。氧化隔离叠加块93的主要作用之一是:改善第一沟槽13底部氧化层过薄,避免对于体内场板电荷平衡器件在反向阻断时电场全部集中在屏蔽栅底部的问题,当第一沟槽13底部氧化层厚度与侧壁氧化层厚度接近(>80%)或者电场集中在屏蔽栅底部的要求不高时,氧化隔离叠加块93的制作可以省略。

[0125] 以上较佳实施例与第一至第三变化例中浮空反极型柱底结70、栅下浮空反极型结80、氧化隔离叠加块93、电流平衡层33或有或无的组合变化中的任一种均在本发明专利保护范围以内。

[0126] 本具体实施方式的实施例均作为方便理解或实施本发明技术方案的较佳实施例,并非依此限制本发明的保护范围,凡依本发明的结构、形状、原理所做的等效变化,均应被涵盖于本发明的请求保护范围内。

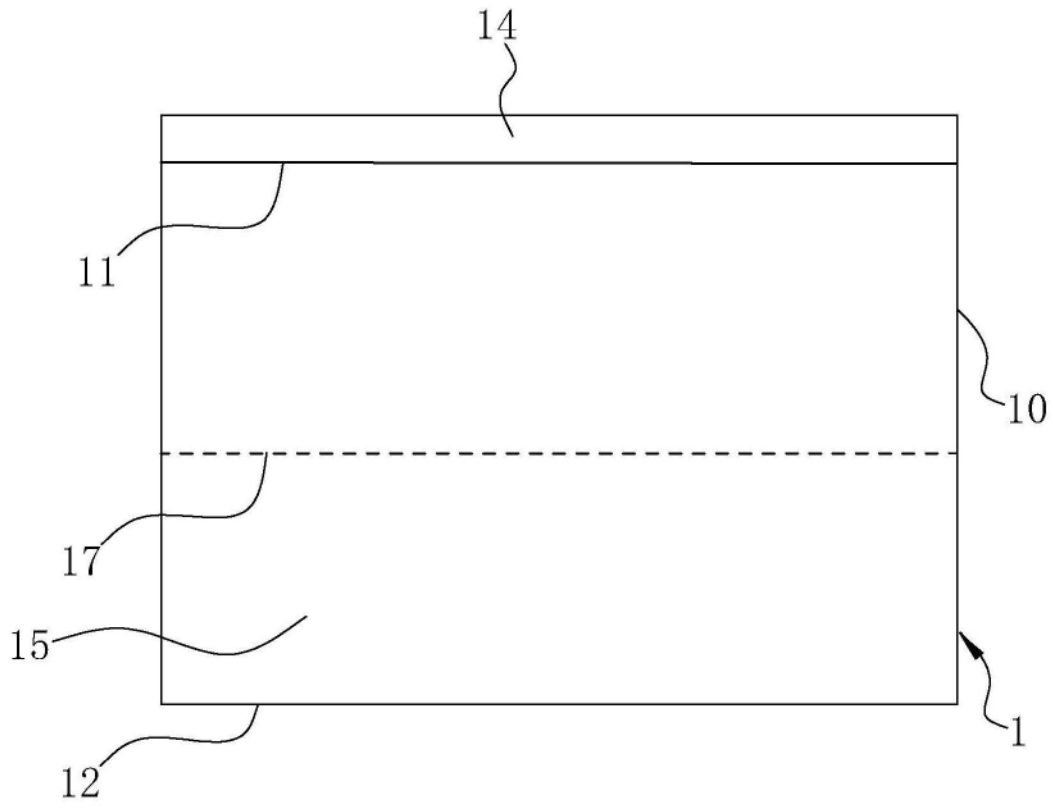


图2

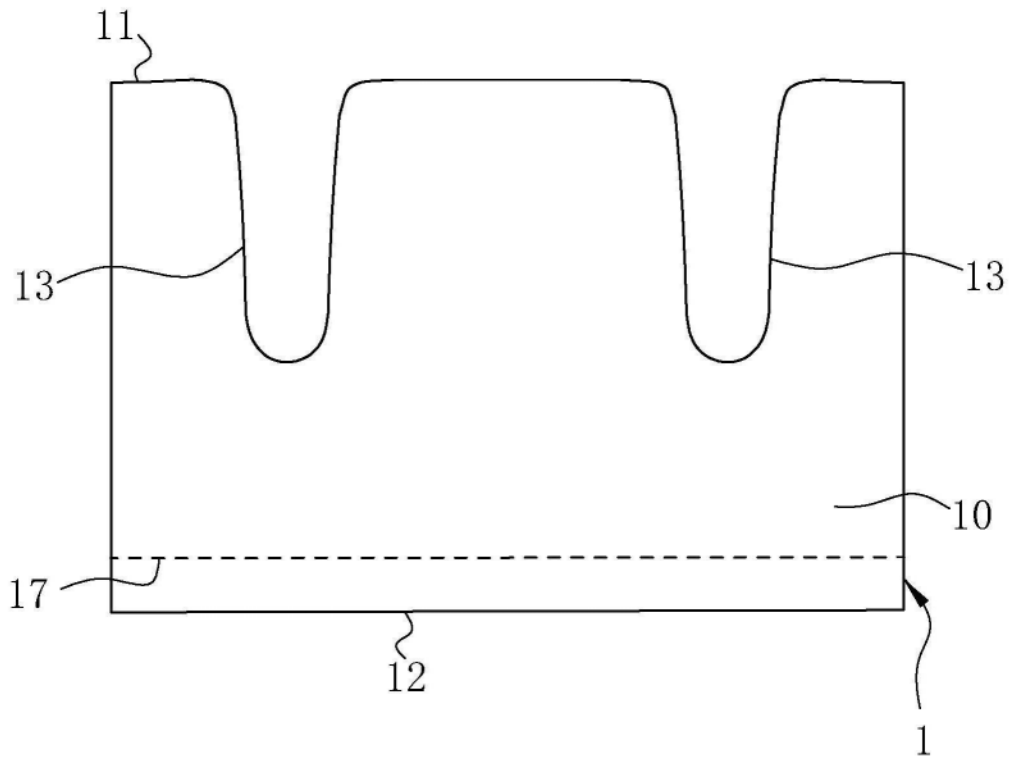


图3

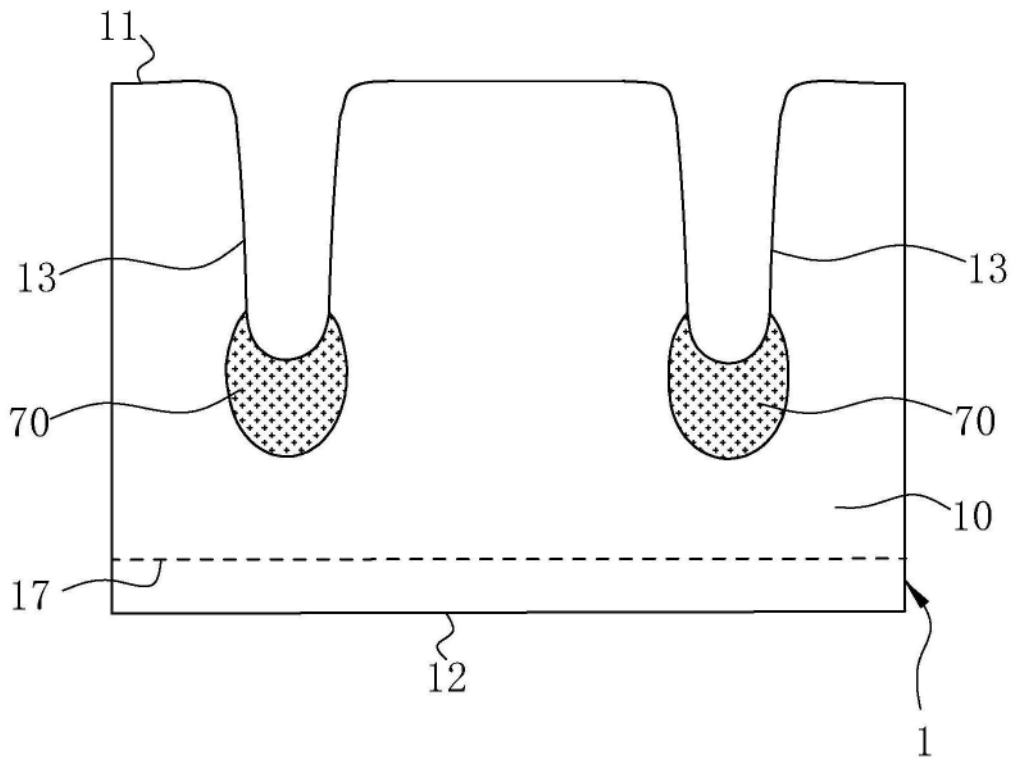


图4

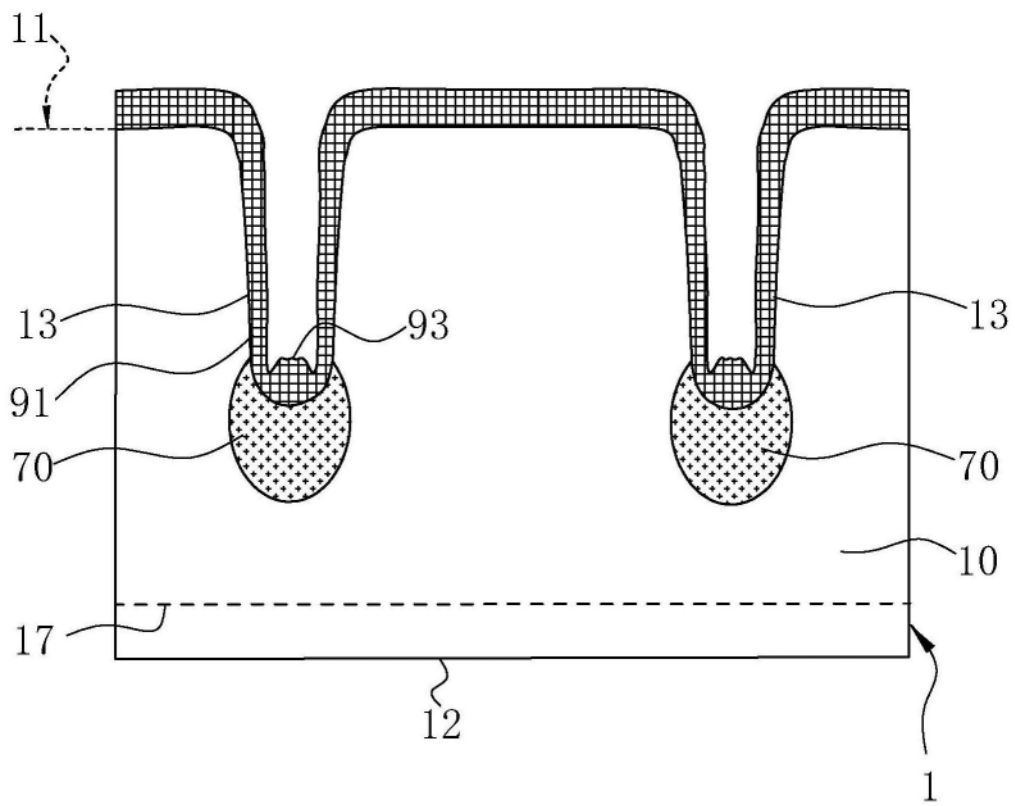


图5

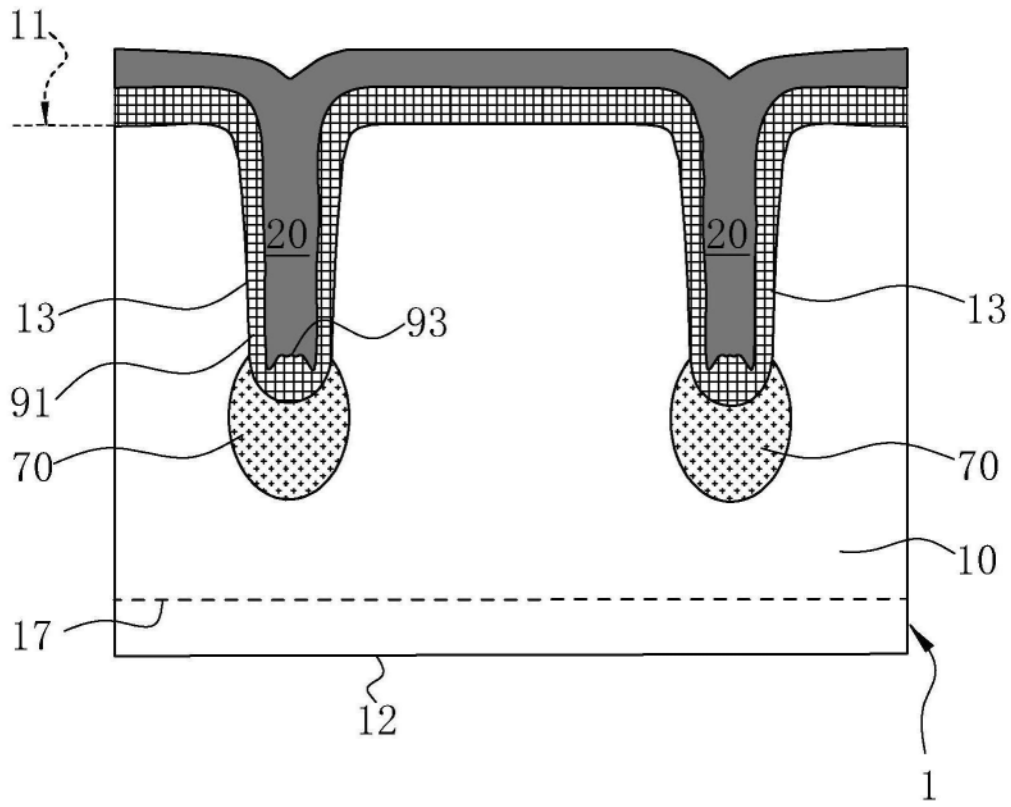


图6

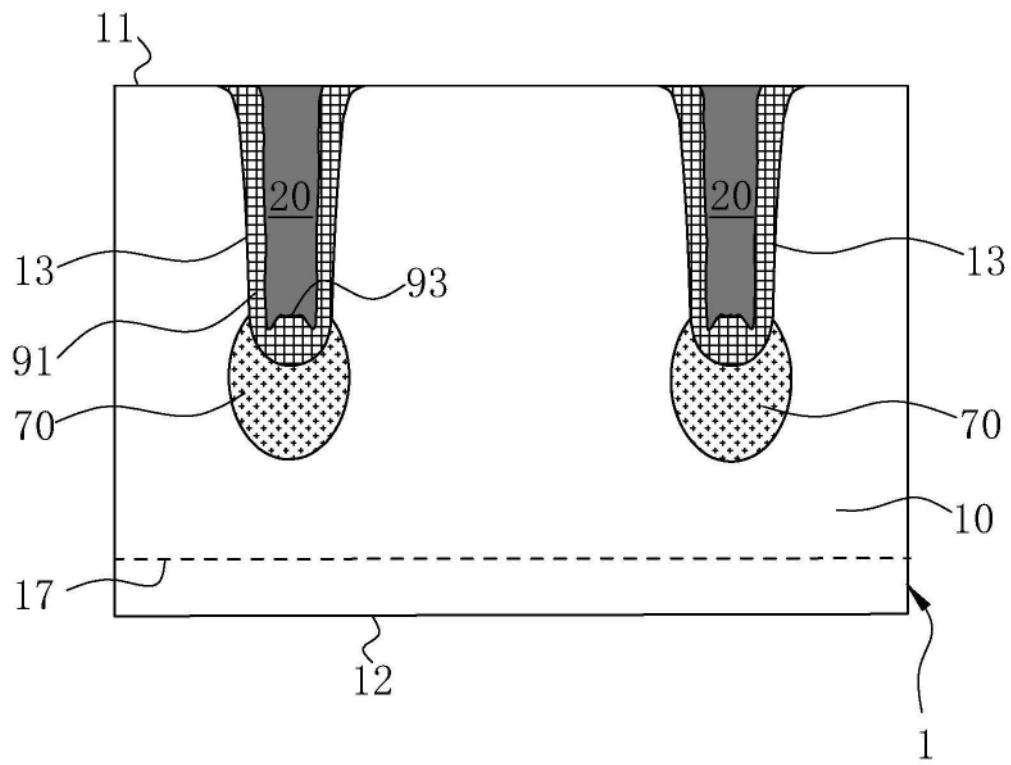


图7

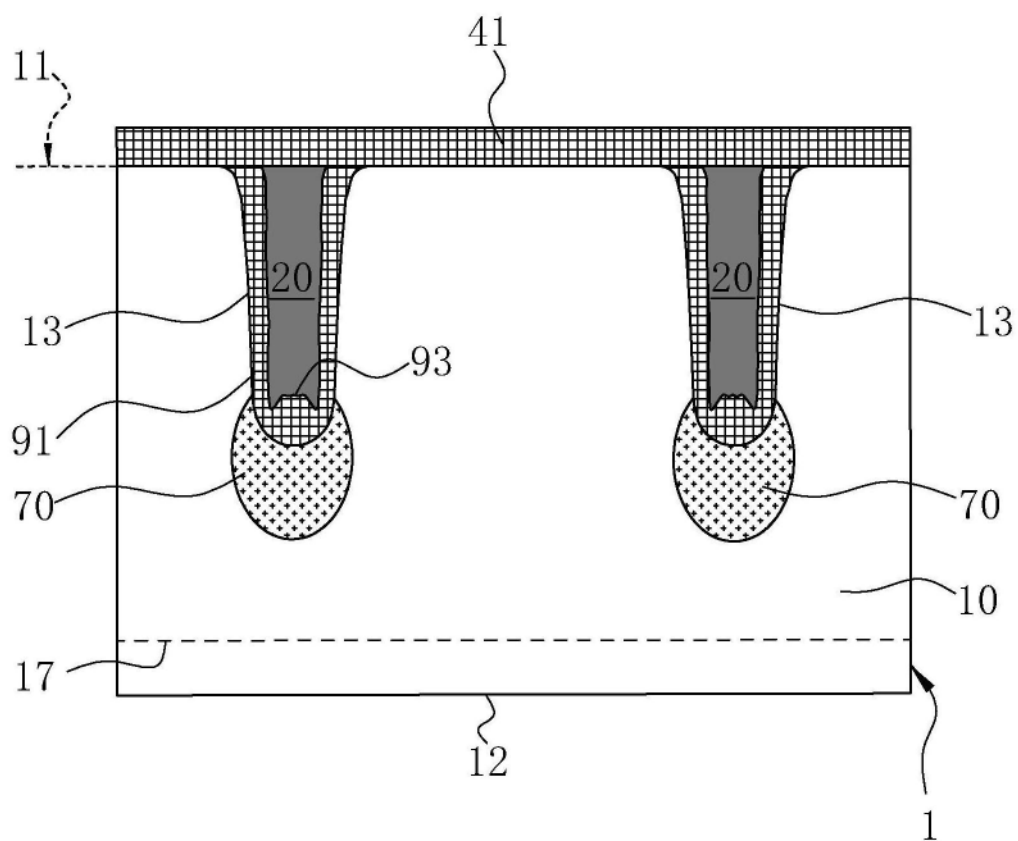


图8

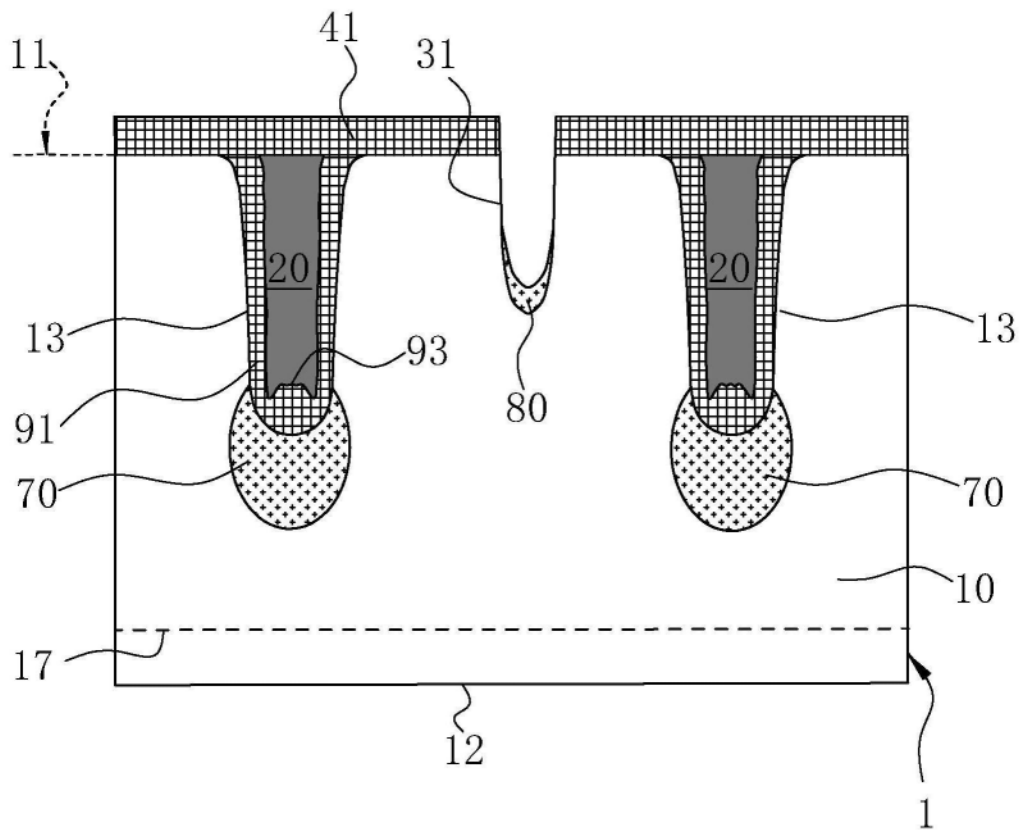


图9

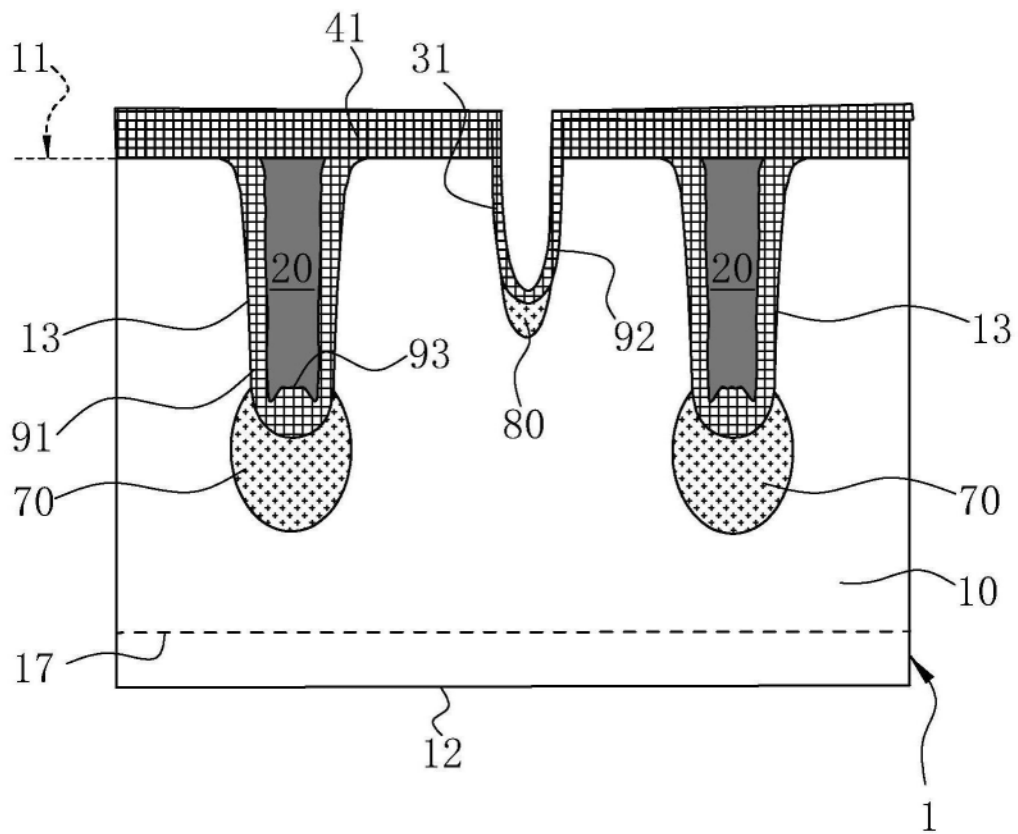


图10

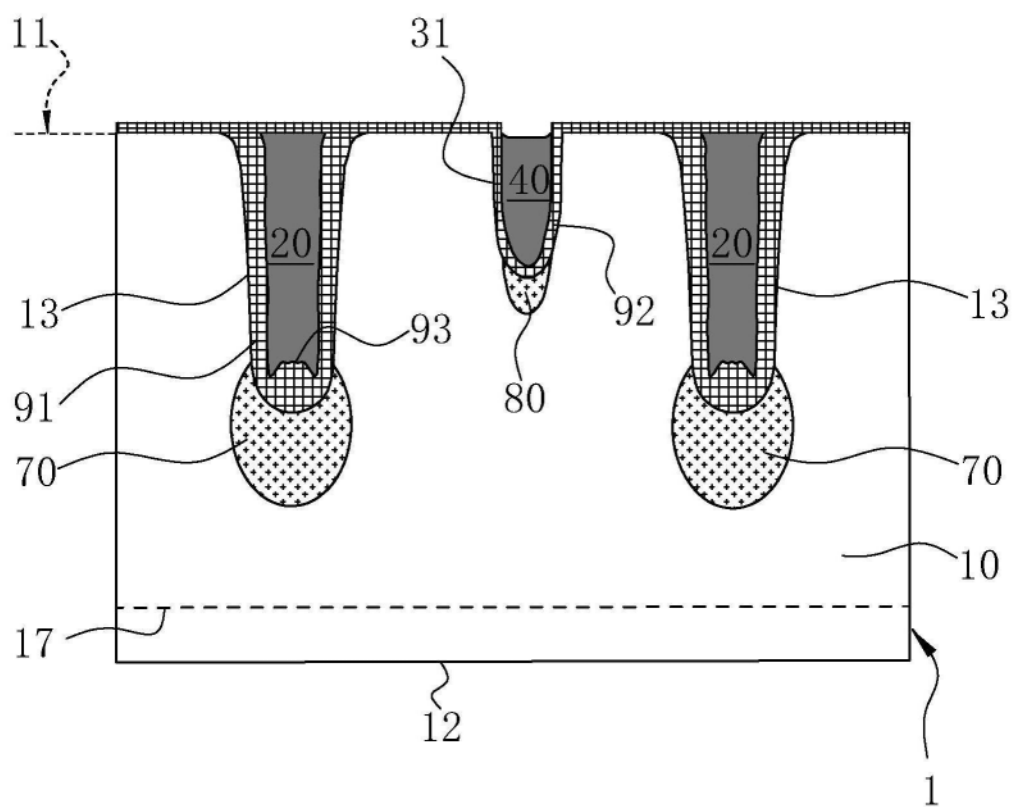


图11

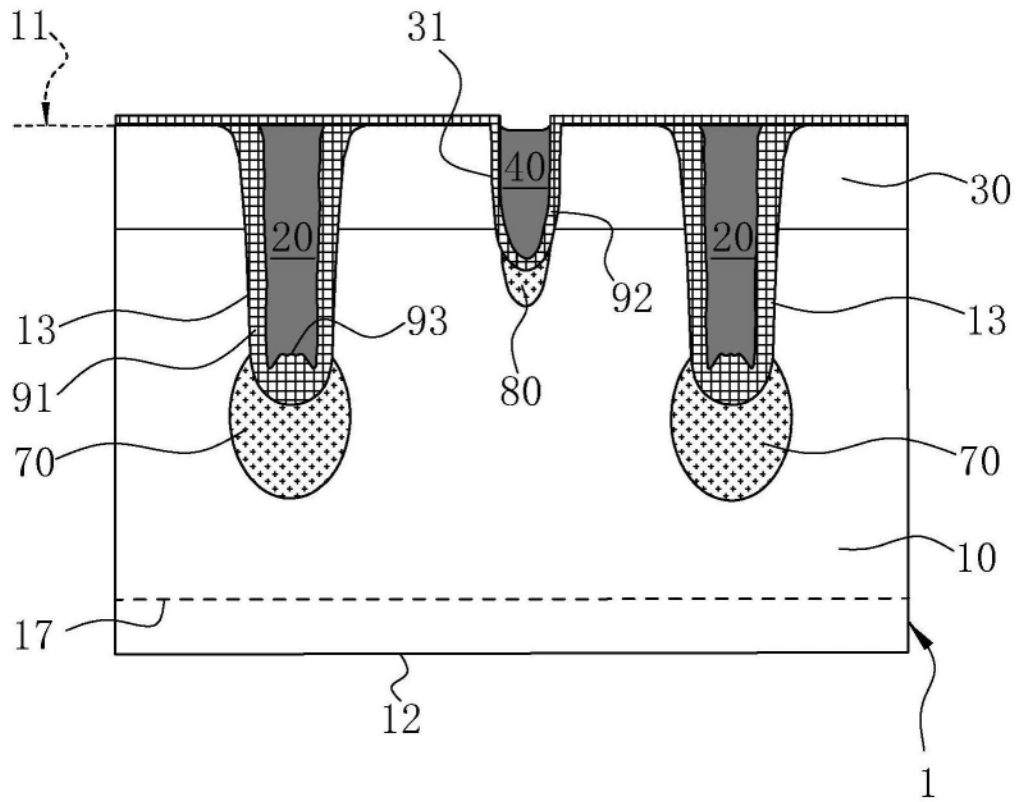


图12

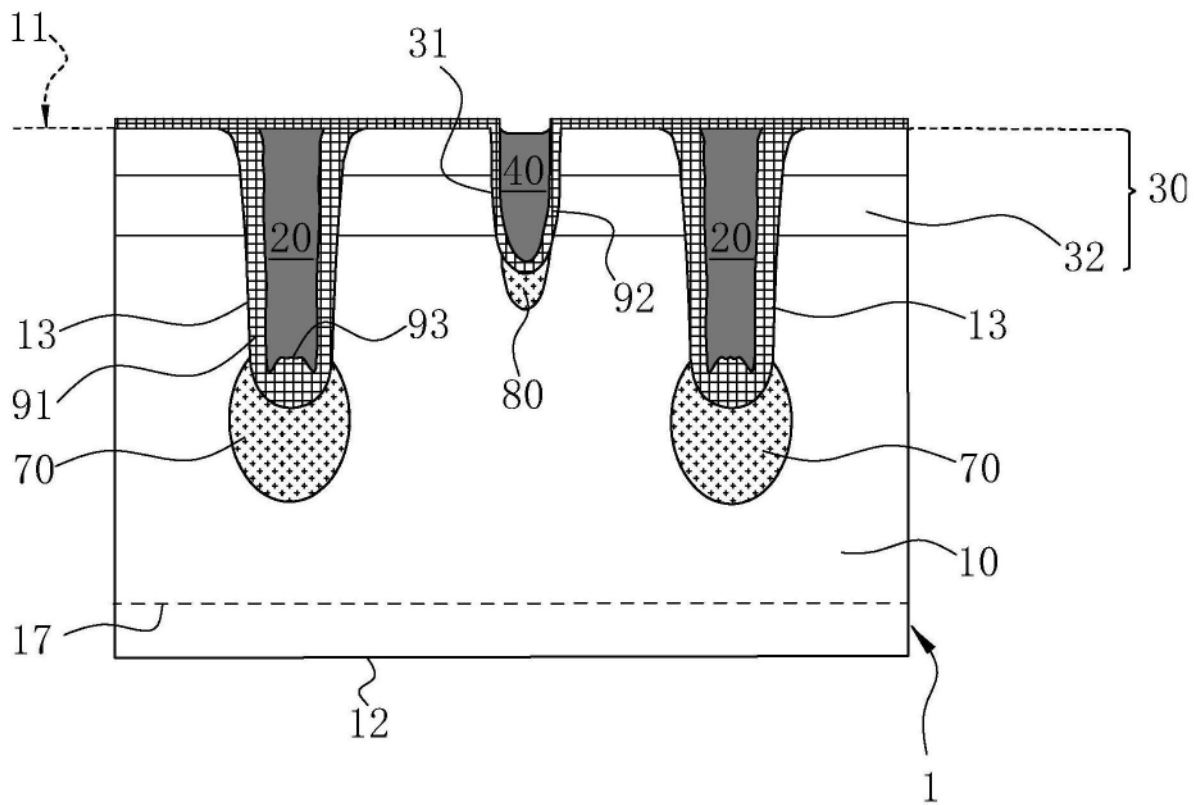


图13

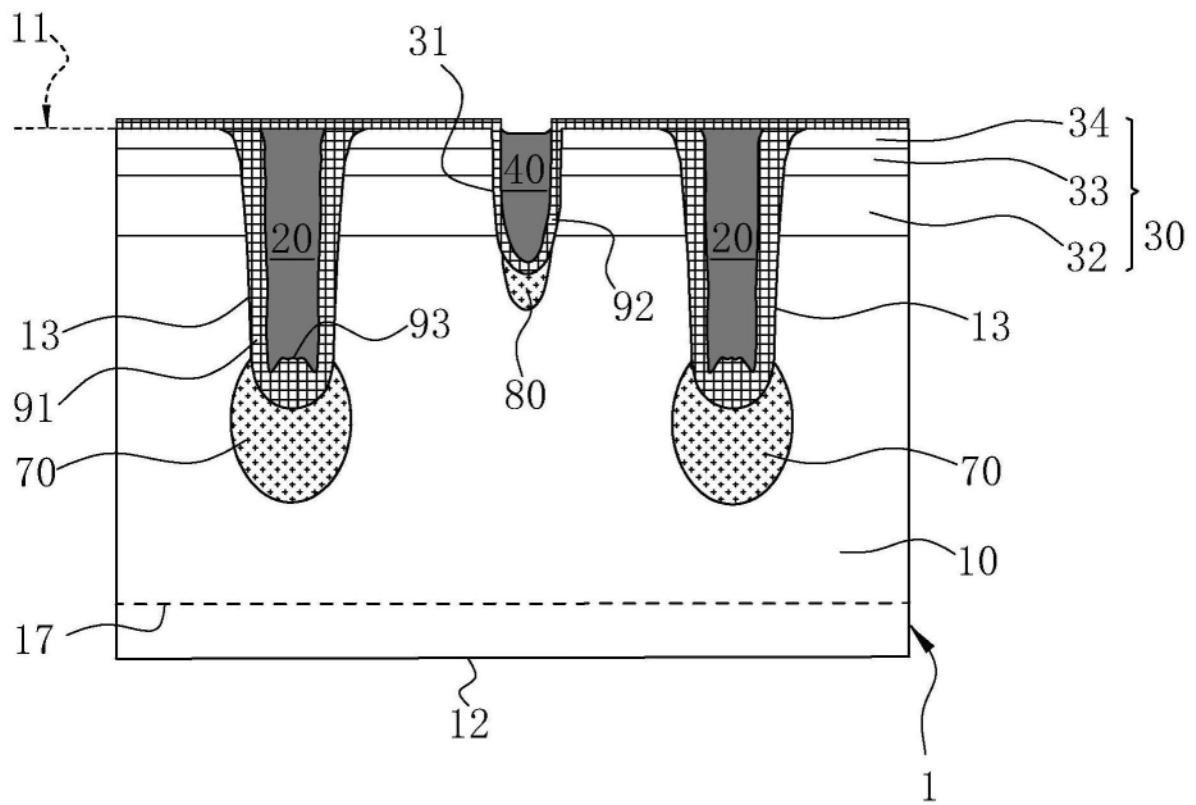


图14

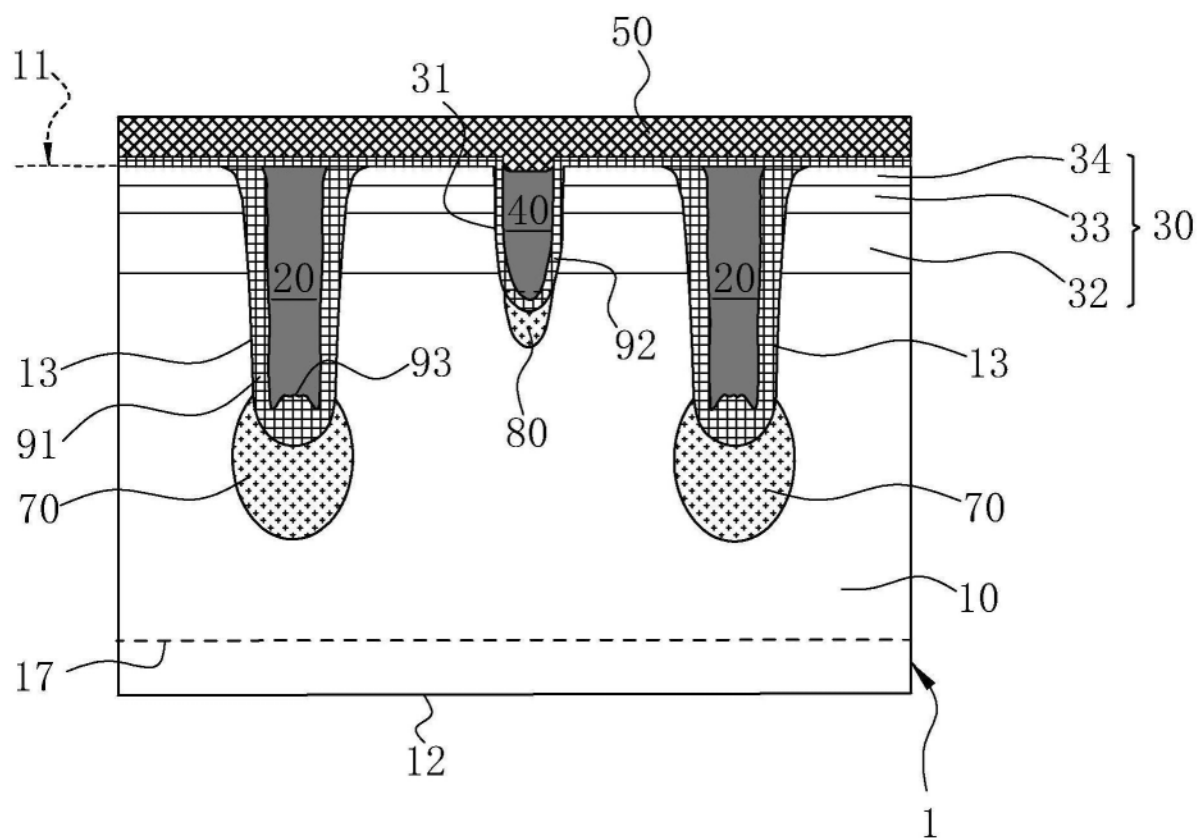


图15

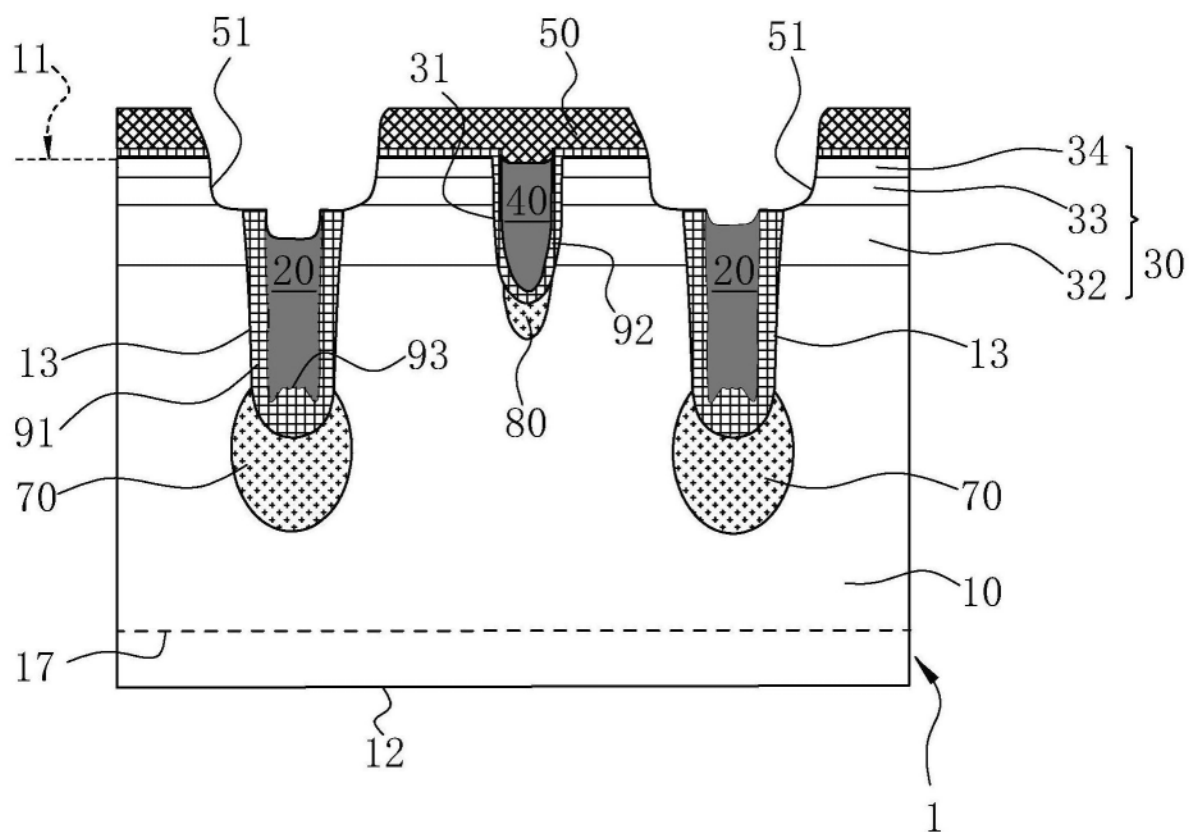


图16

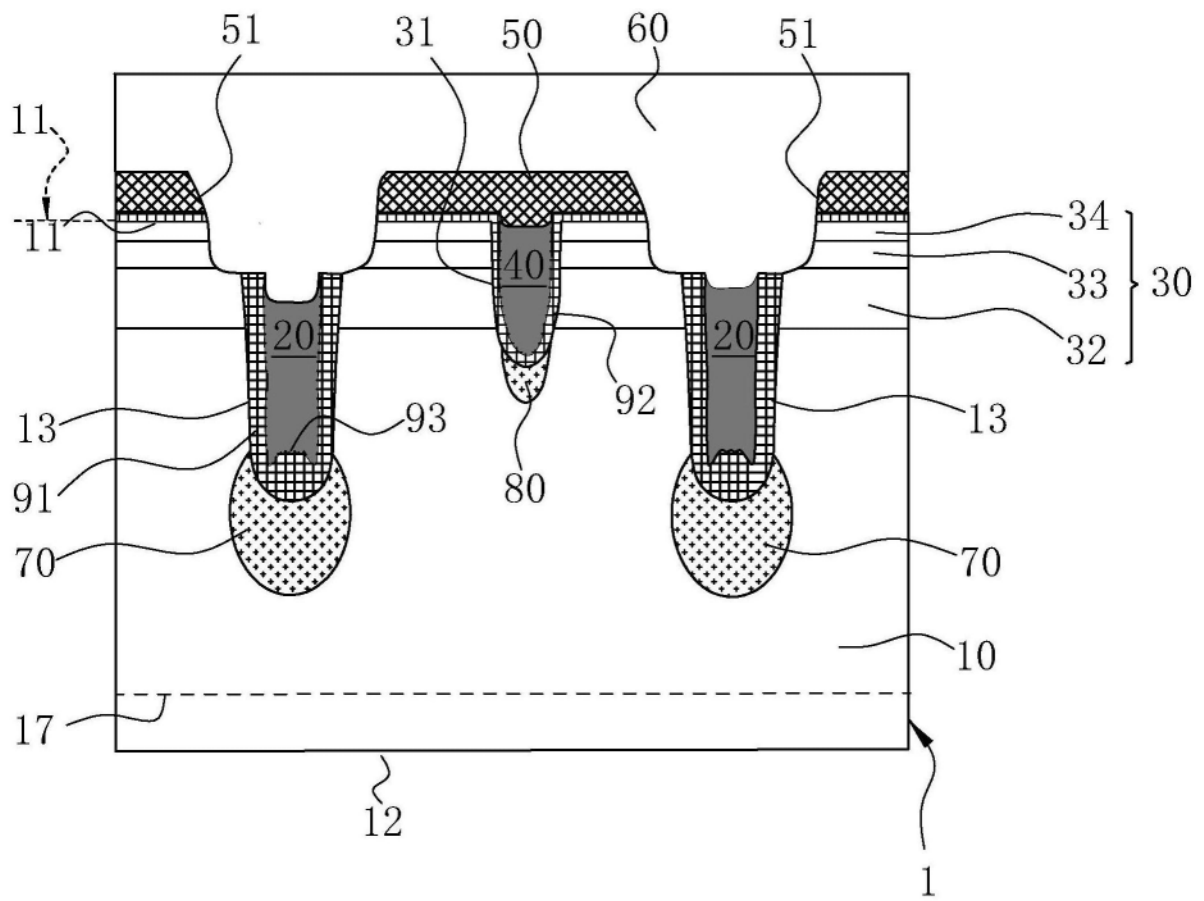


图17

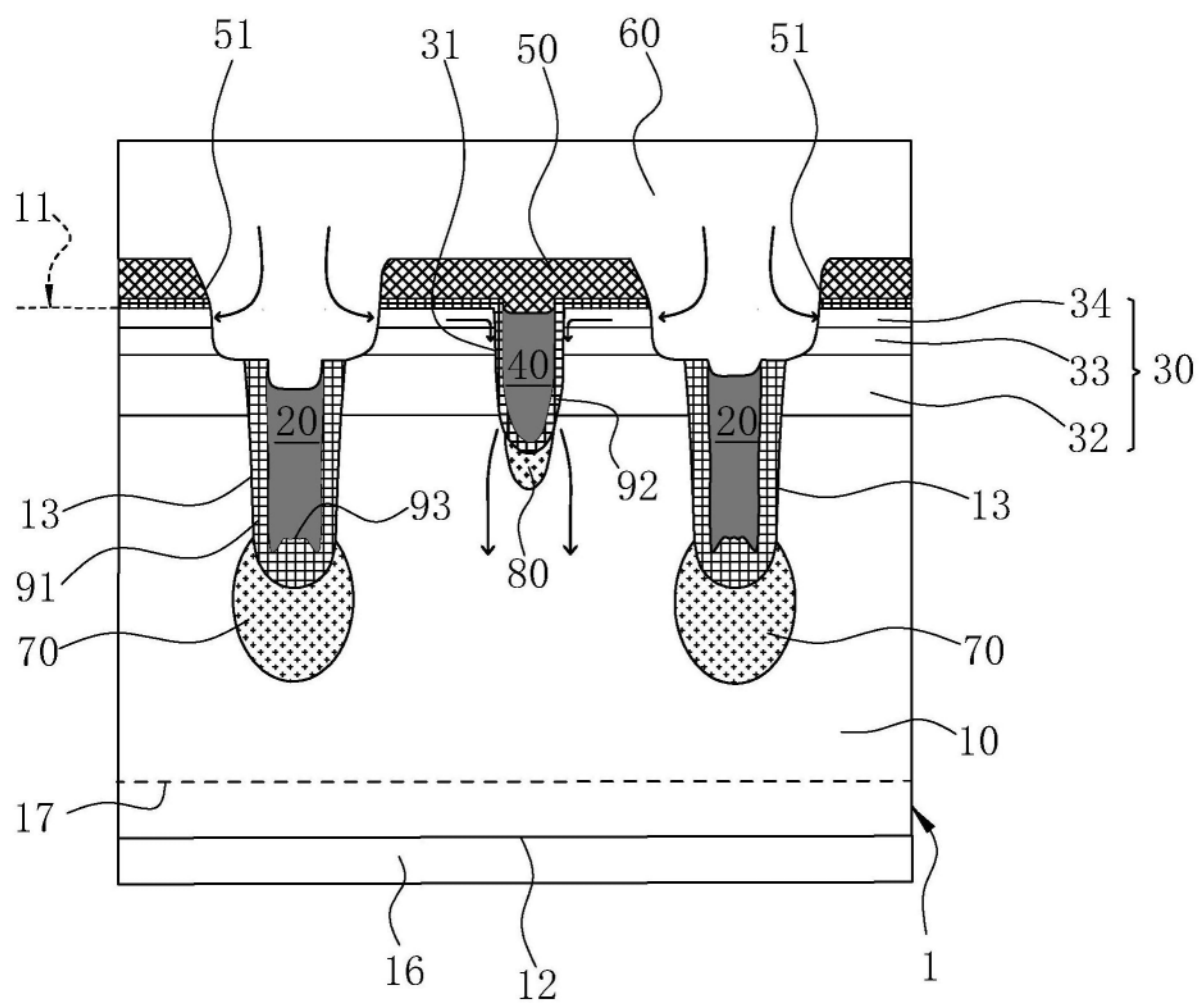


图18

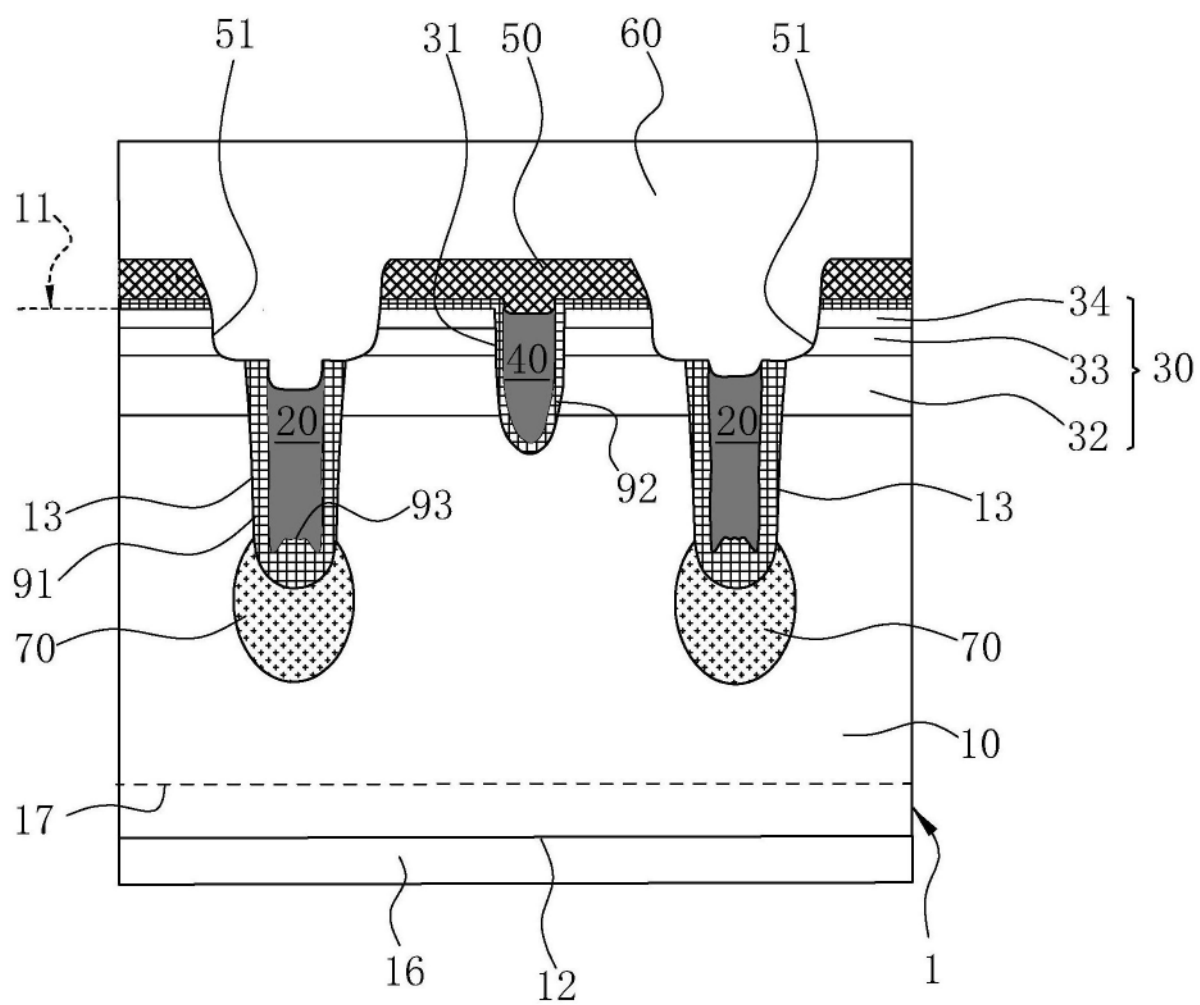


图19

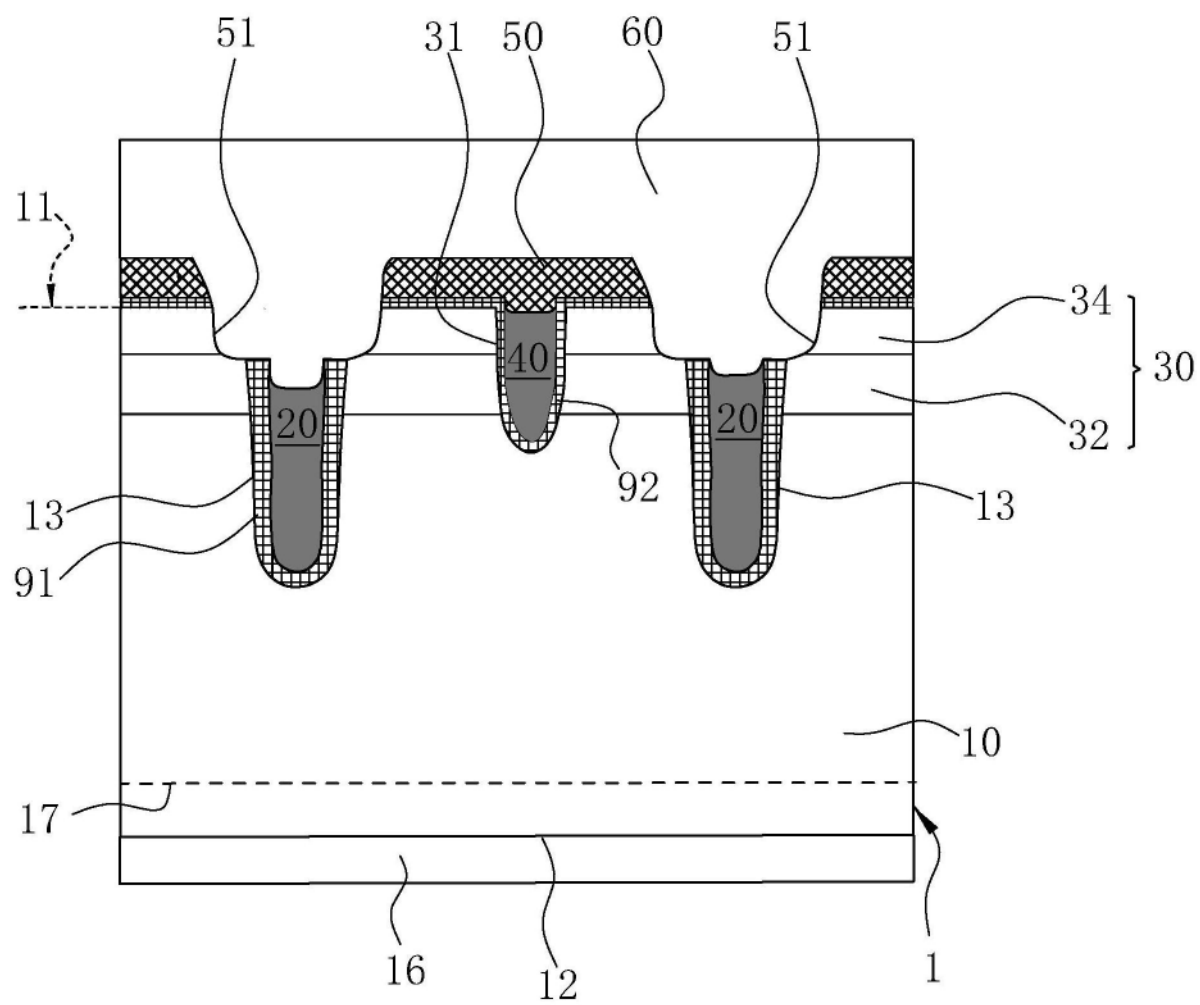


图21