

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4176593号
(P4176593)

(45) 発行日 平成20年11月5日(2008.11.5)

(24) 登録日 平成20年8月29日(2008.8.29)

(51) Int. Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H
HO 1 L 27/04 (2006.01)	HO 1 L 21/82 W
HO 1 L 21/82 (2006.01)	GO 6 F 17/50 6 5 8 M
GO 6 F 17/50 (2006.01)	HO 1 L 27/04 D
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 C
請求項の数 14 (全 18 頁) 最終頁に続く	

(21) 出願番号 特願2003-315781 (P2003-315781)
 (22) 出願日 平成15年9月8日(2003.9.8)
 (65) 公開番号 特開2005-85952 (P2005-85952A)
 (43) 公開日 平成17年3月31日(2005.3.31)
 審査請求日 平成18年1月6日(2006.1.6)

早期審査対象出願

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100092820
 弁理士 伊丹 勝
 (72) 発明者 松永 範昭
 神奈川県横浜市磯子区新杉田町8番地
 株式会社東芝 横浜
 事業所内
 (72) 発明者 山口 人美
 神奈川県横浜市磯子区新杉田町8番地
 株式会社東芝 横浜
 事業所内
 審査官 大嶋 洋一

最終頁に続く

(54) 【発明の名称】 半導体装置及びその設計方法

(57) 【特許請求の範囲】

【請求項1】

配線が接続されたゲート電極及び厚みが6.0nm以下のゲート絶縁膜を有する電界効果トランジスタを含む半導体装置であって、

前記ゲート絶縁膜の厚みが同じである複数の前記電界効果トランジスタで構成される第1トランジスタ群と、

前記ゲート絶縁膜の厚みが同じである複数の前記電界効果トランジスタで構成されると共に前記ゲート絶縁膜の厚みが前記第1トランジスタ群の前記ゲート絶縁膜の厚みよりも小さい第2トランジスタ群と、

前記第1及び第2トランジスタ群が混載される半導体基板と、
 を備え、

前記配線の面積は、前記配線の両側面及び上面の面積を足し合わせた合計面積であり、
 前記配線の面積と前記ゲート電極のゲート面積との比であるアンテナ比は、前記第2トランジスタ群の最大値の方が前記第1トランジスタ群の最大値よりも大きくされている、
 ことを特徴とする半導体装置。

【請求項2】

配線が接続されたゲート電極及び厚みが6.0nm以下のゲート絶縁膜を有する電界効果トランジスタを含む半導体装置であって、

前記ゲート絶縁膜の厚みが同じである複数の前記電界効果トランジスタで構成される第1トランジスタ群と、

10

20

前記ゲート絶縁膜の厚みが同じである複数の前記電界効果トランジスタで構成されると共に前記ゲート絶縁膜の厚みが前記第1トランジスタ群の前記ゲート絶縁膜の厚みよりも小さい第2トランジスタ群と、

前記第1及び第2トランジスタ群が混載される半導体基板と、
を備え、

前記配線の面積は、前記配線の上面の面積であり、

前記配線の面積と前記ゲート電極のゲート面積との比であるアンテナ比は、前記第2トランジスタ群の最大値の方が前記第1トランジスタ群の最大値よりも大きくされている、
ことを特徴とする半導体装置。

【請求項3】

前記アンテナ比は、前記第2トランジスタ群の最大値の方が前記第1トランジスタ群の最大値よりも少なくとも一桁大きくされている、

ことを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記配線は、多層配線であり、

前記配線の面積は、前記多層配線の各層の面積を足し合わせた合計面積である、

ことを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項5】

前記多層配線の第n層（nは2以上の整数）により、前記ゲート電極と前記半導体基板とが導通し、

前記配線の面積は、前記多層配線を第n-1層まで形成した段階で、前記多層配線の前記第n-1層までの各層のうち前記ゲート電極と導通している部分の面積を足し合わせた合計面積である、

ことを特徴とする請求項4に記載の半導体装置。

【請求項6】

前記配線の面積は、前記多層配線の各層のうち、前記半導体装置の製造工程中に前記ゲート電極と導通した状態で露出する部分の面積を足し合わせた合計面積である、

ことを特徴とする請求項4又は5に記載の半導体装置。

【請求項7】

前記多層配線の各層は、プラグで接続されており、

前記配線の面積は、前記プラグの面積を含む、

ことを特徴とする請求項4～6のいずれか1項に記載の半導体装置。

【請求項8】

前記配線の面積は、前記上面の面積×2である、

ことを特徴とする請求項2に記載の半導体装置。

【請求項9】

前記配線の上に形成される層間絶縁膜は低誘電率膜を含む、

ことを特徴とする請求項1～8のいずれか1項に記載の半導体装置。

【請求項10】

前記第1トランジスタ群で構成される機能ブロックと前記第2トランジスタ群で構成される機能ブロックとは、機能が異なる、

ことを特徴とする請求項1～9のいずれか1項に記載の半導体装置。

【請求項11】

前記第1及び第2トランジスタ群の前記ゲート絶縁膜は、共にシリコン酸化膜を含み、

前記第1トランジスタ群で構成される前記機能ブロックは、メモリ、I/O回路、電源回路、アナログフィルタ回路及び直流動作回路のうち少なくとも一つであり、

前記第2トランジスタ群で構成される前記機能ブロックは、論理回路である、

ことを特徴とする請求項10に記載の半導体装置。

【請求項12】

前記第1トランジスタ群の前記ゲート絶縁膜は、高誘電体膜を含み、

10

20

30

40

50

前記第2トランジスタ群の前記ゲート絶縁膜は、シリコン酸化膜を含み、
 前記第1トランジスタ群で構成される前記機能ブロックは、論理回路であり、
 前記第2トランジスタ群で構成される前記機能ブロックは、メモリ、I/O回路、電源回路、アナログフィルタ回路及び直流動作回路のうち少なくとも一つである、
 ことを特徴とする請求項10に記載の半導体装置。

【請求項13】

前記メモリはNAND型EEPROMを含む、
 ことを特徴とする請求項11又は12に記載の半導体装置。

【請求項14】

請求項1～13のいずれか1項に記載の半導体装置の設計方法であって、
 前記第1及び第2トランジスタ群を画面上に表示させる工程と、
 前記第1トランジスタ群の前記配線は第1アンテナ比を許容値にして、前記第2トランジスタ群の前記配線は前記第1アンテナ比よりも大きい第2アンテナ比を許容値にして、それぞれ前記画面上で自動配線する工程と、
 を備えたことを特徴とする半導体装置の設計方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその設計方法に関し、特に配線のレイアウトに関する。

【背景技術】

20

【0002】

半導体装置は、電界効果トランジスタが形成された半導体基板上に、層間絶縁膜と配線が積層した構造を有する。従来より、半導体装置の製造にはプラズマや電子線が利用されている。プラズマは、例えば、洗浄プロセスやプラズマCVDによる層間絶縁膜の形成プロセスで利用される。電子線は、例えば、層間絶縁膜や配線となる導電膜のパターニングの際に、マスクとなるレジストの露光に利用される。

【0003】

半導体装置の製造工程中に半導体基板上で配線が露出するのは不可避である。露出した配線は、プラズマ中や電子線中の荷電粒子を集めるアンテナとして機能してしまう。配線は電界効果トランジスタのゲート電極に接続されているため、荷電粒子が配線を介してゲート電極に伝わり、これによりゲート絶縁膜がダメージを受けることが問題となる。いわゆるチャージアップダメージの問題である。このダメージは、電界効果トランジスタの特性(V_{th} 、 G_m 、 $S-factor$ 、 I_g など)の変化として表れる。

30

【0004】

ここで、配線の面積とゲート電極のゲート面積との比をアンテナ比という。配線の面積が大きい、つまりアンテナ比が大きいと、集められる荷電粒子の数が多くなるので、ゲート絶縁膜がチャージアップダメージを受けやすくなる。よって、配線の面積(長さ)は無制限に大きくできないことになる。これは、配線のレイアウトの自由度の制約を意味する。

【0005】

40

半導体装置が多層配線化すると配線の面積(長さ)が大きくなるため、チャージアップダメージの問題が深刻となる。従来は、プラズマを例にすると、半導体製造装置の性能や製造工程を改善して、チャージアップダメージを抑制していた。具体的には、プラズマの均一性の向上、印加電圧のステップの調節、ガスや圧力などの調節、である(例えば特許文献1)。

【特許文献1】特開平11-8224号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、半導体装置の製造に荷電粒子(プラズマ、イオン、電子線)を利用したプロセ

50

スが存在する以上、半導体製造装置の性能や製造工程を改善しただけでは、ゲート絶縁膜のチャージアップダメージを完全になくすことはできない。

【0007】

本発明は、チャージアップダメージを抑制しつつ配線のレイアウトの自由度を高めることができる半導体装置及びその設計方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明に係る半導体装置は、配線が接続されたゲート電極及び厚みが6.0nm以下のゲート絶縁膜を有する電界効果トランジスタを含む半導体装置であって、前記ゲート絶縁膜の厚みが同じである複数の前記電界効果トランジスタで構成される第1トランジスタ群と、前記ゲート絶縁膜の厚みが同じである複数の前記電界効果トランジスタで構成されると共に前記ゲート絶縁膜の厚みが前記第1トランジスタ群の前記ゲート絶縁膜の厚みよりも小さい第2トランジスタ群と、前記第1及び第2トランジスタ群が混載される半導体基板と、を備え、前記配線の面積は、前記配線の両側面及び上面の面積を足し合わせた合計面積であり、前記配線の面積と前記ゲート電極のゲート面積との比であるアンテナ比は、前記第2トランジスタ群の最大値の方が前記第1トランジスタ群の最大値よりも大きくされていることを特徴とする。

また、本発明に係る別の半導体装置は、配線が接続されたゲート電極及び厚みが6.0nm以下のゲート絶縁膜を有する電界効果トランジスタを含む半導体装置であって、前記ゲート絶縁膜の厚みが同じである複数の前記電界効果トランジスタで構成される第1トランジスタ群と、前記ゲート絶縁膜の厚みが同じである複数の前記電界効果トランジスタで構成されると共に前記ゲート絶縁膜の厚みが前記第1トランジスタ群の前記ゲート絶縁膜の厚みよりも小さい第2トランジスタ群と、前記第1及び第2トランジスタ群が混載される半導体基板と、を備え、前記配線の面積は、前記配線の上面の面積であり、前記配線の面積と前記ゲート電極のゲート面積との比であるアンテナ比は、前記第2トランジスタ群の最大値の方が前記第1トランジスタ群の最大値よりも大きくされていることを特徴とする。

【0009】

本発明に係る半導体装置によれば、アンテナ比が許容値を超えるとゲート絶縁膜のチャージアップダメージによりトランジスタの特性が劣化することに基づいて、第1及び第2トランジスタ群のアンテナ比の最大値を上記許容値以下にしている。したがって、第1及び第2トランジスタ群を構成する電界効果トランジスタのゲート絶縁膜のチャージアップダメージを抑制できる。そして、本発明に係る半導体装置によれば、アンテナ比の最大値を第2トランジスタ群の方を第1トランジスタ群よりも大きくしている。これは、ゲート絶縁膜の厚みが6.0nm以下の所定値を境界にして、ゲート絶縁膜の厚みが小さくなるに従いゲート絶縁膜のチャージアップダメージの耐性が高まることに基づいている。このように、本発明に係る半導体装置では、ゲート絶縁膜の厚みが比較的小さい第2トランジスタ群において、アンテナ比の最大値を比較的大きくしている。したがって、第2トランジスタ群では配線の面積(長さ)の上限値の制約が緩やかになるため、配線のレイアウトの自由度が高まる。

【発明の効果】

【0010】

本発明に係る半導体装置によれば、第2トランジスタ群のアンテナ比の最大値を第1トランジスタ群のアンテナ比の最大値よりも大きくしている。この結果、チャージアップダメージを抑制しつつ配線のレイアウトの自由度を高めることができる。

【発明を実施するための最良の形態】

【0011】

ゲート絶縁膜の厚みが5~6nmを境界にして、ゲート絶縁膜の厚みが小さくなるに従いゲート絶縁膜のチャージアップダメージの耐性が高まる。これに基づいて、本実施形態は、ゲート絶縁膜の厚みに応じてアンテナ比の最大値が異なるようにしたことを特徴の一

10

20

30

40

50

つとしている。以下、図面を参照して本実施形態を説明する。なお、図において、既に説明した図の符号で示すものと同一のものについては、同一符号を付すことにより説明を省略する。

【0012】

[半導体装置の構成]

図1は、本実施形態に係る半導体装置1の平面の一部を示す模式図である。半導体装置1は、第1トランジスタ群3とこの隣に位置する第2トランジスタ群5とが半導体基板7に混載された構造を有する。各トランジスタ群3, 5は、(a)例えば数個から多数個のMOS電界効果トランジスタ(MOS電界効果トランジスタを単にトランジスタと記載する場合もある。)からなる機能ブロック、(b)インバータ、論理ゲート(NOR、NAND、AND、ORなど)、レジスタ、加算器、乗算器、除算器、デコーダ、メモリセルアレイ等の機能回路、又は(c)機能を持たない複数個のMOS電界効果トランジスタの集まり、である。

10

【0013】

図2は、図1の第1トランジスタ群のIIで示す箇所の拡大図である。図2にはMOS電界効果トランジスタ9が三つ表れている。トランジスタ9はゲート電極11と、この両側に位置するソース/ドレイン13, 15とを含む。ソース/ドレインとは、ソース及びドレインのうち少なくともいずれかの機能を有する不純物領域である。各トランジスタ9は素子分離絶縁膜17により互いに電氣的に分離されている。

20

【0014】

図3は、第1トランジスタ群3における複数のトランジスタ9のうちの一つ及び第2トランジスタ群5における複数のトランジスタ9のうちの一つの断面の模式図である。第1トランジスタ群3を構成する複数のトランジスタ9のゲート絶縁膜19の厚みは全て等しく、例えば5.0nmである。第2トランジスタ群5を構成するトランジスタ9のゲート絶縁膜21の厚みも全て等しく、例えば2.5nmである。このように、ゲート絶縁膜19, 21の厚みは6.0nm以下であり、ゲート絶縁膜21の厚みはゲート絶縁膜19の厚みよりも小さい。なお、ゲート絶縁膜19, 21は、シリコン酸化膜(SiO₂, SiON)である。

【0015】

図4は、第1トランジスタ群3におけるトランジスタ9と配線23の組の模式図であり、五つの組が表されている。図5は、第2トランジスタ群5におけるトランジスタ9と配線23の組の模式図あり、四つの組が表されている。各トランジスタ群3, 5を構成する複数のトランジスタ9は回路記号で示されている。各トランジスタ9のゲート電極11には、対応する配線23が接続されている。配線23は直線で示されているが、これは各配線23の長さを比較するためである。したがって、実際は配線23があらゆる方向にレイアウトされている。

30

【0016】

[アンテナ(antenna)比]

アンテナ比は、(配線の面積)/(ゲート電極のゲート面積)で表される。つまり、一つのゲート電極に接続されている配線の面積とこのゲート電極のゲート面積との比である。ゲート面積及び配線の面積について、まずゲート面積から具体的に説明する。図6は、トランジスタ9の平面の模式図である。ゲート面積とは、ゲート電極11を構成する導電膜のうちチャネル領域25と対向している部分の面積である。言い換えれば、ゲート長L×ゲート幅Wである。例えば、ゲート長Lが0.4nm、ゲート幅Wが5.0nmの場合、ゲート面積は2.0nm²となる。

40

【0017】

一方、配線の面積は次の通りである。図7は、第1トランジスタ群3の二つのトランジスタ9a, 9bの断面の模式図である。トランジスタ9aとトランジスタ9bは断面の向きが異なっている。ゲート電極11を覆うように半導体基板7上に層間絶縁膜27が形成されている。層間絶縁膜27には、二つのプラグ29が埋め込まれている。一方のプラグ

50

29は、トランジスタ9aのゲート電極11に接続されている。他方のプラグ29は、トランジスタ9bのソース/ドレイン13に接続されている。層間絶縁膜27上には一方及び他方のプラグ29と接続された配線23が形成されている。以上より、トランジスタ9aのゲート電極11がトランジスタ9bのソース/ドレイン13に接続されている構造であることが分かる。配線の面積とは、ゲート電極11に接続されている配線、つまり配線23の面積である。

【0018】

[チャージアップダメージとゲート絶縁膜の厚み]

アンテナ比が大きくなると、ゲート絶縁膜のチャージアップダメージによりMOS電界効果トランジスタの特性が劣化することを説明する。図8は、これを説明するグラフである。縦軸はMOS電界効果トランジスタの良品率である。ソース/ドレインの両方及び半導体基板を接地した状態で、ゲート電極に所定の電圧を印加した際に、ゲート電極と半導体基板との間を流れる電流 I_g が例えば $I_g < 10^{-9}$ Aの場合を、良品とする。一方、横軸は配線の長さである。ゲート面積及び配線の幅を一定にすることにより、配線の長さをアンテナ比の代わりにしている。つまり、配線の長さが大きくなるに従いアンテナ比も大きくなり、配線の長さが小さくなるに従いアンテナ比も小さくなることを意味する。配線の長さが1000~3000 μ mまでの範囲では良品率が100%であるが、3000 μ mよりも大きくなると不良品が発生する。配線の長さが大きくなるに従い良品率が低下する。

【0019】

ところで、アンテナ比の許容値は、半導体装置の設計において用いられる値である。アンテナ比の最大値がアンテナ比の許容値以下になるようにして設計をする。これにより、ゲート絶縁膜のチャージアップダメージが原因でMOS電界効果トランジスタが劣化するのを防止している。例えば、上記図8において、配線の長さ3000 μ mの場合のアンテナ比を480倍とすると、アンテナ比の許容値は少し余裕を持たせて例えば450倍とされる。配線のレイアウトを設計する際に、アンテナ比が450倍を超えないように、ゲート電極に接続される配線の最大長さが決められる。

【0020】

以上の説明から分かるように、チャージアップダメージを考慮してアンテナ比(配線の長さ)を決める必要がある。その一方で、ゲート絶縁膜の厚みによりチャージアップダメージの影響が異なることが知られている。例えば、公知文献(1998 3rd International Symposium on Plasma Process-Induced Damage, June 4-5, Honolulu, HI, USA.)の第42~第49頁のうち、プラズマプロセスによるダメージについて、ゲート酸化膜厚が5~7nmでピークになることが説明され(第49頁)、またゲート酸化膜厚が5.8nmでピークになることが説明されている(第44頁)。これらを基にして、本実施形態ではゲート絶縁膜の厚み5.0~6.0nmに、チャージアップダメージのピークが存在するとしている。

【0021】

上記公知文献から分かるように、ゲート絶縁膜の厚みがダメージのピークとなる厚みよりも小さくなると、チャージアップダメージ耐性が高まる。これは、ゲート絶縁膜の厚みが小さくなると、ゲート絶縁膜はFNストレスに対して強くなる物理現象によるものである。つまり、ゲート電極に集まった荷電粒子がゲート絶縁膜を通過して半導体基板に流れる主な原因がトンネル現象によるものとなるため、ゲート絶縁膜に欠陥が生じにくくなるのである。

【0022】

[本実施形態の特徴]

(特徴1)

図3に示すように、第1トランジスタ群3のゲート絶縁膜19の厚みが5.0nm、第2トランジスタ群5のゲート絶縁膜21の厚みが2.5nmの場合、許容されるアンテナ比の値は、第1トランジスタ群3の方が第2トランジスタ群5よりも小さくなる。したが

10

20

30

40

50

って、第1トランジスタ群3のアンテナ比の許容値を基準にして第1、第2トランジスタ群5の配線の長さを決めると、第2トランジスタ群5では配線の長さが必要以上に制限されてしまう。言い換えれば、第2トランジスタ群5において、ゲート絶縁膜のチャージアップダメージについて十分な耐性があるにも関わらず、ある配線については、第1トランジスタ群3のアンテナ比の許容値を超えているという理由により、配線を分割してレイアウトしなければならないことが生じる。

【0023】

MOS電界効果トランジスタの特性(V_{th} 、 G_m 、 S -factor、 I_g など)のばらつきの許容値は、LSIの高性能化に伴いますます厳しくなっている。一方、LSIの設計の自由度という観点からは、配線の長さ(面積)の許容値はできるだけ大きいことが望ましい。

10

【0024】

そこで、本実施形態では、ゲート絶縁膜の厚みに応じてアンテナ比の最大値を変えている。つまり、図5の第2トランジスタ群5のアンテナ比の最大値 R_{max2} (例えば3000倍)は、図4の第1トランジスタ群3のアンテナ比の最大値 R_{max1} (例えば1000倍)よりも大きくされている。これは、第2トランジスタ群5のゲート絶縁膜21の厚みの方が第1トランジスタ群3のゲート絶縁膜19の厚みよりも小さいので、チャージアップダメージの耐性は、第2トランジスタ群5の方が第1トランジスタ群3よりも高いことに基づいている。

【0025】

20

以上のように、本実施形態によれば、第2トランジスタ群5のアンテナ比の最大値を R_{max1} よりも大きい R_{max2} にしているため、第2トランジスタ群5では、配線の長さの許容値が大きくなる。したがって、配線のレイアウトの自由度を高めることができ、その結果、半導体装置の面積を小さくすることができる。近年、ゲート絶縁膜の厚みが5.0nm以下でゲート絶縁膜の厚みが異なる複数のトランジスタが、一つの半導体チップに混載されるケースが多いので、本実施形態は有効である。

【0026】

また、アンテナ比が所定値を超えるとチャージアップダメージによりトランジスタ9の特性が劣化する。これに基づいて本実施形態では、各トランジスタ群3、5のアンテナ比の最大値を上記所定値よりも小さくしている。したがって、第1トランジスタ群3のゲート絶縁膜19、第2トランジスタ群5のゲート絶縁膜21のそれぞれについてチャージアップダメージを抑制できる。

30

【0027】

なお、本実施形態では、配線23の長さをアンテナ比の代わりにするために、全ての配線23の幅を同じとし、かつ全てのトランジスタ9のゲート面積を同じとして説明した。しかしながら、配線23の幅やゲート面積が異なってもよい。

【0028】

また、第2トランジスタ群5において、トランジスタ9と配線23で構成される組の全てのアンテナ比が、 R_{max1} より大きい必要はなく、ある組では R_{max1} より小さくてもよい。

40

【0029】

また、ゲート絶縁膜の厚みが三種類以上の場合でも、本実施形態を適用することができる。例えば、第1トランジスタ群のゲート絶縁膜の厚みが5.5nm、第2トランジスタ群のゲート絶縁膜の厚みが2.5nm、第3トランジスタ群のゲート絶縁膜の厚みが1.0nmである。アンテナ比の最大値を、第1トランジスタ群が R_{max1} 、第2トランジスタ群が R_{max2} 、第3トランジスタ群が R_{max3} とすると、この場合、 R_{max2} は R_{max1} よりも一桁大きく、 R_{max3} は R_{max2} よりも一桁大きくできる。したがって、 R_{max3} は R_{max1} よりも二桁大きいことになる。アンテナ比の最大値を、 $R_{max1} < R_{max2} < R_{max3}$ のようにトランジスタ群毎に定めてもよいが、 $R_{max1} < R_{max2} = R_{max3}$ としてもよい。

50

【 0 0 3 0 】

なお、多層配線の場合、配線の面積は次のようにして規定することができる。図 9 は、図 1 の第 1 トランジスタ群 3 に位置する多層配線の断面の模式図であり、図 7 と対応する。層間絶縁膜 2 7 上には、第 1 層の配線 2 3 と同時に形成されたパッド 3 1 が配置されている。パッド 3 1 は、ソース/ドレイン 1 3 上に位置するプラグ 2 9 と接続されている。配線 2 3 及びパッド 3 1 を覆うように、層間絶縁膜 3 3 が形成されている。層間絶縁膜 3 3 上には第 2 層の配線 3 5 が位置している。配線 3 5 の一端はプラグ 3 7 により配線 2 3 と接続され、他端はプラグ 3 7 によりパッド 3 1 と接続される。したがって、トランジスタ 9 a のゲート電極 1 1 とトランジスタ 9 b のソース/ドレイン 1 3 とは接続されている。

10

【 0 0 3 1 】

図 1 0 は、第 1 トランジスタ群の MOS 電界効果トランジスタ及び多層配線の模式図であり、図 4 と対応する。一方、図 1 1 は、第 2 トランジスタ群の MOS 電界効果トランジスタ及び多層配線の模式図であり、図 5 と対応する。多層配線の場合、配線の面積は多層配線の各層の面積を足し合わせた合計面積である。したがって、この例では、第 1 層の配線 2 3 の面積と第 2 層の配線 3 5 の面積の合計値である。

【 0 0 3 2 】

(特徴 2)

配線の面積の規定としては、(a) ~ (f) がある。

(a) 多層配線の場合、次ぎのようにして配線の面積を規定してもよい。図 1 2 は、トランジスタ 9 a のゲート電極 1 1 とトランジスタ 9 b のソース/ドレイン 1 3 とが 3 層配線を利用して接続されていることを示す図である。結論から言うと、第 3 層の配線 3 9 の面積は、配線の面積の計算に考慮しない。この理由を多層配線の形成工程を用いて説明する。図 1 3 ~ 図 1 7 は図 1 2 に示す多層配線の形成工程を示す図である。

20

【 0 0 3 3 】

図 1 3 に示すように、半導体基板上にトランジスタ 9 a , 9 b を形成する。図 1 4 に示すように、トランジスタ 9 a のゲート電極 1 1 に接続するプラグ 2 9 a、トランジスタ 9 b のソース/ドレイン 1 3 に接続するプラグ 2 9 b を形成する。図 1 5 に示すように、第 1 層の配線 2 3 a ~ 2 3 c を形成する。図 1 6 に示すように、配線 2 3 と接続するプラグ 3 7 a ~ 3 7 d を形成する。図 1 7 に示すように、プラグ 3 7 と接続する第 2 層の配線 3 5 a ~ 3 5 c を形成する。最後に、図 1 2 に示すように、プラグ 4 1 a , 4 1 b を形成し、第 3 層の配線 3 9 を形成する。

30

【 0 0 3 4 】

第 3 層の配線 3 9 を形成することにより、ゲート電極 1 1 とソース/ドレイン 1 3 (半導体基板) とが導通する。半導体基板は接地されているので、第 3 層の配線 3 9 の形成時、第 3 層の配線 3 9 に集められた荷電粒子は第 3 層の配線 3 9、第 2 層の配線 3 5 c、第 1 層の配線 2 3 c を介してソース/ドレイン 1 3 に流れる。このため、ゲート電極 1 1 下のゲート絶縁膜はチャージアップダメージを受けない。したがって、配線の面積の計算に第 3 層の配線 3 9 の面積を考慮しなくてもよいことになる。

【 0 0 3 5 】

このようにして配線の面積を規定すると、配線の面積に第 3 層の配線 3 9 の面積を考慮しなければ、アンテナ比が許容値を超えないのに、考慮することにより許容値を超える場合に有効となる。アンテナ比が許容値を超えれば、配線のレイアウトをやり直さなければならないからである。以上のように、本実施形態によれば、配線の面積が不必要に大きくなるのを防止できるため、レイアウトのやり直しを少なくできる。

40

【 0 0 3 6 】

3 層の配線で説明したが、一般的に説明すると次のようになる。多層配線の第 n 層 (n は 2 以上の整数) により、ゲート電極と半導体基板とが導通する場合、配線の面積は、多層配線を第 n - 1 層まで形成した段階で、多層配線の第 n - 1 層までの各層のうちゲート電極と導通している部分の面積を足し合わせた合計面積である。図 1 2 の場合で説明する

50

と、配線の面積は、第1層の配線23a, 23b、第2層の配線35a, 35bの面積を足し合わせた合計面積となる。なお、ゲート電極が半導体基板と導通すればよいので、ソース/ドレインに限らず、例えばウェルでもよい。

【0037】

(b) また、次ぎのようにして多層配線の面積を規定してもよい。上記(a)において、配線の面積は、第1層の配線23a, 23b、第2層の配線35a, 35bの面積を足し合わせた合計面積である、と説明した。しかし、第1層の配線23bを考慮せずに、配線の面積を規定してもよい。この理由を説明する。

【0038】

図15に示すように、第1層の配線23及びこれを覆う層間絶縁膜の形成時、配線23bはゲート電極11と導通していないため、露出している配線23bに集められた荷電粒子がゲート電極11に流れることはない。したがって、配線23bはチャージアップダメージに影響を及ぼさないため、配線の面積に考慮しなくてもよいのである。

【0039】

以上を一般的に言うと、配線の面積は、多層配線の各層のうち、半導体装置の製造工程中にゲート電極と導通した状態で露出する部分の面積を足し合わせた合計面積である。これによれば、配線の面積が不必要に大きくなるのを防止できるため、レイアウトのやり直しを少なくできる。

【0040】

(c) 半導体装置製造の際にプラグが露出している段階があり、この段階でプラグに荷電粒子が集まる。よって、プラグの面積(上面の面積)を配線の面積に加えると、チャージアップダメージの影響をより正確に考慮して、配線のレイアウトの設計をできる。具体的に説明すると、図14に示すプラグ29a、図16に示すプラグ37a及び図12に示すプラグ41aの面積を配線の面積に加えるのである。他のプラグの面積を考慮しないのは、他のプラグの形成時に他のプラグはゲート電極11と導通していないからである。

【0041】

(d) 配線を反応性イオンエッチングで形成する場合、配線の面積は次のように規定する。図18は、層間絶縁膜27上に形成された配線23を示している。レジスト43をマスクとして、アルミニウムのような導電膜を反応性イオンエッチングにより選択的にエッチングして、配線23が形成される。このエッチングの際、配線23の両側面45が露出する。エッチングで利用した荷電粒子が両側面45に集まる。また、レジスト43を除去した後、配線23を覆う層間絶縁膜をプラズマCVDで形成する際、配線23の両側面45及び上面47がプラズマ雰囲気中に露出される。したがって、配線の面積は、配線の両側面及び上面の面積を足し合わせた合計面積である。これによれば、チャージアップダメージの影響をより正確に考慮して、配線のレイアウトの設計をできる。

【0042】

(e) ダマシンを用いて配線を形成する場合、配線の面積は配線の上面の面積である。これを図19で説明する。図19は、ダマシンで形成された配線23を示す図である。ダマシンとは、凹部が形成された層間絶縁膜27上に銅などからなる導電膜を形成し、この導電膜をCMPで研磨することにより、層間絶縁膜27に埋め込まれた配線23を形成するプロセスである。配線23の形成工程では、プラズマなど利用されないため、配線23に電荷粒子が集まることはない。この配線23を覆う層間絶縁膜をプラズマCVDで形成する際、配線23の上面47がプラズマ雰囲気中に露出される。したがって、配線の面積は、配線の上面の面積(配線幅×総配線長)となる。これによれば、チャージアップダメージの影響をより正確に考慮して、配線のレイアウトの設計をできる。

【0043】

ゲート絶縁膜の厚み5nm以下の世代では、ダマシン配線が主流となる。この厚みは、本実施形態の対象となるゲート絶縁膜の厚みとほぼ一致する。

【0044】

(f) ダマシンで配線を形成する場合、配線の面積を、 $(\text{配線幅} + 2 \times 1.3r) \times$

10

20

30

40

50

総配線長)、と定義してもよい。r は配線上にプラズマプロセスで堆積する絶縁膜の膜厚である。つまり、実効配線幅を実際の配線幅よりも広くするのである(参考文献: proceedings of the 2003 International Interconnect Technology Conference, pp198-200.)。この理由を説明する。図20は、ダマシんで形成された配線23上にプラズマCVDで層間絶縁膜33を形成している工程を示す図である。層間絶縁膜33が薄い段階では、プラズマ中の荷電粒子49が層間絶縁膜33を通り配線23の上面47に集まる。そして、層間絶縁膜33のうち上面47の真上の部分のみならず、斜め上の部分に入射した荷電粒子49も上面47に集まる。よって、アンテナの実効幅(実効配線幅)は広く定義して配線の面積を計算するのが好ましい。これにより、チャージアップダメージの影響をより正確に考慮して配線のレイアウトを設計することができる。なお、チャージアップダメージの影響を考慮しつつ配線の面積を簡単に定義したい場合は、上面47の面積に係数、例えば2をかけた値を配線の面積としてもよい。

10

【0045】

(特徴3)

本実施形態の層間絶縁膜として低誘電率膜を用いることができる。このような膜として、芳香族系有機膜(例えばポリアリレンエーテル、ポリアリレンヒドロカーボン、ベンズオキサゾール、ベンズシクロブテン)、SiOC膜、SiOCH膜、SiOCN膜、SiO₂膜、SiON膜等がある。

【0046】

図21は、配線23上に低誘電率膜51を含む層間絶縁膜33が形成された断面の模式図である。層間絶縁膜33は、Cu拡散防止膜53(SiN、SiCN、SiOC等)上に低誘電率膜51が形成された構造を有する。低誘電率膜51はスピノンで形成される。スピノンでは荷電粒子が利用されないので、チャージアップダメージの影響をなくすることができる。

20

【0047】

また、Cu拡散防止膜53をプラズマCVDで形成すると、これによるチャージアップダメージが発生する。スピノンには熱処理工程が含まれるので、上記チャージアップダメージを回復することもできる。

【0048】

(特徴4)

図22は本実施形態に係る半導体チップの一例を機能ブロックで表したブロック図である。半導体チップ55の機能ブロックとして、二つのメモリ57、59、論理回路61、二つのI/O回路63、65がある。論理回路61は、さらに下位の機能ブロックである回路ブロック67に分けられる。

30

【0049】

メモリ57、59及びI/O回路63、65において、これらは第1トランジスタ群で構成されており、トランジスタ9のゲート酸化膜19の厚みは5.0nmである。一方、高速動作が要求される論理回路61は、第2トランジスタ群で構成され、トランジスタ9のゲート絶縁膜21の厚みは2.5nmである。メモリ57、59及びI/O回路63、65では、アンテナ比の最大値Rmax1が500倍である。一方、論理回路61では、アンテナ比の最大値Rmax2が3000倍である。

40

【0050】

論理回路61では高速動作が要求されるため、他の機能ブロックよりも、トランジスタのゲート酸化膜の厚みが小さくされている。したがって、論理回路61のアンテナ比の最大値(アンテナ比の許容値ということもできる。)を、他の機能ブロックよりも大きくすることにより、論理回路61での配線のレイアウトの自由度を高めている。そして、機能ブロック毎にアンテナ比のルールを決めることで、アンテナ比の許容値が複数あっても、比較的容易に配線のレイアウトができる。

【0051】

なお、第1トランジスタ群で構成される機能ブロックとしては、電源回路、アナログフ

50

ィルタ回路や直流動作回路等がある。メモリ57, 59としては、例えば、EEPROM (NAND型等)、DRAM、強誘電体メモリがある。

【0052】

(特徴5)

本実施形態ではゲート絶縁膜が、シリコン酸化膜のトランジスタと高誘電体膜のトランジスタを混載することもできる。これについて図23を用いて説明する。図23は本実施形態に係る半導体チップの他の例を機能ブロックで表したブロック図であり、図22と対応する。先程とは逆に、論理回路61は第1トランジスタ群で構成され、メモリ57, 59及びI/O回路63, 65は第2トランジスタ群で構成されている。論理回路61のトランジスタ9のゲート絶縁膜19は、厚さ5.0nmの高誘電体膜である。これに対して、メモリ57等のトランジスタ9のゲート絶縁膜21は、厚さ2.5nmのシリコン酸化膜である。

10

【0053】

ゲート絶縁膜19の厚みは5.0nmであるが、ゲート絶縁膜19は高誘電体膜なので、これをシリコン酸化膜に換算した場合、ゲート絶縁膜21の厚みより小さく、つまり2.5nmより小さくなる。よって、論理回路61のトランジスタ9は、メモリ57等のトランジスタ9よりもゲート絶縁膜の厚みは大きいトランジスタとしては高性能となる。しかし、ゲート絶縁膜19の物理的な厚みは5.0nmなので、論理回路61のアンテナ比の最大値 R_{max1} は、メモリ57等のアンテナ比の最大値 R_{max2} よりも小さくなる。

20

【0054】

高誘電体膜とはシリコン酸化膜よりも誘電率が高い膜であり、例えば、ハフニウムオキサイド、ハフニウムシリケート、ジルコニウムオキサイド、ジルコニウムシリケートがある。

【0055】

なお、第2トランジスタ群で構成される機能ブロックとしては、電源回路、アナログフィルタ回路や直流動作回路等がある。メモリ57, 59としては、例えば、EEPROM (NAND型等)、DRAM、強誘電体メモリがある。

【0056】

(特徴6)

本実施形態に係る半導体装置の設計方法について説明する。図24はこの設計方法のフローチャートである。この設計方法は、ゲートアレイやスタンダードセルなどであり、コンピュータを利用する。

30

【0057】

まず、第1トランジスタ群及び第2トランジスタ群を画面上に表示させる(ステップS1)。各トランジスタ群は予め配置場所が決められていてもよいし、セルのような形で自動配置してもよい。次に、第1トランジスタ群の各トランジスタに対応する配線を、第1アンテナ比を許容値にして画面上で自動配線する(ステップS3)。第1アンテナ比とは、第1トランジスタ群のアンテナ比の許容値である。

【0058】

第1トランジスタ群のトランジスタと配線の組のうち、アンテナ比が第1アンテナ比よりも大きくなる組が存在するか否かを判断する(ステップS5)。存在すれば、その組の配線については、配線のレイアウトをやり直す(ステップS7)。

40

【0059】

第1トランジスタ群のトランジスタと配線の全ての組のアンテナ比が第1アンテナ比より小さくなれば、第2トランジスタ群の配線を、第1アンテナ比よりも大きい第2アンテナ比を許容値として画面上で自動配線する(ステップS9)。第2アンテナ比は、第2トランジスタ群のアンテナ比の許容値である。第2アンテナ比が第1アンテナ比よりも大きいのは、第2トランジスタ群のゲート絶縁膜の厚みが第1トランジスタ群のゲート絶縁膜の厚みよりも小さいからである。

50

【 0 0 6 0 】

第2トランジスタ群のトランジスタと配線の組において、アンテナ比が第2アンテナ比よりも大きい組があれば(ステップS11)、その組の配線については、配線のレイアウトをやり直す(ステップS13)。第2トランジスタ群のトランジスタと配線の全ての組のアンテナ比が第2アンテナ比より小さくなれば、終了する。

【 図面の簡単な説明 】

【 0 0 6 1 】

【図1】本実施形態に係る半導体装置の平面の一部の模式図である。

【図2】図1の第1トランジスタ群のIIで示す箇所の拡大図である。

【図3】図1の第1トランジスタ群のMOS電界効果トランジスタ及び第2トランジスタ群のMOS電界効果トランジスタの断面の模式図である。

10

【図4】図1の第1トランジスタ群のMOS電界効果トランジスタ及び配線の模式図である。

【図5】図1の第2トランジスタ群のMOS電界効果トランジスタ及び配線の模式図である。

【図6】図3のMOS電界効果トランジスタの平面の模式図である。

【図7】図1の第1トランジスタ群に含まれる二つのMOS電界効果トランジスタの断面の模式図である。

【図8】配線の長ささとMOS電界効果トランジスタの良品率との関係を示すグラフである。

20

【図9】図1の第1トランジスタ群に位置する多層配線の断面の模式図である。

【図10】図1の第1トランジスタ群のMOS電界効果トランジスタ及び多層配線の模式図である。

【図11】図1の第2トランジスタ群のMOS電界効果トランジスタ及び多層配線の模式図である。

【図12】本実施形態において、一方のトランジスタと他方のトランジスタとが3層配線を利用して接続されていることを示す図である。

【図13】図12に示す多層配線の形成を説明する第1工程図である。

【図14】図12に示す多層配線の形成を説明する第2工程図である。

【図15】図12に示す多層配線の形成を説明する第3工程図である。

30

【図16】図12に示す多層配線の形成を説明する第4工程図である。

【図17】図12に示す多層配線の形成を説明する第5工程図である。

【図18】反応性イオンエッチングで形成された配線を示す図である。

【図19】ダマシで形成された配線を示す図である。

【図20】ダマシで形成された配線上にプラズマCVDで層間絶縁膜を形成している工程を示す図である。

【図21】配線上有機低誘電率の絶縁膜を含む層間絶縁膜が形成された断面の模式図である。

【図22】本実施形態に係る半導体チップの一例を機能ブロックで表したブロック図である。

40

【図23】本実施形態に係る半導体チップの他の例を機能ブロックで表したブロック図である。

【図24】本実施形態に係る半導体装置の設計方法のフローチャートである。

【 符号の説明 】

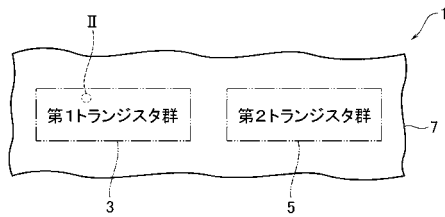
【 0 0 6 2 】

1・・・半導体装置、3・・・第1トランジスタ群、5・・・第2トランジスタ群、7・・・半導体基板、9・・・電界効果トランジスタ、11・・・ゲート電極、13,15・・・ソース/ドレイン、17・・・素子分離絶縁膜、19,21・・・ゲート絶縁膜、23・・・配線、25・・・チャンネル領域、27・・・層間絶縁膜、29・・・プラグ、31・・・パッド、33・・・層間絶縁膜、35・・・配線、37・・・プラグ、39・・・

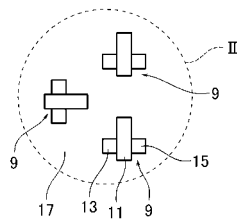
50

・配線、41・・・プラグ、43・・・レジスト、45・・・両側面、47・・・上面、
 49・・・荷電粒子、51・・・低誘電率膜、53・・・Cu拡散防止膜、55・・・半
 導体チップ、57, 59・・・メモリ、61・・・論理回路、63, 65・・・I/O回
 路、67・・・回路ブロック

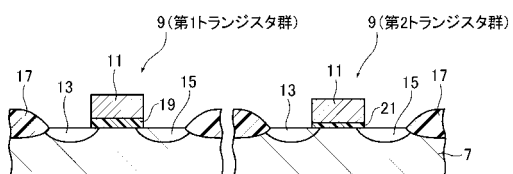
【図1】



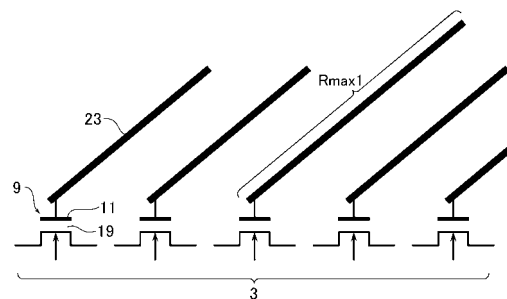
【図2】



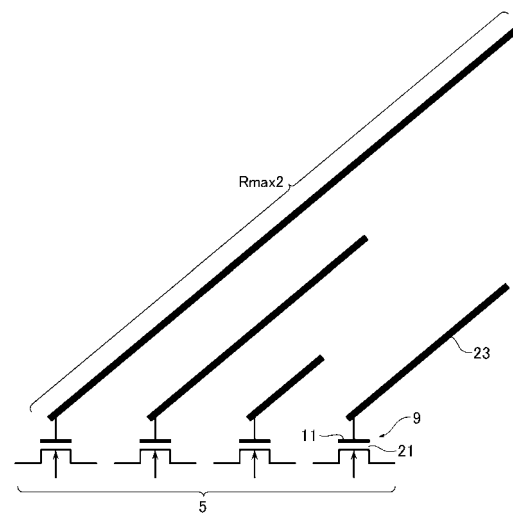
【図3】



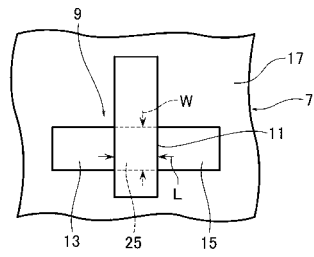
【図4】



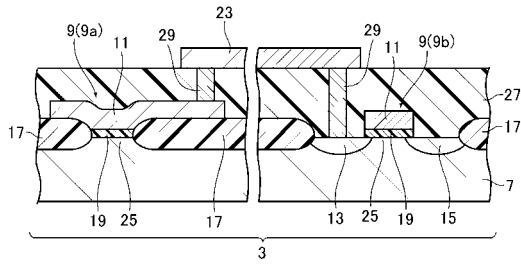
【図5】



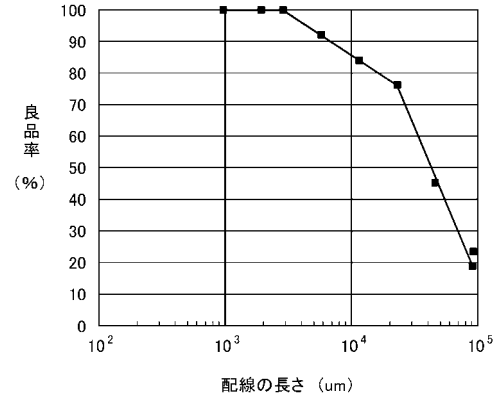
【図6】



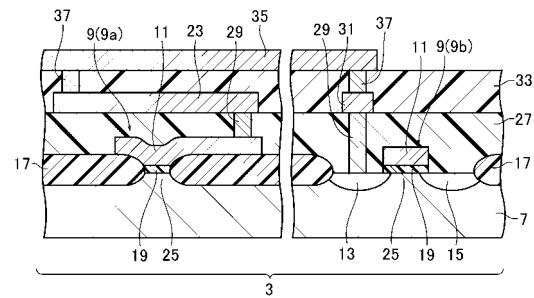
【図7】



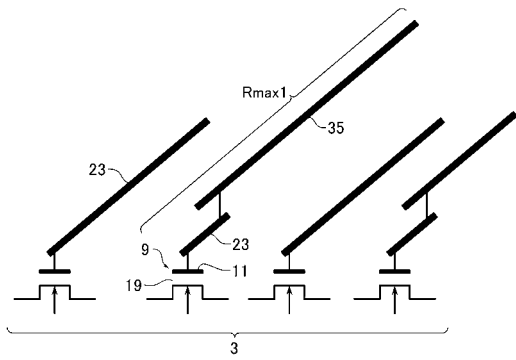
【図8】



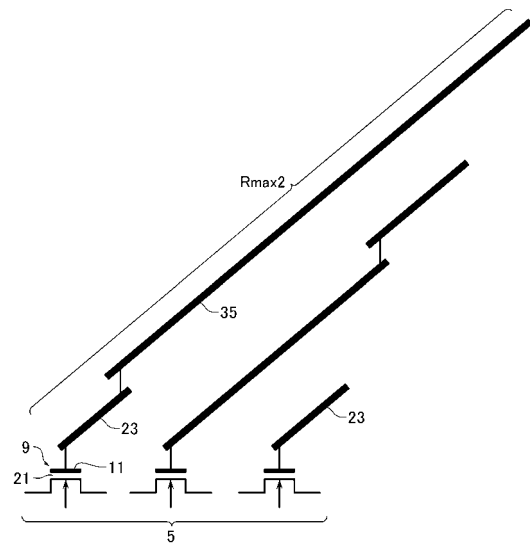
【図9】



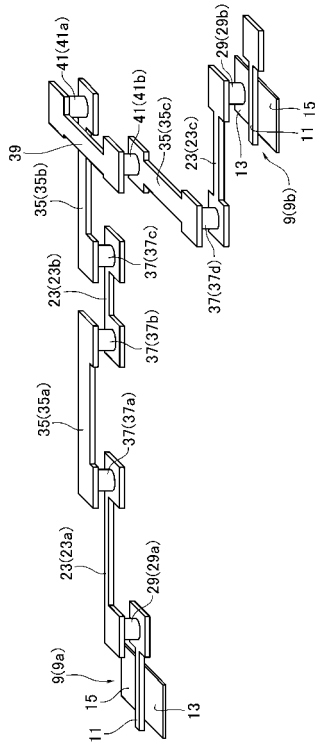
【図10】



【図11】



【 図 1 2 】



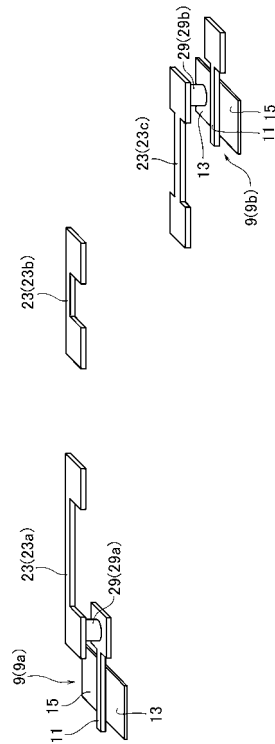
【 図 1 3 】



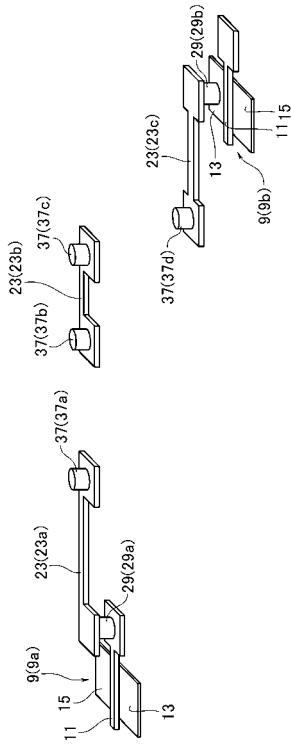
【 図 1 4 】



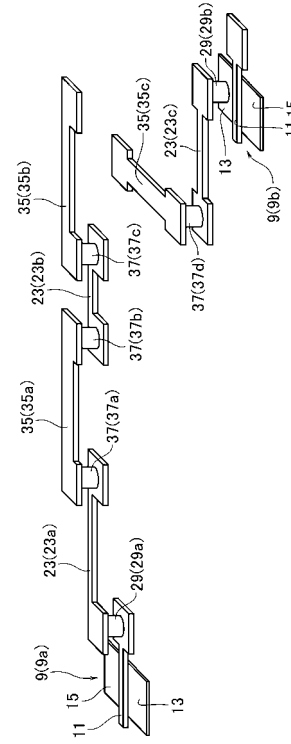
【 図 1 5 】



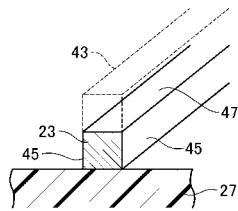
【図16】



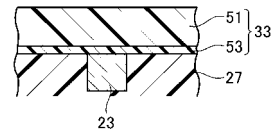
【図17】



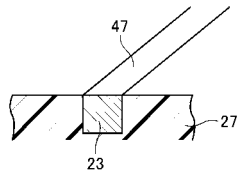
【図18】



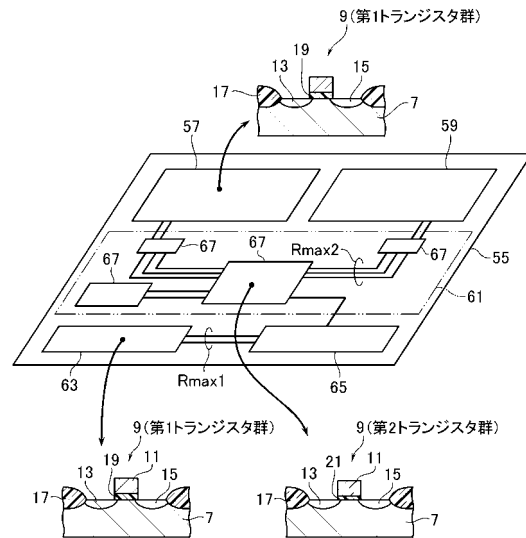
【図21】



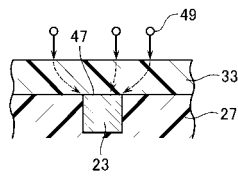
【図19】



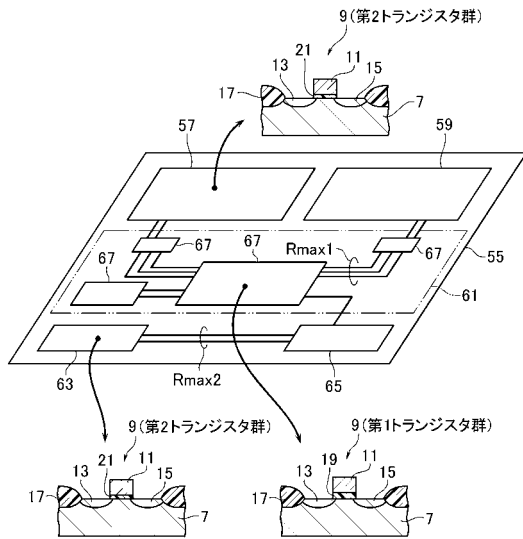
【図22】



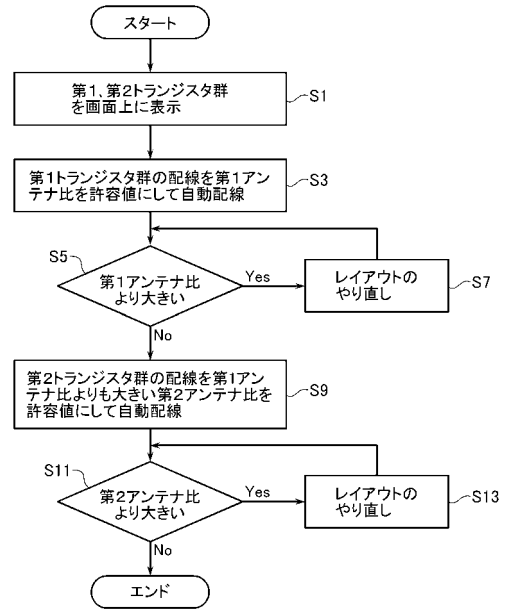
【図20】



【図23】



【図24】



 フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L 27/088 (2006.01)</i>		H 0 1 L 27/08	1 0 2 D	
<i>H 0 1 L 21/3205 (2006.01)</i>		H 0 1 L 21/88	Z	
<i>H 0 1 L 23/52 (2006.01)</i>		H 0 1 L 21/90	V	
<i>H 0 1 L 21/768 (2006.01)</i>				
<i>H 0 1 L 23/522 (2006.01)</i>				

(56)参考文献 特開2002-313866(JP,A)
 特開平11-074368(JP,A)
 国際公開第98/045876(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 2
 G 0 6 F 1 7 / 5 0
 H 0 1 L 2 1 / 3 2 0 5
 H 0 1 L 2 1 / 7 6 8
 H 0 1 L 2 1 / 8 2
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 3 / 5 2
 H 0 1 L 2 3 / 5 2 2
 H 0 1 L 2 7 / 0 4
 H 0 1 L 2 7 / 0 8 8