

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3578366号
(P3578366)

(45) 発行日 平成16年10月20日(2004.10.20)

(24) 登録日 平成16年7月23日(2004.7.23)

(51) Int. Cl.⁷

F I

H O 1 L 25/04

H O 1 L 25/04 Z

H O 1 L 23/12

H O 1 L 23/12 3 O 1 Z

H O 1 L 25/18

請求項の数 8 (全 15 頁)

(21) 出願番号	特願平7-268354	(73) 特許権者	503121103
(22) 出願日	平成7年10月17日(1995.10.17)		株式会社ルネサステクノロジ
(65) 公開番号	特開平9-116091		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成9年5月2日(1997.5.2)	(73) 特許権者	000233527
審査請求日	平成13年11月15日(2001.11.15)		株式会社ルネサス東日本セミコンダクタ
			東京都新宿区西新宿六丁目5番1号
		(74) 代理人	100083552
			弁理士 秋田 収喜
		(72) 発明者	沼波 雅仁
			東京都小平市上水本町5丁目20番1号
			株式会社日立製作所 半導体事業部内
		(72) 発明者	土屋 勝治
			東京都小平市上水本町5丁目20番1号
			株式会社日立製作所 半導体事業部内

最終頁に続く

(54) 【発明の名称】 混成集積回路装置

(57) 【特許請求の範囲】

【請求項1】

サーマルビアが形成された多層配線基板と、
前記多層配線基板の上に配置された半導体チップとを有する混成集積回路装置であって、
前記半導体チップにはトランジスタが形成され、
前記半導体チップはレジンにより被覆され、
前記サーマルビアは前記半導体チップの下に配置され、
前記多層配線基板の裏面のグランド電極端子は、該グランド電極端子の表面が実装用接合材に濡れないレジスト膜で部分的に覆われて相互に独立した複数の該グランド電極端子となっており、
前記多層配線基板の裏面の電極端子のうち前記グランド電極以外の電極端子は、該多層配線基板の側面の上下に延在する端面スルーホール端子を介して各層の配線に接続されていることを特徴とする混成集積回路装置。

【請求項2】

多層配線基板と、
前記多層配線基板の主面に搭載された能動部品および受動部品と、
前記能動部品の電極と前記多層配線基板の配線とを接続した導電性のワイヤと、
前記多層配線基板の裏面に設けられた前記多層配線の複数の電極端子とを有し、
前記多層配線基板の裏面のグランド電極端子は、該グランド電極端子の表面が実装用接合材に濡れないレジスト膜で部分的に覆われて相互に独立した複数の該グランド電極端子と

なっており、

前記多層配線基板の裏面の電極端子のうち前記グランド電極以外の電極端子は、該多層配線基板の側面の上下に延在する端面スルーホール端子を介して各層の配線に接続されていることを特徴とする混成集積回路装置。

【請求項 3】

多層配線基板と、

前記多層配線基板の主面に搭載された少なくとも一つ以上の能動部品および受動部品と、
前記能動部品の電極と前記多層配線基板の配線とを接続した導電性のワイヤと、
前記多層配線基板の主面を覆うように多層配線基板に固定されたキャップと、
前記多層配線基板の裏面に設けられた前記多層配線の複数の電極端子とを有し、

10

前記多層配線基板の裏面のグランド電極端子は、該グランド電極端子の表面が実装用接合材に濡れないレジスト膜で部分的に覆われて相互に独立した複数の該グランド電極端子となっており、

前記多層配線基板の裏面の電極端子のうち前記グランド電極以外の電極端子は、該多層配線基板の側面の上下に延在する端面スルーホール端子を介して各層の配線に接続されていることを特徴とする混成集積回路装置。

【請求項 4】

請求項 3 記載の混成集積回路装置において、

前記キャップは多層配線基板に設けた窪み部分によって形成された引っ掛かり部分にフックを介して着脱自在に取り付けられていることを特徴とする混成集積回路装置。

20

【請求項 5】

請求項 2 乃至 4 のいずれか一に記載の混成集積回路装置において、

前記能動部品はレジンにより被覆されていることを特徴とする混成集積回路装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一に記載の混成集積回路装置において、

前記多層配線基板は配線を介して誘電体層を多段に積み重ねた構造をしており、
前記誘電体層の間に設けられた信号配線はその上下を前記誘電体層を介してグランド配線で挟まれるストリップライン構造となっていることを特徴とする混成集積回路装置。

【請求項 7】

請求項 6 に記載の混成集積回路装置において、

前記グランド配線は編み目構造であることを特徴とする混成集積回路装置。

30

【請求項 8】

請求項 1 乃至 7 のいずれか一に記載の混成集積回路装置において、

前記半導体チップは前記多層配線基板の主面に設けられた窪みに固定され、
前記半導体チップの電極面と前記多層配線基板の配線面の高さは略同一であり、
前記半導体チップの電極と前記配線を接続する前記ワイヤはほぼ直線状に延在していることを特徴とする混成集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

40

本発明は低温焼成多層配線基板を用いた混成集積回路装置に関し、特にセルラー電話機等の送信部に用いる小型の高周波電力増幅装置（高周波パワーモジュール：RF パワーモジュール）に適用して有効な技術に関する。

【0002】

【従来の技術】

自動車電話、携帯電話等の移動通信機器無線部に使用される RF パワーモジュールは、金属製のフランジとキャップとによってパッケージが形成されている。また、前記パッケージの一側面から信号端子等の電極端子を突出させるとともに、パッケージの両端下部からグランド電極を兼ねた取付用フィンを突出させる構造となっている。

【0003】

50

また、前記パッケージ内において、前記フランジ上には両面に導体を有する配線基板が固定されている。この配線基板は、誘電体基板の表面に回路パターンを設け、裏面にグランド(GND)パターンを設けた所謂マイクロストリップライン構造となっている。また、前記配線基板は、部分的に穴が設けられている。そして、前記穴底のフランジ部分には熱伝導性の良好なヒートシンクが固定されている。前記ヒートシンクには電界効果トランジスタからなる半導体チップが固定されている。

【0004】

高周波パワーモジュール(高周波電力増幅用MOS・パワーモジュール)については、日立評論社発行「日立評論」1993年第4号、同年4月25日発行、P12~P26に記載されている。同文献には、幅22mm、奥行き12mm、高さ3.7mmのE型の高周波パワーモジュールが開示されている。

10

【0005】

【発明が解決しようとする課題】

従来の高周波パワーモジュールは、大別すると、金属製のフランジ(ヘッダ)と、このフランジ上に固定される配線基板と、前記配線基板に設けた穴を利用しかつ前記フランジに固定したヒートシンク上に固定される半導体チップと、前記フランジに固定され前記配線基板を覆うキャップと、前記配線基板に固定され先端を前記キャップの外に突出させる電極端子(リード)とからなっている。また、前記フランジの両端は部分的にキャップの外側に突出してグランド電極を兼ねた取付用フィンを構成している。

【0006】

20

なお、前記配線基板の表面にはコンデンサ、抵抗、ツェナーダイオード等の電子部品が搭載されている。また、配線基板の表面の配線と前記半導体チップの電極とは導電性のワイヤで接続されている。

【0007】

従来の高周波パワーモジュールの小型化、高性能化、低コスト化等を検討した結果、以下の事項が小型化、高機能化、低コスト化等を妨げるということが判明した。

【0008】

(1)配線基板は、誘電体基板の表面に信号配線や電源配線等の回路パターンを設け、裏面にグランド(GND)パターンを設けたマイクロストリップライン構造となっている。これは、配線基板の作製後、抵抗をトリミングしたり、線路幅の調整を行って特性の調整を行うためである。しかし、誘電体基板の一面に信号配線を形成するマイクロストリップライン構造では、所望の電気特性を得るために、信号配線の引き回し長さが長いことから、配線基板が大型化し、この配線基板を内蔵するパッケージが大きくなり、高周波パワーモジュールの小型化が妨げられている。

30

【0009】

(2)フランジ上に配線基板を固定し、さらにキャップで覆う構造となるため、パッケージの高さが大きくなり、高周波パワーモジュールの小型化が妨げられている。

【0010】

(3)フランジの両端の一部は、キャップの外側に突出してグランド電極を兼ねた取付用フィンを構成することから高周波パワーモジュールが大型化する。したがって、実装面積も大きくなる。

40

【0011】

(4)パッケージ(キャップ)の一側面から長くリードを突出させることから高周波パワーモジュールが大型化する。したがって、実装面積も大きくなる。

【0012】

(5)半導体チップの表面と、配線基板の配線面の高さが異なるため、半導体チップの電極と配線を接続するワイヤが長くなる。また、半導体チップは、配線基板に設けた穴の底部分のフランジに固定されたヒートシンク上に固定されるため、半導体チップの電極と配線との間隔が長くなり、ワイヤが長くなる。ワイヤが長くなると抵抗が増大し高周波特性が低くなる。例えば出力ゲインが小さくなる。

50

【0013】

(6) 配線基板は誘電体基板で形成されているため、発熱量の大きい半導体チップを直接配線基板に搭載することができないため、配線基板に穴を設け、この穴底の金属製のフランジ部分に熱伝導性の良好なヒートシンクを固定し、このヒートシンクに半導体チップを固定する構造となるため、部品点数の増大と、組立工数の増大から高周波パワーモジュールのコストの高騰を招いている。

【0014】

(7) 支持部材，放熱部材，グランド電極を兼ねるフランジを配線基板に固定する構造となっていることから、部品点数が増大する。

【0015】

(8) 高周波パワーモジュールの実装のため、フランジの一部を成形して取付用フィンを形成しているが、成形のため各取付用フィンの実装面高さがばらつきやすくなり、実装の信頼性を損なうこともある。

【0016】

本発明の目的は、実装面積の縮小化が図れる小型の混成集積回路装置を提供することにある。

【0017】

本発明の他の目的は、高性能な混成集積回路装置を提供することにある。

【0018】

本発明の他の目的は、製造コストの低減が達成できる混成集積回路装置を提供することにある。

【0019】

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0020】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0021】

(1) 混成集積回路装置は以下の構造となっている。

【0022】

(a) 多層配線基板と、前記多層配線基板の主面に搭載される少なくとも一つ以上の能動部品および受動部品と、前記能動部品の電極と前記多層配線基板の配線とを接続する導電性のワイヤと、前記多層配線基板の主面を覆うように多層配線基板に固定されるキャップと、前記多層配線基板の裏面に設けられた前記多層配線の複数の電極端子とを有する。

【0023】

(b) 前記多層配線基板には電界効果トランジスタを構成する半導体チップが多段に接続配置されて高周波パワーモジュールを構成している。

【0024】

(c) 前記多層配線基板は配線を介在させて誘電体層を多段に積み重ねた構造となるとともに、前記誘電体層間に設けられた信号配線はその上下を誘電体層を介してグランド配線で挟まれるストリップライン構造となっている。また、多層配線基板の上部分はマイクロストリップライン構造となっている。

【0025】

(d) 前記グランド配線は編み目構造となっている。

【0026】

(e) 前記能動部品において半導体チップは前記多層配線基板の主面に設けられた窪みに固定され、前記半導体チップの電極面と前記多層配線基板の配線面の高さは略同一高さとなり、前記半導体チップの電極と前記配線を接続する前記ワイヤは略直線状に延在している。

10

20

30

40

50

【0027】

(f) 前記多層配線基板の所望部分には、所望の誘電体層から最下層の誘電体層まで貫通延在するサーマルビアが設けられている。

【0028】

(g) 前記サーマルビアの上には半導体チップが位置している。

【0029】

(h) 前記多層配線基板の裏面の電極端子において、グランド電極端子はその表面が実装用接合材に濡れないレジスト膜で部分的に覆われて相互に独立した複数の電極端子となっている。

【0030】

(i) 前記多層配線基板の裏面の電極端子の配列間隔は同一ピッチとなっている。

【0031】

(j) 前記多層配線基板の裏面の電極端子のうち、少なくともグランド電極以外の電極端子は多層配線基板の側面の上下に延在する端面スルーホール端子を介して各層の配線に接続されている。

【0032】

(k) 前記多層配線基板は低温焼成多層セラミック基板となり、配線は銀系金属からなる高導電性金属で形成されている。

【0033】

(2) 前記手段(1)の構成において、前記キャップは多層配線基板に設けた窪みにフックを介して着脱自在に取り付けられている。

【0034】

前記(1)の手段によれば、(a)高周波パワーモジュールは、電界効果トランジスタ等の能動部品や受動部品を主面に搭載した多層配線基板と、この多層配線基板の主面側に固定されたキャップとによって形成された矩形体構造となっていることから、従来のようにパッケージからリードを突出させたり、取付用フィンを突出させないため小型となる。

【0035】

(b) 前記多層配線基板はストリップライン構造にマイクロストリップライン構造を積み重ねた構造となるため、伝送線路(信号配線等)の長さを長くとっても、伝送線路は2段に設けられるため、多層配線基板の大きさは小さくでき、高周波パワーモジュールの小型化が達成できる。

【0036】

(c) 誘電体層間に設けられた信号配線はその上下を誘電体層を介してグランド配線で挟まれる構造となることから、電気・電磁的シールドがなされ、高周波特性が安定する。

【0037】

(d) 前記グランド配線は編み目構造となっていることから、編み目部分には誘電体層が入り込み、グランド配線の上下の誘電体層の接合強度が高くなり、剥がれ難い多層配線基板となる。したがって、耐湿性に優れた高周波パワーモジュールとなる。

【0038】

(e) 前記能動部品において半導体チップは前記多層配線基板の主面に設けられた窪みに固定され、前記半導体チップの電極面と前記多層配線基板の配線面の高さは略同一高さとなり、前記半導体チップの電極と前記配線を接続する前記ワイヤは略直線状に延在している。したがって、ワイヤが短くなり、抵抗が軽減されて高周波特性が良好となる。例えば出力ゲインが大きくなる。

【0039】

(f) 前記多層配線基板の所望部分には、所望の誘電体層から最下層の誘電体層まで貫通延在するサーマルビアが設けられている。したがって、熱放散性が高くなり、安定した電気特性が得られる。

【0040】

(g) 前記サーマルビアの上には半導体チップが位置している。したがって、半導体チ

10

20

30

40

50

ップで発熱した熱は速やかに外部に放散され、電界効果トランジスタが安定動作する。

【0041】

(h) 前記多層配線基板の裏面の電極端子において、グランド電極端子はその表面が実装用接合材に濡れないレジスト膜で部分的に覆われて相互に独立した複数の電極端子となっている。したがって、各電極端子に均一に実装用接合材が濡れるため、各電極端子は確実に実装用接合材を介して実装基板に固定される。

【0042】

(i) 前記多層配線基板の裏面の電極端子の配列間隔は同一ピッチとなっている。したがって、各電極端子は実装用接合材の片寄りもなく実装用接合材のブリッジ等の不良も発生しなくなる。また、実装のセルフアライン化も可能となる。

10

【0043】

(j) 前記多層配線基板の裏面の電極端子のうち、少なくともグランド電極以外の電極端子は多層配線基板の側面の上下に延在する端面スルーホール端子を介して各層の配線に接続されている。すなわち、高周波パワーモジュールはLCC(リードレス・チップ・キャリア)構造となり、小型化が達成できる。

【0044】

(k) 前記多層配線基板は低温焼成多層セラミック基板となることから、配線は融点の低い銀系金属(Ag-Pt)からなる高導電性金属で形成できるため、抵抗の低減から高周波特性が良好となる。すなわち、出力ゲインの向上を図ることができる。

【0045】

前記(2)の手段によれば、キャップは多層配線基板に設けた窪みにフックを介して着脱自在に取り付けられていることから、多層配線基板へのキャップの着脱が容易である。

20

【0046】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0047】

なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0048】

図1乃至図9は本発明の一実施形態である高周波パワーモジュールに係わる図であり、図1は高周波パワーモジュールの外観を示す斜視図、図2は高周波パワーモジュールの断面図、図3はキャップを取り外した高周波パワーモジュールを示す平面図、図4は高周波パワーモジュールを構成する多層配線基板の構造を示す一部の斜視図、図5は前記多層配線基板の表面、すなわち上段誘電体層の露出面に形成される配線パターン(第1層配線)を示す平面図、図6は前記多層配線基板の上段誘電体層と中段誘電体層との間に形成される配線パターン(第2層配線)を示す平面図、図7は前記多層配線基板の中段誘電体層と下段誘電体層との間に形成される配線パターン(第3層配線)を示す平面図、図8は前記多層配線基板の裏面、すなわち下段誘電体層の露出面に形成される配線パターン(第4層配線)を示す底面図、図9は前記多層配線基板におけるグランド配線となる第2層配線および第4層配線の一部を示す平面図である。

30

40

【0049】

本実施形態の混成集積回路装置(高周波パワーモジュール)1は、図1に示すように、板状の多層配線基板2と、この多層配線基板2の主面(上面)に被せるように半田3(例えば、Pb/Sn=95/5の高温半田)を介して固定されたキャップ4とからなり、外観的には、偏平な矩形体となっている。高周波パワーモジュール1は、例えば、幅8mm、長さ12.3mm、高さ2.5mmとなり、従来のE型の高周波パワーモジュールの幅22mm、奥行き12mm、高さ3.7mmに比較して大幅に小型となる。

【0050】

また、図8の多層配線基板2の底面図に示すように、前記多層配線基板2の裏面には、複数の電極端子(外部端子)5が設けられている。電極端子5は多層配線基板2の両側にそ

50

れぞれ設けられ、多層配線基板 2 の長手方向に沿って一定ピッチで並び、一側（図中上側）では左から右に向かって入力端子（ P_{in} ）6，グランド端子（ GND ）7，グランド端子（ GND ）8，ゲインコントロール端子（ V_{apc} ）9となる。また、他側（図中下側）では左から右に向かって出力端子（ P_{out} ）10，グランド端子（ GND ）11，グランド端子（ GND ）12，電源端子（ V_{dd} ）13となる。

【0051】

前記入力端子 6，ゲインコントロール端子 9，出力端子 10，電源端子 13 に対応する多層配線基板 2 の側面には、多層配線基板 2 の表面から裏面に至る部分に端面スルーホールが設けられている。これは、高周波パワーモジュール 1 を実装基板に実装する際、各電極端子が多層配線基板 2 の裏面の電極部分と側面の端面スルーホール 20 部分で接続されて実装されることになり、確実な実装が行える。

10

【0052】

以上のことから、本実施形態の高周波パワーモジュール 1 は、混成集積回路装置ではあるが、単体の半導体チップをパッケージ内に組み込んだ LCC 構造となり、製品の小型化が達成できる。

【0053】

一方、図 8 において 4 つのグランド端子（ GND ）7，8，11，12 を区画するように延在するハッチング部分は、高周波パワーモジュール 1 を実装基板に実装する際使用される実装用接合材に濡れない材料で形成されたレジスト膜 14 である。例えば、高周波パワーモジュール 1 は半田によって実装基板に実装されることから、前記レジスト膜 14 は厚

20

【0054】

前記レジスト膜 14 はグランド配線を覆うように設けられている。したがって、多層配線基板 2 の裏面には、前記 4 つのグランド端子（ GND ）7，8，11，12 が延在する領域と、レジスト膜 14 とによって覆われる領域に亘って一体となるグランド（ GND ）配線 15 が延在することになる。これは、後述するが、信号配線および電源配線等を上下で誘電体層を介してグランド配線で挟む所謂ストリップライン構造とし、電気・電磁的なシールドを行うためである。

【0055】

また、前記一体のグランド配線 15 をレジスト膜 14 で部分的に覆い、独立した複数のグランド端子 7，8，11，12 とすることは、各電極端子の面積差を余り大きくしないことにある。すなわち、高周波パワーモジュール 1 を半田実装した場合、各電極端子の面積差が極端に大きいと、半田の表面張力によって広い面積部分での高周波パワーモジュール 1 の浮き上がり高さが大きくなり、四方に設けられた小面積部分では、一部で接合不良が発生するおそれがある。そこで、本実施形態では、各電極端子の面積比率は最大でも 2 倍程度としてある。

30

【0056】

また、一列に並ぶ電極端子において各電極端子を等しいピッチで配列することによって、セルフアライメントを促進する。また、半田ブリッジ等の実装不良も防止できる。

【0057】

また、図 8 において示す小丸は、高周波パワーモジュール 1 内で発生した熱を外部に伝達するサーマルビア 16 であり、同図では一部のみを示してある。サーマルビア 16 は、サーマルビアホールに熱伝導性の良好な金属を充填した構造となっている。サーマルビア 16 は、例えば発熱量の大きい能動部品である半導体チップの下部に設けられている。

40

【0058】

高周波パワーモジュール 1 を構成するキャップ 4 は、例えば金属板を成形して周壁を形成した構造となり、両端の端面壁 21 で多層配線基板 2 の両端を覆い、両側の側壁 22 から突出する接続片 23 で多層配線基板 2 の側面と重なり、半田 3 を介して多層配線基板 2 に固定されている。また、側壁 22 の一部は開口されている。キャップ 4 は厚さ 0.1 mm

50

となり、例えばメッキレスの洋白、あるいはニッケルメッキを施したリン青銅で形成されている。

【0059】

多層配線基板2は、図2および図4に示すように、上段誘電体層（上段誘電体板）25，中段誘電体層（中段誘電体板）26，下段誘電体層（下段誘電体板）27と誘電体層（誘電体板）を3段に重ねた構造となっている。

【0060】

また、上段誘電体層25の上面（露出面）には、図5に示すような配線パターン（第1層配線30）が設けられている。また、前記上段誘電体層25と中段誘電体層26との間には図6に示すような配線パターン（第2層配線31）が設けられ、前記中段誘電体層26と下段誘電体層27との間には図7に示すような配線パターン（第3層配線32）が設けられ、下段誘電体層27の裏面（露出面）には図8に示すような配線パターン（第4層配線33）が設けられている。

10

【0061】

多層配線基板2は、例えば、ガラスセラミックスを積層させた低温焼成多層配線基板からなり、配線は高導電性金属、例えば銀系金属を使用している。すなわち、外層配線はAg-Ptを使用し、内装配線はAgを使用している。低温焼成は600程度となり、融点の低いAgの使用が可能となる。Agは抵抗値が低い高導電性金属となるため、高周波特性の向上が達成できる。

【0062】

図5乃至図8において、35は信号配線、36は電源配線、15はグランド配線である。これにより、中段誘電体層26と下段誘電体層27との間の第3層配線32は、中段誘電体層26上の第2層配線31と下段誘電体層27の下の第4層配線33がいずれもグランド配線15となることから、ストリップライン構造となる。また、上段誘電体層25上の第1層配線30は上段誘電体層25の下面にグランド配線15となる第2層配線31が設けられていることから、マイクロストリップライン構造となる。

20

【0063】

内層の信号配線は上下を誘電体層を介して挟まれることから、電気・電磁的シールドが可能となり、高周波特性が安定する。

【0064】

また、上段誘電体層25と中段誘電体層26との間のグランド配線15は、図9に示すように、編み目（メッシュ）構造となっている。このため、編み目部分55には、上段誘電体層25と中段誘電体層26の誘電体層が入り込み、グランド配線の上下の誘電体層の接合強度が高くなり、剥がれ難い多層配線基板2となる。

30

【0065】

前記第1層配線30，第2層配線31，第3層配線32，第4層配線33の各配線は10～20μm程度の厚さとなっている。そして、多層配線基板2全体の厚さは、例えば0.9mmとなる。

【0066】

一方、第1層配線30，第2層配線31，第3層配線32，第4層配線33の各配線は、図2および図4に示すように、所望の誘電体層から所望の深さの誘電体層まで貫通延在するブラインド型ビア40や最上段の誘電体層から最下段の誘電体層まで貫通延在する貫通型ビア41、さらには所望の誘電体層から最下段の誘電体層まで貫通延在するサーマルビア16によって電氣的に接続されている。これらブラインド型ビア40，貫通型ビア41およびサーマルビア16はビアホールにAgを充填させた構造となっている。

40

【0067】

また、3枚の重なる上段誘電体層25，中段誘電体層26，下段誘電体層27の両側面にも、半円弧断面の端面スルーホール20が設けられ、下段誘電体層27の第4層配線33で形成される各外部端子5（入力端子6、グランド端子7，811，12、ゲインコント

50

ロール端子 9、出力端子 10、電源端子 13) に接続されている。

【0068】

前記上段誘電体層 25 には、図 2 乃至図 5 に示すように、矩形の窪み 42、43 が設けられ、これら窪み 42、43 の底には半導体チップ 44、45 が固定されている。窪み 42、43 によって、半導体チップ 44、45 の図示しない上面の電極面と、配線面の高さは略同じ高さとなる。このため、半導体チップ 44、45 の電極と配線とを接続する導電性のワイヤ 46 はその張り高さ(ループ)を低く形成できるため、短い長さで配線と半導体チップの電極を接続できることになり、抵抗の低減から高周波特性の向上が達成できる。例えば出力ゲインの向上を達成することができる。

【0069】

前記半導体チップ 45 は、図 2 および図 4 に示すように、グランド配線 15 となる第 2 層配線 31 に銀ペースト等の接合材 47 を使用して固定される。また、半導体チップ 44、45 が固定される部分には、多数のサーマルビア 16 が設けられ、半導体チップ 44、45 から発生する熱を速やかに外部に伝達するようになっている。熱は、多層配線基板 2 の裏面のグランド配線 15 およびレジスト膜 14 を介して実装基板に放熱される。したがって、半導体チップ 44、45 は安定した動作を行う。

【0070】

多層配線基板 2 の表面には、図 2 乃至図 4 に示すように、能動部品としてツェナーダイオード(ZD) 50 が搭載されている。また、受動部品としてはチップ型の抵抗($R_1 \sim R_6$) 51、チップ型のコンデンサ($C_1 \sim C_9$) 52、コンデンサ(バイパスコンデンサ) 53 が搭載されている。

【0071】

また、図 2 および図 3 に示すように、半導体チップ 44、45、ワイヤ 46、一部の抵抗 51、コンデンサ 52、コンデンサ 53 等は、耐湿性向上のためにレジン 54 によって被覆されている。

【0072】

なお、本実施形態では内層の配線は修正できない。このため、線路特性を測定した後、線路特性に合った各部品(抵抗、コンデンサ等)を選択して組み込むことによって所望の電気特性を得ることができる。

【0073】

本実施形態では、電界効果トランジスタを 2 段に組み込んで、800 ~ 1000 MHz となる携帯電話用の高周波パワーモジュールとなる。

【0074】

本実施形態の高周波パワーモジュールは以下の効果を有する。

【0075】

(1) 高周波パワーモジュールは、電界効果トランジスタ等の能動部品や受動部品を主面に搭載した多層配線基板 2 と、この多層配線基板 2 の主面側に固定されたキャップ 4 とによって形成された矩形体構造となっていることから、従来のようにパッケージからリードを突出させたり、取付用フィンを突出させないため小型となる。特に長くリードを突出させないため、実装面積の大幅な縮小が達成できる。実装の場合、E 型の場合、実装面積は 20 mm x 14.35 mm となるが、本実施形態の場合は 12.3 mm x 8 mm と大幅に小さくなる。

【0076】

(2) 多層配線基板 2 はストリップライン構造にマイクロストリップライン構造を積み重ねた構造となるため、伝送線路(信号配線等)の長さを長くとっても、伝送線路は 2 段に設けられるため、多層配線基板の大きさは小さくでき、高周波パワーモジュールの小型化が達成できる。

【0077】

(3) 誘電体層間に設けられた信号配線はその上下を誘電体層を介してグランド配線で挟まれる構造となることから、電気・電磁的シールドがなされ、高周波特性が安定する。

10

20

30

40

50

【0078】

(4) 内層のグラウンド配線は編み目構造となっていることから、編み目部分には誘電体層が入り込み、グラウンド配線の上下の誘電体層の接合強度が高くなり、剥がれ難い多層配線基板となる。したがって、耐湿性に優れた高周波パワーモジュールとなる。

【0079】

(5) 能動部品において、半導体チップ44, 45は多層配線基板2の主面に設けられた窪み42, 43に固定され、半導体チップの電極面と多層配線基板の配線面の高さは略同一高さとなり、前記半導体チップの電極と前記配線を接続する前記ワイヤ46は略直線状に延在している。したがって、ワイヤが短くなり、抵抗が軽減されて高周波特性が良好となる。例えば出力ゲインが大きくなる。

10

【0080】

(6) 多層配線基板2の所望部分には、所望の誘電体層から最下層の誘電体層まで貫通延在するサーマルビア16が設けられている。したがって、熱放散性が高くなり、安定した電気特性が得られる。

【0081】

(7) サーマルビア16の上には半導体チップ44, 45が位置している。したがって、半導体チップ44, 45で発熱した熱は速やかに外部に放散され、電界効果トランジスタが安定動作する。

【0082】

(8) 多層配線基板2裏面の電極端子5において、グラウンド配線15はその表面が実装用接合材に濡れないレジスト膜14で部分的に覆われて相互に独立した複数のグラウンド端子7, 8, 11, 12となっている。したがって、各電極端子5に均一に実装用接合材が濡れるため、各電極端子5は確実に実装用接合材を介して実装基板に固定される。

20

【0083】

(9) 多層配線基板2の裏面の電極端子5の配列間隔は同一ピッチとなっている。したがって、各電極端子5は実装用接合材の片寄りもなく実装用接合材のブリッジ等の不良も発生しなくなる。また、実装のセルフアライン化も可能となる。

【0084】

(10) 多層配線基板2の裏面の電極端子5のうち、少なくともグラウンド端子7, 8, 11, 12以外の電極端子は、多層配線基板2の側面の上下に延在する端面スルーホール20を介して各層の配線に接続されている。すなわち、高周波パワーモジュールはLCCL(リードレス・チップ・キャリア)構造となり、小型化が達成できる。

30

【0085】

(11) 多層配線基板2は低温焼成多層セラミック基板となることから、配線は融点の低い銀系金属(Ag-Pt)からなる高導電性金属で形成できるため、抵抗の低減から高周波特性が良好となる。すなわち、出力ゲインの向上を図ることができる。

【0086】

以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、図10に示すように、キャップ4は、多層配線基板2に設けた窪み60の縁にフック61を介して着脱自在に取り付ける構造とすれば、多層配線基板2へのキャップ4の着脱が容易となる。

40

【0087】

また、前記実施形態では、多層配線基板2は多層配線構造となっていることから、誘電体層の厚さをさらに薄くでき、容量の増大を図ることができる。また、多層配線基板2となることから、信号配線の長さもさらに長くできるため、特性インピーダンスの増大を図ることも可能である。この場合、酸化チタンやチタン酸バリウム等誘電率の高い材料を誘電体層(誘電体板)として使用すれば、容量の増大はさらに高くなる。

【0088】

また、前記多層配線基板2は、ガラスセラミック以外の配線基板材料を用いて形成できる

50

。

【0089】

また、低温焼成多層配線基板の場合、高導電性金属による配線としては、金や銅を使用できる。

【0090】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である高周波パワーモジュールに適用した場合について説明したが、それに限定されるものではない。本発明は少なくとも混成集積回路装置には適用できる。

【0091】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0092】

(1) 高周波パワーモジュールは、LCC構造となるため小型となる。また、配線基板は多層配線基板となるため、信号配線は各段に形成できるため所定の長さを得ることができ、配線基板の大きさも小さくでき、パッケージの大きさを小さくできる。これらによって高周波パワーモジュールの小型化、実装面積の縮小化が達成できる。

【0093】

(2) 高周波パワーモジュールは低温焼成多層配線基板を使用するため、高導電性金属で配線を形成できること、内層の信号配線はストリップライン構造となることから電気・電磁的にシールドされること、半導体チップで発生した熱はサーマルビアによって速やかにパッケージ外に放熱されること等によって高周波特性の向上が達成できる。

【0094】

(3) 多層配線基板の裏面に電極端子を設けるとともに、多層配線基板をキャップで覆うことによって高周波パワーモジュールを形成していることから、部品点数が少なくなり、組立工数の低減、材料費の低減から製造コストの低減が達成できる。

【図面の簡単な説明】

【図1】本発明の一実施形態である高周波パワーモジュールの外観を示す斜視図である。

【図2】本実施形態の高周波パワーモジュールの断面図である。

【図3】本実施形態のキャップを取り外した高周波パワーモジュールを示す平面図である

【図4】本実施形態の高周波パワーモジュールにおける多層配線基板の構造を示す一部の斜視図である。

【図5】本実施形態の高周波パワーモジュールにおける多層配線基板の表面、すなわち上段誘電体層の露出面に形成される配線パターン(第1層配線)を示す平面図である。

【図6】本実施形態の高周波パワーモジュールにおける多層配線基板の上段誘電体層と中段誘電体層との間に形成される配線パターン(第2層配線)を示す平面図である。

【図7】本実施形態の高周波パワーモジュールにおける多層配線基板の中段誘電体層と下段誘電体層との間に形成される配線パターン(第3層配線)を示す平面図である。

【図8】本実施形態の高周波パワーモジュールにおける多層配線基板の裏面、すなわち下段誘電体層の露出面に形成される配線パターン(第4層配線)を示す底面図である。

【図9】本実施形態の高周波パワーモジュールにおけるグラウンド配線となる第2層配線および第4層配線の一部を示す平面図である。

【図10】本発明の他の実施形態である高周波パワーモジュールを示す断面図である。

【符号の説明】

1 ... 混成集積回路装置(高周波パワーモジュール)、2 ... 多層配線基板、3 ... 半田、4 ... キャップ、5 ... 電極端子(外部端子)、6 ... 入力端子(P_{in})、7 ... グラウンド端子(GND)、8 ... グラウンド端子(GND)、9 ... ゲインコントロール端子(V_{apc})、10 ... 出力端子(P_{out})、11, 12 ... グラウンド端子(GND)、13 ... 電源端子(V_{dd})、14 ... レジスト膜、15 ... グラウンド配線、16 ... サーマルビア、20 ... 端面

10

20

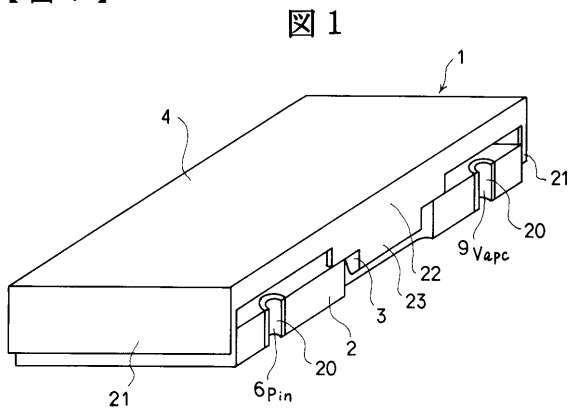
30

40

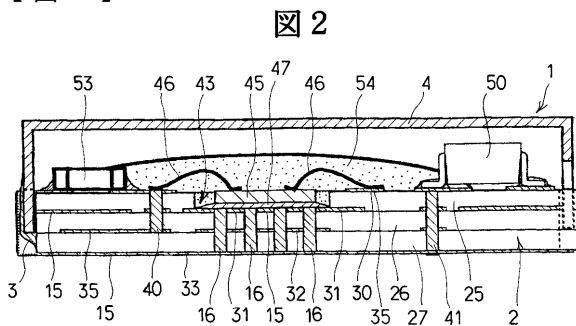
50

スルーホール、21...端面壁、22...側壁、23...接続片、25...上段誘電体層、26...中段誘電体層、27...下段誘電体層、30...第1層配線、31...第2層配線、32...第3層配線、33...第4層配線、35...信号配線、36...電源配線、40...ブラインド型ビア、41...貫通型ビア、42, 43...窪み、44, 45...半導体チップ、46...ワイヤ、47...接合材、50...ツェナーダイオード、51...抵抗、52...コンデンサ、53...コンデンサ、54...レジン。

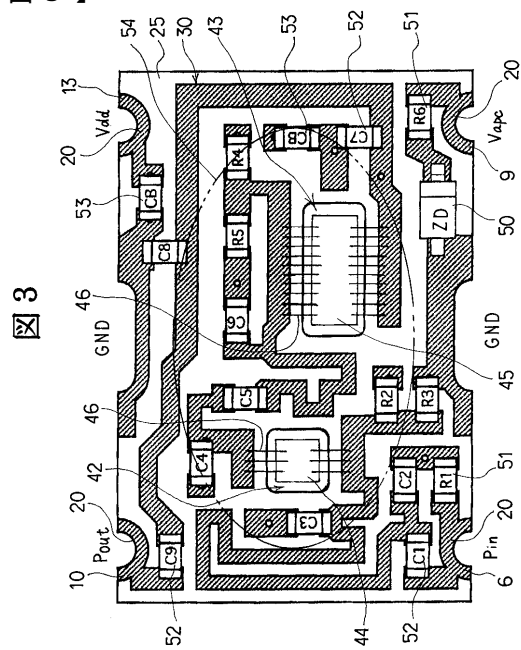
【図1】



【図2】



【図3】



【 図 4 】

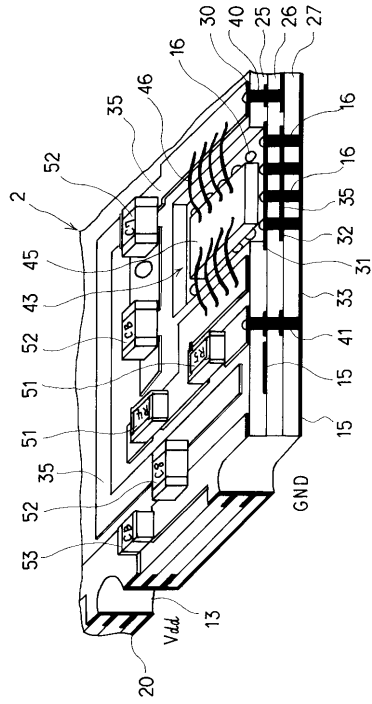


図 4

【 図 5 】

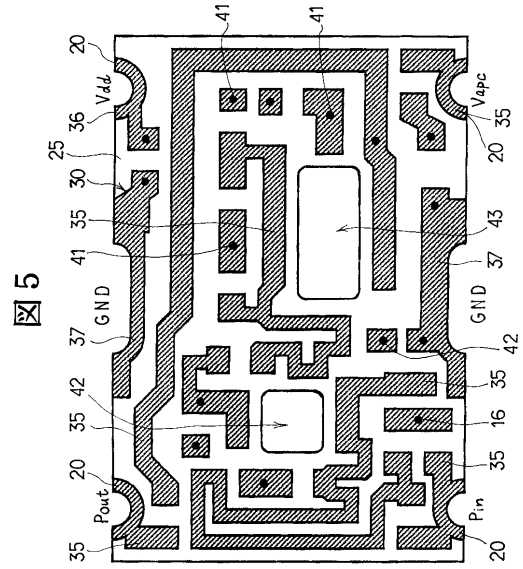


図 5

【 図 6 】

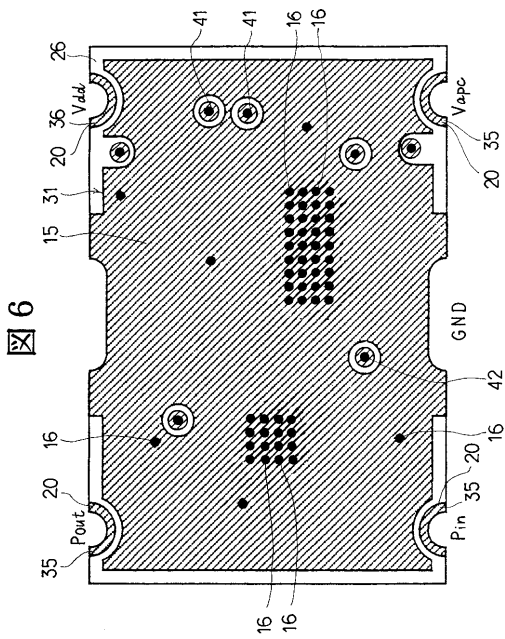


図 6

【 図 7 】

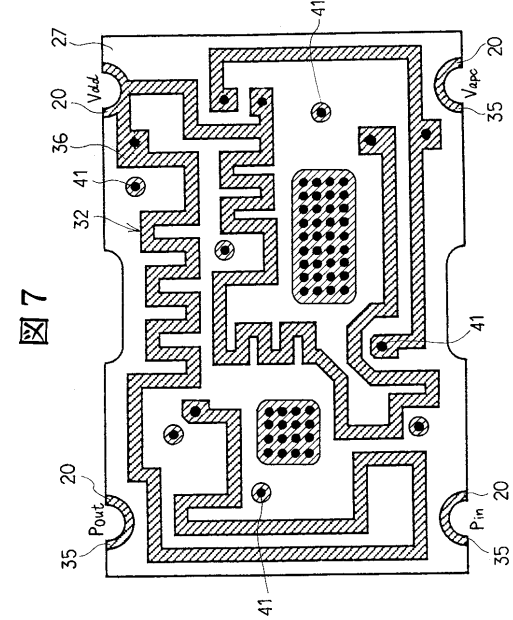


図 7

フロントページの続き

- (72)発明者 遠藤 恒雄
東京都小平市上水本町5丁目20番1号 株式会社日立製作所 半導体事業部内
- (72)発明者 布川 康弘
東京都小平市上水本町5丁目20番1号 株式会社日立製作所 半導体事業部内
- (72)発明者 神代 岩道
東京都小平市上水本町5丁目20番1号 株式会社日立製作所 半導体事業部内
- (72)発明者 安達 徹朗
埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内
- (72)発明者 須藤 一雄
埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内

審査官 和瀬田 芳正

- (56)参考文献 特開平6-232287(JP,A)
特開平7-106811(JP,A)
特開昭63-70442(JP,A)
特開平8-321567(JP,A)
特開平9-22964(JP,A)
特開平7-45746(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 23/12
H01L 23/36
H01L 25/00
H01L 25/04