



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년04월24일
(11) 등록번호 10-1138273
(24) 등록일자 2012년04월13일

(51) 국제특허분류(Int. Cl.)
H01L 21/316 (2006.01) *H01L 21/31* (2006.01)
H01L 21/265 (2006.01) *H01L 21/203* (2006.01)
(21) 출원번호 10-2008-0135473
(22) 출원일자 2008년12월29일
심사청구일자 2008년12월29일
(65) 공개번호 10-2009-0071505
(43) 공개일자 2009년07월01일
(30) 우선권주장
JP-P-2007-336730 2007년12월27일 일본(JP)
(56) 선행기술조사문현
JP2002314074 A
US20070212896 A1
US20030022473 A1

(73) 특허권자
캐논 아네르바 가부시키가이샤
일본 가나가와켄 가와사키시 아사오쿠 구리기 2쵸
메 5반 1고
캐논 가부시키가이샤
일본 도쿄도 오오따꾸 시모마루꼬 3조메 30방 2고
(72) 별명자
키타가와 히데오
일본국 도쿄도 오오따꾸 시모마루꼬 3조메 30방
2고 캐논 가부시키가이샤 나이
키타노 나오무
일본국 도쿄도 오오따꾸 시모마루꼬 3조메 30방
2고 캐논 가부시키가이샤 나이
(74) 대리인
권태복

전체 청구항 수 : 총 9 항

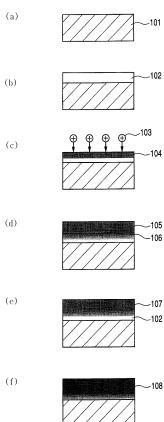
심사관 : 김준학

(54) 발명의 명칭 절연막의 형성방법

(57) 요 약

실리콘 기판 위에 금속 실리케이트를 포함한 절연막을 형성하는 방법은, 상기 실리콘 기판의 표면을 산화해서 실리콘 산화막을 형성하는 제1의 공정과, 상기 실리콘 산화막의 표면에 이온을 조사해서 상기 실리콘 산화막의 표면을 Si-O 결합의 절단된 반응 촉진층으로 하는 제2의 공정과, 비산화성 분위기 중에 있어서 상기 반응 촉진층 위에 금속막을 퇴적하는 제3의 공정과, 상기 금속막을 산화해서 상기 금속막으로부터 상기 실리콘 산화막으로 금속을 확산시키는 금속 실리케이트막을 형성하는 제4의 공정을 포함한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

실리콘 기판 위에 금속 실리케이트를 포함한 절연막을 형성하는 방법으로서,

상기 실리콘 기판의 표면을 산화해서 실리콘 산화막을 형성하는 제1의 공정과,

상기 실리콘 산화막의 표면에 희가스 이온 또는 질소 또는 산소 혹은 산화물 또는 질화물의 이온을 조사해서 상기 실리콘 산화막의 상기 실리콘 기판에는 도달하지 않은 표면을 Si-O 결합의 절단된 반응 촉진층으로 하는 제2의 공정과,

비산화성 분위기 중에 있어서 상기 반응 촉진층 위에 금속막을 퇴적하는 제3의 공정과,

상기 금속막을 산화해서 상기 금속막으로부터 상기 실리콘 산화막으로 금속을 확산시키는 금속 실리케이트막을 형성하는 제4의 공정을 포함한 것을 특징으로 하는 절연막의 형성방법.

청구항 2

제 1 항에 있어서,

상기 제4의 공정 후에, 상기 금속 실리케이트막을 질화하는 제5의 공정을 더 포함한 것을 특징으로 하는 절연막의 형성방법.

청구항 3

제 2 항에 있어서,

상기 제 5의 공정의 질화는 래디컬 질화에 의해 실행되는 것을 특징으로 하는 절연막의 형성방법.

청구항 4

제 1 항에 있어서,

상기 이온의 입사 에너지는, 2eV이상 및 20eV이하인 것을 특징으로 하는 절연막의 형성방법.

청구항 5

제 1 항에 있어서,

상기 이온은 희가스 이온 또는 질소 또는 산소 혹은 산화물 또는 질화물의 이온만인 것을 특징으로 하는 절연막의 형성방법.

청구항 6

제 1 항에 있어서,

상기 제3의 공정은 스퍼터링에 의해 실행되는 것을 특징으로 하는 절연막의 형성방법.

청구항 7

제 1 항에 있어서,

상기 제3의 공정에 의해, 상기 반응 촉진층이 금속 실리케이트막으로 되는 것을 특징으로 하는 절연막의 형성방법.

청구항 8

제 1 항에 있어서,

상기 제4의 공정의 산화는 래디컬 산화에 의해 실행되는 것을 특징으로 하는 절연막의 형성방법.

청구항 9

제 1 항에 있어서,

상기 반응 촉진층의 형성은 표면과 간접 플라즈마에 의해 행해지는 것을 특징으로 하는 절연막의 형성방법.

명세서

발명의 상세한 설명

기술분야

[0001]

본 발명은, 절연막의 형성방법에 관한 것으로, 특히 반도체 장치에 있어서의 고유전율 게이트 절연막으로서의 사용에 적절한 금속 실리케이트를 포함한 절연막의 형성방법에 관한 것이다.

배경기술

[0002]

근년, LSI의 디자인 룰의 미세화에 따라, 게이트 절연막의 산화막환산막두께(EOT:equivalent oxide thickness)의 박막화가 진행되고, 예를 들면 국제 반도체 기술 로드맵(International Technology Road Map for Semiconductor:ITRS)에서는, 2008년에 1nm이하의 EOT의 달성이 필요하다고 되어 있다. 그러나, 반도체 장치의 게이트 절연막의 재료로서 종래 이용되어 온 SiO_2 또는 SiON 을 상술한 두께의 레벨까지 박막화하면, 막의 절연성이 급격하게 저하하고, 리키지 전류가 매우 커진다. 이것은, 절연막두께가 몇 분자층의 정도까지 얇아지고, 직접 터널 전류가 급격하게 증가하기 때문이다. 한편, 근년 급속히 보급된 휴대 전자기기에서는, 배터리 구동 시간을 길게 하기 위해서, 소자의 소비 전력을 가능한 한 작게 하는 것이 요구되고 있다. 그 때문에, 종래 이용되어 온 SiO_2 또는 SiON 대신에, 금속 산화물 등의 고유전율 절연막(소위 High-k막)의 도입이 검토되고 있다. High-k막은, 고유전율을 갖고 있기 때문에, 그것의 물리 막두께를 두껍게 해도, SiO_2 막과 동등의 EOT를 얻는 것이 가능해지고, 한편, 물리 막두께가 두껍기 때문에 리이크 전류를 낮게 억제하는 것이 가능하다.

[0003]

High-k막의 재료로서는, 현재, 질화 하프늄 실리케이트(HfSiON)가, 가장 실용화가 가깝다라고 말한다. HfSiON 막의 막 형성방법으로서는, 유기 금속재료를 사용한 CVD법, 원자층 퇴적법(ALD법), 스퍼터링법 등이 검토되고 있다. 그렇지만, 탄소 불순물의 혼합이 적은 점에서, 스퍼터링법이 유리하다.

[0004]

여기서, 스퍼터링법을 이용한 HfSiON 막의 형성 프로세스의 일례를, 도 6a 내지 6e를 이용해 설명한다. 도 6a 내지 6e에 있어서, 참조번호 101은 Si 기판, 참조번호 102는 SiO_2 (실리콘 산화)막, 참조번호 105는 금속 Hf막, 참조번호 107은 HfSiO (Hf-실리케이트)막, 참조번호 108은 HfSiON 막이다. 우선, 세정한 Si 기판(101) 위에, 열산화법에 의해 얇은 SiO_2 막(102)을 형성하고, 그 위에 Hf 원자를 스퍼터링법에 의해 퇴적시켜서 금속 Hf막(105)을 형성한다. 다음에, 열산화 혹은 산소 플라즈마 등을 이용한 래디컬(radical) 산화를 실시한다. 이것에 의해, 금속 Hf막(105)이 산화되어 산소가 도입됨과 동시에, 금속 Hf막(105) 중의 Hf 원자가 SiO_2 막(102) 중에 확산하고, 또한 SiO_2 막(102) 중의 Si 원자가 금속 Hf막(105) 중에 확산한다. 이와 같이, 금속 실리케이트막, 즉 HfSiO 막(107)이 형성된다. 이것에 의해, 저비유전율의 SiO_2 막(102)의 막두께는 감소한다. 그 후, 질소 플라즈마 등을 이용한 래디컬 질화를 실시하는 것으로, HfSiO 막(107)이 질화되어서 질소가 도입됨으로써, HfSiON 막(108)이 형성된다. HfSiON 막(108)의 비유전율이 높고, SiO_2 막(102)의 막두께가 감소하기 때문에, HfSiON 막(108) 및 SiO_2 막(102)으로 이루어지는 EOT가 작은 절연막이 형성된다.

[0005]

그런데, 상기의 방법에는, Hf의 확산의 제어가 어렵고, 필요한 막두께를 갖는 절연막을 생산성 좋게 형성하는 것이 곤란하다고 하는 문제가 있다. 즉, 일본국 공개특허공보 특개 2002-314074호(USP6734069, US2003-0092238)에 개시되어 있는 바와 같이, 확산 촉진을 위해, 고온에서 열산화를 실시하면, 기저의 Si 기판이 산화되고, SiO_2 막의 막두께가 큰폭으로 증가해서, EOT를 줄이는 것이 곤란하다. 또, RTA(Rapid Thermal Annealing)

및 플래시 램프 어닐링을 이용해도, 확산의 제어는 용이하지 않다. 고진공 분위기에서의 산화는, 막두께를 제어하면서 확산시키는 것이 가능하지만, 처리에 시간이 너무 걸려 스루풋(throughput)이 낮다고 하는 문제점이 있다. 반대로, 저온에서 래디컬 산화를 행하면, 확산은 매우 완만하기 때문에, 단시간의 산화 처리를 실시했을 경우, 산화 후에도, 두꺼운 SiO_2 막이 남아서, EOT이 작은 막의 형성이 곤란하다. 또, Hf의 확산이 적기 때문에, 완성된 막이 HfSiON막은 아니고 내열성의 낮은 HfON막이 되어서, 후속 공정의 어닐링 처리에서 결정화가 일어나, 리키지 전류가 증가한다고 하는 문제점도 있다. 또, 산화 시간을 길게 하면, 확산은 진행하지만, 산소 원자가 먼저 Si 기판까지 도달해 버려서, SiO_2 막두께가 증가한다고 하는 문제점이 있다.

[0006] 한편, 일본특허 제3746968호(USP7166185, USP7374635) 공보에는, 실리콘 기판의 표면 위에 실리콘 산화막을 형성하고, 이 실리콘 산화막의 표면 위에 실리콘 질화막을 형성하며, 이 실리콘 질화막의 표면 위에, 고유전율 절연막을 형성하는 방법이 개시되어 있다. 여기에서는, 실리콘 질화막을 형성할 때에, 실리콘 산화막을 질소 플라즈마에 노출하고 있다. 그러나, 이 질소 플라즈마 노출은, 실리콘 산화막의 표면을 질화하는 것으로, 절연막으로서 잔류하는 실리콘 질화막을 형성하고, 이 실리콘 질화막은 실리콘 산화막과 고유전율 절연막을 분리하고 있다.

[0007] 이상과 같이, High-k막의 막 형성에 있어서는, Hf의 확산의 제어가 어렵고, 필요한 막두께를 갖는 절연막을 생산성 좋게 형성하는 것이 곤란하다고 하는 문제가 있다.

발명의 내용

해결 하고자하는 과제

[0008] 본 발명은, 이상과 같은 기술적 과제를 감안하여 이루어진 것으로서, Hf 등의 금속의 확산의 제어가 용이하고, 필요한 막두께를 갖는 절연막을 생산성 좋게 형성하는 것이 가능한 절연막의 형성방법을 제공하는 것을 목적으로 한다.

과제 해결수단

[0009] 본 발명은, 실리콘 기판 위에 금속 실리케이트를 포함한 절연막을 형성하는 방법을 지향하고, 상기 절연막의 형성방법은, 상기 실리콘 기판의 표면을 산화해서 실리콘 산화막을 형성하는 제1의 공정과,

[0010] 상기 실리콘 산화막의 표면에 이온을 조사해서 상기 실리콘 산화막의 표면을 Si-O 결합의 절단된 반응 촉진층으로 하는 제2의 공정과,

[0011] 비산화성 분위기 중에 있어서 상기 반응 촉진층 위에 금속막을 퇴적하는 제3의 공정과,

[0012] 상기 금속막을 산화해서 상기 금속막으로부터 상기 실리콘 산화막으로 금속을 확산시키는 금속 실리케이트막을 형성하는 제4의 공정을 포함한다.

[0013] 상기 절연막의 형성방법은, 상기 제4의 공정 후에, 상기 금속 실리케이트막을 질화하는 제5의 공정을 더 포함한다.

[0014] 상기 제5의 공정의 질화는 래디컬 질화에 의해 실행될 수 있다.

[0015] 상기 이온의 입사 에너지는, 2eV이상 및 20eV이하일 수 있다.

[0016] 상기 이온은 화가스 이온 또는 질소 이온 또는 산소 이온 및 산화물 또는 질화물의 이온일 수 있다.

[0017] 상기 제3의 공정은 스퍼터링법에 의해 실행될 수 있다.

[0018] 상기 제3의 공정에 의해, 상기 반응 촉진층이 금속 실리케이트막으로 될 수 있다.

[0019] 상기 제4의 공정의 산화는 래디컬 산화에 의해 실행될 수 있다.

효과

[0020] 본 발명은, 제1의 공정과 제3의 공정과의 사이에 실리콘 산화막의 표면에 이온을 조사하고, 실리콘 산화막의 표층부를 Si-O 결합의 절단된 반응 촉진층으로 하는 제2의 공정을 갖는다. 이것에 의해, 금속의 확산의 제어가 용이하게 되어서, 필요한 막두께를 갖는 절연막을 생산성 좋게 형성하는 것이 가능하게 된다.

[0021] 본 발명의 그 외의 특징들은 첨부도면을 참조하면서 이하의 예시적인 실시 예의 설명으로부터 밝혀질 것이다.

발명의 실시를 위한 구체적인 내용

[0022] 이하, 첨부도면을 참조하면서 본 발명의 바람직한 실시 예를 상세히 설명한다.

[0023] 도 1a 내지 1f는, 본 발명의 제1의 실시 형태를 설명하기 위한 공정 단면도이다. 여기서, 참조번호 101은 실리콘 기판인 Si 기판, 참조번호 102는 실리콘 산화막인 SiO_2 막, 참조번호 103은 조사되는 이온, 참조번호 104는 이온 조사에 의해 형성된 반응 촉진층, 참조번호 105는 금속막인 금속 Hf막을 각각 가리키고 있다. 또, 참조번호 106은 금속 실리케이트막인 HfSiO_x 막, 참조번호 107은 금속 실리케이트막인 HfSiO 막, 참조번호 108은 질화금속 실리케이트막인 HfSiON 막을 각각 가리키고 있다.

[0024] 절연막은, HfSiON 막(108)과, HfSiON 막(108)과 Si 기판(101)과의 사이의 잔류 실리콘 산화막에 의해 형성된다. 여기서, 잔류 실리콘 산화막이 존재하는 것으로, 계면 특성이 향상하고, 절연막의 전기적 절연성을 높일 수 있다. 단, 잔류 실리콘 산화막은, 질화 금속 실리케이트막(104)보다 비유전율이 작기 때문에, 잔류 실리콘 산화막의 두께는, 질화 금속 실리케이트막(104)의 두께보다 작게 하는 것이 바람직하다. 예를 들면, 질화 금속 실리케이트막(104)의 두께는 1.0~2.0nm이며, 잔류 실리콘 산화막의 두께는 0.5~1.0nm이다.

[0025] 실리콘 기판(101)은, 예를 들면, (100) 면방위를 갖는 단결정 실리콘으로 이루어지고, 한층 더 인이 도프되어 저항값이 $0.1\Omega\text{?cm}$ 로부터 $10\Omega\text{?cm}$ 까지의 범위에서 제어되는 것 등을 사용할 수가 있다. 본 발명에 있어서는, 실리콘 기판(101)은, 상기의 예에 한정하지 않고, 막이 퇴적되는 표면에 실리콘 원자가 노출되면, 실리콘 기판은 상기와 다른 면방위, 도편트 및 저항값을 가져도 된다. 또, 예를 들면, 실리콘 이외의 재료로 이루어지는 기판 위에, 에피택셜(epitaxial)법에 의해 실리콘을 성장시켜도 된다.

[0026] 우선, 세정한 Si 기판(101) 위에 열산화법에 의해 얇은 SiO_2 막(102)을 형성한다. 이 단계에서 형성되는 실리콘 산화막, 즉 SiO_2 막(102)을, 초기의 실리콘 산화막(초기 산화막), 즉 초기 SiO_2 막이라고 한다. SiO_2 막(102)의 두께는, 예를 들어 1.0~2.0nm이다. 다음에, SiO_2 막(102)의 표면에 이온(103)을 조사하고, 이것에 의해 SiO_2 막(102)의 표층부에 결합 결함을 일으킨다. 이 SiO_2 막(102)의 일부인 표층부를 반응 촉진층(104)이라고 부른다. 이온(103)의 입사 에너지는, SiO_2 막(102)의 표층부 내의 Si-O 결합을 절단해서 결합 결함을 일으키기에 충분하고, 또한 반응 촉진층(104)이 Si 기판(101)까지 도달하지 않게 선택된다. 이러한 이온(103)의 입사 에너지는, 예를 들어 2eV이상 20eV이하이다. 다음에, 결합 결함이 도입된 반응 촉진층(104) 위에, 비산화성 분위기 중에서 금속 Hf막(105)을 스퍼터링법에 의해 퇴적시킨다. 금속 Hf막(105)의 퇴적 시에, SiO_2 막(102)의 반응 촉진층(104)의 부분에서는, 기판 온도를 고온으로 하지 않아도, Hf 원자와 SiO_2 가 용이하게 혼합하고, 산소 함유량이 적은 HfSiO_x 막(106)이 형성된다. 여기서, x 는 $0 < x < 2$ 이다. 다음에, 금속 Hf막(105) 및 HfSiO_x 막(106)에 대해서, 산화 처리로서의 산소 플라즈마 등을 이용한 래디컬 산화를 실시해서, 화학량론 조성비에 가까운 HfSiO 막(107)을 형성한다. 이 래디컬 산화를 이용하는 것으로, 금속 Hf막(105) 및 HfSiO_x 막(106)을 저온에서 산화할 수가 있다.

[0027] 본 발명에 있어서, '비산화성 분위기'란, Si 기판(101)이 산화하지 않는 분위기를 의미한다. 비산화성 분위기는, 희가스인 He, Ne, Ar, Kr, 및 Xe로부터의 적어도 1개로 구성되는 것이 바람직하다. 또, 비산화성 분위기의 산소 분압은 1×10^{-5} Pa이하인 것이 바람직하다.

[0028] 상기 공정 후, HfSiO 막(107)에 대해서 질화 처리로서의 질소 플라즈마 등을 이용한 래디컬 질화를 실시해서, HfSiON 막(108)을 형성하고, 이 HfSiON 막(108)을 절연막으로서 사용한다. 이 래디컬 질화를 이용하는 것으로, HfSiO 막(107)을 저온에서 질화할 수가 있다.

[0029] 본 실시 형태에서는, 산화 처리만을 실시한 HfSiO 막(107)을 절연막으로서 사용할 수도 있다. 이 경우, 마지막 질화 처리는 행하지 않아도 된다.

[0030] 금속 Hf막을 산화하는 공정에 있어서, Hf 원자는 반응 촉진층(104)보다 아래의 SiO_2 막(102)으로 더 확산하고, 최종적으로 잔류하는 저유전율의 SiO_2 막(102)의 부분, 즉 잔류 SiO_2 막의 두께는, 이온 조사로 실시하지 않는 경우와 비교해서 큰폭으로 박막화한다. 잔류 SiO_2 막의 막두께는, 예를 들어 0.5~1.0nm로 설정할 수가 있다. 그 결

과, HfSiON막(108)의 비유전율이 작을 뿐만 아니라, 보다 EOT이 작은 절연막이 형성되는 것이 가능하다.

[0031] 반응 촉진층(104)을 형성하기 위한 이온 조사 방법은, 아래와 같다. 20eV이하 등의 낮은 입사 에너지에서의 이온 조사는, 통상의 이온 주입 장치에서는 곤란하다. 그 때문에, 전자 온도가 제어된 플라즈마 중에 SiO₂막(102)이 부착된 Si 기판(101)을 삽입하고, 기판-플라즈마 간의 시스(sheath) 전압에 의해 가속된 이온을 이용하는 것이 가장 간편하고 신뢰성이 높은 방법이다. 이 전자 온도는, 플라즈마 생성 방법과 입력되는 고주파 전력, 처리 압력 등의 외부 파라미터에 의해, 제어하는 것이 가능하다.

[0032] 도 2에 있어서는, 표면과 간접 플라즈마를 이용했을 경우의, 시스 전압의 압력 의존성의 일례를 나타낸다. N₂가 100%의 방전에서는, 압력을 0.1Torr와 0.5Torr와의 사이에 변화시킴으로써, 5~9V의 시스 전압을 제어할 수가 있다. 또, He를 90% 첨가한 방전에서는, 압력을 0.1Torr와 1.0Torr와의 사이에서 변화시킴으로써, 5~14V의 시스 전압을 제어하는 것이 가능해진다. 덧붙여, He를 90% 첨가한 N₂ 플라즈마에 있어서도, 이온종은 N⁺과 N₂⁺가 혼합된 것이며, He⁺ 이온은 거의 존재하지 않는 것이 확인되고 있다. 도 2의 데이터를 취득하기 위해서 이용한 장치에서는, 시스 전압은 14V까지 밖에 제어할 수 없었지만, 플라즈마 발생 방법 등을 변경하는 것으로, 20V 등의 시스 전압을 용이하게 달성하는 것이 가능하다.

[0033] 다음에, 반응 촉진층(104)을 형성하는데 적합한 이온종 및 입사 에너지에 대해 설명한다. 먼저, 이온종은, 막 중에 불순물 원소를 주입하지 않는 점에서, 희가스(He, Ne, Ar, Kr, Xe) 이온, 및 질소, 산소 및 그러한 화합물의 분자 이온에만 한정된다. 질소, 산소 및 그러한 화합물의 분자 이온으로서는, N⁺, N₂⁺, O⁺, O₂⁺, NO⁺, N₂O⁺, NO₂⁺가 예시된다. Si 및 금속, 예를 들어 Hf 등도, 막 구성 원소이기 때문에, 가능성은 있다. 그러나, 이러한 원소는, 단체(simple substance) 또는 산화/질화물로 플라즈마를 형성하는 것이 용이하지 않고, 현실적이지 않다. 더욱, Si 또는 Hf의 이온을 입사시켰을 경우, 반응 촉진층의 형성뿐만 아니라, 막의 퇴적도 일어난다. 그 때문에, 물리 막두께가 증가해 버려서, EOT이 작은 막을 형성한다고 하는 당초의 목적을 달성하는 것이 곤란하게 된다.

[0034] 도 3에는, 시스 전압과 이온 주입 깊이와의 관계를 나타낸다. 도면은, N₂ 플라즈마 중에 SiO₂막(102)이 부착된 Si 기판(101)을 삽입함으로써, SiO₂막(102) 중에 N⁺ 및 N₂⁺의 이온을 주입한 결과이다. 주입 깊이는, SIMS(Secondary Ion Mass Spectrometry)를 이용해서 계측함으로써 얻은 피크 농도의 1/10이 되는 깊이로서 정의하고 있다. 도 3으로부터, 시스 전압이 증가함에 따라 주입 깊이도 증가하고, N⁺의 경우, 시스 전압이 약 20V로 주입 깊이가 2nm에 이르는 것을 안다. 또, N⁺보다도 N₂⁺이온이 주입 깊이가 더 깊어진다고 하는 결과가 나타나 있다.

[0035] 도 4에는, 각 입사 이온 에너지에 의해 일어나는 반응을, 여러가지 이온종에 대해서 정리한 결과를 나타낸다. 이 결과는, 도 3에 나타낸 실험 결과 외에, 반경험적 분자 궤도법에 의한 분자 동역학 시뮬레이션과 몬테카를로(Monte Carlo)법에 의한 이온 주입 시뮬레이션을 이용해 반응 형태를 예측한 것이다. 도 4에서는, 이온종으로서 N⁺, N₂⁺, He⁺, Ne⁺, Ar⁺를 나타내고 있다. 이 도면에서는, 참조번호 41은 입사 이온의 바운스 백(bounce back), 참조번호 42는 결합 절단, 참조번호 43은 산소 원자의 스프링 아웃(spring-out), 참조번호 44는, 막두께가 2nm 일 때의 주입 입자의 기판에의 도달의 각 상태를 나타내고 있다.

[0036] 먼저, N⁺는, 반응성이 매우 높기 때문에, 1eV 등의 저에너지에 있어서도, Si-O의 결합을 절단해서 삽입되는 반응이 일어난다. 더욱, 5eV 등의 저에너지로 O 원자의 스프링 아웃이 일어난다. 한편, N₂⁺는, 반응성이 높고, 주입 이온은 표면 근방에서 멈추기 쉽기 때문에, 주입 깊이가 2nm에 이르는 에너지는, 도시한 이온종 중에서 가장 높다.

[0037] 다음에, N₂⁺는, N⁺에 비하면 반응성이 낮기 때문에, Si-O 결합의 절단과 O 원자의 바운스 백 등의 반응이 일어나는 스레솔드 에너지는, N⁺보다 큰 값이 된다.

[0038] N₂⁺의 경우는, 작으면서도 반응성이 다소 있지만, 희가스의 경우는 반응성이 없다. 따라서, 희가스의 경우의 결

합 절단 및 스프링 아웃의 스혠솔드값은, N_2^+ 보다 더욱 큰 값이 된다. 한편, 이온의 도달 깊이는, 피조사물인 SiO_2 막(102)을 구성하는 Si 원자와 O 원자에 가까운 질량의 이온의 경우에 가장 얕고, 그것보다 무겁거나 가벼운 이온은, 주입 깊이가 깊다. 그 때문에, Ne^+ 의 주입 깊이가 가장 얕고, $Ne < Ar < Kr$ 의 순으로 깊이가 깊어진다. 또, He^+ 는, 질량이 가볍고, 이온의 사이즈도 작기 때문에, 그 주입 깊이는 매우 깊어진다.

[0039] 이러한 결과를 정리한 도 4를 이용해서, 이온종 및 에너지에 대한 반응 촉진층(104)의 형성의 적성을 나타내면, 이하와 같이 된다.

[0040] 먼저, N^+ 및 N_2^+ 는, 입사 에너지의 허용범위, 즉 Si-O 결합의 절단과 O 원자의 스프링 아웃을 발생하는 입사 에너지 범위가 넓고, 매우 적합하다. 입사 에너지 허용범위가 가장 넓은 것은 N^+ 이지만, N^+ 의 경우에는, 반응성이 높고 SiO_2 막(102) 중에 질소가 잔류하기 쉬운 것에 주의를 필요로 한다. 한편, N_2^+ 의 경우는, N^+ 보다 약간 에너지 허용폭은 좁지만, Si-O 결합을 절단한 후의 N_2^+ 는 N_2 분자로서 기상(vapor phase)에 이탈하기 쉽기 때문에, SiO_2 막(102) 중의 질소량을 억제하고 싶은 경우는, N^+ 을 이용하는 것이 바람직하다.

[0041] 도 4에서는, O^+ 및 O_2^+ 가 기재되지 있지 않다. 그것은 이러한 이온을 생성하기 위한 산소 플라즈마 조사가 바람직 하지 않다고 생각되기 때문이며, 그 이유는 이하와 같다. 산소 이온 조사를 위해 산소 플라즈마를 발생시키면, 이온보다 훨씬 다량의 산소 래디컬이 발생한다. 이러한 산소 래디컬은, SiO_2 막(102) 중에 용이하게 확산해서 Si 기판(101)까지 도달하고, 그 표층부를 산화함으로써, SiO_2 막두께를 증가시킨다. 그 결과, 반응 촉진층(104)이 형성되기 전에, SiO_2 막두께가 큰폭으로 증가한다. SiO_2 막두께의 증가량은 초기 SiO_2 막(102)의 막두께에 의존하고, 이 초기 산화막두께가 2nm이하인 경우에 급격하게 증가한다. 그 때문에, 초기 산화막두께가 2nm이하인 경우가 많은 실제에서의 사용에는, 바람직하지 않다.

[0042] NO^+ , N_2O^+ , NO_2^+ 의 결과도 또, 도 4에는 나타나지 않지만, 이러한 이온은, 산소 이온과는 달리 매우 적합하다. 그 이유는, 이러한 이온이, O_2/N_2 혼합 가스의 플라즈마로 생성되고, 활성 산소 래디컬의 생성량이 적기 때문이다. NO^+ , N_2O^+ , NO_2^+ 는, 분자 사이즈도 크기 때문에, N_2^+ 에 가까운 효과를 얻는다고 기대된다.

[0043] 희가스 이온에 관해서는, N^+ 과 N_2^+ 와 비교해, 에너지 허용 범위가 좁다. 특히, He^+ 의 경우는, 주입 깊이가 깊기 때문에, SiO_2 막(102)의 표층부에만 반응 촉진층을 도입하는 것이 Ne^+ 와 Ar^+ 의 경우보다 어렵다. 한편, Ne^+ 와 Ar^+ 의 경우에는, 10~15eV 정도의 입사 에너지를 이용함으로써, 매우 적합한 반응 촉진층(104)의 형성이 가능하다. 도 4에는 나타나지 않지만, Kr^+ 및 Xe^+ 도 같은 효과를 얻을 수가 있다.

[0044] 도 5에서, 도 1a 내지 1f의 공정에 따라 이온 조사를 실시하지 않고, 열처리(열산화 1, 2) 또는 플라즈마 산화에 의해 초기 SiO_2 막을 형성해서, $HfSiON$ 막의 형성까지를 실시했을 경우에, 취득한 EOT의 초기 산화막두께에 대한 의존성을, 실선으로 나타낸다. 조건에 따라 다소의 차이는 있지만, 초기 산화막두께를 얇게 하는 것으로, 목표인 $EOT=1nm$ 을 달성하려고 하면, 약 0.5nm의 초기 산화막두께가 필요하게 된다고 추정된다. 그러나, 현재, 이 막두께로, 고품질의 SiO_2 막을 얻는 것은 용이하지 않다.

[0045] 이와 같이, EOT가 생각한 것처럼 감소하지 않는 원인을 조사하기 위해서, TEM를 이용해서 $HfSiON$ 막의 단면을 관찰하고, $HfSiON$ 막 및 SiO_2 막의 두께를 측정했다. 그 결과, SiO_2 막의 두께 감소량은, 열산화의 경우에 약 0.6nm, 플라즈마 산화의 경우에 약 0.3nm였다. 이러한 결과로부터, SiO_2 에의 Hf의 확산은 예상보다 작고, $HfSiON$ 막 아래에는, 두꺼운 SiO_2 막이 잔류하며, 이것이 EOT를 증가시키는 원인인 것을 알았다. 그러나, 보다 산화를 강하게 하는 방향으로 조건을 변화시켜도, EOT의 현저한 감소는 볼 수 없었다. 이것은, 산소 원자가 Si 기판까지 확산해서, Si 기판을 산화하는 반응이 Hf의 확산보다 빠르다는 것을 나타내고 있다.

[0046] 한편, 도 1a 내지 1f의 공정에 따라, 이온 조사를 실시해, $HfSiON$ 막(108)의 형성까지를 실시했을 경우에, 취득

한 EOT의 초기 산화막두께에 대한 의존성을, 과선으로 나타냈다. 본 발명에 의하면, SiO_2 막의 막두께 감소량을 1nm 또는 그 이상까지 증가시킬 수가 있다. 그 결과, 도 5에 과선으로 나타낸 바와 같이, 비교적 두꺼운 초기 산화막을 이용해도, 충분히 EOT이 작은 막을 얻는 것이 가능해진다. 또, 약 1nm 의 초기 산화막두께로, $\text{EOT}=1\text{nm}$ 를 달성할 수 있다.

[0047] 이전에 설명한 대로, 도 3에 나타낸 이온 주입 깊이는, 주입된 원자의 농도가 피크의 $1/10$ 이 되는 깊이를 나타내고 있다. 실제로 금속 확산을 가속하는 레벨에서 다량의 결정 결합이 도입되는 것은, 피크 농도의 $1/2$ 정도의 깊이까지라고 추정되고, 그 깊이는 농도가 $1/10$ 이 되는 깊이의 약 60% 정도의 깊이이다. 따라서, 가장 시스 전압이 낮은 조건에서는, 빅싱되는 깊이(다량의 결정 결합이 도입되는 깊이)는 0.9nm 전후가 된다. 또, 열산화 등의 산화 처리에 의해, 더욱 0.3nm 정도 SiO_2 막의 두께가 감소한다. 그 결과, 초기 산화막두께가 1nm 정도이면, $\text{EOT}=1\text{nm}$ 를 달성하는 것이 가능해진다.

[0048] [실시예]

[0049] 이하, 예를 들어 본 발명에 따른 절연막의 형성방법을 보다 구체적으로 설명하지만, 본 발명은 이들 실시예에 한정되는 것은 아니다.

[0050] [실시예 1]

[0051] 본 발명의 제1의 실시예로서, 초기 막두께 1.8nm 의 SiO_2 막(102)의 표면에 이온 조사 공정에 의해 질소 플라즈마를 조사함으로써, SiO_2 막(102)의 표층부를 반응 촉진층(104)으로 한 예를 나타낸다. 본 실시예에서는, 이온 조사 공정에서, 도 2의 데이터를 취득한 장치인 표면파 간섭 플라즈마 처리 장치를 사용했다.

[0052] 우선, 제1의 공정으로서, Si 기판(101)을 세정해서 자연 산화막을 제거한 후, RTA(Rapid Thermal Annealing) 장치를 이용하여 Si 기판(101)의 표층부를 산화해서, 막두께 1.8nm 의 SiO_2 막(102)을 형성했다.

[0053] 다음에, SiO_2 막(102)가 부착된 Si 기판(101)을 플라즈마 처리실로 도입하고, 온도 100°C 로 설정된 기판 지지대에 설치했다. 진공 용기에 500sccm 의 N_2 가스를 도입하고, 압력을 60Pa 로 조정하며, 3000W 의 고주파 전력을 인가함으로써, N^+ 및 N_2 으로 이루어지는 질소 플라즈마를 발생시켰다. 이 질소 플라즈마에, SiO_2 막(102)의 표면을 30초간 연속해서 노출함으로써, 입사 에너지 10eV 에서의 이온 조사 공정을 실시했다. 이것에 의해, SiO_2 막(102)의 표층부(두께 0.7nm)가 반응 촉진층(104)으로 되었다.

[0054] 다음에, 제2의 공정으로서, SiO_2 막(102)이 부착된 Si 기판(101)을 진공 중에 유지한 채로, 금속 Hf 성막(成膜) 실로 이동시키고, 스퍼터링법에 의해, 비산화성 분위기 중에서 금속 Hf막(105)을 두께 0.8nm 로 퇴적했다. 이것에 의해, 반응 촉진층(104)으로 금속 Hf가 확산해서, HfSiO_x 막(106)이 형성되었다. 이 금속 Hf막(105)의 형성 공정 중의 산소 분압은 $1 \times 10^{-7} \sim 10^{-8}\text{Pa}$ 였다.

[0055] 다음에, 제3의 공정으로서, 막 105, 106, 102가 부착된 Si 기판(101)을 진공 중에 유지한 채로, 플라즈마 산화 처리실로 이동시키고, 온도 300°C 로 설정된 기판 지지대에 설치했다. 진공 용기에 1000sccm 의 O_2 가스를 도입하고, 압력을 100Pa 로 조정하며, 3000W 의 고주파 전력을 인가함으로써, 산소 플라즈마를 발생시켰다. 이 산소 플라즈마에 금속 Hf막(105)을 5초간 연속해서 노출했다. 이것에 의한 래디컬 산화에 의해, 막 105, 106이 HfSiO 막(107)으로 바뀌었다.

[0056] 다음에, 제4의 공정으로서, 막 107, 102가 부착된 Si 기판(101)을 플라즈마 질화 처리실 내에 도입하고, 온도 300°C 로 설정된 기판 지지대에 설치했다. 진공 용기에 200sccm 의 N_2 가스를 도입하고, 압력을 25Pa 로 조정하며, 3000W 의 고주파 전력을 인가함으로써, 질소 플라즈마를 발생시켰다. 이 질소 플라즈마에 HfSiO 막(107)을 30초간 연속해서 노출했다. 이것에 의한 래디컬 질화에 의해, HfSiO 막(107)이 HfSiON 막(108)으로 바뀌었다.

[0057] 그 후, 1000°C 에서 5초간의 어닐링(annealing)을 실시하고, 게이트 전극을 형성해서 본 발명 샘플을 작성하고, 그 MOS 캐패시터 특성을 측정했다.

[0058] 비교를 위해서, 상기 이온 조사 공정을 실시하지 않았던 것 이외는 마찬가지로 비교 샘플을 작성하고, 그 MOS 캐패시터 특성을 측정했다.

- [0059] 그 결과, EOT의 값은, 이온 조사 공정을 실시해서 얻은 본 발명의 샘플에서는 약 1.4 nm인 것에 반해, 이온 조사 공정을 실시하지 않았던 비교 샘플에서는 약 1.7nm였다. 이상과 같이, 스퍼터링에 의해 금속 Hf막을 형성하기 전에 질소 플라즈마 조사를 실시하는 것으로, EOT는 약 0.3nm 감소했고, 본 발명의 유효성이 확인되었다.
- [0060] [실시예 2]
- [0061] 본 발명의 제2의 실시예로서, 초기 막두께 1.4nm의 SiO_2 막(102)의 표면에 이온 조사 공정으로 질소 플라즈마를 조사함으로써, SiO_2 막(102)의 표층부를 반응 촉진층(104)으로 한 예를 나타낸다. 본 실시예에서는, 이온 조사 공정에서, 도 2의 데이터를 취득한 장치인 표면파 간섭 플라즈마 처리 장치를 사용했다.
- [0062] 우선, 제1의 공정으로서, Si 기판(101)을 세정해서 자연 산화막을 제거한 후, RTA(Rapid Thermal Annealing) 장치를 이용해서 Si 기판(101)의 표층부를 산화함으로써, 막두께 1.4 nm의 SiO_2 막(102)을 형성했다.
- [0063] 다음에, SiO_2 막(102)이 부착된 Si 기판(101)을 플라즈마 처리실 내에 도입하고, 온도 100°C로 설정된 기판 지지대에 설치했다. 진공 용기에 200sccm의 N_2 가스를 도입하고, 압력을 25Pa로 조정하며, 3000W의 고주파 전력을 인가함으로써, N^+ 및 N_2^+ 으로 이루어지는 질소 플라즈마를 발생시켰다. 이 질소 플라즈마에, SiO_2 막(102)의 표면을 5초간 연속해서 노출하는 것으로, 입사 에너지 10eV에서의 이온 조사 공정을 실시했다. 이것에 의해, SiO_2 막(102)의 표층부(두께 0.5 nm)가 반응 촉진층(104)으로 되었다.
- [0064] 다음에, 제2의 공정으로서, SiO_2 막(102)이 부착된 Si 기판(101)을 진공 중에 유지한 채로, 금속 Hf 성막실로 이동시키고, 스퍼터링법에 의해, 비산화성 분위기 중에서 금속 Hf막(105)을 두께 0.5 nm로 퇴적했다. 이것에 의해, 반응 촉진층(104)으로 금속 Hf가 확산해서, HfSiO_x 막(106)이 형성되었다. 이 금속 Hf막(105)의 형성 공정 중의 산소 분압은 $1 \times 10^{-7} \sim 10^{-8}$ Pa였다.
- [0065] 다음에, 제3의 공정 이후의 공정을 실시예 1과 같이 실시함으로써, 본 발명의 샘플을 작성하고, 그 MOS 캐패시터 특성을 측정했다.
- [0066] 비교를 위해서, 상기 이온 조사 공정을 실시하지 않았던 것 이외는 마찬가지로 비교 샘플을 작성하고, 그 MOS 캐패시터 특성을 측정했다.
- [0067] 그 결과, EOT의 값은, 이온 조사 공정을 실시함으로써 얻은 본 발명의 샘플에서는 약 1.2 nm인 것에 반해, 이온 조사 공정을 실시하지 않았던 비교 샘플에서는 약 1.5 nm였다. 이상과 같이, 스퍼터링에 의해 금속 Hf막을 형성하기 전에 질소 플라즈마 조사를 실시하는 것에 의해, EOT는 약 0.3nm 감소했고, 초기 막두께 1.4nm의 SiO_2 막(102)의 경우에도, 본 발명의 유효성이 확인되었다.
- [0068] [실시예 3]
- [0069] 본 발명의 제3의 실시예로서, 초기 막두께 1.8nm의 SiO_2 막(102)의 표면에 이온 조사 공정으로 Ne 플라즈마를 조사함으로써, SiO_2 막(102)의 표층부를 반응 촉진층(104)으로 한 예를 나타낸다. 본 실시예에서는, 이온 조사 공정에서, 도 2의 데이터를 취득한 장치인 표면파 간섭 플라즈마 처리 장치를 사용했다.
- [0070] 우선, 제1의 공정으로서, Si 기판(101)을 세정해서 자연 산화막을 제거한 후, RTA(Rapid Thermal Annealing) 장치를 이용해서 Si 기판(101)의 표층부를 산화함으로써, 막두께 1.8nm의 SiO_2 막(102)을 형성했다.
- [0071] 다음에, SiO_2 막(102)이 부착된 Si 기판(101)을 플라즈마 처리실 내에 도입하고, 온도 100°C로 설정된 기판 지지대에 설치했다. 진공 용기에 100sccm의 Ne 가스를 도입하고, 압력을 10Pa로 조정하며, 3000W의 고주파 전력을 인가함으로써, Ne 플라즈마를 발생시켰다. 이 Ne 플라즈마에, SiO_2 막(102)의 표면을 10초간 연속해서 노출하는 것으로, 입사 에너지 15eV에서의 이온 조사 공정을 실시했다. 이것에 의해, SiO_2 막(102)의 표층부(두께 0.8nm)가 반응 촉진층(104)으로 되었다.
- [0072] 다음에, 제2의 공정으로서, SiO_2 막(102)이 부착된 Si 기판(101)을 진공 중에 유지한 채로, 금속 Hf 성막실로 이동시키고, 스퍼터링법에 의해, 비산화성 분위기 중에서 금속 Hf막(105)을 두께 0.8nm로 퇴적했다. 이것에 의해, 반응 촉진층(104)으로 금속 Hf가 확산해서, HfSiO_x 막(106)이 형성되었다. 이 금속 Hf막(105)의 형성 공정 중의

산소 분압은 $1\times10^{-7}\sim10^{-8}$ Pa였다.

[0073] 다음에, 제3의 공정 이후의 공정을 실시예 1과 같이 실시함으로써, 본 발명 샘플을 작성하고, 그 MOS 캐패시터 특성을 측정했다.

[0074] 비교를 위해서, 상기 이온 조사 공정을 실시하지 않았던 것 이외는 마찬가지로 비교 샘플을 작성하고, 그 MOS 캐패시터 특성을 측정했다.

[0075] 그 결과, EOT의 값은, 이온 조사 공정을 실시해서 얻은 본 발명의 샘플에서는 약 1.5nm인 것에 반해, 이온 조사 공정을 실시하지 않았던 비교 샘플에서는 약 1.7nm였다. 이상과 같이, 스퍼터링에 의해 금속 Hf막을 형성하기 전에 질소 플라즈마 조사를 실시하는 것으로, EOT는 약 0.2nm 감소하고, 이온 조사 공정에서 Ne 플라즈마를 이용하는 경우에도, 본 발명의 유효성이 확인되었다.

[실시예 4]

[0077] 본 발명의 제4의 실시예로서, 초기 막두께 1.4nm의 SiO₂막(102)의 표면에 이온 조사 공정으로 Ne 플라즈마를 조사함으로써, SiO₂막(102)의 표층부를 반응 촉진층(104)으로 한 예를 나타낸다. 본 실시예에서는, 이온 조사 공정에서, 도 2의 데이터를 취득한 장치인 표면과 간섭 플라즈마 처리 장치를 사용했다.

[0078] 우선, 제1의 공정으로서, Si 기판(101)을 세정해서 자연 산화막을 제거한 후, RTA 장치를 이용해 Si 기판(101)의 표층부를 산화함으로써, 막두께 1.4nm의 SiO₂막(102)을 형성했다.

[0079] 다음에, SiO₂막(102)이 부착된 Si 기판(101)을 플라즈마 처리실 내에 도입하고, 온도 100°C로 설정된 기판 지지대에 설치했다. 진공 용기에 200sccm의 Ne 가스를 도입하고, 압력을 25Pa로 조정하며, 3000W의 고주파 전력을 인가함으로써, Ne 플라즈마를 발생시켰다. 이 Ne플라즈마에, SiO₂막(102)의 표면을 15초간 연속해서 노출하는 것으로, 입사 에너지 15eV에서의 이온 조사 공정을 실시했다. 이것에 의해, SiO₂막(102)의 표층부(두께 0.6 nm)가 반응 촉진층(104)으로 되었다.

[0080] 다음에, 제2의 공정으로서, SiO₂막(102)이 부착된 Si 기판(101)을 진공 중에 유지한 채로, 금속 Hf 성막실로 이동시키고, 스퍼터링법에 의해, 비산화성 분위기 중에서 금속 Hf막(105)을 두께 0.5nm로 퇴적했다. 이것에 의해, 반응 촉진층(104)으로 금속 Hf가 확산해서, HfSiO_x막(106)이 형성되었다. 이 금속 Hf막(105)의 형성 공정 중의 산소 분압은 $1\times10^{-7}\sim10^{-8}$ Pa였다.

[0081] 다음에, 제3의 공정 이후의 공정을 실시예 1과 같이 실시함으로써, 본 발명의 샘플을 작성하고, 그 MOS 캐패시터 특성을 측정했다.

[0082] 비교를 위해서, 상기 이온 조사 공정을 실시하지 않았던 것 이외는 마찬가지로 비교 샘플을 작성하고, 그 MOS 캐패시터 특성을 측정했다.

[0083] 그 결과, EOT의 값은, 이온 조사 공정을 실시해서 얻은 본 발명의 샘플에서는 약 1.3nm인 것에 반해, 이온 조사 공정을 실시하지 않았던 비교 샘플에서는 약 1.5nm였다. 이상과 같이, 스퍼터링에 의해 금속 Hf막을 형성하기 전에 질소 플라즈마 조사를 실시하는 것으로, EOT는 약 0.2nm 감소하고, 초기 막두께 1.4nm의 SiO₂막(102)에 의해, 이온 조사 공정에서 Ne 플라즈마를 이용하는 경우에도, 본 발명의 유효성이 확인되었다.

[실시예 5]

[0085] 본 발명의 제5의 실시예로서, 초기 막두께 1.8nm의 SiO₂막(102)의 표면에 이온 조사 공정으로 Ar 플라즈마를 조사함으로써, SiO₂막(102)의 표층부를 반응 촉진층(104)으로 한 예를 나타낸다. 본 실시예에서는, 이온 조사 공정에서, 도 2의 데이터를 취득한 장치인 표면과 간섭 플라즈마 처리장치를 사용했다.

[0086] 우선, 제1의 공정으로서, Si 기판(101)을 세정해서 자연 산화막을 제거한 후, RTA(Rapid Thermal Annealing) 장치를 이용해서 Si 기판(101)의 표층부를 산화함으로써, 막두께 1.8nm의 SiO₂막(102)을 형성했다.

[0087] 다음에, SiO₂막(102)이 부착된 Si 기판(101)을 플라즈마 처리실 내에 도입하고, 온도 100°C로 설정된 기판 지지대에 설치했다. 그리고, 진공 용기에 100sccm의 Ar 가스를 도입하고, 압력을 10Pa로 조정하며, 3000W의 고주파

전력을 인가함으로써, Ar 플라즈마를 발생시켰다. 이 Ar 플라즈마에, SiO_2 막(102)의 표면을 20초간 연속해서 노출하는 것으로, 입사 에너지 15eV에서의 이온 조사 공정을 실시했다. 이것에 의해, SiO_2 막(102)의 표층부(두께 0.7nm)가 반응 촉진층(104)으로 되었다.

[0088] 다음에, 제2의 공정으로서, SiO_2 막(102)이 부착된 Si 기판(101)을 진공 중에 유지한 채로, 금속 Hf 성막실로 이동시키고, 스퍼터링법에 의해, 비산화성 분위기 중에서 금속 Hf막(105)을 두께 0.5nm로 퇴적했다. 이것에 의해, 반응 촉진층(104)으로 금속 Hf가 확산해서, HfSiO_x 막(106)이 형성되었다. 이 금속 Hf막(105)의 형성 공정 중의 산소 분압은 $1 \times 10^{-7} \sim 10^{-8}$ Pa였다.

[0089] 다음에, 제3의 공정 이후의 공정을 실시해 1과 같이 실시함으로써, 본 발명의 샘플을 작성하고, 그 MOS 캐퍼시터 특성을 측정했다.

[0090] 비교를 위해서, 상기 이온 조사 공정을 실시하지 않았던 것 이외는 마찬가지로 비교 샘플을 작성하고, 그 MOS 캐퍼시터 특성을 측정했다.

[0091] 그 결과, EOT의 값은, 이온 조사 공정을 실시해서 얻은 본 발명의 샘플에서는 약 1.6nm인 것에 반해, 이온 조사 공정을 실시하지 않았던 비교 샘플에서는 약 1.7nm였다. 이상과 같이, 스퍼터링에 의해 금속 Hf막을 형성하기 전에 질소 플라즈마 조사를 실시하는 것으로, EOT는 약 0.1nm 감소하고, 이온 조사 공정에서 Ar 플라즈마를 이용하는 경우에도, 본 발명의 유효성이 확인되었다.

[0092] 본 발명은 예시적인 실시 예를 참조하면서 본 발명을 설명했지만, 본 발명은 이 개시한 예시적인 실시 예에 한정되는 것이 아니라는 것을 이해할 것이다. 이하의 특허청구범위는 모든 변형과 균등 구조 및 기능을 포함하도록 가장 넓게 해석되어야 한다.

도면의 간단한 설명

[0093] 도 1a, 1b, 1c, 1d, 1e 및 1f는 본 발명의 제1의 실시 형태를 설명하기 위한 공정 단면도이다.

[0094] 도 2는 이온 조사 공정에서의 압력 및 가스 조성의 변화에 의한 시스 전압의 변화의 예를 나타내는 도면이다.

[0095] 도 3은 이온 조사 공정에서의 이온 주입 깊이의 시스 전압 의존성의 측정 결과를 나타내는 도면이다.

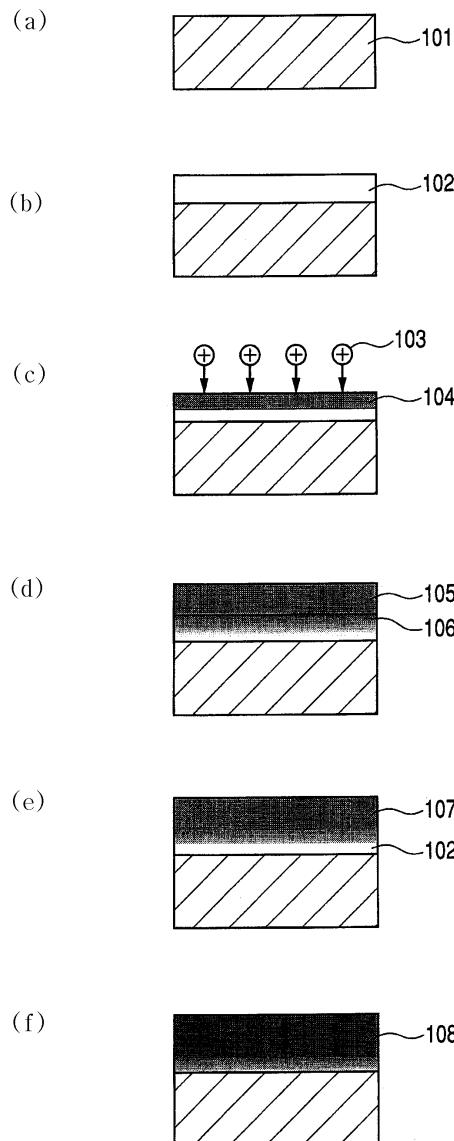
[0096] 도 4는 이온 조사 공정에서 사용되는 여러가지 이온과 SiO_2 막과의 반응 형태의 입사 이온 에너지 의존성을 나타내는 도면이다.

[0097] 도 5는 본 발명 및 종래 예에 있어서의 초기 산화막두께와 절연막의 EOT와의 관계를 나타내는 도면이다.

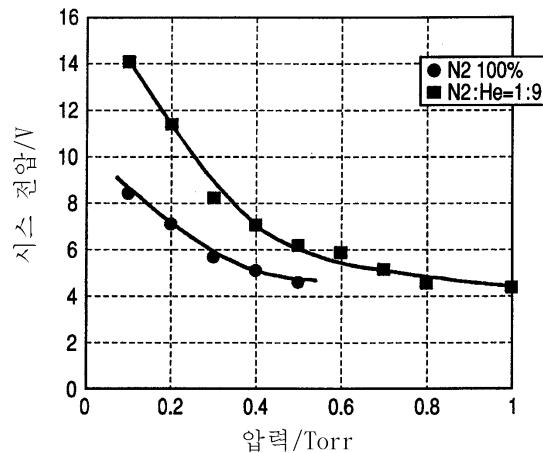
[0098] 도 6a, 6b, 6c, 6d, 및 6e는 종래의 스퍼터링법을 이용한 HfSiON 막의 형성 프로세스의 일례를 나타내는 공정 단면도이다.

도면

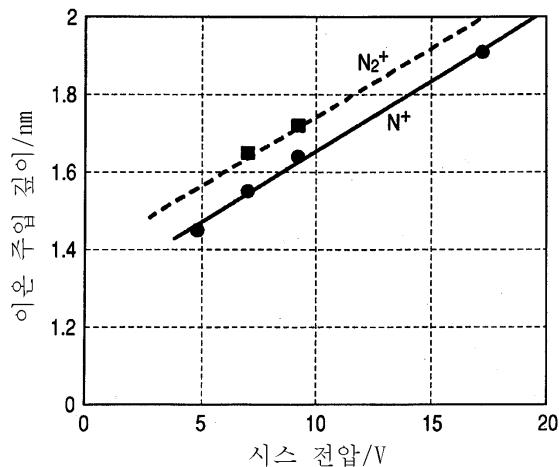
도면1



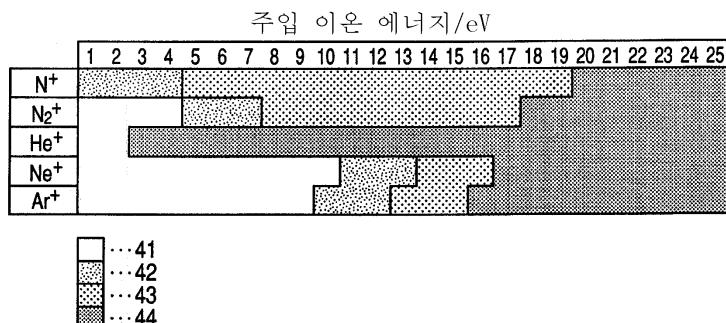
도면2



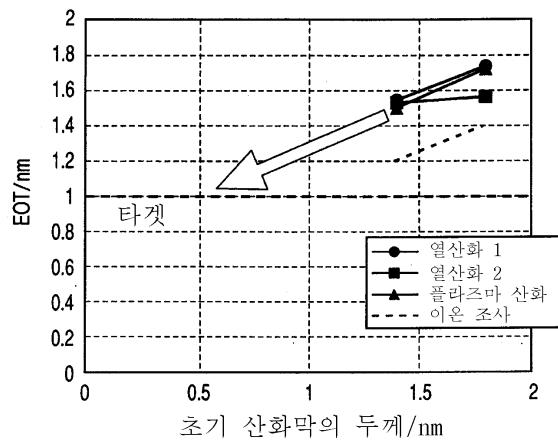
도면3



도면4



도면5



도면6

