



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 103 24 055 B4 2005.10.13**

(12)

Patentschrift

(21) Aktenzeichen: **103 24 055.1**
 (22) Anmeldetag: **27.05.2003**
 (43) Offenlegungstag: **30.12.2004**
 (45) Veröffentlichungstag
 der Patenterteilung: **13.10.2005**

(51) Int Cl.7: **H01L 27/08**
H01L 21/822

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:
Texas Instruments Deutschland GmbH, 85356 Freising, DE

(74) Vertreter:
Prinz und Partner GbR, 81241 München

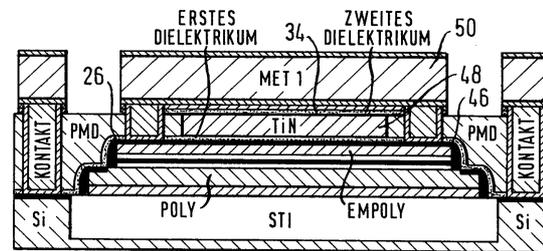
(72) Erfinder:
Dirnecker, Christoph, 85410 Haag, DE; Babcock, Jeffrey A., 85375 Neufahrn, DE; Balster, Scott, 80992 München, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
US 63 87 753 B1
US 60 66 537
US 47 31 696
EP 12 05 976 A2

(54) Bezeichnung: **Verfahren zur Herstellung eines integrierten Stapelkondensators**

(57) Hauptanspruch: Verfahren zur Herstellung eines integrierten Stapelkondensators mit einem ersten Kondensatorbelag (46) aus polykristallinem Silizid, einem zweiten Kondensatorbelag (48) und einem zwischen dem ersten Kondensatorbelag (46) und dem zweiten Kondensatorbelag (48) angeordneten ersten Dielektrikum (26), einem dritten Kondensatorbelag (50) und einem zweiten Dielektrikum (34) zwischen dem zweiten Kondensatorbelag (48) und dem dritten Kondensatorbelag (50), wobei das Verfahren folgende, aufeinanderfolgende Schritte umfaßt:

Aufbringen einer Polysilizidschicht (20) zur Bildung des ersten Kondensatorbelags (46);
 Aufbringen eines ersten Dielektrikums (26);
 Aufbringen einer ersten Metallschicht (28) zur Bildung des zweiten Kondensatorbelags (48); danach
 Aufbringen eines Pre-Metal-Dielektrikums (32);
 Planarisieren des Pre-Metal-Dielektrikums (32), wobei durch das Planarisieren die erste Metallschicht (28) wieder freigelegt wird;
 Aufbringen eines zweiten Dielektrikums (34); und
 Aufbringen einer zweiten Metallschicht (44) zur Bildung des dritten Kondensatorbelags (50).



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zur Herstellung eines integrierten Stapelkondensators.

[0002] Stapelkondensatoren werden häufig in integrierten Schaltungen eingesetzt, deren Minimierung weiter vorangetrieben wird. Der Forderung nach immer kleineren Chipgrößen kann aber aufgrund der erforderlichen Abmessungen der passiven Bauelemente der Schaltungen nicht ohne weiteres nachgekommen werden. Zur Steigerung der Leistungsfähigkeit von Stapelkondensatoren pro Bauelement-Volumeneinheit wurden bisher insbesondere folgende Ansätze verfolgt:

1. Verringerung der Dicke herkömmlicher Dielektrika wie Siliziumoxid oder Siliziumnitrid. Eine solche Verringerung erfordert jedoch eine bessere Kontrolle über die Abscheidung der Dielektrika, insbesondere bezüglich deren Dicke und Defekte. Darüber hinaus wird eine bessere Materialqualität benötigt, um die Anforderungen an die Lebensdauer der Bauelemente zu erfüllen. Es ist bekannt, daß Hochtemperatur-LP-CVD-Prozesse Niedertemperatur-PECVD-Prozessen überlegen sind. Wenn aber Kondensatoren mit Platten vorgesehen sind, die in Metallisierungsebenen (Aluminium) integriert sind, darf die Temperatur aufgrund von Materialstabilitätsvorgaben der Metallisierungsebenen einen bestimmten Grenzwert nicht überschreiten. Außerdem sind Niedertemperaturprozesse dann vorzuziehen, wenn diffusionsbedingte Veränderungen bei Siliziumdotierungsprofilen vermieden werden sollen. Aus Gründen der Zuverlässigkeit ist die Kapazitätsdichte bei Dielektrika, die in einem PECVD-Prozess abgeschieden werden, typischerweise auf 1,5 fF/ μm^2 (Oxid) bzw. 3 fF/ μm^2 (Nitrid) begrenzt.

2. Verwendung von Dielektrika mit hoher Dielektrizitätskonstante. Der Einsatz von Materialien wie Titandioxid (TiO_2), Ditantalpentoxid (Ta_2O_5) oder Barium-Strontium-Titanat ($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$) erscheint aufgrund der vergleichsweise hohen dielektrischen Konstanten sehr vielversprechend, ist aber noch nicht etabliert. Die meisten dieser Materialien haben eine hohe Leckstromrate, und es bestehen große Schwierigkeiten bei der Bauelementherstellung. Akzeptable Durchschlags- und Leckeigenschaften können bisher nur mit verhältnismäßig dicken Schichten erreicht werden, so daß die überlegenen dielektrischen Eigenschaften dieser Materialien nicht vorteilhaft genutzt werden können. Außerdem erfordert die Einführung dieser neuen Materialien zusätzlichen Platz in den Reindräumen für neue Geräte und neue Chemikalien sowie einen erheblichen Fertigungsplanungsaufwand, was unmittelbar zu einer Erhöhung der Herstellungskosten führt. Auch bei einer Integration in eine existierende Prozeßlinie müssen Änderungen in der Technologiearchitektur vorgenommen werden.

3. Ausnutzung der vertikalen Chipdimension zur Steigerung der effektiven Fläche eines Kondensators. Zur Bereitstellung einer geeigneten Topographie, die die vertikale Dimension eines Bauelements besser ausnutzt, müssen neue Strukturierungsprozesse entwickelt und/oder zusätzliche Maskierungsebenen eingeführt werden. Ferner müssen zusätzliche Prozeßanforderungen, wie CD (Critical Dimension) Control, Ätzselektivität, Stufenüberdeckung und Planarität erfüllt werden. Der Einsatz dieser Art von Strukturen ist oft durch die Anforderungen der Anwendungen begrenzt. Als Folge der veränderten vertikalen Geometrie erhöht sich der Reihenwiderstand der Kondensatorbeläge, was zu einem geringeren Gütefaktor des Kondensators führt, so daß er für bestimmte Hochfrequenzanwendungen ungeeignet ist. Die Präzision und die Anpassungseigenschaften sind durch die Lithographie und die Ätzmöglichkeiten begrenzt, ebenso wie die Variationen der vertikalen Dicke.

4. Bei integrierten Schaltungen mit mehreren, miteinander verknüpften Ebenen, kann die Kapazitätsdichte durch Aufeinanderstapeln von zwei (oder mehr) herkömmlichen Kondensatoren vergrößert werden, indem die gleiche Struktur auf verschiedenen Metallisierungsebenen einfach reproduziert wird. Die Kosten für die Einführung einer weiteren Maskierungsebene und verschiedener anderer Strukturierungsschritte in eine Prozeßlinie sind jedoch solange nicht gerechtfertigt, bis sich die Investition für die Reduktion der Chipgröße durch einen höheren Ausstoß und eine angemessene Tauglichkeitsrate der integrierten Schaltungen auszahlt.

[0003] Bei der fortschreitenden Integration vieler Komponenten in eine einzige integrierte Schaltung ist es wünschenswert, denselben Kondensatortyp für verschiedene Anwendungen einsetzen zu können, z. B. für Hochfrequenz- oder hochpräzise analoge Anwendungen. Bei Sperrkondensatoren mit einer sehr hohen Kapazität wird aufgrund seiner hohen Dielektrizitätskonstante vorzugsweise Siliziumnitrid als Dielektrikumsmaterial verwendet. Kondensatoren, die in hochpräzisen analogen Anwendungen eingesetzt werden, erfordern jedoch eine viel bessere Linearität und Frequenzunabhängigkeit, so daß Siliziumoxid, das eine geringere Dielektrizitätskonstante hat, die beste Wahl ist. Bei solch gegensätzlichen Voraussetzungen kann die Prozeßlinie nur für die eine oder für die andere Anwendung optimiert werden, was zu einem Kompromiß bezüglich der Gesamtproduktleistung führt. Alternativ können, um den Wünschen des Kunden entgegenzukommen, zwei verschiedene Kondensatortypen mit gleicher Technologie angeboten werden, was aber die Kosten und die Komplexität der Prozeßlinie erhöht.

Stand der Technik

[0004] Ein integrierter Stapelkondensator mit einem ersten Kondensatorbelag aus polykristallinem Silizid und einem zweiten Kondensatorbelag, zwischen denen ein erstes Dielektrikum angeordnet ist, sowie einem dritten Kondensatorbelag, wobei zwischen dem zweiten und dritten Kondensatorbelag ein zweites Dielektrikum angeordnet ist, ist aus der US 6 387 753 B1 bekannt. Ein ähnlich aufgebauter integrierter Stapelkondensator ist auch in der US 4 731 696 gezeigt.

[0005] Ein Verfahren zur Herstellung eines integrierten Stapelkondensators, bei dem Kondensatorbeläge aus Metall vorgesehen sind, ist z.B. aus der US 6 066 537 A bekannt.

[0006] Aus der EP 1 205 976 A2 ist es bekannt, daß es zur Verringerung der Spannungsabhängigkeit eines Dreischicht-Kondensators günstig ist, zwei verschiedene dielektrische Materialien für die beiden dielektrischen Schichten des Kondensators zu wählen.

Aufgabenstellung

[0007] Aufgabe der Erfindung ist es, mit möglichst geringen Produktionskosten einen integrierten Stapelkondensator herzustellen, der bei gegebenem Platzbedarf eine erhöhte Leistung bringt und flexibel einsetzbar ist.

[0008] Das erfindungsgemäße Verfahren zur Herstellung eines integrierten Stapelkondensators umfaßt folgende, aufeinanderfolgende Schritte:

Aufbringen einer Polysilizidschicht zur Bildung des ersten Kondensatorbelags;

Aufbringen eines ersten Dielektrikums;

Aufbringen einer ersten Metallschicht zur Bildung des zweiten Kondensatorbelags;

Aufbringen eines Pre-Metal-Dielektrikums;

Planarisieren des Pre-Metal-Dielektrikums, wobei durch das Planarisieren die zweite Metallschicht wieder freigelegt wird;

Aufbringen eines zweiten Dielektrikums; und

Aufbringen einer zweiten Metallschicht zur Bildung des dritten Kondensatorbelags.

[0009] Das erfindungsgemäße Verfahren kann ohne großen zusätzlichen Aufwand und daher sehr kostengünstig in einen bestehenden BiCMOS-Prozeß zur Herstellung einer bekannten integrierten Schaltung integriert werden. Das erfindungsgemäße Verfahren erfordert nur einen zusätzlichen Prozeßschritt, nämlich die Abscheidung des zweiten Dielektrikums. Alle anderen Prozeßschritte können vom bekannten Verfahren übernommen werden und unterscheiden sich nur geringfügig in der Strukturierung der einzelnen Schichten.

[0010] Vorzugsweise erfolgt das Aufbringen der Polysilizidschicht auf einer Oxid-Nitrid-Oxid-Schichtfolge, die auf einer unteren Polysilizidschicht angeordnet ist. Die Oxid-Nitrid-Oxid-Schichtfolge und die untere Polysilizidschicht, die beim bekannten Verfahren zur Herstellung der bekannten integrierten Schaltung standardmäßig vorgesehen sind, können genutzt werden, um den ersten Belag des erfindungsgemäßen Kondensators topographisch nach oben zu verlegen.

[0011] Beim erfindungsgemäßen Verfahren kann auch vorgesehen sein, daß eine ätzbare Stoppschicht für chemisch-mechanisches Polieren auf das zweite Dielektrikum aufgebracht wird. Eine solche Stoppschicht schützt das zweite Dielektrikum vor Beschädigungen beim chemisch-mechanischen Polieren in einem späteren Prozeßschritt.

[0012] Der mit dem erfindungsgemäßen Verfahren hergestellte Kondensator ist ein MIMIM (metal insulator metal insulator metal) Parallelplatten-Kondensator, bei dem der zweite Kondensatorbelag keine Deckplatte, sondern ein mittlerer Belag ist, der zwischen zwei äußeren Kondensatorbelägen eingebettet ist, wobei zwischen den Belägen jeweils ein Dielektrikum angeordnet ist. Der Kondensator zeichnet sich durch eine hohe Kapazitätsdichte aus und kann je nach Verschaltung der einzelnen Kondensatorbeläge für verschiedene Anwendungen eingesetzt werden.

[0013] Der zweite (mittlere) Belag des Kondensators besteht vorzugsweise aus Titanitrid oder einer Titanlegierung.

[0014] Für bestimmte Anwendungen erweist es sich als vorteilhaft, daß das erste Dielektrikum aus einem Nitrid und das zweite Dielektrikum aus einem Oxid besteht, oder daß das erste Dielektrikum und das zweite Di-

elektrikum jeweils aus einem Nitrid bestehen, oder daß das erste Dielektrikum und das zweite Dielektrikum jeweils aus einem Oxid bestehen.

[0015] Bei der erfindungsgemäßen Herstellung eines Kondensators, bei dem der erste Belag auf einer auf einem Substrat vorhandenen Schichtfolge angeordnet wird, vorzugsweise auf einer Oxid-Nitrid-Oxid-Schichtfolge, welche wiederum auf einer unteren Polysilizidschicht angeordnet wird, bringt die dadurch bedingte topographisch höhere Position des ersten Belags und der darauf aufgetragenen weiteren Schichten Vorteile bei der Durchführung späterer Strukturierungsprozessschritte.

[0016] Weitere Merkmale und Vorteile der Erfindung ergeben sich aus der nachfolgenden Beschreibung und aus den beigefügten Zeichnungen, auf die Bezug genommen wird. In den Zeichnungen zeigen:

[0017] [Fig. 1a](#), [Fig. 2a](#) ... 12 aschematische Schnittansichten, die die Herstellung eines integrierten Stapelkondensators gemäß dem Stand der Technik verdeutlichen;

[0018] [Fig. 1b](#), [Fig. 2b](#) ... [Fig. 12b](#) schematische Schnittansichten, die die Herstellung eines erfindungsgemäßen integrierten Stapelkondensators verdeutlichen;

[0019] [Fig. 13a](#) eine Draufsicht eines erfindungsgemäßen Kondensators gemäß einer ersten Designvariante;

[0020] [Fig. 13b](#) eine Schnittansicht entlang der Linie A in [Fig. 13a](#);

[0021] [Fig. 13c](#) eine Schnittansicht entlang der Linie B in [Fig. 13a](#);

[0022] [Fig. 14a](#) eine Draufsicht eines erfindungsgemäß hergestellten Kondensators gemäß einer zweiten Designvariante;

[0023] [Fig. 14b](#) eine Schnittansicht entlang der Linie C in [Fig. 14a](#); und

[0024] [Fig. 14c](#) eine Schnittansicht entlang D in [Fig. 14a](#).

Ausführungsbeispiel

[0025] Im folgenden werden die Herstellung eines integrierten Stapelkondensators nach dem Stand der Technik und die erfindungsgemäße Herstellung eines Kondensators parallel beschrieben, um durch die Gegenüberstellung der einzelnen Arbeitsschritte die Unterschiede zum bekannten Herstellungsverfahren und den dadurch erzielten neuartigen Aufbau des erfindungsgemäßen Kondensators zu verdeutlichen. Die **Fig. 1** bis **12** mit dem Zusatz „a“ zeigen den bekannten Kondensator nach bestimmten Prozessschritten, die entsprechenden Figuren mit dem Zusatz „b“ zeigen einen Kondensator jeweils nach einem vergleichbaren Schritt des erfindungsgemäßen Verfahrens.

[0026] Für beide Kondensatoren wird standardmäßig ein Siliziumsubstrat **10** mit einer sogenannten „shallow trench isolation“ (STI) **12**, d. h. einer flach geätzten, mit einem Isolator aufgefüllten Grabenstruktur verwendet. Alternativ kann auch eine Isolierung durch Feldoxidation hergestellt werden. Auf das Siliziumsubstrat **10**, auf dem aufgrund von vorherigen, für die Herstellung der Kondensatoren nicht relevanten und daher nicht dargestellten Prozessschritten bereits eine Schicht **14** aus polykristallinem Silizid vorhanden ist, wird eine weitere Polysilizidschicht **16** abgeschieden, gefolgt von einer Oxid-Nitrid-Oxid-Schichtfolge **18**. Auf der Oxid-Nitrid-Oxid-Schichtfolge wird wiederum eine Emitterschicht **20** aus polykristallinem Silizid abgeschieden. Bei der darauf folgenden Maskierung mit Fotolack **22** ist beim bekannten Herstellungsverfahren der gesamte Kondensatorbereich freigelegt ([Fig. 1a](#)), während beim erfindungsgemäßen Herstellungsverfahren ein mittlerer Bereich mit Fotolack **22** bedeckt bleibt ([Fig. 1b](#)). Dementsprechend werden beim anschließenden Ätzen der Emitterschicht **20** und der Oxid-Nitrid-Oxid-Schichtfolge **18** beim bekannten Herstellungsverfahren sowohl die Emitterschicht **20** als auch die Oxid-Nitrid-Oxid-Schichtfolge **18** im gesamten Kondensatorbereich weggeätzt ([Fig. 2a](#)), während beim erfindungsgemäßen Herstellungsverfahren die entsprechenden Schichten in dem zuvor mit Fotolack **22** abgedeckten, mittleren Bereich bestehen bleiben. Somit ergibt sich nach dem Entfernen des Fotolacks **22** die in [Fig. 2b](#) gezeigte Struktur mit einer erhabenen Emitterschicht **20**, die später den unteren Belag **46** des erfindungsgemäß hergestellten Kondensators bildet (siehe [Fig. 12b](#)). Durch die „Anhebung“ des unteren Belags **46** nimmt dieser Kondensator später eine topographisch höhere Position ein als der bekannte Kondensator.

[0027] Wie in den [Fig. 3a](#) und [Fig. 3b](#) gezeigt, erfolgt eine Strukturierung der Polysilizidschicht **16** bzw. der Polysilizidschicht **16** und der darüber liegenden Schichten durch Maskierung und anschließendes Ätzen. Beim bekannten Herstellungsverfahren wird durch diesen Arbeitsschritt der untere Belag **46** des Kondensators definiert ([Fig. 3a](#), [Fig. 12a](#)), während beim erfindungsgemäßen Herstellungsverfahren eine Stufenstruktur gebildet wird, bei der die untere Polysilizidschicht **16** seitlich über die obere Emitterschicht **20** hinausragt ([Fig. 3b](#)).

[0028] Nach dem Entfernen des Fotolacks **23** erfolgen bei beiden Herstellungsverfahren eine Nitridabscheidung, ein Ätzvorgang zur „Abstandshafter“-Bildung an bestimmten Stellen und eine Titanabscheidung. Daraufhin wird an den Silizium/Titan-Grenzflächen eine Titansilizidbildung angeregt. Anschließend wird das verbleibende Titan entfernt und das gebildete Titansilizid **24** einem Annealprozeß unterzogen, so daß sich die in den [Fig. 4a](#) bzw. [Fig. 4b](#) gezeigten Strukturen ergeben. Auf diese Strukturen wird zunächst eine Schicht eines ersten Dielektrikums **26**, vorzugsweise ein Oxid oder Nitrid, und anschließend eine Titannitridschicht **28** abgeschieden. Danach erfolgt eine Maskierung ([Fig. 5a](#) bzw. [Fig. 5b](#)), um durch einen Titannitridätzschritt und anschließendes Entfernen des Fotolacks **30** die in den [Fig. 6a](#) bzw. [Fig. 6b](#) gezeigten Strukturen mit einem Titannitridbelag zu erhalten, der später den mittleren Belag **48** des erfindungsgemäß hergestellten Kondensators bildet (siehe [Fig. 12b](#)). Anstelle von Titannitrid kann auch ein anderes geeignetes Material, z. B. Titanwolfram für den mittleren Belag **48** verwendet werden.

[0029] Nächster Schritt bei beiden Herstellungsverfahren ist die Abscheidung eines Pre-Metal-Dielektrikums (PMD) **32**, das anschließend durch chemisch-mechanisches Polieren (CMP) planarisiert wird. Beim bekannten Herstellungsverfahren wird eine Dicke der PMD-Schicht **32** von 1 µm über der shallow trench isolation **12** und von 0,4 µm über der Titannitridschicht **28** angestrebt ([Fig. 7a](#)). Beim erfindungsgemäßen Herstellungsverfahren beträgt die Dicke des Pre-Metal-Dielektrikums **32** über der shallow trench isolation **12** 0,8 bis 0,9 µm. Die Titannitridschicht **28** ist, aufgrund ihrer erhöhten Lagen, nach dem chemisch-mechanischen Polieren freigelegt. Das erfindungsgemäße Herstellungsverfahren sieht nun eine Abscheidung eines zweiten Dielektrikums **34**, vorzugsweise ein Oxid oder Nitrid, vor, auf das gemäß einer ersten Variante des Herstellungsverfahrens wiederum eine Titannitridschicht abgeschieden wird ([Fig. 7b](#)). Die Titannitridschicht dient später als CMP-Stopschicht **36**, d.h. als Stopschicht für das chemisch-mechanische Polieren in einem späteren Prozeßschritt. Bei einer zweiten, nicht gezeigten Variante des erfindungsgemäßen Herstellungsverfahrens wird auf die CMP-Stopschicht **36** verzichtet. (Die Abscheidung des zweiten Dielektrikums **34** und der CMP-Stopschicht **36** gemäß der ersten Herstellungsvariante sind beim bekannten Herstellungsverfahren nicht vorgesehen.)

[0030] Bei beiden Herstellungsverfahren erfolgt nun ein selektives PMD-Ätzen, um an vorbestimmten Stellen Freiräume **38** für Kontakte zu schaffen ([Fig. 8a](#) und [Fig. 9a](#) bzw. [Fig. 8b](#) und [Fig. 9b](#)), wobei bei der ersten Variante des erfindungsgemäßen Herstellungsverfahrens zuvor die CMP-Stopschicht **36** an den entsprechenden Stellen weggeätzt wird. Nach der Abscheidung einer Metallbarrierschicht **40** werden die Freiräume **38** mit Wolfram zur Bildung von Kontakten **42** aufgefüllt. Beim anschließenden chemisch-mechanischen Polieren zur Entfernung der Überstände wird die Wolframfüllung beim bekannten Herstellungsverfahren wie auch beim erfindungsgemäßen Herstellungsverfahren gemäß der zweiten Variante bis auf Höhe der Barrierschicht **40** ([Fig. 10a](#)), beim erfindungsgemäßen Herstellungsverfahren gemäß der ersten Variante bis auf Höhe der CMP-Stopschicht **36** abgetragen ([Fig. 10b](#)). Gemäß der ersten Variante des erfindungsgemäßen Herstellungsverfahrens schützt die CMP-Stopschicht **36** das zweite Dielektrikum **34** vor Beschädigungen. Bei der zweiten erfindungsgemäßen Herstellungsvariante, bei der keine CMP-Stopschicht vorgesehen ist, muß entweder die Barrierschicht **40** dick genug sein, um eine Beschädigung des zweiten Dielektrikums **34** durch das chemisch-mechanische Polieren auszuschließen, oder die Wolframüberstände werden nicht durch chemisch-mechanisches Polieren, sondern durch Zurückätzen (W-etchback) entfernt.

[0031] Es folgt nun sowohl beim bekannten als auch beim erfindungsgemäßen Herstellungsverfahren eine Abscheidung einer Metallschicht **44**, z. B. Titannitrid oder Titanwolfram, die auf bekannte Weise zusammen mit der Barrierschicht **40** (und gemäß der ersten Variante des erfindungsgemäßen Herstellungsverfahrens auch einschließlich der CMP-Stopschicht **36**) und dem zweiten Dielektrikum **34**, wie in den [Fig. 11a](#) und [Fig. 12a](#) bzw. [Fig. 11b](#) und [Fig. 12b](#) dargestellt, strukturiert wird. Nach diesen Prozeßschritten ist das Herstellungsverfahren des bekannten bzw. des erfindungsgemäßen Kondensators abgeschlossen. Der erfindungsgemäße Kondensator hat somit einen unteren Kondensatorbelag **46**, einen mittleren Kondensatorbelag **48** und einen oberen Kondensatorbelag **50** mit einem ersten Dielektrikum **26** zwischen dem unteren und dem mittleren Belag **46** bzw. **48** und einem zweiten Dielektrikum **34** zwischen dem mittleren und dem oberen Belag **48** bzw. **50**.

[0032] Im Vergleich zum bekannten Herstellungsverfahren ist die Abscheidung des zweiten Dielektrikums **34** der einzige zusätzliche Arbeitsschritt, der für die erfindungsgemäße Herstellung des Kondensators zwingend erforderlich ist. Wie bereits erwähnt kann auf die Abscheidung der als CMP-Stopschicht **36** dienenden Titan-

nitridschicht (Fig. 7b) verzichtet werden, wenn anstelle des chemisch-mechanischen Polierens der Wolframfüllung ein Zurückätzen der Wolframüberstände durchgeführt wird oder wenn die später gebildete Metallbarriereerschicht 40 dick genug ist, um ein Stoppen des chemisch-mechanischen Polierens vor Erreichen des zweiten Dielektrikums 34 zu gewährleisten. Der Aufbau des erfindungsgemäß hergestellten Kondensators ergibt sich ansonsten alleine aus der unterschiedlichen Strukturierung der einzelnen Schichten.

[0033] Die Fig. 13a, Fig. 13b, Fig. 13c und Fig. 14a, Fig. 14b, Fig. 14c zeigen zwei mögliche Designvarianten des erfindungsgemäß hergestellten Kondensators. Bei der ersten Designvariante ist der mittlere Belag 48 mit einem Kontakt 52 verbunden (siehe Fig. 13c), der mit der Metallschicht 44 in Verbindung steht. Bei der zweiten Designvariante ist der mittlere Belag 48 mit einem Kontakt 54 (Via) verbunden, der sich durch ein Zwischenlagenedielektrikum 56 erstreckt und in Verbindung mit einer Metallschicht 58 eines anderen Bauelements auf einer höheren Ebene steht.

[0034] Abhängig von den verwendeten Dielektrikumsmaterialien und der Verschaltung der Kondensatorbeläge 46, 48, 50 ergeben sich unterschiedliche Eigenschaften des erfindungsgemäß hergestellten Kondensators, die in der nachfolgenden Tabelle zusammengefaßt sind. Innerhalb jeder Zeile der Tabelle bedeuten gleiche Vorzeichen (+ oder -), daß die entsprechenden Kondensatorbeläge 46, 48, 50 auf das gleiche Potential gesetzt, das heißt „kurzgeschlossen“ sind.

erstes Dielektrikum	zweites Dielektrikum	oberer Belag	mittlerer Belag	unterer Belag	max. Kapazitätzdichte	Eigenschaft des Kondensators
Nitrid	Oxid	+	-	+	4,5 fF/ μm^2	hohe Kapaz.dichte
Nitrid	Oxid	+	-	-	1,5 fF/ μm^2	hohe Präzision
Nitrid	Oxid	+	+	-	3 fF/ μm^2	hohe Kapaz.dichte
Nitrid	Nitrid	+	-	+	6 fF/ μm^2	sehr hohe K.dichte
Nitrid	Nitrid	+	-	-	3 fF/ μm^2	hohe Kapaz.dichte
Nitrid	Nitrid	+	+	-	3 fF/ μm^2	hohe Kapaz.dichte
Oxid	Oxid	+	-	+	3 fF/ μm^2	hohe Kapaz.dichte u. hohe Präzision
Oxid	Oxid	+	-	-	1,5 fF/ μm^2	hohe Präzision
Oxid	Oxid	+	+	-	1,5 fF/ μm^2	hohe Präzision

Patentansprüche

1. Verfahren zur Herstellung eines integrierten Stapelkondensators mit einem ersten Kondensatorbelag (46) aus polykristallinem Silizid, einem zweiten Kondensatorbelag (48) und einem zwischen dem ersten Kondensatorbelag (46) und dem zweiten Kondensatorbelag (48) angeordneten ersten Dielektrikum (26), einem dritten Kondensatorbelag (50) und einem zweiten Dielektrikum (34) zwischen dem zweiten Kondensatorbelag (48) und dem dritten Kondensatorbelag (50), wobei das Verfahren folgende, aufeinanderfolgende Schritte umfaßt:

Aufbringen einer Polysilizidschicht (20) zur Bildung des ersten Kondensatorbelags (46);

Aufbringen eines ersten Dielektrikums (26);

Aufbringen einer ersten Metallschicht (28) zur Bildung des zweiten Kondensatorbelags (48); danach

Aufbringen eines Pre-Metal-Dielektrikums (32);

Planarisieren des Pre-Metal-Dielektrikums (32), wobei durch das Planarisieren die erste Metallschicht (28) wieder freigelegt wird;

Aufbringen eines zweiten Dielektrikums (34); und

Aufbringen einer zweiten Metallschicht (44) zur Bildung des dritten Kondensatorbelags (50).

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß das Aufbringen der Polysilizidschicht (20) auf

einer Oxid-Nitrid-Oxid-Schichtfolge **(18)** erfolgt, die auf einer unteren Polysilizidschicht **(16)** angeordnet ist.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß nach dem Aufbringen der Polysilizidschicht **(20)** folgender Schritt vorgesehen ist: Strukturierung der Polysilizidschicht **(20)** und der unteren Polysilizidschicht **(16)**, so daß die untere Polysilizidschicht **(16)** über die Polysilizidschicht **(20)** hinausragt.

4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß folgender Schritt vorgesehen ist:

Aufbringen einer ätzbaren Stoppschicht **(36)** für chemisch-mechanisches Polieren auf das zweite Dielektrikum **(34)**.

Es folgen 8 Blatt Zeichnungen

Anhängende Zeichnungen

Fig. 1b

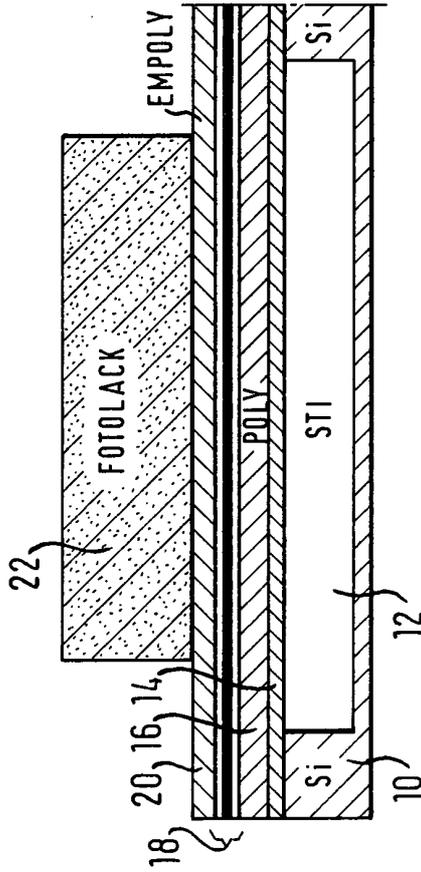


Fig. 2b

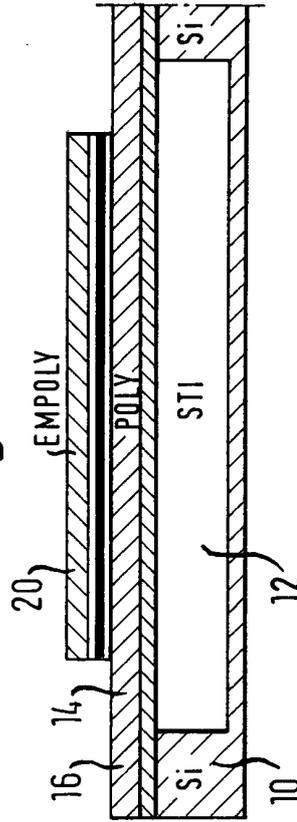


Fig. 1a

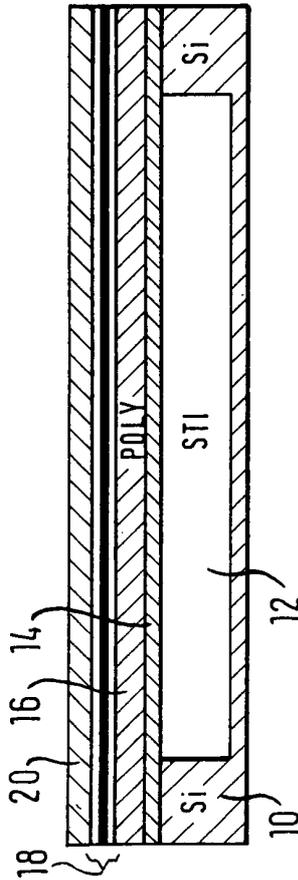


Fig. 2a

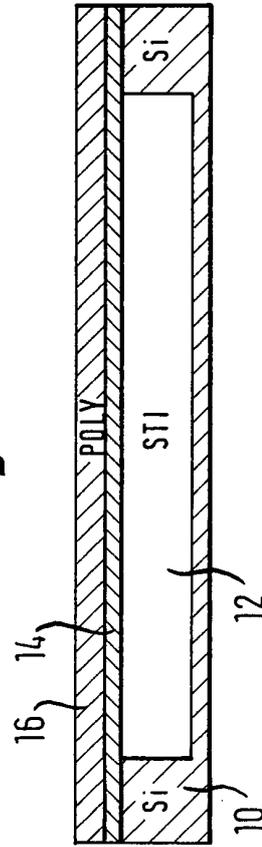


Fig. 3a

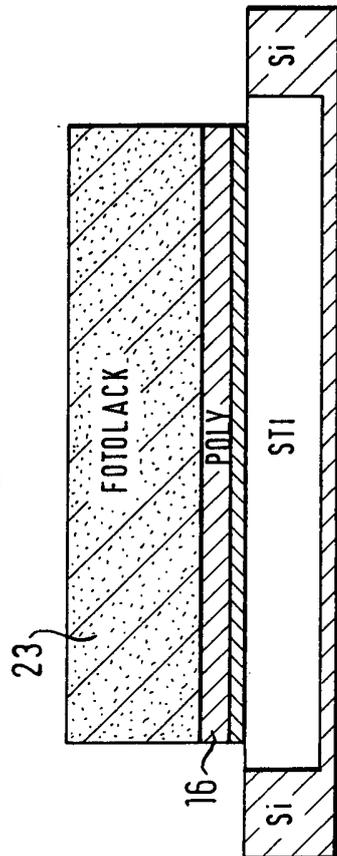


Fig. 3b

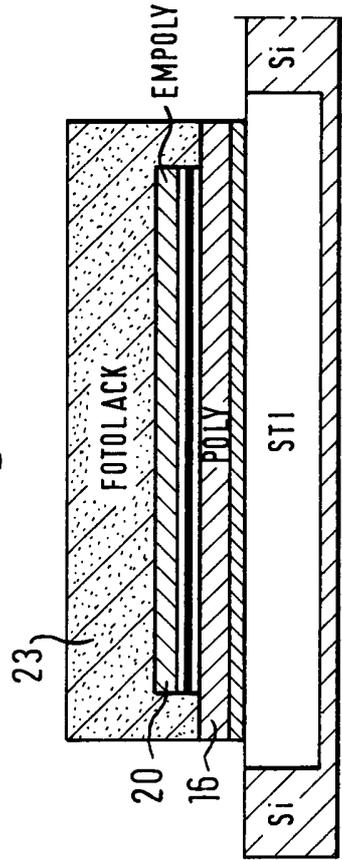


Fig. 4a

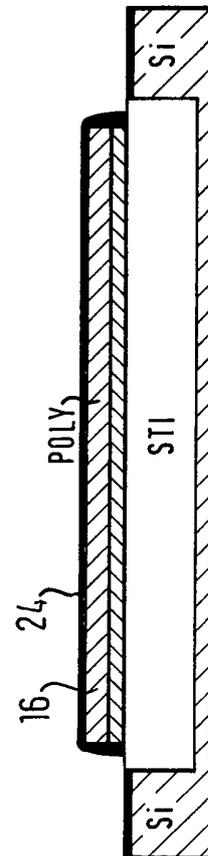


Fig. 4b

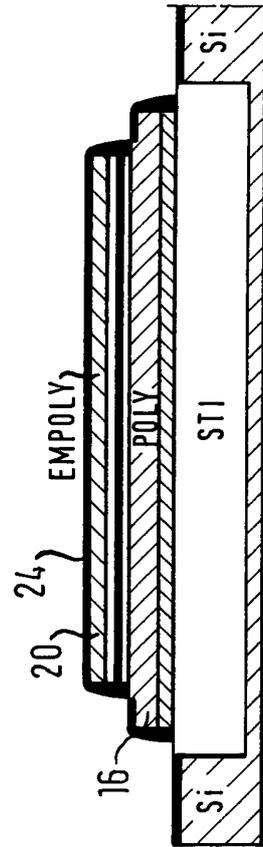


Fig. 5a

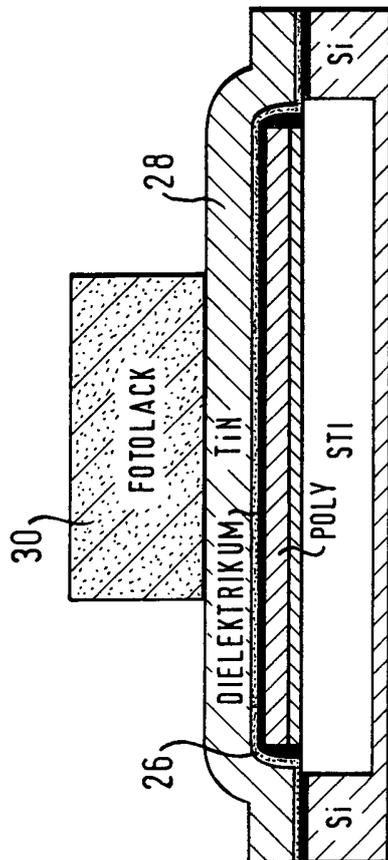


Fig. 5b

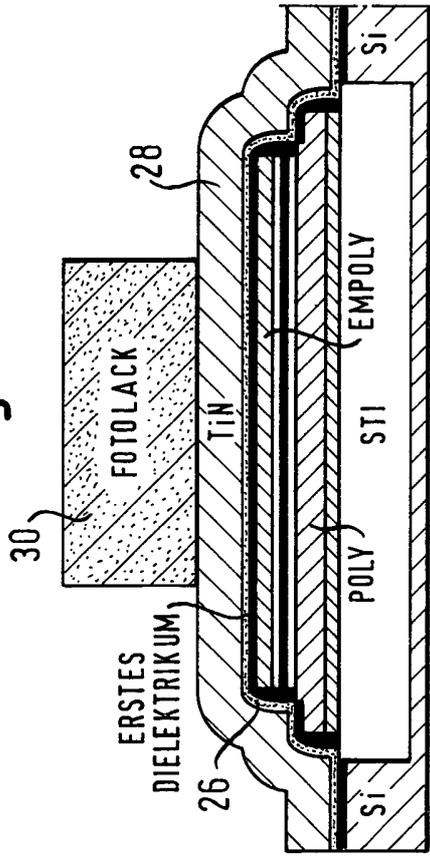


Fig. 6a

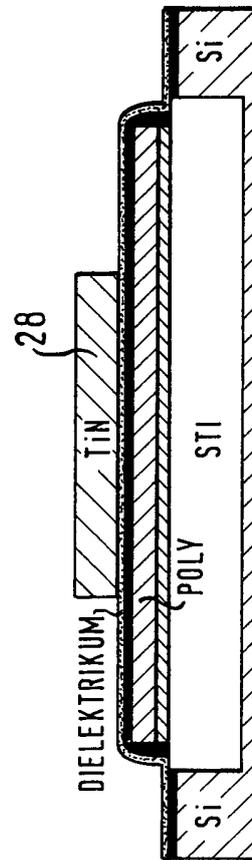


Fig. 6b

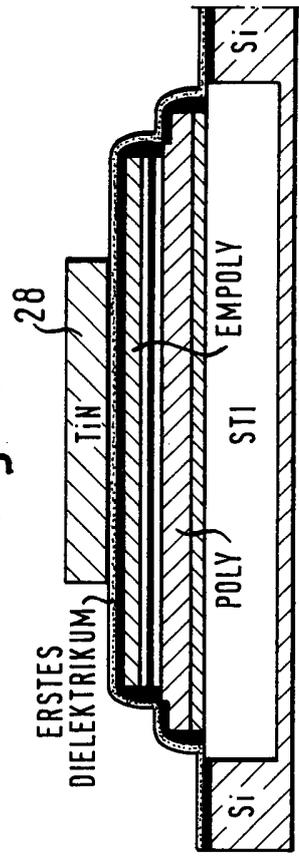


Fig. 7a

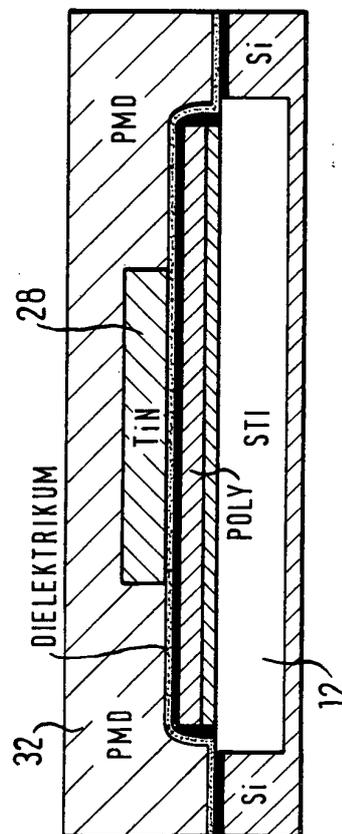


Fig. 7b

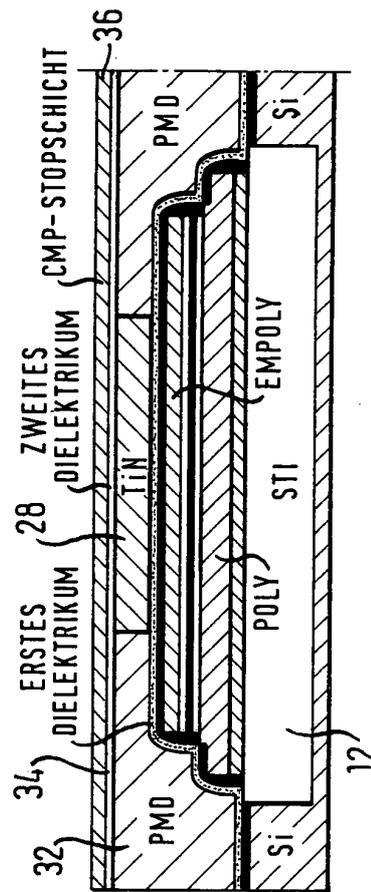


Fig. 8a

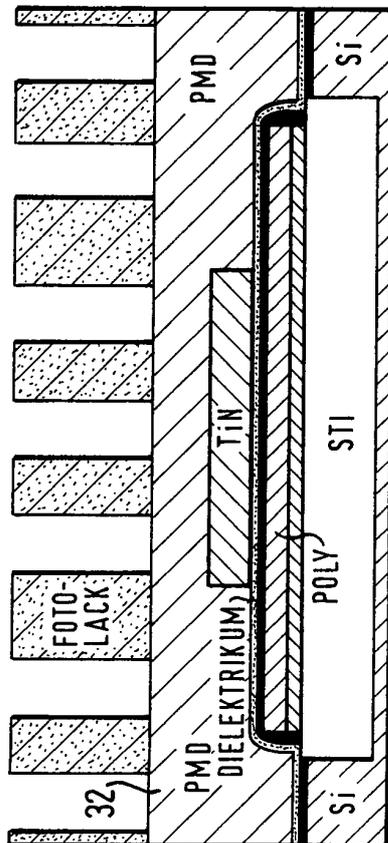


Fig. 8b

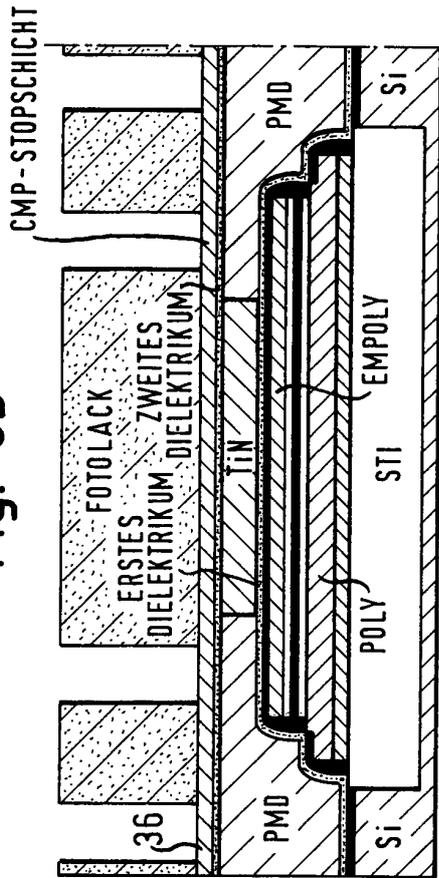


Fig. 9a

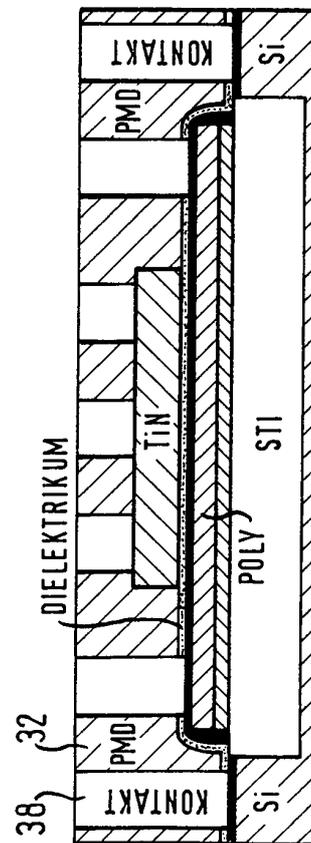


Fig. 9b

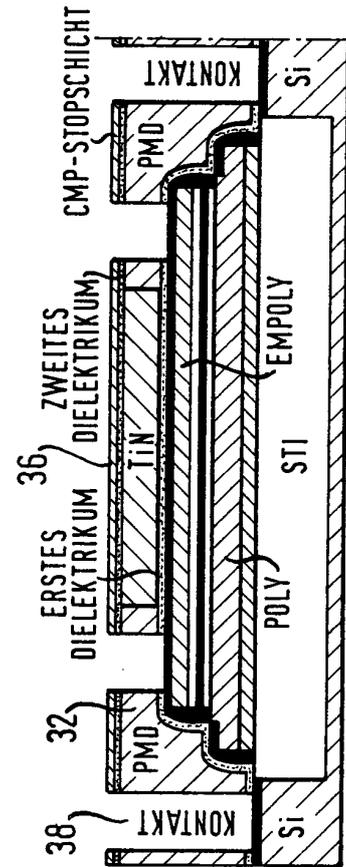


Fig. 10a

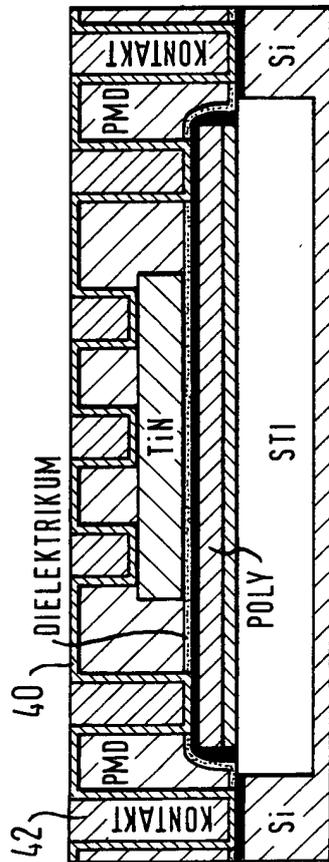


Fig. 10b

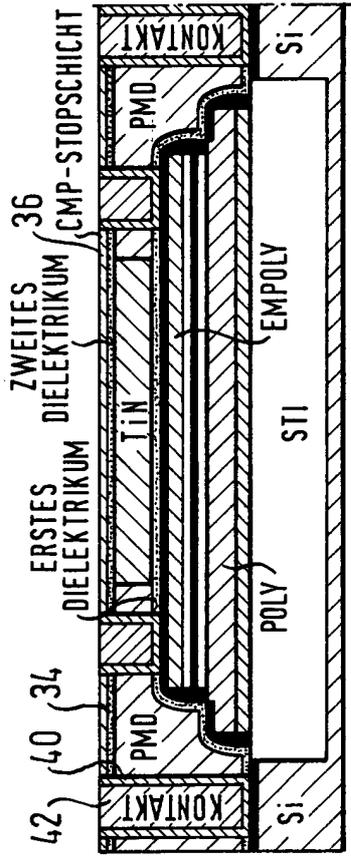


Fig. 11a

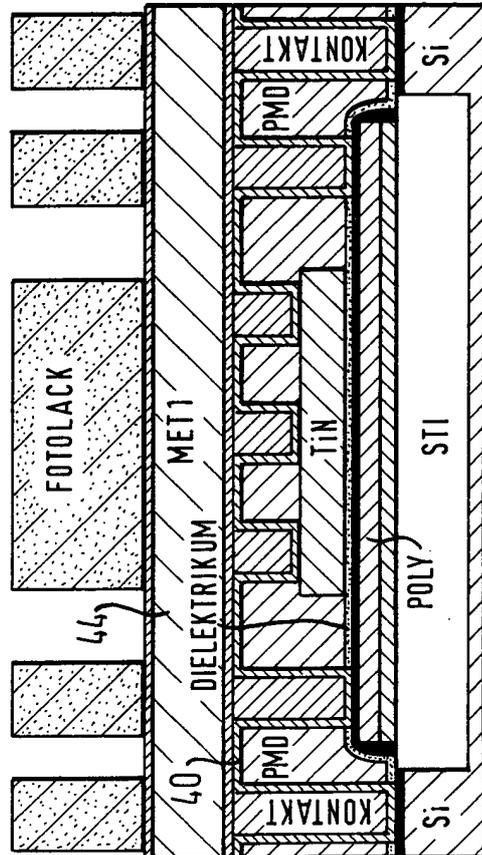


Fig. 11b

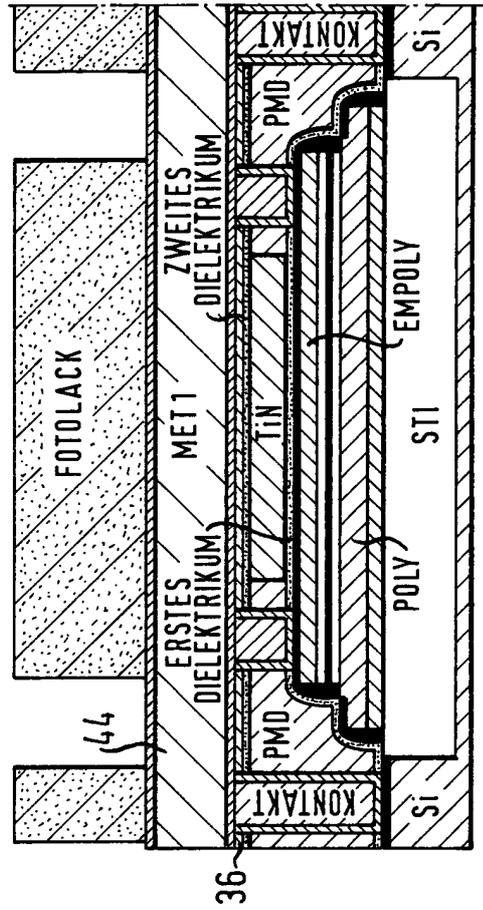


Fig. 13a

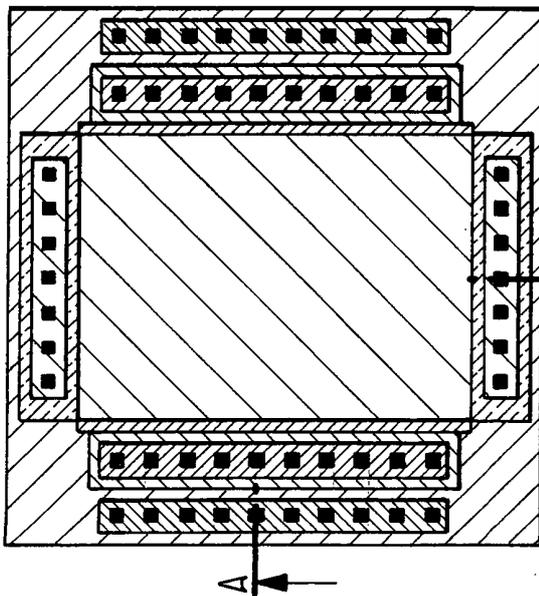
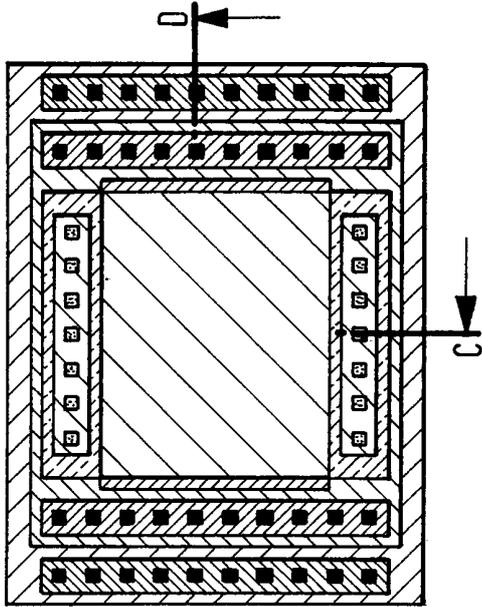


Fig. 14a



- POLY
- EMPOLY
- TiN
- MET1
- MET2
- KONTAKT
- VIA 1

Fig. 13b

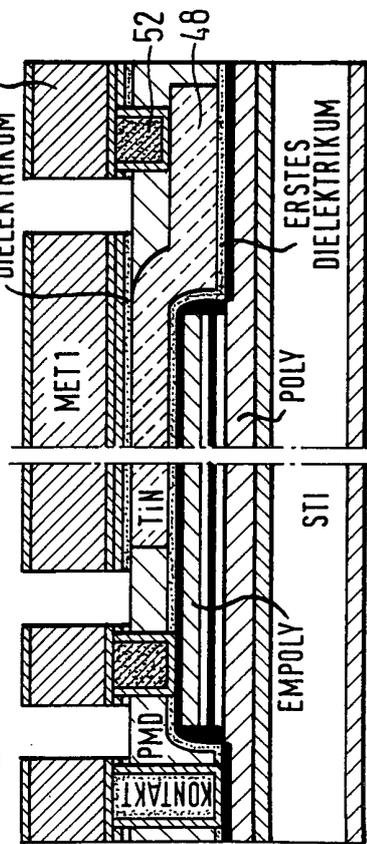


Fig. 13c

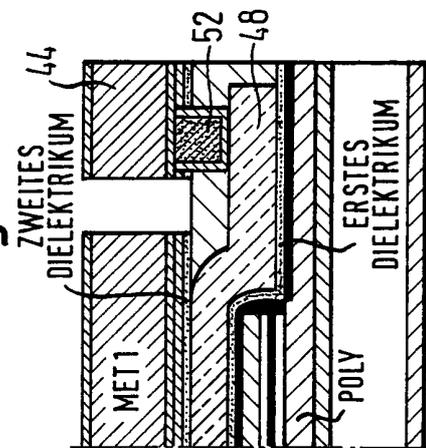


Fig. 14b

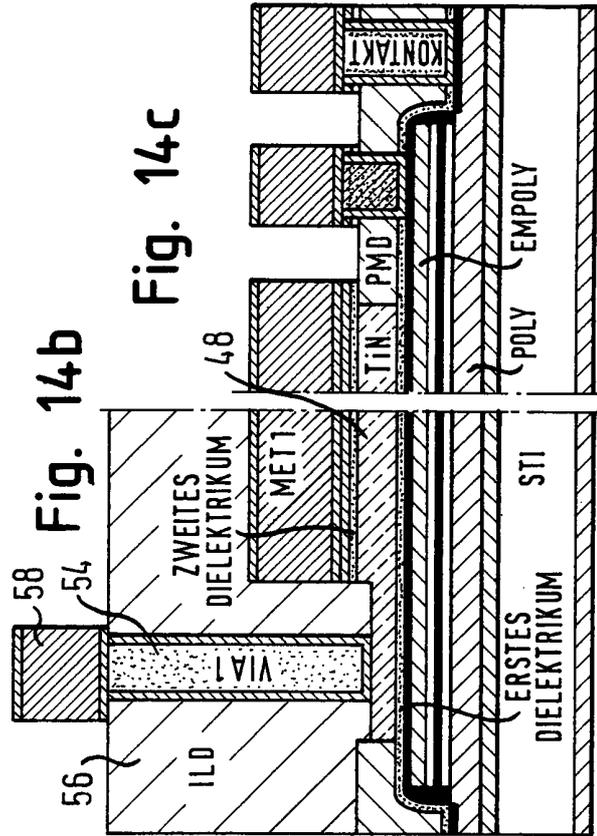


Fig. 14c

