(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H03K 19/00 (2006.01)

(45) 공고일자 2006년03월27일
(11) 등록번호 10-0563106
(24) 등록일자 2006년03월15일

(21) 출원번호 10-2002-7004795
(22) 출원일자 2002년04월15일
번역문 제출일자 2002년04월15일
(86) 국제출원번호 PCT/US2000/026547
국제출원일자 2000년09월27일

(65) 공개번호 10-2002-0060712
(43) 공개일자 2002년07월18일
(87) 국제공개번호 WO 2001/29967
국제공개일자 2001년04월26일

(81) 지정국 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바르바도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬랜드, 일본, 케냐, 키르키즈스탐, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크맨, 터어키, 트리니아드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구와바부다, 코스타리카, 도미니카, 알제리, 모로코, 탄자니아, 남아프리카, 벨리제, 모잠비크, 그라나다, 가나, 감비아, 크로아티아, 인도네시아, 인도, 시에라리온, 세르비아 앤 몬테네그로, 짐바브웨,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 모잠비크, 탄자니아,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탐, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크맨,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우,

(30) 우선권주장 09/418,762 1999년10월15일 미국(US)

(73) 특허권자 인텔 코오퍼레이션
미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200

(72) 발명자 포슬리브라이언
미국애리조나주85226챈들러골든키이즈웨이더블유3850

(74) 대리인 유미특허법인

심사관 : 강윤석

(54) 보상 버퍼 제어 방법 및 장치

요약

본 발명의 일 실시예에 따라서, 시스템은 보상치 발생기를 구비한 집적 회로를 포함한다. 보상치 발생기는 다수의 보상치를 처리하여 보상 회로에 의해 이용될 수 있는 보상치를 발생시킨다.

대표도

도 1

색인어

보상치 발생기, 보상 회로, 보상 버퍼, 클램프

명세서

기술분야

본 발명은 집적 회로에 관한 것으로, 특히 보상 버퍼를 제어하는 방법 및 장치에 관한 것이다.

[배경기술]

기술의 진보에 따라, 하나의 다이 내의 트랜지스터 수, 하나의 반도체 웨이퍼에서 제조되는 다이 수, 그리고 반도체 웨이퍼의 총 크기 이 모두가 증가하고 있다. 따라서, 제조 공정에서의 편차로 인해 하나의 반도체 웨이퍼 내의 트랜지스터들의 동작 성능 특성이 변동될 수가 있다. 이와 같은 동작 성능 특성의 변동에 의해서, 하나의 반도체 웨이퍼 상에서 서로 근접해 있는 다이들은 실질적으로 동일한 공정을 이용하여 제조되었다 하더라도 서로 다르게 동작할 수가 있다.

또, 하나의 다이 내에 트랜지스터들을 물리적으로 배치하는 경우는 다른 트랜지스터 배치에 비해서 일부 트랜지스터가 동작 중에 더 큰 전기적-기계적 응력을 받을 수가 있다. 이 문제는 소비자에 의해 디바이스에 부과될 수 있는 예컨대 온도와 같은 동작 조건에 의해 더욱 심각해질 수가 있다. 성능 변동이 너무 크면 디바이스는 소비자가 수용할 수 있는 범위 밖에서 동작할 수가 있다. 이러한 일이 생기면, 디바이스는 동작 조건을 충족시키지 못해 판매되지 않고 대개 폐기 처분된다. 따라서, 적어도 어느 정도는 반도체 제조 비용은 수용될 수 없는 성능으로 인해 폐기되어야 할 다이의 손실로 인해 증가하게 된다.

이러한 성능 변동 문제는 다이 내의 일부 트랜지스터의 성능을 조정하는 부가 회로를 그 다이에 추가함으로써 해소될 수 있다. 이와 같은 기법들 중 하나는 발명의 명칭이 "보상 버퍼 제어 방법 및 장치(Method and Apparatus for Controlling Compensated Buffers)"이고, 본 발명의 양수인에게 양도되고, 1999년 2월 9일자로 Ilkabahar 등에게 허여된 미국 특허 제5,869,983호에 개시되어 있다. 그러나, 융통성이 훨씬 더 큰 해결책을 제공하는 것이 바람직할 수 있다. [발명의 상세한 설명]

상기와 같은 문제점을 해소하고, 종래의 기술에 비해 더욱 향상된 기술을 제공하기 위하여, 본 발명의 일 양상에 따라, 제1 보상치를 제공할 수 있는 보상 장치, 및 상기 제1 보상치와 제2 보상치를 처리하여 제3 보상치를 제공할 수 있는 보상치 발생기를 포함하는 집적 회로가 제공된다.

본 발명의 다른 양상에 따라, 제1 보상치를 제공하는 보상 장치, 제2 보상치를 포함하는 적어도 하나의 메모리 로케이션, 보상 버퍼, 및 상기 제1 보상치와 상기 제2 보상치를 조합하여 갱신된 보상치를 상기 보상 버퍼에 제공하는 보상치 발생기를 포함하는 시스템이 제공된다.

본 발명의 또 다른 양상에 따라, 보상 버퍼, 제1 보상치를 발생시키는 수단, 제2 보상치를 발생시키는 수단, 및 상기 제1 보상치와 상기 제2 보상치를 처리하여 제3 보상치를 상기 보상 버퍼에 제공하는 수단을 포함하는 집적 회로가 제공된다.

본 발명의 또 다른 양상에 따라, 다수의 트랜지스터를 구비하되 상기 다수의 트랜지스터의 적어도 일부는 제1 디지털 보상치를 결정할 수 있는 보상 장치, 제2 디지털 보상치를 저장하는 메모리 로케이션, 및 상기 제1 디지털 보상치의 적어도 일부를 상기 제2 디지털 보상치의 적어도 일부를 조합하여 제3 디지털 보상치를 제공할 수 있는 보상치 발생기를 포함하는 회로가 제공된다.

본 발명의 또 다른 양상에 따라, 제1 디지털 보상치를 발생시키는 단계, 제2 디지털 보상치를 발생시키는 단계, 및 상기 제1 디지털 보상치와 상기 제2 디지털 보상치를 처리하여 제3 디지털 보상치를 발생시키는 단계를 포함하는 회로 보상 방법이 제공된다.

도면의 간단한 설명

본 발명의 청구 대상은 본 명세서의 결론 부분에서 특정해서 명백히 청구된다. 그러나, 본 발명은 그 목적, 특징, 및 이점과 함께 구조와 동작 방법 모두에 관해서 첨부 도면을 참조로 발명의 실시예를 통해 가장 잘 이해될 수 있다.

도 1은 본 발명의 일 실시예에 따라 보상 장치와 보상치 발생기를 구비한 집적 회로의 일부에 대한 블록도.

도 2는 도 1에 도시된 보상 장치의 실시예의 개략도.

도 3은 도 1의 실시예가 집적 회로 내의 일부 트랜지스터의 성능에 미치는 영향을 나타낸 그래프.

실시예

다음의 실시예에서는 본 발명을 확실히 이해하기 위하여 수치적인 특정한 상세 사항이 기재된다. 그러나, 당업자라면 본 발명이 이러한 상세 사항없이도 실시될 수 있음을 잘 알 것이다. 여러 예들에서, 본 발명을 불명료하게 하지 않기 위해, 잘 알려진 방법들, 절차, 성분, 회로에 대해서는 상세히 기재하지 않는다.

도 1은 본 발명의 일 실시예에 따른 집적 회로(10)의 일부의 블록도이다. 본 발명의 실시예들은 여러 가지 디바이스를 포함한다. 비록 본 발명은 이와 관련된 범위에 한정되지 않지만, 집적 회로(10)는 예컨대 마이크로프로세서, 마이크로컨트롤러, 스태틱 랜덤 액세스 메모리(SRAM), 다이내믹 랜덤 액세스 메모리(DRAM), 불휘발성 메모리 등을 포함하는 여러 가지 반도체 디바이스를 포함할 수 있다.

본 실시예에서 집적 회로(10)는 보상치 발생기(15)를 포함한다. 이와 관련하여, 보상치 발생기는 2 또는 그 이상의 값을 입력 신호로서 수신하고 이들 수신값들에 따라 연산을 수행하여 출력 신호로서 소정 값을 생성하는 임의의 디바이스를 포함하며, 이 출력 신호는 여러 가지 보상치를 가지고 수학적 알고리즘을 수행하여(즉, 처리하여), 집적 회로(10)의 전부 또는 일부의 성능을 조정하는데 사용될 수 있는 갱신 보상치를 집적 회로(10)에 제공할 수 있다.

이하에서 더 상세히 설명되는 바와 같이, 보상치 발생기(15)는 두 개의 서로 다른 발생원에 의해서 제공되는 보상치를 처리하여 갱신 보상치를 계산해 내는 논리 트랜지스터나 스위치를 포함할 수 있다. 보상치 발생기(15)에 의해 처리된 보상치는 다른 회로, 메모리 로케이션, 사용자 인터페이스 등과 같이 보상치 발생기(15) 외부에 있는 발생원에 의해 제공된 디지털 값들을 포함할 수 있다. 그러면 갱신 보상치는 집적 회로(10)의 다른 부분들(예컨대, 보상 버퍼들)에 의해 사용되어, 예컨대 입/출력(I/O) 구동기나 보상 버퍼에 의해 집적 회로(10) 내의 다른 트랜지스터들(미도시)의 성능을 조정할 수 있다.

도 1의 예에 도시된 바와 같이, 보상치 발생기(15)는 메모리 로케이션(16, 17)에 의해 각각 제공되는 보상치(18, 19)를 처리한다. 그러나, 보상치 발생기(15)는 다수의 보상치를 처리하도록 변경될 수 있으며 본 발명은 꼭 두 개의 값을 부가하는 것에 한정되지는 않음은 물론이다. 또한, 보상치들(18, 19) 어느 것도 원하는 대로 동적으로 제공될 수 있으므로 메모리 로케이션에 저장될 필요는 없다.

보상치(18)은 집적 회로 내에 또는 외부에 있는 다른 회로에 의해 결정된 바이너리 보상치를 나타낸다. 이와 같은 회로의 일례는 도 2에 도시되어 있다. 본 발명은 이와 관련된 범위에 한정되는 것은 아니지만, 도 2는 보상치(18)를 결정하는데 사용될 수 있는 회로를 나타낸다. 이 회로는 비교기(35)와 트랜지스터(31-33)에 연결된 보상 장치(30)를 포함한다. 본 발명은 다른 비교기 디바이스가 사용될 수 있고 또 보상 장치(30)에 연결된 트랜지스터 수도 변경될 수 있으므로 이러한 특정 구성에 한정되지 않음은 물론이다.

간단히 말해서, 보상 장치(30)는 집적 회로(10) 내의 트랜지스터의 서브 세트에 대한 분석을 수행한다. 이 분석의 결과, 적당한 보상을 이용하는 집적 회로의 다른 부분에 의해 사용되는 보상치를 발생시키게 된다. 따라서, 보상치는 보상 장치에 의한 분석 결과를 나타내는 바이너리 값의 시퀀스이다.

도 2에 나타난 실시예에서, 비교기(35)는 노드(36)에서의 기준 전압(V_{REF})을 노드(37)에 공급된 전압과 비교한다. 노드(37) 전압은 적어도 일부는 노드(38)에 공급된 전압(예컨대, 전원 전압(V_{CC}))과 저항 소자(40)를 통해 흐르는 전류로 인한 전압 강하에 의해서 결정된다. 보상 장치(30) 내의 논리 회로는 저항(31-33)을 통한 전류 흐름이 노드(37) 전압이 노드(36) 전압과 대략 같게 될 정도로 충분하게 될 때까지 트랜지스터(31-33) 각각을 인에이블/디스에이블시키는데 사용된다. 트랜지스터(31-33) 각각의 상태(즉, 인에이블 상태 또는 디스에이블 상태)는 보상 장치(30)에 의해 결정되고 보상치(18)(도 1 참조)의 전부나 일부를 나타낸다. 그 다음, 보상치(18)는 메모리 로케이션(16)(예컨대, 캐쉬, 레지스터 등)에 저장되거나, 원하는 경우에는 가산기(15)에 동적으로 공급될 수 있다.

도 1로 되돌아가서 보면, 보상치 발생기(15)는 메모리 로케이션(17)에 저장된 보상치(19)도 처리한다. 다시 이것은 보상치(19)가 예컨대 보상치 발생기(15)에 동적으로 공급될 수 있으므로 본 발명의 본 실시예의 요구 조건이 아니다. 보상치(19)는 예컨대 집적 회로(10)의 동작을 제어하는데 사용되는 기본 입/출력 시스템(BIOS)과 같은 소프트웨어를 통해 변화될 수 있는 조정 가능한 값을 포함한다.

예컨대, 마이크로프로세서, 마이크로컨트롤러 등과 같은 일부 집적 회로가 턴 온되면, 집적 회로는 초기화 루틴을 시작할 수 있다. 초기화 루틴을 위한 명령은 BIOS 명령으로서 저장될 수 있다. BIOS 명령은 여러 가지 이유로 사용될 수 있으며 집적 회로 내의 값들을 사전 설정하는데 이용될 수 있다. 특히, BIOS 명령은 레지스터, 플래그 등에 저장된 값들을 초기화하는데 사용될 수 있다. 따라서, 본 발명의 대안적인 실시예에서 BIOS 명령은 메모리 로케이션(17)에 보상치를 로드시키는데 사용될 수 있다. 따라서, 집적 회로(10)가 턴 온될 때마다 초기치가 저장될 수 있도록 메모리 로케이션(17)에 로드된 값은 집적 회로(10) 제조자에 의해 사전에 결정될 수 있다. 더욱이, 초기치는 BIOS 명령을 변경할 능력을 갖고 있는 소비자에 의해서 조정될 수 있다.

도 1에 도시된 실시예로 되돌아가서 보면, 보상치(19)는 집적 회로(10)의 성능을 미세 조정하는데 사용되는 조정 가능 또는 프로그래밍 가능 보상치를 포함한다. 보상치(19)의 크기,즉 값은 적어도 부분적으로는 보상치(18)의 실제치, 보상치(18)의 예측치, 또는 집적 회로(10)에 요구되는 최소 보상량을 나타내는 값에 의해서 결정될 수 있다. 그러나, 본 실시예의 범위는 이들 예들에 한정되지 않음은 물론이다. 따라서, 보상치(19)는 보상 장치(30)에 의해 공급된 보상치를 가산, 감산, 또는 조정하는데 사용될 수 있다. 이것은 집적 회로(10) 내의 트랜지스터에 적용되는 보상의 미세 조정을 제공한다.

또한, 보상치(19)는 특정 온도, 전압, 주파수 범위 등을 갖는 응용 분야에서의 집적 회로(10)의 동작을 개선하기 위하여 집적 회로 제조자에 의해 결정된 바이너리 열일 수 있다. 제조자도 보상치(19)를 조정하여 집적 회로(10) 내의 트랜지스터의 전기적-기계적 응력을 감소시킬 수 있다. 그와 같은 조정은 예컨대 집적 회로(10)를 밀봉하는데 사용되는 패키지와 같은 여러 가지 요소나 특정 소비자의 응용에 따라서 유익할 수 있다.

도 3은 본 발명의 실시예가 집적 회로의 성능을 조정하는데 어떻게 이용될 수 있는가의 일례를 나타낸다 이 예에서, 집적 회로(10)는 p채널 금속산화물 반도체(PMOS)와 n채널 금속산화물 반도체(NMOS) 트랜지스터 모두를 포함하지만, 본 발명은 이와 관련된 범위에 한정되지는 않는다. 도 3은 NMOS 디바이스(라인 51)에 대한 PMOS 디바이스(라인 50)의 전류/전압(I/V) 특성의 그래프이다. 도시된 바와 같이, NMOS 디바이스는 PMOS 디바이스만큼 직선적이지 못하다. 그 결과, 집적 회로(50) 내의 트랜지스터의 소싱(sourcing) 대 싱킹(sinking) 성능은 이상적이지 못할 수 있다. 따라서, 집적 회로(10)의 동작을 개선하기 위하여 NMOS 디바이스의 기울기를 조정하는 것이 바람직 할 수 있다.

특히, 도 2에 도시된 것과 같은 보상 장치는 NMOS 디바이스의 성능을 조정하는데 사용될 수 있다. 예컨대, 보상 장치는 원하는 보상량을 결정할 수 있으며 그에 따라 이 보상은 보상 회로로 구현될 수 있다. 따라서, 보상 회로는 라인들(60, 61)(미보상 성능은 라인 60으로, 보상 성능은 라인 61로 표시됨)을 가지고 도 3에 도시된 NMOS 디바이스의 선형성을 조정하는데 사용될 수 있다. 보상 효과의 크기는 도 3에서 브래킷 62로 표시되어 있다. 성능 조정에 이용될 수 있는 보상은 바이너리 보상치로 나타낸다. 따라서 본 발명의 실시예는 PMOS 트랜지스터의 동작을 NMOS 트랜지스터의 동작과 비교하여 보상치를 발생시키는 비교 회로를 이용할 수 있다. 그 다음, 이 조정된 또는 프로그래밍 가능한 보상치는 보상치 발생기(15)에 의한 보상치(도 1참조)에 가산되어 집적 회로(10)에 갱신 보상치를 제공하게 된다.

일 실시예에서, 보상치 발생기(15)는 보상치(18)와 보상치(19)의 바이너리 비트 바이 비트(bit-by-bit) 가산을 수행하여 계산된 갱신 보상치(25)를 제공한다. 이와 달리, 보상치 발생기(15)는 부분 가산이나 승산과 같은 다른 처리를 수행하거나 단순히 한 세트의 값들 중 어느 것이 더 큰지를 결정하는 것이 바람직할 수 있다. 결과적으로, 보상치 발생기(15)는 서로 다른 발생원으로부터 공급될 수 있는 다수의 보상치에 적어도 부분적으로 기초하는 최종 또는 계산된 보상치를 발생시킨다.

계산된 보상치(25)는 보상치 발생기(15)에 의해 일단 발생되고 나면, 보상 버퍼(28)와 같은 보상 회로에 의해서 이용되어 집적 회로(10)의 동작 성능을 조정할 수 있다. 예컨대, 일 실시예에서 보상 버퍼(28)는 계산된 보상치(25)를 디코딩하고 적당한 회로를 작동시켜 집적 회로(10)에 원하는 보상을 제공할 수 있다. 도 1에 도시된 바와 같이, 계산된 보상치(25)는 메모리 로케이션(26)에 선택적으로 저장될 수 있다. 그러나, 이것은 본 발명이 이에 한정되는 것을 의미하는 것은 아니며, 보상치(25)가 보상 버퍼(28)에 직접 제공될 수 있음은 물론이다. 다른 실시예에서는 도 1에 도시된 회로에 선택 회로(미도시)를 부가하여 보상 버퍼(28)가 보상치(18), 보상치(19), 또는 계산된 보상치(25)를 수신하도록 할 수 있다. 더욱이, 또 다른 실시예에서는 외부의 읽기/쓰기 신호 라인을 부가하여 외부에서 발생된 값이 메모리 로케이션(26)에 써 넣어지도록 할 수 있다.

대안적인 실시예에서는 집적 회로(10)는 도 1에 도시된 보상치 발생기(15)에 의해 제공된 계산된 보상치(25)에 연결된 클램프(27)를 포함할 수 있다. 그러나, 클램프(27)는 생략될 수 있으며 본 발명은 클램프의 포함을 요구하는 범위에 한정되지 않음은 물론이다. 여기서, 클램프(27)는 허용가능한 클램프 범위를 갖도록 설계되며, 보상치 발생기(15)에 의해 발생된 값이 이 허용가능 범위 밖에 있는 지 여부를 판단하는데 사용된다. 계산된 보상치(25)가 허용가능 범위 내에 있지 않으면, 클램프(27)가 개입하여 보상 버퍼(28)에 다른 보상치를 제공할 수 있다. 이러한 특성은 예컨대 보상치(18) 및/또는 보상치(19)가 음의 값을 포함하거나 보상치 발생기(15)에 의해 수행된 처리의 결과로서 집적 회로(10)의 성능 조정에 바람직하지 않은 어떤 값이 나오는 경우에 바람직할 수 있다. 예컨대, 클램프(27)는 선택된 최소 보상량을 보증하는데 또는 집적 회로(10) 내에서의 과잉 보상을 방지하는데 사용될 수 있다.

또 다른 대안적인 실시예에서 보상치(19)는 직렬 퓨즈(20)에 의해 제공되거나 집적 회로(10) 내에 또는 외부에 위치한 불휘발성 메모리(예컨대, 전기적 소거가능 및 프로그래머블 읽기 전용 메모리(EEPROM), 전기적 프로그래머블 읽기 전용 메모리(EPROM), 플래시 EEPROM 등)에 저장될 수 있다. 본 실시예에 따라 집적 회로(10)는 원하는 초기 보상치를 가질 수가 있다. 예컨대, 집적 회로(10)의 제조 조건 또는 목표 성능 사양이 변하더라도, 적당한 보상치를 미리 설정하여 다른 값들을 제공할 수 있으므로 보상 장치의 능력을 향상시켜 집적 회로(10)의 성능을 더 조정할 수가 있다.

또한, 보상치(19)는 사용자 인터페이스를 통해 집적 회로(10)에 공급될 수 있다. 사용자 인터페이스는 예컨대 사용자가 외부의 발생원으로부터 보상치(19)를 공급할 수 있도록 해주는 버스나 레지스터일 수 있다. 이것은 집적 회로의 제조자나 소비자에게 예컨대 집적 회로(10) 내에 가해진 보상량을 조정하는 융통성을 줄 수 있다.

지금까지의 설명으로부터, 본 발명의 본 실시예는 집적 회로의 성능을 보상하는 회로를 제공한다는 것을 잘 알 것이다. 본 실시예에 의해서 2 또는 그 이상의 발생원에 의해 제공된 보상치는 원하는 대로 조합되어 집적 회로의 성능 조정을 개선할 수 있기 때문에 본 실시예는 전술한 미국 특허 제5,869,983호에 개시된 것과 같은 종래의 기술들이 갖지 못한 이점들을 제공한다. 종래의 기술들은 두 개의 보상치 중 하나를 선택할 수 있을 뿐이고, 그 두 개의 값을 처리하여 그 두 개의 입력값에 적어도 부분적으로 기초한 제3의 값을 제공하지는 못하였다. 따라서, 도1과 2에 도시된 실시예는 종래에는 제공하지 못하였던 융통성을 제공하게 된다.

지금까지는 본 발명의 특정한 특성에 대해서 설명하였지만, 당업자라면 본 발명을 여러 가지로 변형, 치환, 수정, 등가시킬 수 있을 것이다. 예컨대, 가산기(15)는 다수의 입력값들을 처리할 수 있도록 변형될 수 있다. 따라서, 첨부된 청구범위는 본 발명의 진정한 본질에 속하는 그와 같은 모든 변형과 수정을 포괄하는 것으로 이해되어야 한다.

(57) 청구의 범위

청구항 1.

집적회로에 있어서,

제1 보상치를 제공할 수 있는 보상 장치, 및

보상치 발생기

를 포함하고,

상기 보상치 발생기는 상기 보상 장치에 의해 제공되는 상기 제1 보상치와 상기 보상치 발생기의 외부로부터 결정되는 제2 보상치를 처리하여 제3 보상치를 제공할 수 있으며, 상기 제 3보상치는 상기 집적회로의 전부 또는 일부의 성능을 조정하는데 사용되는

집적 회로.

청구항 2.

제1항에서, 상기 제2 보상치를 저장할 수 있는 적어도 하나의 메모리 로케이션을 추가로 포함하는 집적 회로.

청구항 3.

제1항에서, 상기 제1 보상치, 상기 제2 보상치 및 상기 제3 보상치 중 적어도 하나를 수신할 수 있는 보상 버퍼를 추가로 포함하는 집적 회로.

청구항 4.

제1항에서, 제4 보상치를 제공하기 위해 결합된 퓨즈들을 추가로 포함하며, 상기 보상치 발생기는 상기 제1 보상치, 상기 제2 보상치 및 상기 제4 보상치를 처리하여 상기 제3 보상치를 제공하는 집적 회로.

청구항 5.

제1항에서, 상기 제2 보상치를 제공하기 위해 결합된 퓨즈들을 추가로 포함하는 집적 회로.

청구항 6.

제1항에서, 상기 제2 보상치를 제공하기 위해 결합된 불휘발성 메모리 로케이션을 추가로 포함하는 집적 회로.

청구항 7.

제1항에서, 상기 제3 보상치를 저장할 수 있는 적어도 하나의 메모리 로케이션을 추가로 포함하는 집적 회로.

청구항 8.

제1항에서, 상기 제3 보상치는 디지털 값이며, 상기 제1 보상치와 상기 제2 보상치의 바이너리 합을 포함하는 집적 회로.

청구항 9.

제1항에서,

상기 제3 보상치를 수신할 수 있는 보상 버퍼, 그리고

상기 보상 버퍼에 결합된 클램프

를 추가로 포함하며,

상기 클램프는 클램프 범위를 갖고, 상기 클램프는 상기 제3 보상치가 상기 클램프 범위 내에 있지 않으면 클램프된 보상치를 상기 보상 버퍼에 공급하는 집적 회로.

청구항 10.

제1 보상치를 제공하는 보상 장치,

제2 보상치를 포함하는 적어도 하나의 메모리 로케이션,

보상 버퍼, 그리고

상기 보상 장치에 의해 제공되는 상기 제1 보상치와 상기 적어도 하나의 메모리 로케이션에 의해 제공되는 상기 제2 보상치를 결합하여 갱신된 보상치를 상기 보상 버퍼에 제공하는 보상치 발생기

를 포함하는 시스템.

청구항 11.

제10항에서, 상기 보상치 발생기는 상기 제1 보상치의 적어도 일부와 상기 제2 보상치의 적어도 일부의 바이너리 가산을 수행할 수 있는 시스템.

청구항 12.

제10항에서,

다수의 p채널 금속산화물 반도체(PMOS) 트랜지스터,

다수의 n채널 금속산화물 반도체(NMOS) 트랜지스터, 그리고

상기 PMOS 트랜지스터의 적어도 일부의 동작과 상기 NMOS 트랜지스터의 적어도 일부의 동작을 비교하고, 이 비교에 기초하여 상기 제2 보상치를 발생시키는 비교 회로

를 추가로 포함하는 시스템.

청구항 13.

제10항에서, 상기 시스템은 사용자에 인터페이스에 결합되어 상기 제2 보상치를 제공하는 시스템.

청구항 14.

보상 버퍼,

제1 보상치를 발생시키는 수단,

상기 제1 보상치를 저장하는 수단,

제2 보상치를 발생시키는 수단, 그리고

상기 제1 보상치를 발생시키는 수단에 의해 제공되는 상기 제1 보상치와 상기 제2 보상치를 발생시키는 수단에 의해 제공되는 상기 제2 보상치를 처리하여 제3 보상치를 상기 보상 버퍼에 제공하는 수단

을 포함하는 집적 회로.

청구항 15.

제14항에서, 상기 제1 보상치 및 제2 보상치 처리 수단은 상기 제1 보상치와 상기 제2 보상치를 가산하는 수단을 포함하는 집적 회로.

청구항 16.

제14항에서, 상기 제1 보상치, 상기 제2 보상치 및 상기 제3 보상치를 저장하는 수단을 추가로 포함하는 집적 회로.

청구항 17.

다수의 트랜지스터를 구비하되 상기 다수의 트랜지스터의 적어도 일부는 제1 디지털 보상치를 결정할 수 있는 보상 장치,

제2 디지털 보상치를 저장하는 메모리 로케이션, 그리고

상기 보상 장치에 의해 제공되는 상기 제1 디지털 보상치의 적어도 일부를 상기 제2 디지털 보상치의 적어도 일부와 결합하여 제3 디지털 보상치를 제공할 수 있는 보상치 발생기

를 포함하는 회로.

청구항 18.

제17항에서, 클램프 범위를 갖는 클램프와 보상 버퍼를 추가로 포함하고, 상기 제3 디지털 보상치가 상기 클램프 범위 내에 있지 않으면 상기 클램프는 보상 버퍼에 제4 디지털 보상치를 제공할 수 있는 회로.

청구항 19.

제17항에서, 상기 보상기 발생기는 상기 제1 디지털 보상치와 상기 제2 디지털 보상치의 바이너리 가산을 수행하여 상기 제3 디지털 보상치를 제공할 수 있는 회로.

청구항 20.

집적 회로 내에서 제1 디지털 보상치를 발생시키는 단계,

집적 회로의 외부로부터 제2 디지털 보상치를 발생시키는 단계, 그리고

상기 제1 디지털 보상치 및 상기 제2 디지털 보상치를 처리하여 제3 디지털 보상치를 발생시키는 단계

를 포함하고,

상기 제 3 디지털 보상치는 상기 집적 회로의 전부 또는 일부의 성능을 조정하는데 사용되는

회로 보상 방법.

청구항 21.

제20항에서, 상기 제2 디지털 보상치 발생 단계는 다수의 제1 트랜지스터의 동작을 다수의 제2 트랜지스터의 동작을 비교하는 단계를 포함하는 회로 보상 방법.

청구항 22.

제21항에서,

상기 회로는 n채널 금속산화물 반도체(NMOS) 트랜지스터와 p채널 금속산화물 반도체(PMOS) 트랜지스터를 포함하며,

상기 방법은 상기 NMOS 트랜지스터의 동작을 상기 PMOS 트랜지스터의 동작과 비교하는 단계를 추가로 포함하는 회로 보상 방법.

청구항 23.

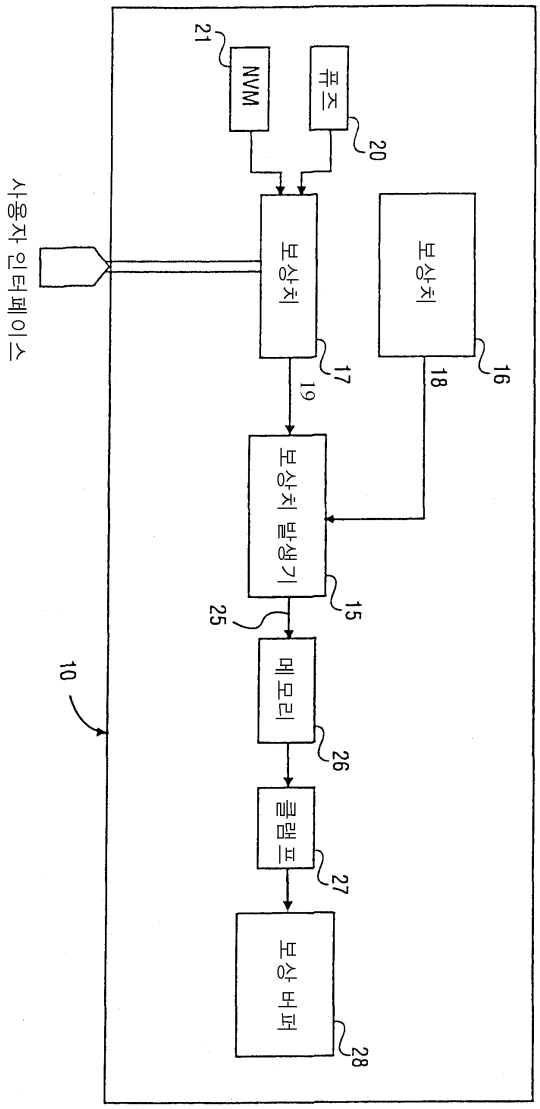
제20항에서, 상기 제1 디지털 보상치 및 상기 제2 디지털 보상치 처리 단계는 상기 제1 디지털 보상치의 적어도 일부를 상기 제2 디지털 보상치의 적어도 일부에 가산하는 단계를 포함하는 회로 보상 방법.

청구항 24.

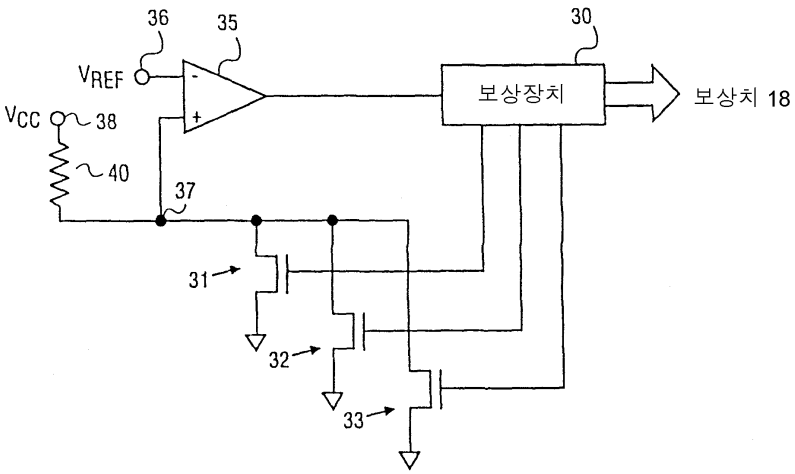
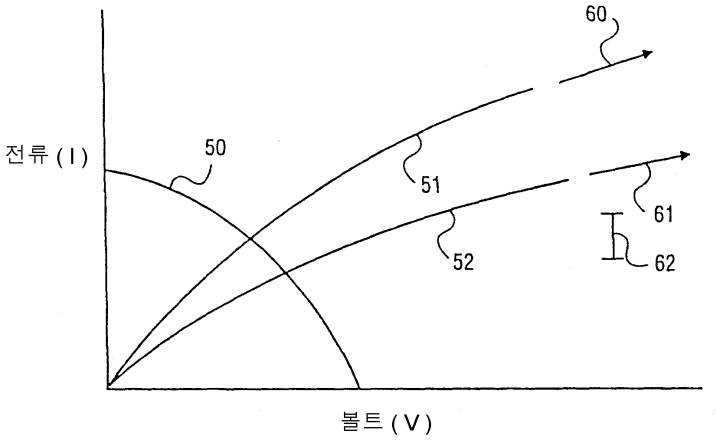
제20항에서, 상기 제2 디지털 보상치 발생 단계는 BIOS 명령에 따라서 보상치를 로딩하는 단계를 포함하는 회로 보상 방법.

도면

도면1


NVM
퓨즈
보상치
보상치
보상치 발생기
메모리
클램프
보상 버퍼
사용자 인터페이스
10
15
16
17
18
19
20
21
25
26
27
28

도면2


VREF
VCC
보상장치
보상치 18
30
31
32
33
35
36
37
38
40

도면3