

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 1 月 23 日 (23.01.2014)



(10) 国际公布号
WO 2014/012272 A1

- (51) 国际专利分类号:
H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2012/079352
- (22) 国际申请日: 2012 年 7 月 30 日 (30.07.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210246830.3 2012 年 7 月 16 日 (16.07.2012) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 秦长亮 (QIN, Changliang) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 殷华湘 (YIN, Huaxiang) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.);

中国北京市海淀区西三环北路 87 号国际财经中心 D 座 11 层, Beijing 100089 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 半导体器件及其制造方法

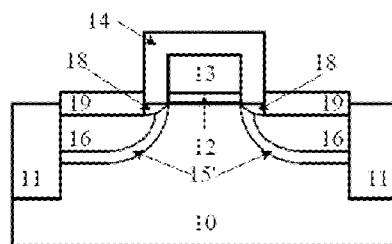


图7 / Fig. 7

(57) Abstract: Provided are a transistor device with an epitaxy LDD (18) and a Halo (15') region and a manufacturing method thereof. A process combining an epitaxy and self-aligned anisotropic etching is used to avoid the existing problem in a manufacturing method of using ion implantation and annealing processes to form the Halo (15') and the LDD (18) region. On the basis of not increasing the number of the photolithographic masks and the complexity, the destruction of the crystal structure at the groove surface of a source-drain region (16) caused by the ion implantation is completely eliminated, thereby avoiding affecting the epitaxial growth of subsequent source-drain materials, and meanwhile, epitaxial source-drain stress cannot be released due to conventional ion implantation, thereby maintaining the source-drain stress and the effect inhibited by the SCE and DIBL effect.

(57) 摘要: 提供一种具有外延 LDD (18) 和 Halo (15') 区域的晶体管器件及其制造方法。采用了外延与自对准各向异性刻蚀相结合的工艺, 避免了现有的采用的离子注入以及退火工艺形成的 Halo (15') 和 LDD (18) 区域制造方法中的问题, 在不增加光刻掩膜数量和复杂性的基础上, 彻底消除了离子注入造成的源漏区域 (16) 凹槽表面处晶体结构的破坏, 从而避免影响到后续源漏材料的外延生长, 同时, 也不会因常规的离子注入而导致外延源漏的应力释放, 从而保持了源漏应力及其抑制 SCE 和 DIBL 效应的效果。

WO 2014/012272 A1

半导体器件及其制造方法

本申请要求了 2012 年 7 月 16 日提交的、申请号为 201210246830.3、发明名称为“半导体器件及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体器件及其制造方法领域，特别地，涉及一种具有外延 LDD 和 Halo 区域的晶体管器件及其制造方法。

背景技术

半导体集成电路技术在进入到 90nm 特征尺寸的技术节点后，维持或提高晶体管性能越来越具有挑战性。目前，应变硅技术成为一种通过抑制短沟道效应、提升载流子迁移率来提高 MOSFET 器件性能的基本技术。对于 PMOS 而言，人们采用在源漏区形成沟槽后外延生长硅锗的方法，提供压应力以挤压晶体管的沟道区，从而提高 PMOS 的性能。同时，对于 NMOS 而言，为了实现同样目的，在源漏区外延硅碳的方法也逐渐被采用。具体地，STI（浅沟槽隔离）、SPT（应力接近技术）、源漏硅锗/硅碳嵌入、金属栅应力、刻蚀停止层（CESL）等应力技术被提出。同时，在小尺寸的器件中通常采用 LDD、Halo 工艺分别抑制热载流子效应以及防止源漏穿通，而 LDD 与 Halo 主要是通过离子注入然后退火来实现。

然而，传统 LDD 和 Halo 工艺中的离子注入以及退火会带来一些问题。如果是源漏外延前进行离子注入，注入可能会导致源漏凹槽表面处晶体结构遭到破坏，从而影响到后续源漏外延生长硅锗；如果是源漏外延后进行注入，注入将导致外延层的应力释放，降低源漏应力，从而减弱源漏应力抑制 SCE 和 DIBL 效应的效果。退火过程的高温可能会使预非晶化形成的非晶化层晶化。另外，还有可能产生 TED(Transient Enhanced Diffusion，瞬态增强扩散)效应，以及掺杂元素不能实现比较高的激活状态。

因此，需要提供一种新的、晶体管及其制造方法，以解决上述问题，从而更好地确保晶体管性能。

发明内容

本发明提供一种具有外延形成的 LDD 和 Halo 区域的半导体器件及其制造方法，其避免了现有的 Halo 和 LDD 区域制造方法中的离子注入以及退火带来的问题。

根据本发明的一个方面，本发明提供一种半导体器件制造方法，用于制造具有外延 LDD 和 Halo 区域的晶体管，其包括如下步骤：

提供半导体衬底，在该半导体衬底上形成 STI 结构，并进行阱区注入；形成栅极绝缘层、栅极，定义栅极图形；形成栅极间隙壁，其覆盖在所述栅极的顶部以及所述栅极和所述栅极绝缘层的侧壁上；形成源漏区域凹槽；在所述源漏区域凹槽内外延 Halo 材料层，所述 Halo 材料层具有第一掺杂元素；外延源漏区域，其向晶体管沟道区域提供应力，所述源漏区域具有第二掺杂元素，且第二掺杂元素的类型与第一掺杂元素的类型相反；各向同性刻蚀所述源漏区域，去除部分所述源漏区域材料，同时，去除位于所述栅极间隙壁正下方的部分 Halo 材料层并向晶体管沟道区域延伸一定的距离，剩余的 Halo 材料层形成了晶体管的 Halo 区域；外延 LDD 材料层，形成晶体管的 LDD 区域；形成源漏接触。

在本发明的方法中，所述 Halo 区域的厚度为 1nm 到 100nm，优选为 1nm 到 10nm。

在本发明的方法中，对于 PMOS，所述 Halo 区域的材料为硅或硅锗，第一掺杂元素为 N 型掺杂元素，优选为磷；对于 NMOS，所述 Halo 区域的材料为硅或硅碳，第一掺杂元素为 N 型掺杂元素，优选为硼。

在本发明的方法中，所述 Halo 区域的掺杂浓度为 $1e13-1e21cm^{-3}$ ，优选为 $1e13-1e15cm^{-3}$ 。

在本发明的方法中，所述 LDD 材料层的掺杂剂量小于所述源漏区域的掺杂剂量；所述 LDD 区域的掺杂浓度为 $1e13-1e15cm^{-3}$ ，所述源漏区域的掺杂浓度为 $1e15-1e20cm^{-3}$ 。

在本发明的方法中，对于 PMOS，所述 LDD 区域的材料为硅或硅锗，掺杂元素为 P 型掺杂元素，优选为硼；对于 NMOS，所述 LDD 区域的材料为硅或硅碳，掺杂元素为 N 型掺杂元素，优选为磷。

在本发明的方法中，形成晶体管的 LDD 区域具体包括：在外延 LDD 材料层之后，自对准各向异性刻蚀暴露出的 LDD 材料层，仅使得位于所述栅极间隙壁正下方的源漏区域凹槽内的部分 LDD 材料层保留，从而形成晶体管的 LDD 区域，之后，再次外延源漏区域的材料，以弥补所述源漏区域在刻蚀中的损失。

在本发明的方法中,形成晶体管的 LDD 区域具体包括:在外延 LDD 材料层之后,不进行自对准各向异性刻蚀,之后,再次外延源漏区域的材料以抬升源漏区域。

在本发明的方法中,在形成栅极绝缘层、栅极的步骤中,所述栅极的材料为多晶硅,并且,采用后栅工艺,即,在形成所述金属硅化物之后,去除多晶硅材料的所述栅极,形成栅极空洞,在该栅极空洞中填充金属,从而形成金属栅极。或者,在本发明的方法中,在形成栅极绝缘层、栅极的步骤中,采用先栅工艺,即,所述栅极的材料为金属。本发明的半导体器件制造方法适用于高 k/金属栅先栅或后栅集成工艺。

根据本发明的一个方面,本发明提供一种半导体器件,包括具有外延 LDD 和 Halo 区域的晶体管,其包括:

半导体衬底,位于该半导体衬底上的 STI 结构和阱区;栅极绝缘层和栅极组成的栅极堆栈;栅极间隙壁,其覆盖在所述栅极的顶部以及所述栅极和所述栅极绝缘层的侧壁上;源漏区域凹槽;外延形成的 Halo 区域,其位于所述源漏区域凹槽内,并具有第一掺杂元素;外延形成的源漏区域,其向晶体管沟道区域提供应力,所述源漏区域具有第二掺杂元素,且第二掺杂元素的类型与第一掺杂元素的类型相反;外延形成的 LDD 区域,其部分或者全部位于栅极间隙壁正下方的源漏区域凹槽内,所述 LDD 区域的掺杂剂量小于所述源漏区域的掺杂剂量,掺杂类型与所述源漏区域的掺杂类型相同;以及源漏接触。

在本发明的器件中,所述 Halo 区域的厚度为 1nm 到 100nm,优选为 1nm 到 10nm。

在本发明的器件中,对于 PMOS,所述 Halo 区域的材料为硅或硅锗,第一掺杂元素为 N 型掺杂元素,优选为磷;对于 NMOS,所述 Halo 区域的材料为硅或硅碳,第一掺杂元素为 N 型掺杂元素,优选为硼。

在本发明的器件中,所述 Halo 区域的掺杂浓度为 $1\text{e}13\text{-}1\text{e}21\text{cm}^{-3}$,优选为 $1\text{e}13\text{-}1\text{e}15\text{cm}^{-3}$ 。

在本发明的器件中,所述 LDD 区域的掺杂浓度为 $1\text{e}13\text{-}1\text{e}15\text{cm}^{-3}$,所述源漏区域的掺杂浓度为 $1\text{e}15\text{-}1\text{e}20\text{cm}^{-3}$ 。

在本发明的器件中,对于 PMOS,所述 LDD 区域的材料为硅或硅锗,掺杂元素为 P 型掺杂元素,优选为硼;对于 NMOS,所述 LDD 区域的材料为硅或硅碳,掺杂元素为 N 型掺杂元素,优选为磷。

本发明的优点在于:采用了外延与自对准各向异性刻蚀相结合的工艺,避免了现有技术中离子注入以及退火工艺形成 Halo 和 LDD 区域制造方法中的问题,在不增加

光刻掩膜数量和复杂性的基础上，彻底消除了离子注入造成的源漏区域凹槽表面处晶体结构的破坏，从而避免影响到后续源漏材料外的延生长，同时，本发明也不会因常规的离子注入而导致外延源漏的应力释放，从而保持了源漏应力及其抑制 SCE 和 DIBL 效应的效果。另外，在本发明中，由于取消了离子注入之后的退火，晶体管掺杂元素能够实现比较高的激活状态，并且，避免了可能会造成的预非晶化形成的非晶化层晶化以及 TED 效应。

附图说明

图 1-7 本发明提供的具有外延 LDD 和 Halo 区域的晶体管制造方法流程示意图以及晶体管结构示意图。

具体实施方式

以下，通过附图中示出的具体实施例来描述本发明。但是应该理解，这些描述只是示例性的，而并非要限制本发明的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本发明的概念。

本发明提供一种半导体器件及其制造方法，特别地涉及到涉及一种具有通过外延生长方式形成LDD和Halo的CMOS晶体管器件及其制造方法，其结构和制造流程参见附图1-7。

参见附图7，为本发明提供的半导体器件结构示意图。

本发明提供的半导体器件包括半导体衬底10，以及位于半导体衬底10上的STI结构11和阱区（未图示）；栅极绝缘层12和栅极13组成的栅极堆栈；栅极间隙壁14，其覆盖在栅极13的顶部以及栅极13和栅极绝缘层12的侧壁上；源漏区域凹槽；外延形成的Halo区域15'位于源漏区域凹槽内，并具有第一掺杂元素；外延形成的源漏区域16，其向晶体管沟道区域提供应力，源漏区域16具有第二掺杂元素，且第二掺杂元素的类型与第一掺杂元素的类型相反；外延形成的LDD区域18，其部分或者全部位于栅极间隙壁14正下方的源漏区域凹槽内，LDD区域18的掺杂剂量小于所述源漏区域的掺杂剂量，掺杂类型与所述源漏区域的掺杂类型相同；以及源漏接触19。

下面将要详细描述本发明提供的半导体器件制造方法。

首先，参见附图1，在半导体衬底10上形成有STI（Shallow trench isolation，浅沟槽隔离）结构11，以及栅极绝缘层12、栅极13和栅极间隙壁14。具体而言，提供半导

体衬底10, 本实施例中采用了单晶硅衬底, 可选地, 也可采用锗衬底或者其他合适的半导体衬底。在半导体衬底10上形成STI结构11的方法具体包括, 首先在半导体衬底10上涂布光刻胶, 接着光刻出STI结构11图形, 并对半导体衬底10进行各向异性的刻蚀获得浅沟槽, 在该浅沟槽中填充介电材料, 常见的如 SiO_2 , 从而形成STI。在形成STI结构11之后, 进行阱区注入(未在图中示出)。PMOS阱区注入杂质为N型杂质, 而NMOS阱区注入杂质为P型杂质。为了形成包括栅极绝缘层12和栅极13的栅极堆栈, 先在衬底10表面沉积一层高K栅极绝缘材料薄膜。高K栅极绝缘材料具有比 SiO_2 更大的介电常数, 对晶体管器件性能更为有利。高K栅极绝缘材料包括一些金属氧化物、金属铝酸盐等, 例如 HfO_2 、 ZrO_2 、 LaAlO_3 等。栅极绝缘层12既要实现其栅绝缘特性, 又要具有尽可能薄的厚度, 其厚度优选为0.5-10nm, 沉积工艺例如为CVD。在形成栅极绝缘层12之后, 沉积栅极13的材料。栅极13为多晶硅、金属或金属硅化物等材料, 其中, 在先栅工艺(gate first)中, 栅极13材料通常为金属或金属硅化物, 而在后栅工艺(gate last)中, 栅极13材料为多晶硅, 在完成晶体管其它部件后, 将会去除多晶硅栅极, 然后形成金属或金属硅化物栅极。在沉积栅极材料后, 进行光刻胶涂布, 光刻, 定义出栅极图形, 对栅极13以及栅极绝缘层12顺序刻蚀, 从而形成栅极图形。接着, 形成栅极间隙壁14包括在衬底10上沉积间隙壁材料层, 例如 SiO_2 、 Si_3N_4 等等, 采用保形性良好的沉积工艺, 使其以期望的厚度覆盖栅极13和栅极绝缘层12。接着, 去除衬底10表面的间隙壁材料层, 使间隙壁材料层仅留存在栅极13的顶部以及栅极13和栅极绝缘层12的侧壁上, 也即栅极间隙壁14包围整个栅极堆栈。栅极间隙壁14的厚度为1nm-100nm, 优选为5nm-50nm。之后, 利用STI结构11、栅极13和栅极间隙壁14为掩膜, 对半导体衬底10进行各向异性的自对准刻蚀, 形成源漏区域凹槽。

接着, 参见附图2, 在源漏区域凹槽内外延Halo材料层15, Halo材料层15具有第一掺杂元素。Halo材料层15的材料可选地为硅或硅锗(对于PMOS), 或者, 硅或硅碳(对于NMOS), 其掺杂浓度为 $1\text{e}13\text{-}1\text{e}21\text{cm}^{-3}$, 优选为 $1\text{e}13\text{-}1\text{e}15\text{cm}^{-3}$ 。

接着, 选择性地外延生长源漏区域16, 参见附图3。源漏区域16材料可选地为硅或硅锗(对于PMOS), 或者, 硅或硅碳(对于NMOS), 用以向MOS沟道区域提供应力, 从而提高载流子迁移率。在外延的同时, 可以进行原位掺杂, 例如硼(PMOS)或者磷(NMOS), 用以形成器件源漏区域的掺杂。对于PMOS, 源漏区域16提供压应力, 对于NMOS, 源漏区域16提供张应力。源漏区域16具有第二掺杂元素, 其中, 第二掺杂元素的类型与第一掺杂元素的类型相反, 即若源漏区域16掺杂为P型杂质

(PMOS)，则Halo材料层15掺杂为N型杂质，例如磷，若源漏区域16掺杂为N型杂质(NMOS)，则Halo材料层15掺杂为P型杂质，例如硼。

接着，参见附图4，各项同性地刻蚀去除部分源漏区域16，同时，将处在SDE区(Source drain extension，源漏扩展区)(附图中虚线圈住的源漏凹槽部分)的Halo材料层刻蚀掉，也即向栅极下方的沟道方向钻蚀，去除位于栅极间隙壁14正下方的部分Halo材料层并向晶体管沟道区域延伸一定的距离。在这里，刻蚀掉SDE区的Halo材料层，可以避免SDE区的串联电阻太大。被部分刻蚀后剩余的Halo材料层形成了晶体管的Halo区域15'，其厚度为1nm到100nm，优选为1nm到10nm。

接着，参见附图5，外延LDD材料层17，形成晶体管的LDD区域。其中，LDD材料层17具有与源漏区域16相同的第二掺杂元素，例如，对于PMOS，LDD区域的的的材料为硅或硅锗，掺杂元素为硼；对于NMOS，LDD区域的的的材料为硅或硅碳，掺杂元素为磷。但是，LDD材料层17的掺杂剂量小于源漏区域16的掺杂剂量，例如，源漏区域16的掺杂剂量为 $1e15-1e20cm^{-3}$ ，而LDD材料层17的掺杂剂量为 $1e13-1e15cm^{-3}$ 。在形成晶体管LDD区域的过程中，可以通过在源漏区域凹槽中外延LDD材料层17直接形成，即在外延LDD材料层之后，不进行自对准各向异性刻蚀，之后，再次外延源漏区域的材料以抬升源漏区域，降低接触电阻。这样，LDD区域至少部分是位于栅极间隙壁14正下方的源漏区域凹槽内(参见附图5的情形)，另外，也可通过如下步骤形成：参见附图6，在外延LDD材料层17之后，自对准地各向异性刻蚀暴露出的LDD材料层17，由于栅极间隙壁14的保护，位于栅极间隙壁14正下方的源漏区域凹槽内的部分LDD材料层得以保留，这部分残留的LDD材料层形成了晶体管的LDD区域18，之后，在源漏区域凹槽中再次外延源漏区域的材料，以弥补所述源漏区域在刻蚀中的损失，这样，LDD区域全部是位于栅极间隙壁14正下方的源漏区域凹槽内。

至此，通过外延形成的Halo和LDD区域已经实现。由于采用了外延与自对准各向异性刻蚀相结合的工艺，本发明中的Halo和LDD的形成方法避免了现有的采用的离子注入以及退火工艺形成Halo和LDD区域制造方法中的问题，在不增加光刻掩膜数量和复杂性的基础上，彻底消除了离子注入造成的源漏区域凹槽表面处晶体结构的破坏，从而避免影响到后续源漏材料外的延生长，同时，本发明也不会因常规的离子注入而导致外延源漏的应力释放，从而保持了源漏应力及其抑制SCE和DIBL效应的效果。另外，本发明中，由于取消了离子注入之后的退火，晶体管掺杂元素能够实现比较高的激活状态，并且，避免了可能会造成的预非晶化形成的非晶化层晶化以及

TED(Transient Enhanced Diffusion, 瞬态增强扩散)效应。

接下来, 进行常规的晶体管制造工艺。参见附图7, 形成金属硅化物作为源漏接触19, 金属硅化物的材料例如是NiSi、NiSiGe、TiSi、TiSiGe。

若采用先栅工艺, 则可以进行互连线的制备工艺。若采用后栅工艺, 则可以去除之前形成的多晶硅栅极, 并形成金属或金属硅化物栅极, 完成栅极制备, 之后再进行互连线制备。

以上参照本发明的实施例对本发明予以了说明。但是, 这些实施例仅仅是为了说明的目的, 而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围, 本领域技术人员可以做出多种替换和修改, 这些替换和修改都应落在本发明的范围之内。

权 利 要 求

1.一种半导体器件制造方法，用于制造具有外延 LDD 和 Halo 区域的晶体管，其特征在于包括如下步骤：

提供半导体衬底，在该半导体衬底上形成 STI 结构，并进行阱区注入；

形成栅极绝缘层、栅极，定义栅极图形；

形成栅极间隙壁，其覆盖在所述栅极的顶部以及所述栅极和所述栅极绝缘层的侧壁上；

形成源漏区域凹槽；

在所述源漏区域凹槽内外延 Halo 材料层，所述 Halo 材料层具有第一掺杂元素；

外延源漏区域，其向晶体管沟道区域提供应力，所述源漏区域具有第二掺杂元素，且第二掺杂元素的类型与第一掺杂元素的类型相反；

各向同性刻蚀所述源漏区域，去除部分所述源漏区域材料，同时，去除位于所述栅极间隙壁正下方的部分 Halo 材料层并向晶体管沟道区域延伸一定的距离，剩余的 Halo 材料层形成了晶体管的 Halo 区域；

外延 LDD 材料层，形成晶体管的 LDD 区域；

形成源漏接触。

2.根据权利要求 1 所述的方法，其特征在于，所述 Halo 区域的厚度为 1nm 到 100nm，优选为 1nm 到 10nm。

3.根据权利要求 1 所述的方法，其特征在于，对于 PMOS，所述 Halo 区域的材料为硅或硅锗，第一掺杂元素为 N 型掺杂元素，优选为磷；对于 NMOS，所述 Halo 区域的材料为硅或硅碳，第一掺杂元素为 N 型掺杂元素，优选为硼。

4.根据权利要求 1 所述的方法，其特征在于，所述 Halo 区域的掺杂浓度为 $1\text{e}13\text{-}1\text{e}21\text{cm}^{-3}$ ，优选为 $1\text{e}13\text{-}1\text{e}15\text{ cm}^{-3}$ 。

5.根据权利要求 1 所述的方法，其特征在于，所述 LDD 材料层的掺杂剂量小于所述源漏区域的掺杂剂量。

6.根据权利要求 5 所述的方法，其特征在于，所述 LDD 区域的掺杂浓度为 $1\text{e}13\text{-}1\text{e}15\text{cm}^{-3}$ ，所述源漏区域的掺杂浓度为 $1\text{e}15\text{-}1\text{e}20\text{cm}^{-3}$ 。

7.根据权利要求 1 所述的方法，其特征在于，对于 PMOS，所述 LDD 区域的材料为硅或硅锗，掺杂元素为 P 型掺杂元素，优选为硼；对于 NMOS，所述 LDD 区域的

材料为硅或硅碳，掺杂元素为 N 型掺杂元素，优选为磷。

8.根据权利要求 1 所述的方法，其特征在于，形成晶体管的 LDD 区域具体包括：在外延 LDD 材料层之后，自对准各向异性刻蚀暴露出的 LDD 材料层，仅使得位于所述栅极间隙壁正下方的源漏区域凹槽内的部分 LDD 材料层保留，从而形成晶体管的 LDD 区域，之后，再次外延源漏区域的材料，以弥补所述源漏区域在刻蚀中的损失。

9.根据权利要求 1 所述的方法，其特征在于，形成晶体管的 LDD 区域具体包括：在外延 LDD 材料层之后，不进行自对准各向异性刻蚀，之后，再次外延源漏区域的材料以抬升源漏区域。

10.根据权利要求 1 所述的方法，其特征在于，在形成栅极绝缘层、栅极的步骤中，所述栅极的材料为多晶硅，并且，采用后栅工艺，即，在形成所述金属硅化物之后，去除多晶硅材料的所述栅极，形成栅极空洞，在该栅极空洞中填充金属，从而形成金属栅极。

11.根据权利要求 1 所述的方法，其特征在于，在形成栅极绝缘层、栅极的步骤中，采用先栅工艺，即，所述栅极的材料为金属。

12.根据权利要求 10 或 11 所述的方法，其特征在于，所述半导体器件制造方法适用于高 k/金属栅先栅或后栅集成工艺。

13.一种半导体器件，包括具有外延 LDD 和 Halo 区域的晶体管，其特征在于包括：
半导体衬底，位于该半导体衬底上的 STI 结构和阱区；
栅极绝缘层和栅极组成的栅极堆栈；
栅极间隙壁，其覆盖在所述栅极的顶部以及所述栅极和所述栅极绝缘层的侧壁上；

源漏区域凹槽；

外延形成的 Halo 区域，其位于所述源漏区域凹槽内，并具有第一掺杂元素；

外延形成的源漏区域，其向晶体管沟道区域提供应力，所述源漏区域具有第二掺杂元素，且第二掺杂元素的类型与第一掺杂元素的类型相反；

外延形成的 LDD 区域，其部分或者全部位于栅极间隙壁正下方的源漏区域凹槽内，所述 LDD 区域的掺杂剂量小于所述源漏区域的掺杂剂量，掺杂类型与所述源漏区域的掺杂类型相同；

以及源漏接触。

14.根据权利要求 13 所述的器件，其特征在于，所述 Halo 区域的厚度为 1nm 到

100nm, 优选为 1nm 到 10nm。

15. 根据权利要求 13 所述的器件, 其特征在于, 对于 PMOS, 所述 Halo 区域的材料为硅或硅锗, 第一掺杂元素为 N 型掺杂元素, 优选为磷; 对于 NMOS, 所述 Halo 区域的材料为硅或硅碳, 第一掺杂元素为 N 型掺杂元素, 优选为硼。

16. 根据权利要求 13 所述的器件, 其特征在于, 所述 Halo 区域的掺杂浓度为 $1e13-1e21\text{cm}^{-3}$, 优选为 $1e13-1e15\text{cm}^{-3}$ 。

17. 根据权利要求 13 所述的器件, 其特征在于, 所述 LDD 区域的掺杂浓度为 $1e13-1e15\text{cm}^{-3}$, 所述源漏区域的掺杂浓度为 $1e15-1e20\text{cm}^{-3}$ 。

18. 根据权利要求 13 所述的器件, 其特征在于, 对于 PMOS, 所述 LDD 区域的材料为硅或硅锗, 掺杂元素为 P 型掺杂元素, 优选为硼; 对于 NMOS, 所述 LDD 区域的材料为硅或硅碳, 掺杂元素为 N 型掺杂元素, 优选为磷。

1/3

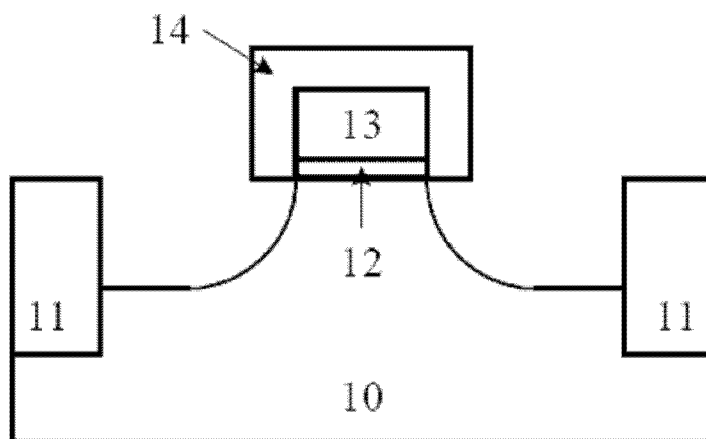


图1

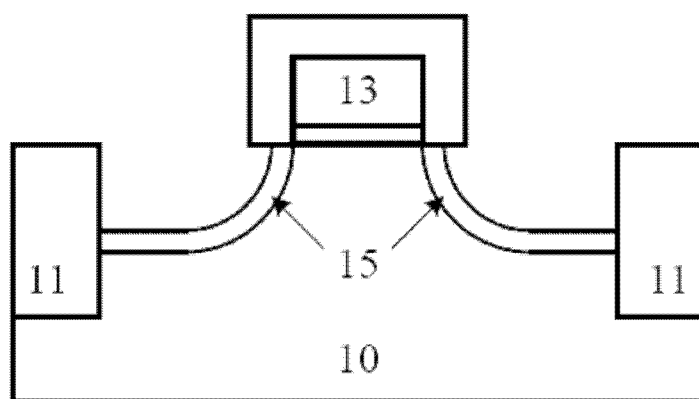


图2

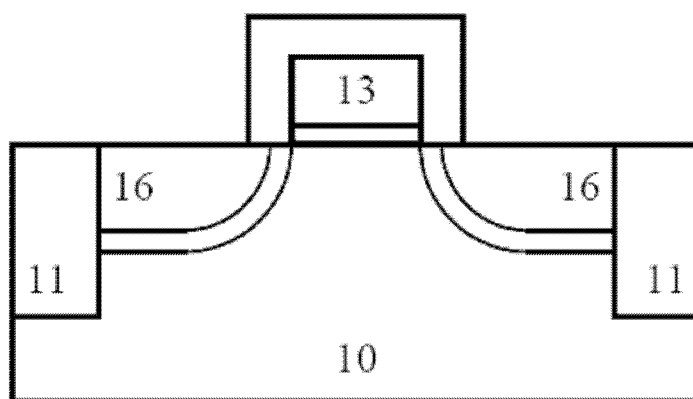


图3

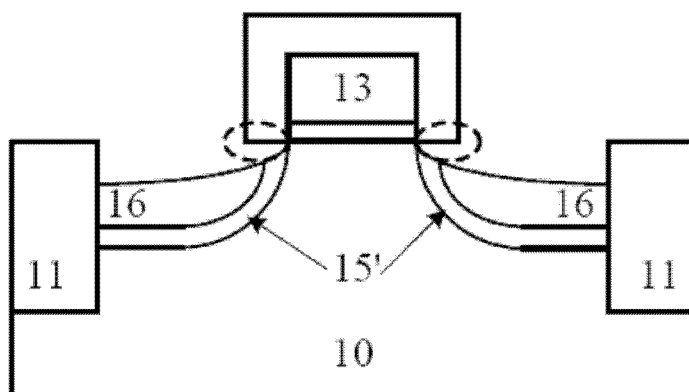


图4

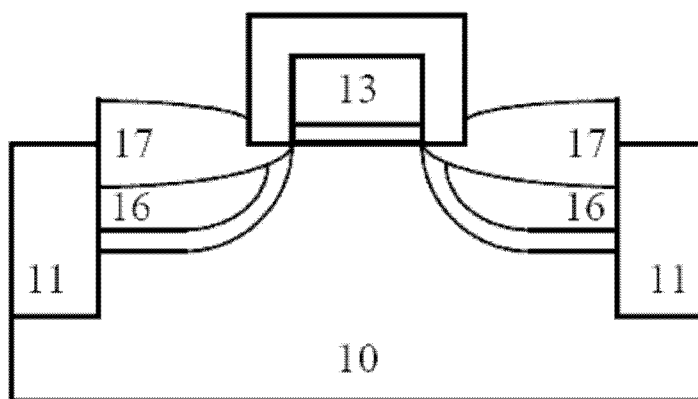


图5

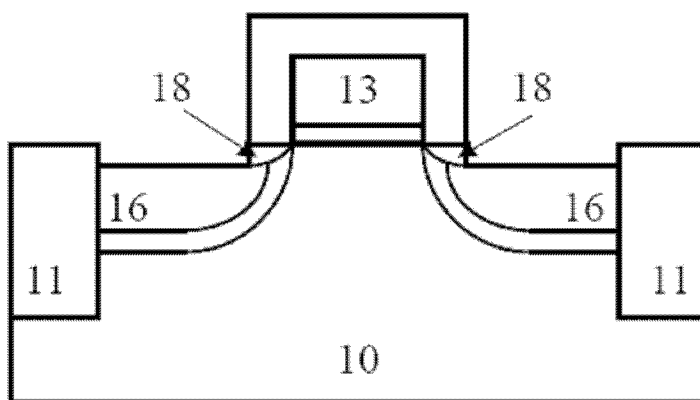


图6

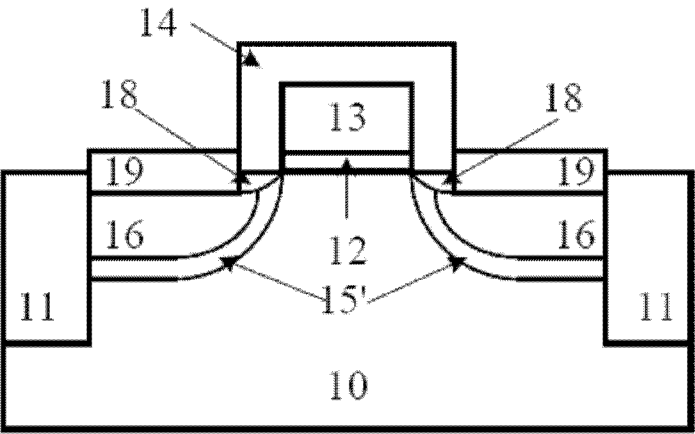


图7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/079352

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-; H01L 27/-; H0L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, DWPI: LDD, HALO, drain, gate, source, stress, extension

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 101930923 A (SEMICONDUCTOR MFG INT SHANGHAI COR) 29 December 2010 (29.12.2010) description, paragraph [0025] to paragraph [0058] and figure 1 to figure 7	1-18
Y	CN 101483190 A (INT BUSINESS MACHINES CORP.) 15 July 2009 (15.07.2009) description, paragraph [0038] to paragraph [0106] and figure 1 to figure 32	1-18
A	US 2010/0109059 A1 (SONY CORPORATION) 06 May 2010 (06.05.2010) the whole document	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12 April 2013 (12.04.2013)	Date of mailing of the international search report 25 April 2013 (25.04.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer DUAN, Xiaojin Telephone No. (86-10) 62411592

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/079352

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101728263 A	29.12.2010	CN 101728263 B	06.07.2011
CN 101483190 A	15.07.2009	US 2009/0174002 A1	09.07.2009
US 2010/0109059 A1	6.05.2010	CN 101728432 A	09.06.2010
		JP 4911158 B2	04.04.2012
		JP 2010109138 A	13.05.2010
		TW 201023362 A	16.06.2010
		KR 20100048872 A	11.05.2010

国际检索报告

国际申请号

PCT/CN2012/079352

A. 主题的分类

H01L 29/78 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L21/-;H01L27/-;H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC: LDD,HALO, drain, gate,source, stress, extension

CPRS,CNKI:源, 漏, 栅, 轻掺杂漏极, 晕, 扩展区, 应力

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN101930923A(中芯国际集成电路制造(上海)有限公司) 29.12 月 2010 (29.12.2010) 参见说明书第[0025]段-第[0058], 图 1-7	1-18
Y	CN101483190A (国际商业机器公司) 15.7 月 2009 (15.07.2009) 参见说明书第 38-106 段, 图 1-32	1-18
A	US2010/0109059A1 (SONY CORPORATION) 06.5 月 2010 (06.05.2010) 全文	1-18



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

12.4 月 2013 (12.04.2013)

国际检索报告邮寄日期

25.4 月 2013 (25.04.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

段小晋

电话号码: (86-10) 62411592

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/079352

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101728263A	29.12.2010	CN101728263B	06.07.2011
CN101483190A	15.07.2009	US2009/0174002A1	09.07.2009
US2010/0109059A1	6.05.2010	CN101728432A	09.06.2010
		JP4911158B2	04.04.2012
		JP2010109138A	13.05.2010
		TW201023362A	16.06.2010
		KR20100048872A	11.05.2010