



(21) 申請案號：103141259

(22) 申請日：中華民國 103 (2014) 年 11 月 27 日

(51) Int. Cl. : H01L33/30 (2010.01)

(30) 優先權：2013/12/05 日本 2013-252243

(71) 申請人：夏普股份有限公司 (日本) SHARP KABUSHIKI KAISHA (JP)
日本

(72) 發明人：井口勝次 IGUCHI, KATSUJI (JP)；筆田麻祐子 FUJETA, MAYUKO (JP)；荒木和也 ARAKI, KAZUYA (JP)；山田英司 YAMADA, EIJI (JP)；浦田章紘 URATA, AKIHIRO (JP)

(74) 代理人：陳長文；林宗宏

申請實體審查：有 申請專利範圍項數：6 項 圖式數：7 共 53 頁

(54) 名稱

氮化物半導體發光元件及其製造方法

(57) 摘要

本發明之氮化物半導體發光元件包含：第 1 積層體，其包含 1 層以上之第 1n 型氮化物半導體層；第 2 積層體，其包含與第 1 積層體之第 1 面相接之第 2n 型氮化物半導體層；發光層，其設於第 2 積層體上；及 p 型氮化物半導體層，其設於發光層上。第 2n 型氮化物半導體層係以較形成第 1n 型氮化物半導體層之溫度更低之溫度形成。

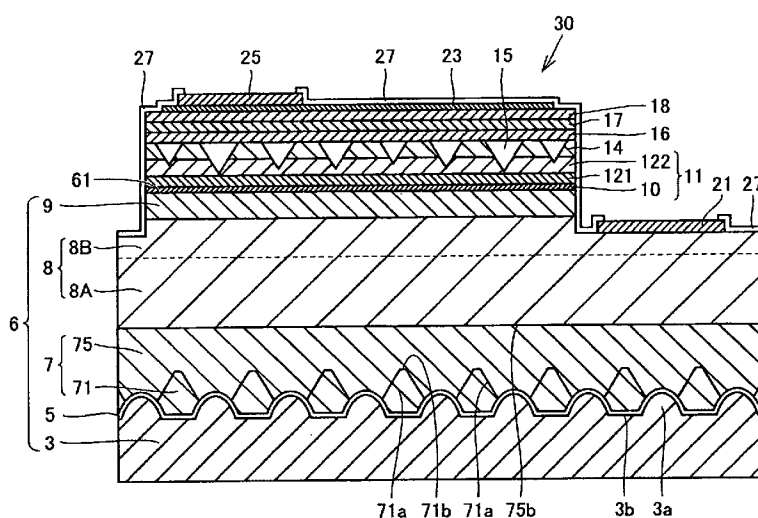


圖1

1 . . . 氮化物半導體
發光元件

3 . . . 基板

3a . . . 凸部

3b . . . 凹部

5 . . . 緩衝層

6 . . . 第 1 積層體

7 . . . 基底層

8 . . . n 型接觸層

8A . . . n 型接觸層

8B . . . n 型接觸層

9 . . . n 型調變摻雜
層10 . . . V 凹坑產生
層

11 . . . 第 2 積層體

14 . . . 發光層

15 . . . V 凹坑

- 16 . . . p 型氮化物
半導體層
- 17 . . . p 型氮化物
半導體層
- 18 . . . p 型氮化物
半導體層
- 21 . . . n 側電極
- 23 . . . 透明電極
- 25 . . . p 側電極
- 27 . . . 透明保護膜
- 30 . . . 台面部
- 61 . . . 第 1 面
- 71 . . . 第 1 基底層
- 71a . . . 傾斜晶面
- 71b . . . 上表面
- 75 . . . 第 2 基底層
- 75b . . . 上表面
- 121 . . . 多層構造體
- 122 . . . 超晶格層

發明摘要

※ 申請案號：103141259

※ 申請日：103 11 27

※IPC 分類：H01L 33/30 (2010.01)

【發明名稱】

氮化物半導體發光元件及其製造方法

【中文】

本發明之氮化物半導體發光元件包含：第1積層體，其包含1層以上之第1n型氮化物半導體層；第2積層體，其包含與第1積層體之第1面相接之第2n型氮化物半導體層；發光層，其設於第2積層體上；及p型氮化物半導體層，其設於發光層上。第2n型氮化物半導體層係以較形成第1n型氮化物半導體層之溫度更低之溫度形成。

【英文】

無

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

1	氮化物半導體發光元件
3	基板
3a	凸部
3b	凹部
5	緩衝層
6	第1積層體
7	基底層
8	n型接觸層
8A	n型接觸層
8B	n型接觸層
9	n型調變摻雜層
10	V凹坑產生層
11	第2積層體
14	發光層
15	V凹坑
16	p型氮化物半導體層
17	p型氮化物半導體層
18	p型氮化物半導體層
21	n側電極
23	透明電極
25	p側電極
27	透明保護膜
30	台面部

61	第1面
71	第1基底層
71a	傾斜晶面
71b	上表面
75	第2基底層
75b	上表面
121	多層構造體
122	超晶格層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

氮化物半導體發光元件及其製造方法

【技術領域】

本發明係關於氮化物半導體發光元件及其製造方法。

【先前技術】

包含氮之III-V族化合物半導體(III族氮化物半導體)係具有與具有自紅外線區域至紫外線區域之波長的光之能量相當之帶隙能量。因此，III族氮化物半導體可使用作為發出具有自紅外線區域至紫外線區域之波長的光之發光元件之材料、或作為接收具有自紅外線區域至紫外線區域之波長的光之受光元件之材料。

又，構成III族氮化物半導體之原子間之結合較強，III族氮化物半導體之絕緣破壞電壓較高，其飽和電子速度較大。藉此，III族氮化物半導體亦可使用作為耐高溫、高輸出、高頻電晶體等之電子設備之材料。再者，III族氮化物半導體因幾乎不危害環境，故亦作為易於處理之材料備受矚目。

於使用此III族氮化物半導體之氮化物半導體發光元件中，作為發光層，一般採用量子井構造。若電壓施加於氮化物半導體發光元件，則於構成發光層之井層中，電子與電洞再結合而產生光。發光層亦可為單一量子井(Single Quantum Well(SQW))構造，又可為井層與障壁層交替積層之多重量子井(Multiple Quantum Well(MQW))構造。

為了使用如上述之優異材料即III族氮化物半導體製造實用之氮化物半導體發光元件，必須於特定之基板上形成包含III族氮化物半導體之薄膜(III族氮化物半導體層)，且形成特定之元件構造。

此處，作為基板，最好使用包含具有可使III族氮化物半導體層於基板上直接成長之晶格常數或熱膨脹係數等之III族氮化物半導體之基板。作為包含III族氮化物半導體之基板，可例舉例如氮化鎵(GaN)基板等。然而，GaN基板於現況中由於其尺寸較小而為2英吋以下，且價格極高，故並不實用。因此，於現況中，作為氮化物半導體發光元件之製造用基板，係使用與III族氮化物半導體之晶格常數差及熱膨脹係數差較大之藍寶石基板或碳化矽(SiC)基板等。

於藍寶石與GaN(III族氮化物半導體之代表例)之間存在約16%左右之晶格常數差。於SiC與GaN之間存在約6%左右之晶格常數差。在如此大小之晶格常數差存在於基板材料與成長於該基板上之III族氮化物半導體之間時，一般難以使包含III族氮化物半導體之結晶磊晶成長於基板上。例如，於藍寶石基板上使GaN結晶直接磊晶成長時，存在無法避免GaN結晶之3維成長，而無法獲得具有平坦表面之GaN結晶之問題。

因此，於基板與III族氮化物半導體層之間，一般進行形成用以消除基板材料與III族氮化物半導體之間之晶格常數差之稱為所謂緩衝層之層。

例如，於日本特開平2-229476號公報中，記述有於藍寶石基板上藉由有機金屬氣相成長法(MOVPE法)形成包含AlN之緩衝層後，使包含 $Al_xGa_{1-x}N$ 之III族氮化物半導體層成長之方法。

於日本特開2006-324694號公報中，記述有為了使高品質氮化物半導體膜成長，而使氮化物半導體膜自基板之凸部上側向成長至該基板之凹部上。

於日本特開2006-352084號公報中，記述有下述所示之方法作為III族氮化物半導體層之成長方法。首先，準備經實施凹凸加工之藍寶石基板。其次，自藍寶石基板之凹部底面開始GaN之磊晶成長，且以

成為將該底面作為底邊，於斜面具有相對於藍寶石基板之主表面傾斜之晶面之二等邊三角形之剖面形狀之方式使GaN成長。繼而，若於以橫方向成長為支配之條件設定成長條件並繼續成長，則GaN層係其厚度增加且於藍寶石基板之凸部上擴展，繼而與自鄰接之藍寶石基板之凹部成長之GaN層彼此於藍寶石基板之凸部上接觸。

於國際公開第2011/074534號中，記述有若於基板上配置特定之凸部且使基底層成長，則於結晶成長初期獲得結晶性優異之結晶成長膜，並製造附有優異磊晶膜之模板基板。於國際公開第2011/074534號公報中，記述有若使用結晶性優異之模板基板形成發光層，則可製造光取出效率優異之高輸出之半導體發光元件。

在根據國際公開第2011/074534號記述之方法製造半導體發光元件時，必須於自模板基板之製造步驟進行至下一步驟時進行成膜裝置之變更或模板基板等之成膜裝置間之搬送等。此時，模板基板等係暴露於大氣、氧、氮、氫或氬等之氣體中。又，模板基板等係經過降溫至適於搬送之溫度等之某些熱製程。因此，於製造方法變更之邊界面，容易引起自然氧化膜等之形成、n型摻雜物之過剩摻雜、或晶格缺陷之集中等。藉此，形成於該邊界面上之氮化物半導體層之膜質劣化。又，於製造之半導體發光元件中，會引起洩漏電流之增加或靜電耐壓之降低等。基於該等缺陷，使用所謂之藉由於 H_2 與 NH_3 之混合氣體環境且 $1000^\circ C$ 以上之高溫下於模板基板上形成n型氮化物半導體層，而還原上述自然氧化膜之方法。

【發明內容】

然而，若於 $1000^\circ C$ 以上之高溫下形成n型氮化物半導體層，則n型氮化物半導體層形成後之降溫步驟需要較長時間。因此，引起每單位時間之處理能力(處理量：Throughput)減少。又，因高溫處理而於成膜裝置之腔室內附著有強固且大量的附著物，故必須頻繁維護成膜

裝置。

本發明係鑒於該點而完成者，其目的在於提高氮化物半導體發光元件之生產性。

本發明人等發現即使自模板基板之形成等之於高溫之成膜步驟結束後，以低於模板基板之形成溫度之溫度使n型氮化物半導體層成長，氮化物半導體發光元件之特性亦未劣化。即，發現藉由在形成模板基板後，於溫度下降至較n型氮化物半導體層之成長溫度更低之溫度(較佳為100°C以下)後，再提高溫度形成n型氮化物半導體層，可防止所得之氮化物半導體發光元件之特性劣化，且提高氮化物半導體發光元件之生產性。進而，發現在溫度下降至較n型氮化物半導體層之成長溫度更低之溫度後，暫時自成長裝置之腔室內取出模板基板，且將該模板基板放入不同腔室內後，以較形成該模板基板之溫度更低之溫度形成n型氮化物半導體層較為有效。

本發明之氮化物半導體發光元件包含：包含1層以上之第1n型氮化物半導體層之第1積層體、包含與第1積層體之第1面相接之第2n型氮化物半導體層之第2積層體、設於第2積層體上之發光層、及設於發光層上之p型氮化物半導體層。第2n型氮化物半導體層係以較形成第1n型氮化物半導體層之溫度更低之溫度形成。

於本發明之氮化物半導體發光元件中，第2n型氮化物半導體層之形成溫度係低於第1n型氮化物半導體層之形成溫度。因此，由於可縮短第2n型氮化物半導體層之形成後之降溫步驟所需要之時間，故可維持較高處理量。又，與第2n型氮化物半導體層之形成溫度為高溫之情形相比，附著於形成第2n型氮化物半導體層之裝置之腔室的附著物量減少。藉此，維護形成第2積層體(第2積層體包含第2n型氮化物半導體層)之裝置之頻率降低。基於該等原因，氮化物半導體發光元件之生產性變高。

第2積層體較佳係於第2n型氮化物半導體層與發光層之間，進而包含1層以上之第3n型氮化物半導體層。第3n型氮化物半導體層較佳以第2n型氮化物半導體層之形成溫度以下之溫度形成。

構成第1積層體之第1面的半導體層較佳為非摻雜層。該情形時，第2n型氮化物半導體層較佳為摻雜層。

構成第1積層體之第1面之半導體層較佳為摻雜層。該情形時，第2n型氮化物半導體層較佳為非摻雜層。

本發明之氮化物半導體發光元件之製造方法係至少包含：形成包含1層以上之第1n型氮化物半導體層之第1積層體之步驟；形成包含與第1積層體之第1面相接之第2n型氮化物半導體層之第2積層體之步驟；於第2積層體上形成發光層之步驟；及於發光層上形成p型氮化物半導體層之步驟。以較形成第1n型氮化物半導體層之溫度更低之溫度形成第2n型氮化物半導體層。在形成第1積層體之步驟後且形成第2積層體之步驟前，進而包含降溫至較形成第2積層體之溫度更低之溫度之降溫步驟。

於本發明之氮化物半導體元件之製造方法中，與第1積層體之第1面相接之第2n型氮化物半導體層之形成溫度係低於第1n型氮化物半導體層之形成溫度。又，在形成第1積層體之步驟後且形成第2積層體之步驟前，降溫至較第2積層體之形成溫度更低之溫度。基於此等，由於可縮短第2n型氮化物半導體層之形成後之降溫步驟所需之時間，故可維持較高的處理量。又，與第2n型氮化物半導體層之形成溫度為高溫之情形相比，附著於形成第2n型氮化物半導體層之裝置之腔室內之附著物量減少。藉此，維護形成第2積層體(第2積層體包含第2n型氮化物半導體層)之裝置之頻率降低。如上所述，氮化物半導體發光元件之生產性變高。

在形成第1積層體之步驟後且形成第2積層體之步驟前，較佳進

而包含使第1積層體暴露於大氣中的步驟。

本發明之上述及其他目的、特徵、狀態及優點係可根據關聯附加之圖式進行理解之本發明相關之下述詳細說明得以明確。

【圖式簡單說明】

圖1係本發明之一實施形態之氮化物半導體發光元件之概略剖面圖。

圖2係圖1所示之氮化物半導體發光元件之概略俯視圖。

圖3係示意性顯示圖1所示之氮化物半導體發光元件之n型接觸層至p型氮化物半導體層之帶隙能量 E_g 之大小之能量圖。

圖4係圖1所示之氮化物半導體發光元件之基板之放大俯視圖。

圖5(a)係顯示圖1所示之氮化物半導體發光元件之製造步驟之溫度分佈之圖表，圖5(b)係顯示比較例1之氮化物半導體發光元件之製造步驟之溫度分佈之圖表。

圖6係實施例6之氮化物半導體發光元件之概略剖面圖。

圖7係示意性顯示實施例6所示之氮化物半導體發光元件之n型接觸層至p型氮化物半導體層之帶隙能量 E_g 之大小之能量圖。

【實施方式】

以下，使用圖式說明本發明之氮化物半導體發光元件。另，於本發明之圖式中，同一參照符號係表示同一部分或相當部分者。又，長度、寬度、厚度、深度等之尺寸關係係為了使圖式明確化與簡略化而進行適當變更，並非表示實際尺寸關係者。

以下，為了表示位置關係，而將記述於圖1下側之部分表示為「下」，且將記述於圖1上側之部分表示為「上」。這是為圖簡便而進行之表示，不同於相對重力方向而定之「上」及「下」。

「障壁層」係表示被井層所夾之層。未被井層夾著的障壁層係表示為「最初之障壁層」或「最後之障壁層」，與被井層夾著的障壁

層相比改變了表述。

使用「摻雜物濃度」、及伴隨n型摻雜物或p型摻雜物之摻雜而產生之電子或電洞之濃度即「載子濃度」。該等之關係予以後述。

所謂「載子氣體」係III族原料氣體、V族原料氣體及摻雜物原料氣體以外之氣體。構成載子氣體之原子未被取入膜中等。

「n型氮化物半導體層」亦可包含實用上不妨礙電子流動之程度之厚度的低載子濃度之n型層或非摻雜層。「p型氮化物半導體層」亦可包含實用上不妨礙電洞流動之程度之厚度的低載子濃度之p型層或非摻雜層。所謂「實用上不妨礙」意指氮化物半導體發光元件之動作電壓為實用位準。

<氮化物半導體發光元件之構造>

圖1及圖2分別為本發明之一實施形態之氮化物半導體發光元件1之概略剖面圖及概略俯視圖。圖1係相當於圖2所示之I-I線之剖面圖。圖3係示意性顯示圖1所示之氮化物半導體發光元件1之n型接觸層8至p型氮化物半導體層16之帶隙能量 E_g 之大小之能量圖。圖3之縱軸方向係表示圖1所示之氮化物半導體發光元件1之上下方向，圖3之橫軸之 E_g 係示意性表示各層中的帶隙能量之大小。於圖3中，於摻雜了n型摻雜物之層之右側標註小點且記述為「n」。圖4係圖1所示之氮化物半導體發光元件1之基板3之放大俯視圖。

圖1所示之氮化物半導體發光元件1包含：第1積層體6、第2積層體11、發光層14、及p型氮化物半導體層16、17、18。於本實施形態中，將基板3、緩衝層5、基底層7、n型接觸層8、及n型調變摻雜層9積層而成之部分稱為第1積層體6，且將V凹坑產生層10、多層構造體121、超晶格層122積層而成之部分稱為第2積層體11，以使彼此加以區別。

於本實施形態中，n型接觸層8及n型調變摻雜層9之至少一者相

當於申請專利範圍中的「第1n型氮化物半導體層」，V凹坑產生層10相當於申請專利範圍中的「第2n型氮化物半導體層」，構成多層構造體121及超晶格層122之至少一者之層中至少一層相當於申請專利範圍中的「第3n型氮化物半導體層」。

本發明之特徵在於，將n型氮化物半導體層之形成分離成兩個階段，且於後續形成步驟中，不進行成為處理量減少之主要原因之高溫處理即可形成n型氮化物半導體層之方面。又，重要的是作為第2積層體11而最初形成之層係於低溫下形成之n型氮化物半導體層。因此，於本發明中，並未限定於作為第2積層體11而最初形成之層係作為V凹坑產生層10發揮功能之層，亦未限定於在V凹坑產生層10之後形成作為多層構造體121及超晶格層122分別發揮功能之層。然而，於本發明中，只要作為第2積層體11而最初形成之層係作為V凹坑產生層10發揮功能之層，且，於V凹坑產生層10之後形成作為多層構造體121及超晶格層122分別發揮功能之層，即可期待組合之相乘效果。

第1積層體6之一部分、第2積層體11、發光層14、及p型氮化物半導體層16、17、18係被蝕刻而構成台面部30。於p型氮化物半導體層18上，介隔透明電極23設有p側電極25。於台面部30之外側(圖1右側)，n型接觸層8之上表面之一部分自n型調變摻雜層9等露出，於n型接觸層8之露出面上設有n側電極21。透明保護膜27覆蓋透明電極23與藉由蝕刻而露出之各層之側面，且露出n側電極21與p側電極25。

若以超高倍率STEM(Scanning Transmission Electron Microscopy：掃描透射電子顯微鏡)觀察氮化物半導體發光元件1之剖面，則確認產生了V凹坑15。於本實施形態之氮化物半導體發光元件1中，藉由設置V凹坑產生層10，而控制V凹坑15之產生。

<第1積層體>

第1積層體6於本實施形態中係包含基板3、緩衝層5、基底層7、

n型接觸層8、及n型調變摻雜層9，但若包含n型接觸層8及n型調變摻雜層9中至少一者即可。本實施形態之氮化物半導體發光元件1亦可不包含基板3，於該情形時，第1積層體6係包含基底層7、n型接觸層8、及n型調變摻雜層9。

第1積層體6具有第1面61。第1面61意指第1積層體6之表面且連接V凹坑產生層10(第2n型氮化物半導體層)之面。本實施形態之第1積層體6係於基板3上依序積層緩衝層5、基底層7、n型接觸層8、n型調變摻雜層9而構成，因而第1面61相當於n型調變摻雜層9之上表面(位於與n型接觸層8和n型調變摻雜層9之界面為相反側之n型調變摻雜層9之面)。

構成第1面61之半導體層較佳為非摻雜層(例如下述之n⁻層9B)。該情形時，V凹坑產生層10較佳為摻雜層。於本說明書中，「構成第1面61之半導體層」相當於構成n型調變摻雜層9之2層以上之層中距離n型接觸層8最遠之層。「非摻雜層」不僅意指完全未摻雜導電性摻雜物之層，亦指結晶成長中無意摻雜導電性摻雜物之層。即，非摻雜層係例如亦可包含 0 cm^{-3} 以上 $3\times 10^{18}\text{ cm}^{-3}$ 以下之導電性摻雜物。「摻雜層」意指結晶成長中刻意摻雜導電性摻雜物之層。摻雜層較佳例如包含 $1\times 10^{19}\text{ cm}^{-3}$ 以上之導電性摻雜物。

構成第1面61之半導體層亦可為摻雜層(例如下述之n⁺層9A)。該情形時，V凹坑產生層10亦可為非摻雜層。

<基板>

基板3亦可為例如藍寶石基板等之絕緣性基板，又可為包含GaN、SiC或ZnO等之導電性基板。基板3之厚度較佳於氮化物半導體層成長時為900 μm以上1200 μm以下，且較佳於所製造之氮化物半導體發光元件1中為50 μm以上300 μm以下。即，氮化物半導體發光元件1之製造方法亦可包含研磨基板3之步驟。又，氮化物半導體發光元件

1之製造方法亦可包含去除基板3之步驟。

設有緩衝層5等之基板3之面(基板3之上表面)較佳如圖1所示具有凸部3a與凹部3b交替形成之凹凸形狀。凸部3a較佳如圖4所示於基板3之上表面中具有略圓形形狀，且較佳如圖4所示配置於假想三角形3t之頂點。相鄰之凸部3a之頂點之間隔(圖4所示之假想三角形3t之1邊)較佳為1 μm以上5 μm以下。凸部3a亦可於側視時具有梯形形狀，凸部3a之頂點較佳如圖1所示帶圓。

<緩衝層>

緩衝層5係設於基板3之凸部3a上與其凹部3b上。緩衝層5較佳例如為 $Al_{s0}Ga_{t0}O_{u0}N_{1-u0}$ ($0 \leq s0 \leq 1$ 、 $0 \leq t0 \leq 1$ 、 $0 \leq u0 \leq 1$ 、 $s0+t0 \neq 0$)層，更佳為AlN層或AlON層。緩衝層5為AlON層時，AlON層中之N之極小一部分(0.5~2%)被置換成氧。藉此，因以沿基板3之成長表面之法線方向伸長之方式形成緩衝層5，故獲得包含結晶粒之整齊柱狀結晶之集合體之緩衝層5。緩衝層5之厚度並未特別限定，較佳為3 nm以上100 nm以下，更佳為5 nm以上50 nm以下。若緩衝層5係藉由濺鍍法形成之AlON層，則X線光譜所顯現之峰值之半值寬度(基底層7之結晶品質之指標)變窄。藉此，緩衝層5較佳為藉由濺鍍法形成之AlON層。

<基底層>

基底層7較佳具有第1基底層71與第2基底層75。藉此，X線光譜所顯現之峰值之半值寬度(基底層7之結晶品質之指標)變窄，即，基底層7之結晶品質變高。第1基底層71係隔著緩衝層5設於基板3之凹部3b上，較佳具有包含傾斜晶面71a之側面視略三角形之形狀，亦可具有上表面71b。「傾斜晶面」係於相對於基板3之凹部3b以10度以上之角度傾斜之方向延伸之面，較佳為氮化物半導體結晶面。第2基底層75係覆蓋第1基底層71且隔著緩衝層5覆蓋基板3之凸部3a，並與緩衝層5及第1基底層71相接。與n型接觸層8相接之基底層7之面(基底層7

之上表面75b)為平坦。於本說明書中，除特別限定之情形外，將第1基底層71與第2基底層75概括表示為基底層7。

第1基底層71較佳例如包含 $\text{Al}_{x_2}\text{Ga}_{y_2}\text{In}_{z_2}\text{N}$ ($0 \leq x_2 \leq 1$ 、 $0 \leq y_2 \leq 1$ 、 $0 \leq z_2 \leq 1$ 、 $x_2+y_2+z_2 \neq 0$)。第2基底層75較佳例如包含 $\text{Al}_{x_3}\text{Ga}_{y_3}\text{In}_{z_3}\text{N}$ ($0 \leq x_3 \leq 1$ 、 $0 \leq y_3 \leq 1$ 、 $0 \leq z_3 \leq 1$ 、 $x_3+y_3+z_3 \neq 0$)。

第1基底層71及第2基底層75較佳分別為包含Ga作為III族元素之氮化物半導體層。藉此，可不延續包含柱狀結晶之集合體之緩衝層5中之錯位等之結晶缺陷而形成第1基底層71及第2基底層75。為了不延續緩衝層5中之結晶缺陷而設置第1基底層71及第2基底層75，必須於與緩衝層5之界面(緩衝層5之上表面)附近形成錯位環。若第1基底層71及第2基底層75為包含Ga之III族氮化物半導體層，則於與緩衝層5之界面附近容易產生錯位環。即，若第1基底層71及第2基底層75為包含Ga作為III族元素之氮化物半導體層，則緩衝層5中之結晶缺陷於與緩衝層5之界面附近環化並密閉。藉此，可防止緩衝層5中的結晶缺陷延續至第1基底層71及第2基底層75。例如，第1基底層71包含 $\text{Al}_{x_2}\text{Ga}_{y_2}\text{N}$ ($0 \leq x_2 < 1$ 、 $0 < y_2 < 1$)，第2基底層75包含 $\text{Al}_{x_3}\text{Ga}_{y_3}\text{N}$ ($0 \leq x_3 < 1$ 、 $0 < y_3 < 1$)之情形時，尤其第1基底層71及第2基底層75分別包含GaN之情形時，緩衝層5中的結晶缺陷容易於與緩衝層5之界面附近環化並密閉。藉此，獲得具有錯位密度較小之良好結晶品質之第1基底層71及第2基底層75。

第1基底層71及第2基底層75亦可包含有例如 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下之n型摻雜物。基底層7所含之n型摻雜物較佳例如為Si、Ge及Sn中至少一者，更佳為Si。於n型摻雜物為Si之情形時，n型摻雜物之原料氣體較佳例如為矽烷或乙矽烷。然而，就維持良好結晶品質之觀點，第1基底層71及第2基底層75較佳分別為非摻雜層。

基底層7之厚度(與基板3之凹部3b相接之基底層7之面與基底層7

之上表面75b之間之距離)並未特別限定。基底層7之厚度若較大則越大基底層7中之結晶缺陷越少。然而，若基底層7之厚度大至某程度以上，則有基底層7中結晶缺陷減少之效果已飽和之情況。基於該等原因，基底層7之厚度較佳為1 μm 以上8 μm 以下，更佳為3 μm 以上5 μm 以下。

第1基底層71及第2基底層75之形成方法較佳分別為MOCVD(Metal Organic Chemical Vapor Deposition：有機金屬化學氣相沈積)法。第1基底層71較佳以形成傾斜晶面71a之晶面成長模式成長。藉此，形成結晶缺陷少、結晶品質高之第1基底層71。第2基底層75較佳以可嵌入傾斜晶面71a且形成平坦上表面75b之嵌入成長模式成長。藉此，形成具有平坦上表面75b，且結晶缺陷少、結晶品質高之第2基底層75。

第1基底層71及第2基底層75之成長溫度較佳為800°C以上1250°C以下，更佳為900°C以上1150°C以下。藉此，可形成結晶缺陷少且結晶品質優異之第1基底層71及第2基底層75。於本說明書中，「成長溫度」意指使該層結晶成長時之基板3之溫度。

<n型接觸層>

n型接觸層8係設於第2基底層75之上表面75b上。n型接觸層8較佳為例如於 $\text{Al}_{s_2}\text{Ga}_{t_2}\text{In}_{u_2}\text{N}$ ($0 \leq s_2 \leq 1$ 、 $0 \leq t_2 \leq 1$ 、 $0 \leq u_2 \leq 1$ 、 $s_2 + t_2 + u_2 = 1$)層中摻雜了n型摻雜物之層，更佳為於 $\text{Al}_{s_2}\text{Ga}_{1-s_2}\text{N}$ ($0 \leq s_2 \leq 1$ ，較佳為 $0 \leq s_2 \leq 0.5$ ，更佳為 $0 \leq s_2 \leq 0.1$)層中摻雜了n型摻雜物之層。n型接觸層8亦可進而包含非摻雜層或低載子濃度層等。

n型接觸層8所含之n型摻雜物並未特別限定，但較佳為Si、P、As或Sb等，更佳為Si。n型接觸層8之n型摻雜物濃度並未特別限定，較佳為 $1 \times 10^{19} \text{ cm}^{-3}$ 。

n型接觸層8之厚度越厚，n型接觸層8之電阻變得越低。然而，

若n型接觸層8之厚度太大，則會招致氮化物半導體發光元件1之製造成本上升。基於兼顧兩者，因而n型接觸層8之最大厚度較佳為1 μm以上10 μm以下。

n型接觸層8之構成並未特別限定。例如，亦可藉由連續形成n型接觸層8A與n型接觸層8B，而將n型接觸層8設為單層。n型接觸層8亦可包含3層以上之n型氮化物半導體層。n型接觸層8包含2層以上之n型氮化物半導體層之情形，2層以上之n型氮化物半導體層可包含相同一組成，亦可包含不同組成。又，2層以上之n型氮化物半導體層可具有相同厚度，亦可具有不同厚度。

<調變摻雜層>

n型調變摻雜層9較佳設於n型接觸層8上，例如使n⁺層9A與n⁻層9B交替積層而構成。「調變摻雜層」意指摻雜物之量不同之2種以上之層交替積層之層。

n⁺層9A較佳為n型摻雜物濃度為 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上之 $\text{Al}_{s3}\text{Ga}_{t3}\text{In}_{u3}\text{N}$ ($0 \leq s3 \leq 1$ 、 $0 \leq t3 \leq 1$ 、 $0 \leq u3 \leq 1$ 、 $s3+t3+u3 \doteq 1$)層，更佳為n型摻雜物濃度為 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上之GaN層。n型摻雜物並未特別限定，較佳為Si、P、As或Sb等，更佳為Si。

n⁻層9B較佳為與n⁺層9A相比n型摻雜物濃度較低之氮化物半導體層，更佳為n型摻雜物濃度為 $3 \times 10^{18} \text{ cm}^{-3}$ 以下之 $\text{Al}_{s4}\text{Ga}_{t4}\text{In}_{u4}\text{N}$ ($0 \leq s4 \leq 1$ 、 $0 \leq t4 \leq 1$ 、 $0 \leq u4 \leq 1$ 、 $s4+t4+u4 \doteq 1$)層，進而更佳為非摻雜層。例如，n⁻層9B較佳為n型摻雜物濃度為 $3 \times 10^{18} \text{ cm}^{-3}$ 以下之GaN層，更佳為非摻雜GaN層。

n⁺層9A及n⁻層9B之各者之積層數並未特別限定。n型調變摻雜層9可具有2組以上之n⁺層9A與n⁻層9B之組合，亦可僅包含1層之n⁻層9B。

n⁺層9A之各厚度較佳例如為5 nm以上500 nm以下。n⁻層9B之各厚度較佳例如為5 nm以上500 nm以下。

<第2積層體>

第2積層體11包含V凹坑產生層10、多層構造體121、及超晶格層122。V凹坑產生層10較佳於低於第1積層體6之形成溫度之溫度形成，例如較佳於比n型接觸層8或n型調變摻雜層9之成長溫度(形成第1n型氮化物半導體層之溫度)低之溫度形成。

與第1積層體6相接之層更佳於950°C以下形成。藉此，在V凹坑產生層10與第1積層體6相接之情形時，該V凹坑產生層10更佳於950°C以下形成。

第2積層體11以不同組成之複數層構成之情形時(例如第2積層體11以V凹坑產生層10、多層構造體121及超晶格層122構成之情形)，與第1積層體6相接之層進而較佳於850°C以下之溫度形成。因此，V凹坑產生層10與第1積層體6相接之情形時，該V凹坑產生層10進而較佳於850°C以下形成。

如上所述，因可縮短第2積層體11形成後之降溫步驟所需要之時間，故可維持較高之處理量。又，與V凹坑產生層10之成長溫度為高溫之情形相比，附著於形成V凹坑產生層10之裝置之腔室之附著物量減少。藉此，維護形成第2積層體11之裝置之頻率降低。基於該等原因，氮化物半導體發光元件1之生產性變高。V凹坑產生層10更佳於700°C以上之溫度形成，進而更佳於750°C以上之溫度形成。藉此，可維持較高之MQW發光層14之發光效率。

另，於下文中，作為第2積層體11之構成之一例，顯示第2積層體11係具備V凹坑產生層10、多層構造體121、及超晶格層122之構成。然而，第2積層體11之構成並未限定於以下所示之構成。例如，第2積層體11可包含單一層，亦可包含雜質濃度或組成不同之複數層。

多層構造體121較佳於V凹坑產生層10之成長溫度以下之溫度形成，更佳於與V凹坑產生層10之成長溫度同一溫度形成。若多層構造

體121之成長溫度為V凹坑產生層10之成長溫度以下，則獲得V凹坑15之大小變大之效果。所謂「多層構造體121於V凹坑產生層10之成長溫度以下之溫度形成」意指多層構造體121之成長溫度為(V凹坑產生層10之成長溫度-250°C)以上且V凹坑產生層10之成長溫度以下，且多層構造體121之成長溫度較佳為(V凹坑產生層10之成長溫度-150°C)以上且V凹坑產生層10之成長溫度以下。所謂「多層構造體121於與V凹坑產生層10之成長溫度相同之溫度形成」意指多層構造體121之成長溫度為(V凹坑產生層10之成長溫度±10°C)。以上亦可說是超晶格層122之成長溫度。

多層構造體121之成長溫度只要為V凹坑產生層10之成長溫度以下，即可獲得V凹坑15之大小變大之效果。然而，若多層構造體121之成長溫度過低，則會致使多層構造體121之膜質降低。因此，多層構造體121之成長溫度較佳為600°C以上，進而較佳為700°C以上。此亦可說是超晶格層122之成長溫度。以下，分別顯示第2積層體11之構成要件。

<V凹坑產生層>

V凹坑產生層10係與第1積層體6之第1面61相接，用以形成V凹坑15之層，以使V凹坑15起點之平均位置位於比作為發光層實效發揮功能之層(於本實施形態中為發光層14)更位於第1積層體6側之層(於本實施形態中為超晶格層122)內。所謂「V凹坑15起點」意指V凹坑15之底部(圖1中的V凹坑15之最下端部)。所謂「V凹坑15之起點之平均位置」意指使V凹坑15起點位置於氮化物半導體發光元件1之厚度方向(圖1中上下方向)平均化而得之位置。

V凹坑產生層10較佳例如為厚度係25 nm之高摻雜n型GaN層。所謂「高摻雜」意指與位於V凹坑產生層10之下之n型接觸層8或n型調變摻雜層9相比有意義(例如1.1倍以上，較佳為1.4倍以上，更佳為1.8

倍以上)增高n型摻雜濃度。具體而言，V凹坑產生層10之n型摻雜濃度較佳為 $5 \times 10^{18} \text{ cm}^{-3}$ 以上，更佳為 $7 \times 10^{18} \text{ cm}^{-3}$ 以上，進而較佳為 $1 \times 10^{19} \text{ cm}^{-3}$ 以上。藉此，因V凹坑產生層10之膜質低於n型調變摻雜層9之膜質，故V凹坑產生層10之V凹坑產生效果有效發揮。

然而，若V凹坑產生層10之n型摻雜物濃度變得過高，則會招致形成於V凹坑產生層10上之發光層14之發光效率之降低。因此，V凹坑產生層10之n型摻雜物濃度較佳為n型調變摻雜層9之n⁺層9A之n型摻雜物濃度之10倍以下，進而較佳為n型調變摻雜層9之n⁺層9A之n型摻雜物濃度之3倍以下。

V凹坑產生層10之n型摻雜物濃度亦可與n型調變摻雜層9之n⁺層9A之n型摻雜物濃度相同。該情形時，可使藉由V凹坑產生層10產生之V凹坑15之大小增大。藉此，可降低ESD(Electro-Static Discharge：靜電放電)所引起之不良率。

V凹坑產生層10較佳與第1積層體6之第1面61相比有意義(例如1.1倍以上，較佳為1.4倍以上，更佳為1.8倍以上)增高n型摻雜物濃度。藉此，V凹坑產生層10之V凹坑產生效果進而有效發揮。

另，構成第1積層體6之第1面61之半導體層為n⁺層9A之情形時，V凹坑產生層10亦可為非摻雜層，例如，較佳為厚度係10 nm之非摻雜氮化物半導體層。

V凹坑產生層10較佳例如為於 $\text{Al}_{s5}\text{Ga}_{t5}\text{In}_{u5}\text{N}$ ($0 \leq s5 \leq 1$ 、 $0 \leq t5 \leq 1$ 、 $0 \leq u5 \leq 1$ 、 $s5+t5+u5=1$)層中摻雜了n型摻雜物之層，更佳於 $\text{In}_{u5}\text{Ga}_{1-u5}\text{N}$ ($0 \leq u5 \leq 1$ ，較佳為 $0 \leq u5 \leq 0.5$ ，更佳為 $0 \leq u5 \leq 0.15$)層中摻雜n型摻雜物之層。於V凹坑產生層10包含In之情形時，V凹坑產生層10之In組成比較佳高於n型調變摻雜層9之n⁺層9A及n⁻層9B之各In組成比。藉此，亦因V凹坑產生層10之膜質低於n型調變摻雜層9之膜質，故V凹坑產生層10之V凹坑產生效果有效發揮。

V凹坑產生層10之厚度較佳為5 nm以上，更佳為10 nm以上。藉此，貫通錯位之每單位個數之V凹坑數變多。

<多層構造體>

於本實施形態之氮化物半導體發光元件1中，V凹坑15起點比發光層14更位於第1積層體6側。藉此，因構成發光層14之障壁層(尤其非摻雜障壁層)之層數增加，而可使有助於發光之發光層14之體積增加(下述)。藉此，可維持較高之大電流驅動時之發光效率，又可維持較高之高溫下之發光效率。然而，若藉由增加構成發光層14之障壁層(尤其非摻雜障壁層)之層數而增加有助於發光之發光層14之體積，則可知ESD所引起之不良率增加。

另一方面，若增加構成發光層14之障壁層(尤其非摻雜障壁層)之層數，則V凹坑產生層10與有助於發光之發光層14之間隔變窄。其結果，成為V凹坑15之起點位於有助於發光之發光層14附近而不佳。為了使V凹坑15之起點之平均位置不存在於發光層14(至少發光層14之上部)內，較佳儘可能使V凹坑產生層10與發光層14分開。然而，若為了達到該目的而增厚設於發光層14與V凹坑產生層10之間之超晶格層122之厚度，則會招致發光層14之品質劣化。此外，亦會招致氮化物半導體發光元件1之生產性之降低。

若以儘可能分離V凹坑產生層10與發光層14為目的，而於V凹坑產生層10與超晶格層122之間於V凹坑產生層10之成長溫度以下之溫度僅加厚形成n型GaN層，則會招致高溫驅動時及大電流驅動時之發光效率之降低，且會招致ESD所引起之不良率之增加。作為其理由，認為如下所示。若於V凹坑產生層10之成長溫度以下之溫度加厚形成n型GaN層(例如200nm以上)，則該n型GaN層之成長表面成為凹凸形狀(該n型GaN層之成長表面顯現白濁)。因此，對形成於該n型GaN層上之層造成不良影響之故。例如，致使形成於該n型GaN層上之層之

結晶品質降低。

然而，若於V凹坑產生層10與超晶格層122之間設有多層構造體121，則因可防止多層構造體121之成長表面成為凹凸形狀，故可維持較高之形成於多層構造體121上之層之結晶品質。藉此，可維持較高之高溫驅動時或大電流驅動時之發光效率，且降低ESD所引起之不良率。說明多層構造體121之構成。

多層構造體121較佳為帶隙能量不同之複數種氮化物半導體層積層而構成者，即帶隙能量相對較大之氮化物半導體層121A與帶隙能量相對較小之氮化物半導體層121B交替積層而構成者。藉此，V凹坑產生層10所產生之V凹坑15之大小變大。藉此，ESD所引起之不良率降低。又，超晶格層122之厚度及發光層14之厚度變大。另，構成多層構造體121之各層厚度較佳大於構成超晶格層122之各層厚度。

構成多層構造體121之氮化物半導體層之n型摻雜物濃度較佳均低於V凹坑產生層10之n型摻雜物濃度，較佳為例如 $7 \times 10^{17} \text{ cm}^{-3}$ 以下。如此若多層構造體121之n型摻雜物濃度降低，則因於反向偏壓施加時空乏層變廣，故可緩和反向電壓施加時被施加於發光層14之電場。藉此，可使多層構造體121與超晶格層122一起作為電場緩和層而發揮功能。另，若氮化物半導體發光元件1之驅動電壓未超過容許範圍，亦可將構成多層構造體121之氮化物半導體層作為非摻雜層。

雖未明確多層構造體121中帶隙能量相對較小之氮化物半導體層(例如InGaN層或n型InGaN層)121B係必要之理由，但認為係如下所示之理由。若於V凹坑產生層10之成長溫度以下之溫度，在帶隙能量相對較大之氮化物半導體層(例如GaN或n型GaN層等)121A之成長中途使帶隙能量相對較小之氮化物半導體層121B成長，則促進構成帶隙能量相對較大之氮化物半導體層121A之材料之2維成長。因此，即使多層構造體121之總厚度增加，亦可防止多層構造體121之總厚度增加所

造成之不良影響及於多層構造體121上成長之層(例如超晶格層122等)。例如，藉由增加多層構造體121之總厚度，可防止超晶格層122之結晶品質降低。

為了有效獲得此效果，帶隙能量相對較小之氮化物半導體層121B之厚度較佳薄於帶隙能量相對較大之氮化物半導體層121A之厚度，更佳為帶隙能量相對較大之氮化物半導體層121A之厚度之1/5倍以上1/2倍以下。另，帶隙能量相對較大之氮化物半導體層121A之厚度更佳為5 nm以上100 nm以下，進而較佳為10 nm以上40 nm以下。

多層構造體121之一例係於V凹坑產生層10上依序積層有厚度為7 nm之n型InGa_N層、厚度為30 nm之n型Ga_N層、厚度為7 nm之n型InGa_N層及厚度為20 nm之n型Ga_N層者。

構成多層構造體121之氮化物半導體層之具體組成並未特別限定。帶隙能量相對較大之氮化物半導體層121A較佳例如為 $Al_{i1}Ga_{j1}In_{(1-i1-j1)}N(0 \leq i1 < 1, 0 < j1 \leq 1)$ 層，更佳為Ga_N層。帶隙能量相對較小之氮化物半導體層121B較佳例如為 $Al_{i2}Ga_{j2}In_{(1-i2-j2)}N(0 \leq i2 < 1, 0 \leq j2 < 1, j1 < j2)$ 層，更佳為 $Ga_{j3}In_{(1-j3)}N(0 < j3 < 1)$ 層。進而具體而言，多層構造體121亦可為 $Al_{i1}Ga_{j1}In_{(1-i1-j1)}N(0 \leq i1 < 1, 0 < j1 \leq 1)$ 層與 $Al_{i2}Ga_{j2}In_{(1-i2-j2)}N(0 \leq i2 < 1, 0 \leq j2 < 1, j1 < j2)$ 層交替積層而構成者，又可為Ga_N層與 $Ga_{j3}In_{(1-j3)}N(0 < j3 < 1)$ 層交替積層而構成者。

構成多層構造體121之氮化物半導體層包含In之情形時，帶隙能量相對較小之氮化物半導體121B中的In組成比較佳與超晶格層122中的In組成比同程度(±5%)。藉此，於多層構造體121之形成後形成超晶格層122時可省略變更In之原料氣體之供給量之工序。藉此，進而提高氮化物半導體發光元件1之生產性。更佳係於帶隙能量相對較小之氮化物半導體層121B為 $Ga_{j3}In_{(1-j3)}N(0 < j3 < 1)$ 層時， $Ga_{j3}In_{(1-j3)}N(0 < j3 < 1)$ 層中的In組成比(1-j3)與構成超晶格層122之窄帶隙層122B(下

述)中的In組成比相同。

帶隙能量相對較大之氮化物半導體層121A及帶隙能量相對較小之氮化物半導體層121B之各者之層數並未特別限定。多層構造121較佳具有2組以上之帶隙能量相對較大之氮化物半導體層121A及帶隙能量相對較小之氮化物半導體層121B。藉此，可增大多層構造體121之厚度。藉此，V凹坑15起點之平均位置係多數較超晶格層122於厚度方向中央附近更靠向第1積層體6側。因此，可維持較高之高溫驅動時或大電流驅動時之發光效率。

<超晶格層>

於V凹坑產生層10與發光層14之間即多層構造體121上，設有超晶格層122。超晶格層122之主要作用係使V凹坑產生層10更自發光層14離開而設，且將V凹坑15起點之位置設於發光層14內之下側或超晶格層122內。超晶格層122可包含單層，亦可2~3層積層而構成。

所謂「超晶格層」意指包含藉由交替積層非常薄之結晶層，而使其週期構造較基本單位晶格更長之結晶晶格之層。超晶格層122係積層複數種氮化物半導體層且構成超晶格構造，如圖3所示之帶隙能量相對較大之寬帶隙層122A與帶隙能量相對較小之窄帶隙層122B交替積層而構成超晶格構造。

超晶格層122亦可依序積層與寬帶隙層122A及窄帶隙層122B不同之1層以上之半導體層、寬帶隙層122A、及窄帶隙層122B而構成超晶格構造。超晶格層122之一週期之長度(寬帶隙層122A之厚度與窄帶隙層122B之厚度之合計)較佳短於下述之發光層14之一週期之長度，更佳例如為1 nm以上10 nm以下。

各寬帶隙層122A較佳例如為 $Al_{a1}Ga_{b1}In_{(1-a1-b1)}N$ ($0 \leq a1 \leq 1$ 、 $0 < b1 \leq 1$)層，更佳為GaN層。各窄帶隙層122B較佳較寬帶隙層122A帶隙能量要小，更佳較各井層14W(下述)帶隙能量要大。窄帶隙層122B較佳

例如為 $\text{Al}_{a2}\text{Ga}_{b2}\text{In}_{(1-a2-b2)}\text{N}$ ($0 \leq a2 < 1$ 、 $0 < b2 < 1$ 、 $(1-a1-b1) < (1-a2-b2)$) 層，更佳為 $\text{Ga}_{b2}\text{In}_{(1-b2)}\text{N}$ ($0 < b2 < 1$) 層。

各寬帶隙層122A及各窄帶隙層122B之至少一者較佳包含n型摻雜物，且較佳例如包含 $1 \times 10^{19} \text{ cm}^{-3}$ 以上之n型摻雜物。n型摻雜物並未特別限定，較佳例如為Si、P、As或Sb等，更佳為Si。

若寬帶隙層122A與窄帶隙層122B之兩者為非摻雜層，則有驅動電壓上升之情況。另一方面，若構成超晶格層122之氮化物半導體層全部為摻雜層，則由於反向偏壓施加時空乏層難以擴大，故電子難以脫離超晶格層122。因此，存在無法充分獲得電場緩和效果之情形。然而，超晶格層122亦具有為了將電子注入發光層14而設置之層。藉此，若將位於發光層14側之至少2層之氮化物半導體層設為摻雜層，且將較該摻雜層位於更靠向第1積層體6側之氮化物半導體層設為非摻雜層，則可增加注入發光層14之電子數。藉此，發光輸出提高，且驅動電壓降低。然而，若非摻雜層之厚度變厚，則由於為了移動電子有必要施加電壓，因而有驅動電壓增大之情況。為了維持較低之驅動電壓，較佳將位於第1積層體6側之至少2層之氮化物半導體層設為非摻雜層。

寬帶隙層122A與窄帶隙層122B之各層數並未特別限定。超晶格層122較佳具有20組以上之寬帶隙層122A及窄帶隙層122B。藉此，可進而自發光層14隔離V凹坑產生層10而設置。因此，可將V凹坑15起點之平均位置設於超晶格層122內。

超晶格層122具有20組以上之寬帶隙層122A及窄帶隙層122B之情形時，位於發光層14側之5組之寬帶隙層122A及窄帶隙層122B較佳為摻雜層。藉此，由於可進而增加注入發光層14之電子數，故發光輸出進而提高，驅動電壓進而降低。

於超晶格層122之其他例中，非摻雜超晶格構造與摻雜超晶格構

造依序設於多層構造體121上。非摻雜超晶格構造較佳包含17組之非摻雜之寬帶隙層122A及非摻雜之窄帶隙層122B。摻雜超晶格構造較佳包含3組之摻雜之寬帶隙層122A及摻雜之窄帶隙層122B。

於超晶格層122之又其他例中，第1摻雜超晶格構造、非摻雜超晶格構造、第2摻雜超晶格構造依序設於多層構造體121上。第1及第2摻雜超晶格構造較佳分別包含5組之摻雜之寬帶隙層122A及摻雜之窄帶隙層122B。非摻雜超晶格構造較佳包含10組之非摻雜之寬帶隙層122A及非摻雜之窄帶隙層122B。

超晶格層122係為了進而提高發光層14之特性而設置之層，對於氮化物半導體發光元件1而言並非必須之構成要件。然而，若於V凹坑產生層10與發光層14之間設置超晶格層122，則可使V凹坑產生層10與發光層14隔開。藉此，可使V凹坑15起點之平均位置不存在於發光層14(至少發光層14之上部)內。因此，氮化物半導體發光元件1較佳於V凹坑產生層10與發光層14之間包含超晶格層122。較佳係超晶格層122之厚度為40 nm以上，更佳為超晶格層122之厚度為50 nm以上，進而較佳為超晶格層122之厚度為60 nm以上。另一方面，若超晶格層122之厚度過大，則有致使發光層14之結晶品質劣化之虞。因此，超晶格層122之厚度較佳為100 nm以下，更佳為80 nm以下。另，寬帶隙層122A之各厚度較佳例如為1 nm以上3 nm以下。窄帶隙層122B之各厚度較佳例如為1 nm以上3 nm以下。

<發光層>

發光層14係設於第2積層體11上。於發光層14上部分地形成V凹坑15。所謂「部分地形成V凹坑15」意指以AFM(Atomic Force Microscope：原子力顯微鏡)觀察發光層14之上表面時觀察到V凹坑15於發光層14之上表面成點狀。發光層14之上表面中的V凹坑數之密度較佳為 $1 \times 10^8 \text{ cm}^{-2}$ 以上 $1 \times 10^{10} \text{ cm}^{-2}$ 以下。以往雖亦於發光層形成V凹

坑，但以往之發光層之上表面中的V凹坑數之密度未滿 $1 \times 10^8 \text{ cm}^{-2}$ 。

發光層14較佳如圖3所示，具有交替積層障壁層14A與井層14W之積層構造。於超晶格層122之正上方，較佳設置最初之障壁層14AZ。於井層14W中位於最靠近p型氮化物半導體層16側之井層14W1上，較佳設置最後之障壁層14A0。

於本實施形態中，為了識別各障壁層14A及井層14W，自p型氮化物半導體層16朝向晶格層122附註編號且表述為井層14W1、障壁層14A1、井層14W2、障壁層14A2、...等。另，除特定各障壁層14A及各井層14W之各者之情形外，表述為「障壁層14A」及「井層14W」。

發光層14亦可具有依序積層1層以上之與障壁層14A及井層14W不同之半導體層、障壁層14A、及井層14W之積層構造。又，發光層14之一週期(障壁層14A之厚度與井層14W之厚度之和)之長度較佳例如為5 nm以上100 nm以下。

各井層14W之組成較佳配合氮化物半導體發光元件1所求得之發光波長進行調整，例如，較佳為 $\text{Al}_c\text{Ga}_d\text{In}_{(1-c-d)}\text{N}$ ($0 \leq c < 1$ 、 $0 < d \leq 1$)，更佳為未含Al之 $\text{In}_e\text{Ga}_{(1-e)}\text{N}$ ($0 < e \leq 1$)。在使氮化物半導體發光元件1發出例如波長375 nm以下之紫外光之情形時，因必須增大發光層14之帶隙能量，故各井層14W之組成較佳包含Al。

各井層14W之組成較好相同。藉此，可使因各井層14W中使電子與電洞再結合而發光之波長相同。因此，可使氮化物半導體發光元件1之發光光譜寬度變窄。

位於p型氮化物半導體層16側之井層14W較佳儘量不含摻雜物。若換言之，較佳係未導入摻雜物原料而使位於p型氮化物半導體層16側之井層14W成長。藉此，因不易於各井層14W中引起非發光再結合，故發光效率良好。另一方面，位於第1積層體6側之井層14W亦可包含n型摻雜物。藉此，具有氮化物半導體發光元件1之驅動電壓降低

之傾向。

各井層14W之厚度並未特別限定，較佳分別相同。若各井層14W之厚度相同，則各井層14W之量子位準亦相同。因此，藉由各井層14W中的電子與電洞之再結合，於各井層14W中產生相同波長之光。因此，氮化物半導體發光元件1之發光光譜寬度變窄，故較佳。另一方面，若刻意使井層14W之組成或厚度不同，則可使氮化物半導體發光元件1之發光光譜寬度變寬。在將氮化物半導體發光元件1用於照明等用途之情形時，因氮化物半導體發光元件1之發光光譜寬度較寬時較佳，故較佳刻意使井層14W之組成或厚度不同。例如，較佳於1 nm以上7 nm以下之範圍內適當設定各井層14W之厚度。藉此，可維持較高之發光效率。

構成各障壁層14A(14A1~14A7)、最初障壁層14AZ及最後障壁層14A0之材料較佳為與分別構成各井層14W之材料相比帶隙能量較大者。具體而言，各障壁層14A(14A1~14A7)、最初障壁層14AZ及最後障壁層14A0較佳包含 $\text{Al}_f\text{Ga}_g\text{In}_{(1-f-g)}\text{N}$ ($0 \leq f < 1$ 、 $0 < g \leq 1$)，更佳包含未含Al之 $\text{In}_h\text{Ga}_{(1-h)}\text{N}$ ($0 < h \leq 1$ 、 $e > h$)，進而較佳包含構成井層14W之材料與晶格常數大致相同之 $\text{Al}_f\text{Ga}_g\text{In}_{(1-f-g)}\text{N}$ ($0 \leq f < 1$ 、 $0 < g \leq 1$)。

各障壁層14A之厚度並未特別限定，較佳為1 nm以上10 nm以下，更佳為3 nm以上7 nm以下。各障壁層14A之厚度越薄驅動電壓越低，若各障壁層14A之厚度極端薄，則有發光效率降低之傾向。最初之障壁層14AZ之厚度並未特別限定，較佳為1 nm以上10 nm以下。最後之障壁層14A0之厚度並未特別限定，較佳為1 nm以上40 nm以下。

各障壁層14A(14A1~14A7)及最初障壁層14AZ中的n型摻雜物濃度並未特別限定，較佳根據需要適當設定。又，複數障壁層14A中，位於第1積層體6側之障壁層14A較佳包含n型摻雜物，位於p型氮化物半導體層16側之障壁層14A較佳包含較位於第1積層體6側之障壁層

14A 更低濃度之 n 型摻雜物、或不含 n 型摻雜物。各障壁層 14A(14A1~14A7)、最初障壁層 14AZ 及最後障壁層 14A0 亦可刻意地包含 n 型摻雜物。又，於各障壁層 14A(14A1~14A7)、最初障壁層 14AZ 及最後障壁層 14A0 中，藉由 p 型氮化物半導體層 16、17、18 之成長時之熱擴散而摻雜 p 型摻雜物。

井層 14W 之層數並未特別限定，較佳例如為 2 層以上 20 層以下，更佳為 3 層以上 15 層以下，進而較佳為 4 層以上 12 層以下。

<p 型氮化物半導體層>

p 型氮化物半導體層 16、17、18 係依序設於發光層 14 上。p 型氮化物半導體層之層數並未限定於 3 層，亦可為 2 層以下，又可為 4 層以上。p 型氮化物半導體層 16、17、18 較佳例如為於 $\text{Al}_{s6}\text{Ga}_{t6}\text{In}_{u6}\text{N}$ ($0 \leq s6 \leq 1$ 、 $0 \leq t6 \leq 1$ 、 $0 \leq u6 \leq 1$ 、 $s6+t6+u6 \neq 0$) 層中摻雜 p 型摻雜物之層，更佳為於 $\text{Al}_{s6}\text{Ga}_{(1-s6)}\text{N}$ ($0 < s6 \leq 0.4$ ，較佳為 $0.1 \leq s6 \leq 0.3$) 層中摻雜 p 型摻雜物之層。例如，p 型氮化物半導體層 16 為 p 型 AlGaIn 層，p 型氮化物半導體層 17 為 p 型 GaN 層，p 型氮化物半導體層 18 為 p 型摻雜物濃度較 p 型氮化物半導體層 17 更高之 p 型 GaN 層。

p 型摻雜物並未特別限定，較佳例如為 Mg。p 型氮化物半導體層 16、17、18 之載子濃度較佳為 $1 \times 10^{17} \text{ cm}^{-3}$ 以上。此處，p 型摻雜物之活性率為 0.01 左右，因而 p 型氮化物半導體層 16、17、18 之 p 型摻雜物濃度(與載子濃度不同)較佳為 $1 \times 10^{19} \text{ cm}^{-3}$ 以上。其中，p 型氮化物半導體層 16 中位於發光層 14 側之部分之 p 型摻雜物濃度亦可未滿 $1 \times 10^{19} \text{ cm}^{-3}$ 。

p 型氮化物半導體層 16、17、18 之合計之厚度並未特別限定，較佳為 50 nm 以上 300 nm 以下。若 p 型氮化物半導體層 16、17、18 之厚度變薄，則因其成長時之加熱時間變短，故可防止 p 型摻雜物向發光層 14 擴散。

<n側電極、透明電極、p側電極>

n側電極21及p側電極25係用以對氮化物半導體發光元件1供給驅動電力之電極。圖2中圖示有僅以焊墊電極部分構成n側電極21及p側電極25之情形。然而，以電流擴散為目的之細長突出部(枝電極)亦可連接於圖2所示之n側電極21及p側電極25。又，於p側電極25更下側，較佳設置有用以防止電流朝p側電極25注入之絕緣層。藉此，可使發光層14發出之光被p側電極25遮蔽之量減少。

n側電極21較佳例如具有鈦層、鋁層及金屬依序積層之積層構造。假定於n側電極21進行打線結合之情形，n側電極21之厚度較佳為1 μm 以上。

p側電極25係較佳例如具有鎳層、鋁層、鈦層及金屬依序積層之積層構造，亦可包含與n側電極21相同材料。假定於p側電極25進行打線結合之情形，p側電極25之厚度較佳為1 μm 以上。

透明電極23較佳包含例如ITO(Indium Tin Oxide：氧化銦錫)或IZO(Indium Zinc Oxide：氧化銦鋅)等之透明導電材料，更佳具有20 nm以上200 nm以下之厚度。

<V凹坑起點>

於本實施形態之氮化物半導體發光元件1中，V凹坑15起點之大部分不存在於發光層14內，其過半數量被認為存在於超晶格層122內。V凹坑15係被認為由貫通錯位而引起，故認為貫通錯位多數位於V凹坑15之內側。因此，可抑制注入發光層14之電子及電洞到達V凹坑15內側之貫通錯位。因此，認為可抑制為了於貫通錯位中捕獲電子及電洞而產生非發光再結合之情形。藉此，可維持較高之發光效率。該效果於高溫下或大電流驅動時尤為顯著。

詳細而言，因高溫下對發光層14之注入載子(電洞或電子)之移動活潑，故注入載子到達貫通錯位之機率增大。然而，於本實施形態之

氮化物半導體發光元件1中，因發光層14內之貫通錯位較多被V凹坑15覆蓋(因貫通錯位多存在於V凹坑15之內側)，故抑制貫通錯位之非發光再結合。藉此，可維持較高之高溫下之發光效率。

又，因V凹坑15起點位於較發光層14更下側，故可增加障壁層(尤其非摻雜物障壁層)之層數，且增加發光層14之體積。藉此，可維持較高之大電流驅動時之發光效率。

<關於載子濃度與摻雜物濃度>

載子濃度意指電子或電洞之濃度，不由n型摻雜物之量或p型摻雜物之量決定。此般之載子濃度意指基於氮化物半導體發光元件1之電壓對電容特性之結果算出，且未注入電流之狀態之載子濃度，為自離子化之雜質、供體化之結晶缺陷及受體化之結晶缺陷所產生之載子之合計。

n型摻雜物即Si等之活性化率高。藉此，可認為n型載子濃度與n型摻雜物濃度大致相同。又，n型摻雜物濃度可藉由以SIMS(Secondary Ion Mass Spectroscopy：二次離子質譜儀)量測深度方向之濃度分佈而簡單求得。再者，摻雜物濃度之相對關係(比例)係與載子濃度之相對關係(比例)大致相同。只要將由量測而得之n型摻雜物濃度於厚度方向平均化，即可獲得平均n型摻雜物濃度。

<關於n型調變摻雜層與超晶格層之其他作用、效果>

於本實施形態之氮化物半導體發光元件1中，於n型接觸層8與發光層14之間，自n型接觸層8側起依序積層有n型調變摻雜層9、V凹坑產生層10、多層構造體121及超晶格層122。藉此，在成為ESD破壞之原因之反向偏壓方向之高電壓施加於n側電極21與p側電極25之間之情形時，空乏層於n型調變摻雜層9及超晶格層122側伸長。藉此，可降低施加於發光層14之反向偏移電壓(電場)。因此，產生ESD破壞之臨限值電壓(即ESD耐壓)變高。

於本實施形態之氮化物半導體發光元件1刻意地不導入V凹坑15之方式構成之情形時，亦可使於順向施加偏移電壓時之洩漏電流更有效地降低，且可防止V凹坑15之形成所引起之發光面積降低。因此，於該情形時，亦可有效防止氮化物半導體發光元件1之發光特性降低。

於本實施形態之氮化物半導體發光元件1僅包含n型調變摻雜層9或超晶格層122之任一者之情形，亦可獲得上述作用及效果。然而，本實施形態之氮化物半導體發光元件1較佳包含n型調變摻雜層9及超晶格層122兩者。藉此，ESD耐壓變高。可使於順向施加偏移電壓時之洩漏電流更有效地降低，且可防止V凹坑15之形成所引起之發光面積之降低。

<氮化物半導體發光元件之製造>

圖5(a)係顯示圖1所示之氮化物半導體發光元件1之製造步驟之溫度分佈之圖表。圖5(a)之縱軸表示成長溫度，圖5(a)之橫軸表示成長時間。另，圖5(b)係顯示下述比較例1之氮化物半導體發光元件之製造步驟中的溫度分佈之圖表。

首先，形成第1積層體6。藉由例如濺鍍法等於基板3上形成緩衝層5後，藉由例如MOCVD法於緩衝層5上依序形成基底層7、n型接觸層8及n型調變摻雜層9。基底層7、n型接觸層8及n型調變摻雜層9較佳於第1結晶成長裝置內成長。該等之層較佳在800°C以上1250°C以下成長，更佳在900°C以上1150°C以下成長。

第1基底層71較佳以形成傾斜晶面71a之晶面成長模式成長。第2基底層75較佳以可嵌入傾斜晶面71a且形成平坦上表面75b之嵌入成長模式成長。具體而言，第1基底層71較佳於較第2基底層75更易3維成長之環境氣體下形成，更佳於與第2基底層75相比更高壓且低溫下形成。例如，第1基底層71較佳於500Torr之壓力下且990°C之溫度下形

成，第2基底層75較佳於200Torr之壓力下且1080°C之溫度下形成。

形成第1積層體6後，使溫度暫時下降後(降溫步驟)，再次提高溫度，形成第2積層體11。於降溫步驟中，較佳降低至較形成第2積層體11之溫度更低之溫度(例如500°C以下)，更佳降低至室溫以上且100°C以下。「降溫步驟之溫度」意指基板3之溫度、及成膜裝置或成長裝置內之溫度中較高者之溫度。又，於降溫步驟後，較佳將第1積層體6暴露於大氣中。作為將第1積層體6暴露於大氣之方法，例舉例如自第1結晶成長裝置內取出第1積層體6後放入第2結晶成長裝置內之方法。再次提高溫度後，藉由例如MOCVD法等，於n型調變摻雜層9上依序形成V凹坑產生層10、多層構造體121及超晶格層122。

V凹坑產生層10之成長溫度較佳低於第1積層體6之形成溫度，低於例如n型接觸層8或n型調變摻雜層9之成長溫度(形成第1n型氮化物半導體層之溫度)。如圖5(a)所示，發光層14係於低於第1積層體6之形成溫度之溫度形成。因此，若V凹坑產生層10之成長溫度低於n型接觸層8或n型調變摻雜層9之成長溫度(形成第1n型氮化物半導體層之溫度)，則可縮短第2積層體11之形成後之降溫步驟所需之時間，因而可維持較高之處理量。又，與V凹坑產生層10之成長溫度為高溫之情形相比，附著於形成V凹坑產生層10之裝置之腔室之附著物量減少。藉此，維護用以形成第2積層體11之成膜裝置之頻率降低。基於該等原因，氮化物半導體發光元件1之生產性變高。基於維持較高之MQW發光層14之發光效率之觀點，V凹坑產生層10之成長溫度更佳為700°C以上，進而較佳在750°C以上。

亦可較n型調變摻雜層9提高n型摻雜物濃度且形成V凹坑產生層10。藉此，V凹坑產生層10之V凹坑形成效果增大。

多層構造體121之成長溫度較佳為V凹坑產生層10之成長溫度以下，更佳與V凹坑產生層10之成長溫度相同。若多層構造體121之成

長溫度為V凹坑產生層10之成長溫度以下，則可增大V凹坑15之大小，因而ESD所引起之不良率變低。為了有效獲得該效果，多層構造體121之成長溫度更佳為600°C以上。

超晶格層122之成長溫度較佳為V凹坑產生層10之成長溫度以下，更佳與V凹坑產生層10之成長溫度相同。若超晶格層122之成長溫度為V凹坑產生層10之成長溫度以下，則可進而縮短第2積層體11之形成後之降溫步驟所需之時間，因而可進而維持較高之處理量。又，維護用以形成超晶格層122之成膜裝置之頻率進而降低。基於該等原因，氮化物半導體發光元件1之生產性進而變高。除此之外，因可增大V凹坑15之大小，故ESD所引起之不良率變低。為了有效獲得該效果，超晶格層122之成長溫度更佳為600°C以上。

繼而，於第2積層體11上依序形成發光層14、p型氮化物半導體層16、17、18。發光層14之形成方法並未特別限定，作為MQW構造之形成方法，可不特別限定地使用周知之方法。p型氮化物半導體層16、17、18之形成方法並未特別限定，作為p型氮化物半導體層之形成方法，可不特別限定地使用周知之方法。

繼而，以露出n型接觸層8之一部分之方式，蝕刻p型氮化物半導體層16、17、18、發光層14、第2積層體11、n型調變摻雜層9及n型接觸層8。於藉由該蝕刻而露出之n型接觸層8之上表面上形成n側電極21。又，於p型氮化物半導體層18之上表面上依序積層透明電極23與p側電極25。其後，以覆蓋透明電極23與藉由上述蝕刻而露出之各層之側面之方式，形成透明保護膜27。藉此，獲得如圖1所示之氮化物半導體發光元件1。

另，亦可去除基板3。去除基板3之時序並未特別限定，可例如在形成第1積層體6之步驟後去除基板3。

亦可於第1結晶成長裝置內形成基底層7與n型接觸層8，且於第2

結晶成長裝置內形成n型調變摻雜層9與第2積層體11。然而，若於第1結晶成長裝置內形成基底層7、n型接觸層8及n型調變摻雜層9且於第2結晶成長裝置內形成第2積層體11，則可進而縮短第2積層體11之形成後之降溫步驟所需之時間。

如上說明，如圖1所示之氮化物半導體發光元件1係包含：包含1層以上之第1n型氮化物半導體層8、9之第1積層體6、包含與第1積層體6之第1面61相接之第2n型氮化物半導體層10之第2積層體11、設於第2積層體11上之發光層14、及設於發光層14上之p型氮化物半導體層16、17、18。第2n型氮化物半導體層10係於比形成第1n型氮化物半導體層之溫度(例如n型接觸層8或n型調變摻雜層9之成長溫度)低之溫度形成。藉此，如圖1所示之氮化物半導體發光元件1之生產性變高。

第2積層體11較佳於第2n型氮化物半導體層10與發光層14之間，進而包含1層以上之第3n型氮化物半導體層121、122。第3n型氮化物半導體層121、122較佳於第2n型氮化物半導體層10之形成溫度以下之溫度形成。藉此，如圖1所示之氮化物半導體發光元件1之生產性進而變高。

構成第1積層體6之第1面61之半導體層較佳為非摻雜層。該情形時，第2n型氮化物半導體層10較佳為摻雜層。

構成第1積層體6之第1面61之半導體層較佳為摻雜層。該情形時，第2n型氮化物半導體層10較佳為非摻雜層。

本發明之氮化物半導體發光元件1之製造方法係至少包含：形成包含1層以上之第1n型氮化物半導體層8、9之第1積層體6之步驟、形成包含與第1積層體6之第1面61相接之第2n型氮化物半導體層10之第2積層體11之步驟、於第2積層體11上形成發光層14之步驟、及於發光層14上形成p型氮化物半導體層16、17、18之步驟。在形成第1積層體6之步驟後且形成第2積層體11之步驟前，進而包含降溫至較形成第2

積層體11之溫度更低之溫度之降溫步驟。藉此，可提高圖1所示之氮化物半導體發光元件1之生產性。

在形成第1積層體之步驟後且形成第2積層體之步驟前，較佳進而進行將第1積層體暴露於大氣之步驟。藉此，可進而提高圖1所示之氮化物半導體發光元件1之生產性。

[實施例]

以下，例舉實施例更詳細地說明本發明，但本發明並未限定於此。

<實施例1>

首先，準備包含100 mm徑之藍寶石基板之晶圓。於晶圓之上表面，形成有凸部3a與凹部3b交替形成之凹凸形狀。

顯示對於晶圓之凹凸形狀之形成方法。首先，將規定有圖4所示之凸部3a之平面配置之遮罩設於晶圓上。其次，使用該遮罩乾蝕刻晶圓之上表面。經乾蝕刻之部分成為凹部3b，藉此，於晶圓之上表面上形成具有圖4所示之平面配置之凹部3b。藉此，凸部3a排列於晶圓之上表面之a(sub)軸方向(<11-20>方向)，且分別配置於對於晶圓之上表面之a(sub)軸方向成+60°之傾斜之方向與對於晶圓之上表面之a(sub)軸方向成-60°之傾斜之方向(均為u方向)。凸部3a係於晶圓之上表面中，分別配置於圖4中以虛線顯示之假想三角形3t之頂點，且沿假想三角形3t之3邊之各邊方向週期性配置。

晶圓之上表面中的凸部3a之形狀為圓形，該圓之直徑為1.2 μm左右。鄰接之凸部3a之頂點之間隔(圖4所示之假想三角形3t之1邊)為2 μm，凸部3a之高度為0.6 μm左右。凸部3a具有圖1所示之側面視形狀，其前端帶圓。凹部3b具有圖1所示之側面視形狀。

凸部3a及凹部3b形成後，對晶圓之上表面進行RCA洗淨。將RCA洗淨後之晶圓放入腔室內，將N₂、O₂、及Ar導入該腔室內，並將腔

室內之晶圓加熱至650°C。藉由在N₂、O₂、及Ar之混合環境氣體下濺鍍Al靶材之反應性濺鍍法，而於形成有凸部3a及凹部3b之晶圓之上表面上形成包含AlON結晶之緩衝層5(厚度25 nm)。形成之緩衝層5係包含於晶圓之上表面之法線方向伸長之柱狀結晶之集合體，即結晶粒之整齊柱狀結晶之集合體。

將已形成緩衝層5之晶圓放入第1MOCVD裝置內。於500Torr之壓力下，且990°C之溫度下，藉由MOCVD法使包含非摻雜GaN之第1基底層71結晶成長。又，於200Torr之壓力下，且1080°C之溫度下，藉由MOCVD法使包含非摻雜GaN之第2基底層75結晶成長。基底層7之厚度為4 μm。其後，藉由MOCVD法使Si摻雜n型GaN層(n型接觸層8)結晶成長。n型接觸層8之厚度為3 μm，n型接觸層8之n型摻雜物濃度為 $1 \times 10^{19} \text{ cm}^{-3}$ 。

將晶圓溫度設定成1081°C，且於n型接觸層8上藉由MOCVD法依序結晶成長厚度50 nm之包含Si摻雜n型GaN之氮化物半導體層(n⁺層9A、n型摻雜物濃度： $1 \times 10^{19} \text{ cm}^{-3}$)、厚度87 nm之包含非摻雜GaN之氮化物半導體層(n⁻層9B)、厚度50 nm之包含Si摻雜n型GaN之氮化物半導體層(n⁺層9A、n型摻雜物濃度： $1 \times 10^{19} \text{ cm}^{-3}$)、及厚度87 nm之包含非摻雜GaN之氮化物半導體層(n⁻層9B)。藉此，形成n型調變摻雜層9。

形成n型調變摻雜層9後，晶圓溫度降低至80°C。在將晶圓自第1MOCVD裝置內暫時取出至大氣中後，放入第2MOCVD裝置內。將晶圓之溫度設定成801°C，且藉由MOCVD法結晶成長厚度25 nm之Si摻雜GaN層(V凹坑產生層10)。經結晶成長之Si摻雜GaN層與n型調變摻雜層9之最上層相接，其n型摻雜物濃度為 $1 \times 10^{19} \text{ cm}^{-3}$ 。

在將晶圓溫度保持於801°C之狀態下，使多層構造體121結晶成長。將厚度7 nm之Si摻雜InGaIn層、厚度30 nm之Si摻雜GaIn層、厚度

7 nm之Si摻雜InGa_{0.96}N層、及厚度20 nm之Si摻雜Ga_{0.96}N層每2層交替積層。於構成多層構造體121之層之任一者中，亦將n型摻雜物濃度設為 $7 \times 10^{17} \text{ cm}^{-3}$ 。將InGa_{0.96}N層之In組成比設為與後續成長之超晶格層122之窄帶隙層122B之In組成比相同。

在將晶圓之溫度保持於801°C之狀態下，使超晶格層122結晶成長。使包含Si摻雜Ga_{0.96}N之寬帶隙層122A與包含Si摻雜InGa_{0.96}N之窄帶隙層122B交替成長20週期。各寬帶隙層122A之厚度為2.05 nm。各窄帶隙層122B之厚度為2.05 nm。各寬帶隙層122A之n型摻雜物濃度於寬帶隙層122A中位於發光層14側之5層中為 $1 \times 10^{19} \text{ cm}^{-3}$ ，在較該5層更靠向第1積層體6側之層中為 0 cm^{-3} (非摻雜)。各窄帶隙層122B之n型摻雜物濃度於窄帶隙層122B中位於發光層14側之5層中為 $1 \times 10^{19} \text{ cm}^{-3}$ ，在較該5層更靠向第1積層體6側之層中為 0 cm^{-3} (非摻雜)。發光層14之井層14W以藉由光致發光發出之光之波長成375 nm之方式調整TMI(三甲基銦)之流量，因而各窄帶隙層122B之組成為In_yGa_{1-y}N(y=0.04)。

將晶圓之溫度降至672°C，使發光層14結晶成長。使障壁層14A與包含InGa_{0.96}N之井層14W交替結晶成長，且使井層14W結晶成長8層。各障壁層14A之厚度為4.2 nm。最初之障壁層14AZ及障壁層14A7之n型摻雜物濃度為 $4.3 \times 10^{18} \text{ cm}^{-3}$ ，其他之障壁層14A6、14A5、...、14A1為非摻雜。

此處，最初之障壁層14AZ之厚度較佳大於障壁層14A7之厚度，亦可為例如5.05 nm。藉此，可於超晶格層122中最靠近發光層14側形成窄帶隙層122B，且可維持未包含於超晶格層122之組數之寬帶隙層122A之作用。亦可將最初之障壁層14AZ之n型摻雜物濃度於最初之障壁層14AZ之上部(自最初之障壁層14AZ與井層14W8之界面離開1.55 nm之區域)中設為 $1 \times 10^{19} \text{ cm}^{-3}$ ，於最初之障壁層14AZ之下部(最初之障壁層14AZ之上部以外之部分)設為 $4.3 \times 10^{18} \text{ cm}^{-3}$ 。

亦可僅於障壁層14A7之下部(自井層14W8與障壁層14A7之界面離開3.5 nm之區域)摻雜n型摻雜物，且將障壁層14A7之上部(障壁層14A7之下部以外之部分)設為非摻雜。如此，藉由將障壁層14A7之上部設為非摻雜，可防止井層14W7之注入載子與n型摻雜之障壁層部分直接接觸。

井層14W係使用氮氣作為載子氣體進行結晶成長之非摻雜 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 層($x=0.20$)。各井層14W之厚度為2.7 nm。井層14W以使由光致發光發出之光之波長成為448 nm之方式調整TMI之流量，且設定井層14W中的In之組成 x 。

於最上層之井層14W1上，使包含非摻雜之GaN之最後之障壁層14A0(厚度10 nm)結晶成長。

將晶圓之溫度提高至1000°C，且於最後之障壁層14A0之上表面上，使p型 $\text{Al}_{0.18}\text{Ga}_{0.82}\text{N}$ 層(p型氮化物半導體層16)、p型GaN層(p型氮化物半導體層17)及p型接觸層(p型氮化物半導體層18)依序結晶成長。

於上述各層之結晶成長中，作為Ga之原料氣體係使用TMG(三甲基鎵)，作為Al之原料氣體係使用TMA(三甲基鋁)，作為In之原料氣體係使用TMI(三甲基銦)，作為N之原料氣體係使用 NH_3 。又，作為n型摻雜物的Si之原料氣體係使用 SiH_4 ，作為p型摻雜物的Mg之原料氣體係使用 Cp_2Mg 。然而，原料氣體並未限定於上述氣體，只要為作為MOCVD用原料氣體而使用之氣體，則可無限定地使用。例如，可使用TEG(三乙基鎵)作為Ga之原料氣體，可使用TEA(三乙基鋁)作為Al之原料氣體，可使用TEI(三乙基銦)作為In之原料氣體，可使用DMHy(二甲基肼)等之有機氮化合物作為N之原料氣體，可使用 Si_2H_6 或有機Si等作為Si之原料氣體。

自第2MOCVD裝置內取出晶圓。其後，以露出n型接觸層8之一部分之方式，蝕刻p型接觸層(p型氮化物半導體層18)、p型GaN層(p型

氮化物半導體層17)、p型 $\text{Al}_{0.18}\text{Ga}_{0.82}\text{N}$ 層(p型氮化物半導體層16)、發光層14、超晶格層122、多層構造體121、Si摻雜GaN層(V凹坑產生層10)、n型調變摻雜層9及n型接觸層8。於藉由該蝕刻露出之n型接觸層8之上表面上，形成包含Au之n側電極21。於p型接觸層18之上表面上，依序形成包含ITO之透明電極23與包含Au之p側電極25。以主要覆蓋透明電極23及因上述蝕刻而露出之各層之側面之方式，形成包含 SiO_2 之透明保護膜27。其後，將晶圓分割成 $620 \times 680 \mu\text{m}$ 尺寸之晶片。藉此獲得實施例1之氮化物半導體發光元件。

於本實施例中，Si摻雜GaN層(V凹坑產生層10)之形成以後之降溫步驟所需之時間縮短，藉此，可維持較高處理量。又，維護第2MOCVD裝置之頻率降低。

<實施例2>

與實施例1相同，於第1MOCVD裝置內形成基底層7與n型接觸層8後，將晶圓之溫度設定成 1081°C 且形成n型調變摻雜層9。於n型接觸層8上藉由MOCVD法依序結晶成長厚度50 nm之包含Si摻雜n型GaN之氮化物半導體層(n^+ 層9A，n型摻雜物濃度： $1 \times 10^{19} \text{ cm}^{-3}$)、厚度87 nm之包含非摻雜GaN之氮化物半導體層(n^- 層9B)、及厚度50 nm之包含Si摻雜n型GaN之氮化物半導體層(n^+ 層9A，n型摻雜物濃度： $1 \times 10^{19} \text{ cm}^{-3}$)。

其次，將晶圓自第1MOCVD裝置內取出，放入第2MOCVD裝置內。將晶圓之溫度設定成 801°C ，且藉由MOCVD法結晶成長厚度10 nm之非摻雜GaN層(n^- 層9BL)。其後，在將晶圓溫度保持於 801°C 之狀態下再與實施例1同樣，於第2MOCVD裝置內形成Si摻雜GaN層(V凹坑產生層10)、多層構造體121及超晶格層122。如此製造本實施例之氮化物半導體發光元件。於本實施例中， n^- 層9BL之形成以後之降溫步驟所需之時間亦縮短。

<實施例3>

除了將晶圓之溫度設為750°C使V凹坑產生層10、多層構造體121、及超晶格層122結晶成長外，根據上述實施例1所記述之方法製造本實施例之氮化物半導體發光元件。於本實施例中，Si摻雜GaN層(V凹坑產生層10)之形成以後之降溫步驟所需要之時間亦縮短。又，可維持較高之MQW發光層14之發光效率。

<實施例4>

除了將晶圓之溫度設為750°C使多層構造體121及超晶格層122結晶成長外，根據上述實施例1所記述之方法製造本實施例之氮化物半導體發光元件。於本實施例中，Si摻雜GaN層(V凹坑產生層10)之形成以後之降溫步驟所需要之時間亦縮短。又，V凹坑15之大小變大。

<實施例5>

除了將晶圓之溫度設為700°C使超晶格層122結晶成長外，根據上述實施例4所記述之方法製造本實施例之氮化物半導體發光元件。於本實施例中，Si摻雜GaN層(V凹坑產生層10)之形成以後之降溫步驟所需要之時間亦縮短。又，V凹坑15之大小變大。

<實施例6>

於實施例6中除了第1積層體採用包含基板、緩衝層、基底層及n型接觸層之構成，第2積層體採用包含低摻雜n型氮化物半導體層、非摻雜氮化物半導體層及n型氮化物半導體層之構成，發光層之障壁層之組成採用AlGaIn外，根據上述實施例1所記述之方法，製造氮化物半導體發光元件。即，於本實施例中，低摻雜n型氮化物半導體層相當於申請專利範圍中的「第2n型氮化物半導體層」。

圖6係本實施例之氮化物半導體發光元件1之概略剖面圖。圖7係示意性顯示本實施例之氮化物半導體發光元件1之n型接觸層8至p型氮化物半導體層16中的帶隙能量 E_g 大小之能量圖。於圖6及圖7中，於包

含與上述實施例1相同組成之層，附註有與圖1中的符號相同之符號。又，於圖7中，於摻雜有n型摻雜物之層之右側附註小點且記述為「n」。

將形成有緩衝層5之晶圓放入第1MOCVD裝置內。於500Torr之壓力、990°C之溫度下，藉由MOCVD法結晶成長包含非摻雜GaN之第1基底層71。又，於200Torr之壓力、1080°C之溫度下，藉由MOCVD法結晶成長包含非摻雜GaN之第2基底層75。基底層7之厚度為3 μm。其後，於1100°C之溫度下，藉由MOCVD法結晶成長Si摻雜n型GaN層(n型接觸層8)。n型接觸層8之厚度為4 μm，n型接觸層8之n型摻雜物濃度為 $1 \times 10^{19} \text{ cm}^{-3}$ 。

在形成n型接觸層8後，將晶圓溫度降低至500°C以下(若可能，則降至100°C以下)。在將晶圓自第1MOCVD裝置內暫時取出至大氣中後，放入第2MOCVD裝置內。將晶圓之溫度設定為870°C，藉由MOCVD法結晶成長厚度74 nm之Si摻雜GaN層(低摻雜n型氮化物半導體層10A)。經結晶成長之低摻雜n型氮化物半導體層10A與n型接觸層8之最上層(第1積層體6之第1面61)相接，其n型摻雜物濃度為 $7 \times 10^{17} \text{ cm}^{-3}$ 。

在將晶圓溫度保持為870°C之狀態下，結晶成長厚度63.5 nm之非摻雜GaN層(非摻雜氮化物半導體層123)。

在將晶圓溫度保持為870°C之狀態下，結晶成長厚度20.5 nm之Si摻雜AlGaIn層(n型氮化物半導體層124)。經結晶成長之n型氮化物半導體層124係與發光層14相接之層，其n型摻雜物濃度係 $1 \times 10^{19} \text{ cm}^{-3}$ 。

於本實施例中，將形成低摻雜n型氮化物半導體層10A、非摻雜氮化物半導體層123及n型氮化物半導體層124時之晶圓之溫度固定為870°C。然而，形成該等層時之晶圓之溫度只要於850~950°C之溫度範圍內則各可任意設定。例如，自提高第2積層體11之表面平坦性之觀

點而言，亦可將形成低摻雜n型氮化物半導體層10A及非摻雜氮化物半導體層123時之晶圓之溫度設為870℃，且將形成n型氮化物半導體層124時之晶圓之溫度設為900℃。又可將形成3層時之晶圓之溫度分別設定成不同之溫度。

<比較例1>

除了自第1MOCVD裝置內取出晶圓放入第2MOCVD裝置內後，將晶圓之溫度設為1100℃使n型調變摻雜層9結晶成長外，根據上述實施例1所記述之方法製造本比較例之氮化物半導體發光元件。於本比較例中，超晶格層122之形成後之降溫步驟所需要之時間變得比上述實施例1長。又，維護第2MOCVD裝置之頻率變得較上述實施例1高。

雖已對本發明之實施形態加以說明，但應認為本次揭示之實施形態之全部點僅為例示而非限制性者。本發明之範圍係由申請專利範圍表示，意欲包含與申請專利範圍等效及範圍內之所有變更。

【符號說明】

1	氮化物半導體發光元件
3	基板
3a	凸部
3b	凹部
3t	假想三角形
5	緩衝層
6	第1積層體
7	基底層
8	n型接觸層
8A	n型接觸層
8B	n型接觸層
9	n型調變摻雜層

9A	n ⁺ 層
9B	n ⁻ 層
10	V凹坑產生層
11	第2積層體
14	發光層
14A	障壁層
14A0~14A7	障壁層
14AZ	障壁層
14W~14W2	井層
15	V凹坑
16	p型氮化物半導體層
17	p型氮化物半導體層
18	p型氮化物半導體層
21	n側電極
23	透明電極
25	p側電極
27	透明保護膜
30	台面部
61	第1面
71	第1基底層
71a	傾斜晶面
71b	上表面
75	第2基底層
75b	上表面
121	多層構造體
121A	氮化物半導體層

121B	氮化物半導體層
122	超晶格層
122A	寬帶隙層
122B	窄帶隙層
123	非摻雜氮化物半導體層
124	n型氮化物半導體層
Eg	帶隙能量

申請專利範圍

1. 一種氮化物半導體發光元件，其包含：
 - 第1積層體，其包含1層以上之第1n型氮化物半導體層；
 - 第2積層體，其包含與上述第1積層體之第1面相接之第2n型氮化物半導體層；
 - 發光層，其設於上述第2積層體上；及
 - p型氮化物半導體層，其設於上述發光層上；且
 - 上述第2n型氮化物半導體層係以較形成上述第1n型氮化物半導體層之溫度更低之溫度形成。
2. 如請求項1之氮化物半導體發光元件，其中上述第2積層體係於上述第2n型氮化物半導體層與上述發光層之間，進而包含1層以上之第3n型氮化物半導體層；且
 - 上述第3n型氮化物半導體層係以上述第2n型氮化物半導體層之形成溫度以下之溫度形成。
3. 如請求項1或2之氮化物半導體發光元件，其中構成上述第1積層體之上述第1面之半導體層為非摻雜層；且
 - 上述第2n型氮化物半導體層係摻雜層。
4. 如請求項1或2之氮化物半導體發光元件，其中構成上述第1積層體之上述第1面之半導體層為摻雜層；且
 - 上述第2n型氮化物半導體層為非摻雜層。
5. 一種氮化物半導體發光元件之製造方法，其至少包含：
 - 形成包含1層以上之第1n型氮化物半導體層之第1積層體之步驟；
 - 形成包含與上述第1積層體之第1面相接之第2n型氮化物半導體層之第2積層體之步驟；

於上述第2積層體上形成發光層之步驟；及

於上述發光層上形成p型氮化物半導體層之步驟；且

以較形成上述第1n型氮化物半導體層之溫度更低之溫度，形成上述第2n型氮化物半導體層；

在形成上述第1積層體之步驟後且形成上述第2積層體之步驟前，進而包含降溫至較形成上述第2積層體之溫度更低之溫度之降溫步驟。

6. 如請求項5之氮化物半導體發光元件之製造方法，其中在上述降溫步驟後且形成上述第2積層體之步驟前，進而包含將上述第1積層體暴露於大氣中之步驟。

圖式

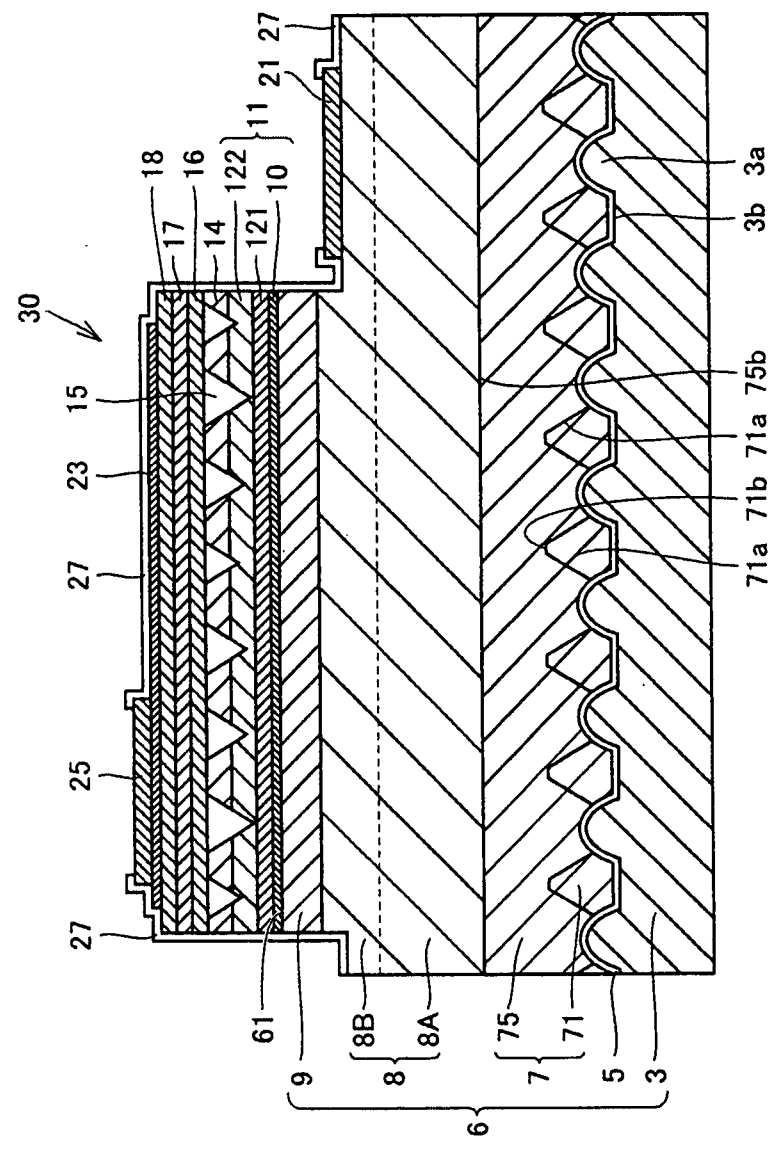
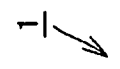


圖1



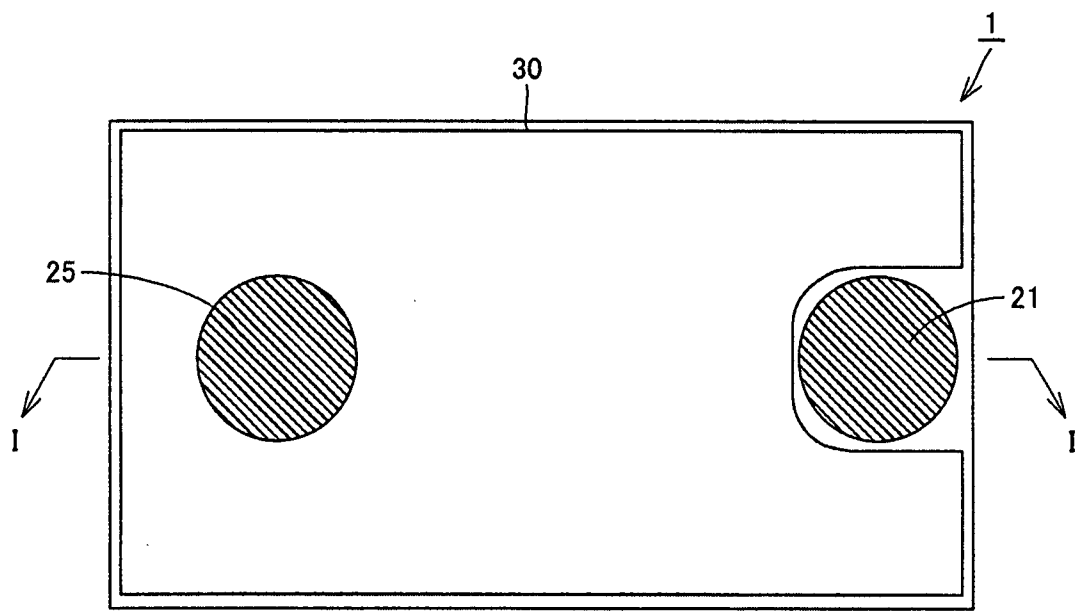


圖2

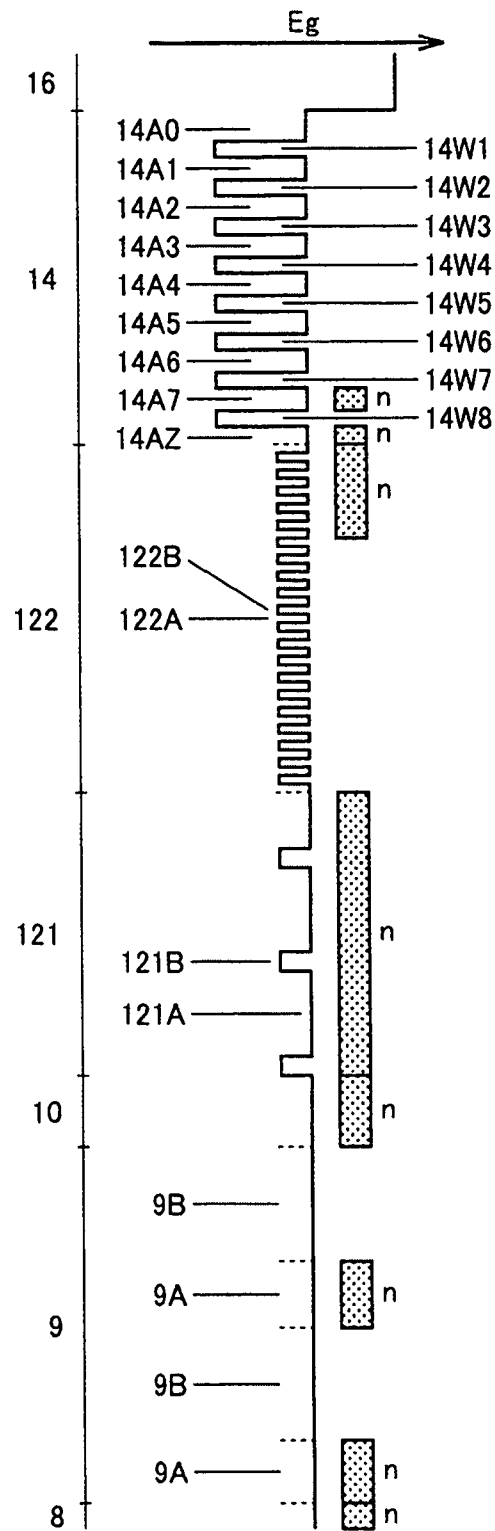


圖3

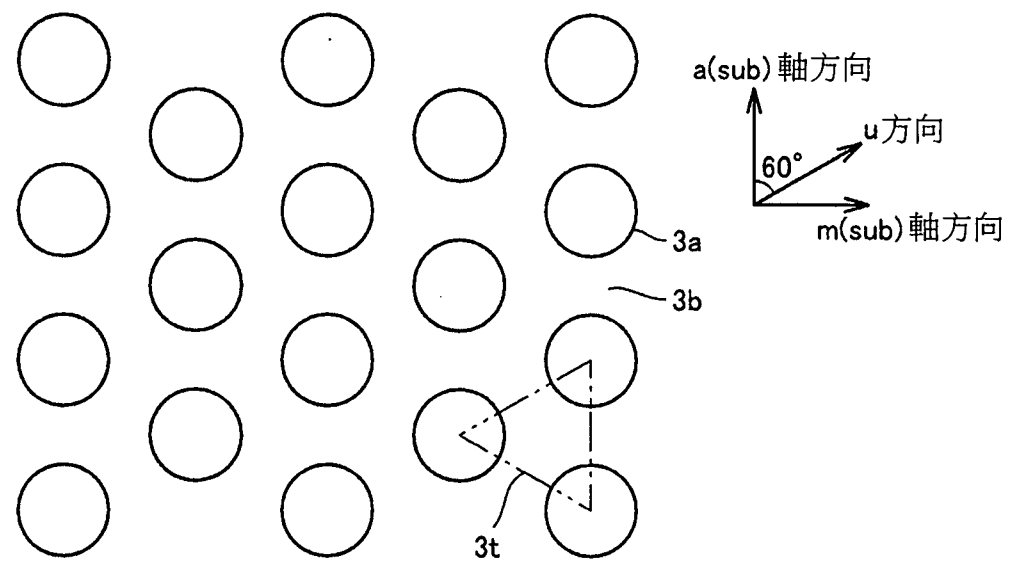


圖4

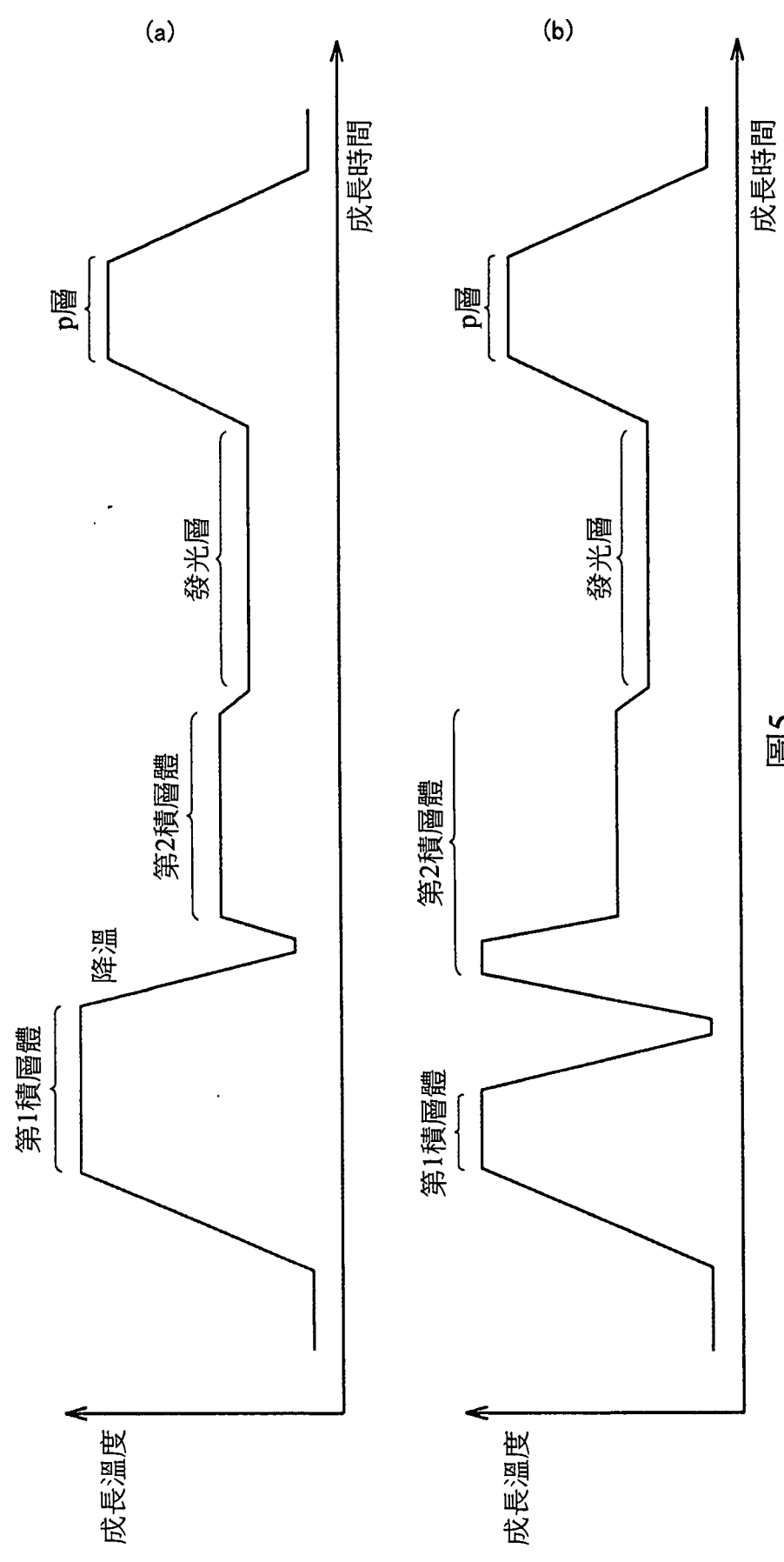


圖5

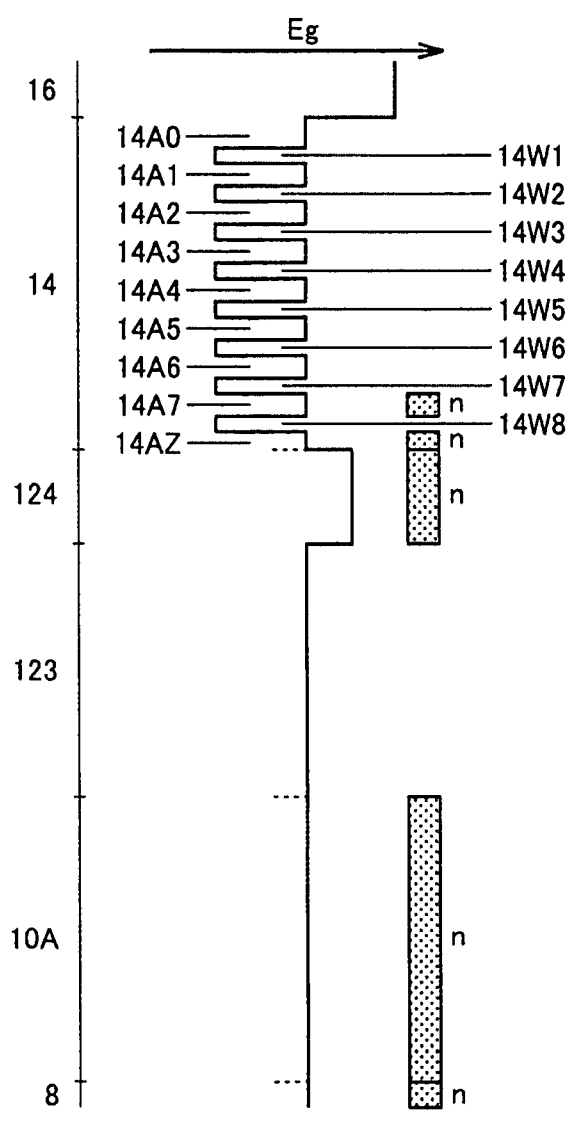


圖 7