

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 19 年 11 月 29 日 (2007.11.29)

【公開番号】特開 2005-124210 (P2005-124210A)
 【公開日】平成 17 年 5 月 12 日 (2005.5.12)
 【年通号数】公開・登録公報 2005-018
 【出願番号】特願 2004-301119 (P2004-301119)
 【国際特許分類】

H 0 4 L 12/56 (2006.01)

H 0 4 L 13/08 (2006.01)

H 0 4 L 29/08 (2006.01)

【F I】

H 0 4 L 12/56 2 0 0 Z

H 0 4 L 13/08

H 0 4 L 13/00 3 0 7 C

【手続補正書】
 【提出日】平成 19 年 10 月 15 日 (2007.10.15)
 【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

高帯域幅チャンネル内に低帯域幅チャンネルを生成する装置であって、
 シリアル高帯域幅チャンネルをシリアルデータストリームから出力高帯域幅パラレルデータストリームに変換するデシリアライザと、
 前記低帯域幅チャンネル用の追加のパケットを保持するメモリと、
 前記低帯域幅チャンネル用のパケットを送信している間、高帯域幅パラレルデータストリームを保持するメモリと、
 パラレルデータストリームをシリアルデータストリームに変換するシリアライザと、
 前記高帯域幅パラレルデータストリームを受け取り、追加のパケットが送信されていないときには前記高帯域幅パラレルデータストリームを前記シリアライザにルーティングし、前記低帯域幅チャンネルを形成する追加のパケットを送信している間は前記追加のパケットを保持するメモリの出力を前記シリアライザにルーティングする制御ロジックと、
 を備える装置。

【請求項 2】

前記制御ロジックは状態マシンを使用する請求項 1 に記載の装置。

【請求項 3】

前記高帯域幅パラレルデータストリームを保持するメモリは、先入れ先出しメモリとして構成される請求項 1 に記載の装置。

【請求項 4】

前記制御ロジックは、
 前記追加のパケットメモリの出力と前記先入れ先出しメモリの出力との間で選択する第 1 のマルチプレクサと、
 前記デシリアライザの出力と前記第 1 のマルチプレクサの出力との間で選択し、出力を前記シリアライザに供給する第 2 のマルチプレクサと、
 を備える請求項 1 に記載の装置。

【請求項 5】

前記制御ロジックによって制御され、入力を前記デシリアライザの出力に接続するレジスタと、

前記制御ロジックによって制御され、前記追加の packets を保持するメモリと前記レジスタ出力との間で選択する第 1 のマルチプレクサと、

前記先入れ先出しメモリに供給される前記第 1 のマルチプレクサの出力と、

前記制御ロジックが制御し、前記レジスタの出力と前記先入れ先出しメモリの出力との間で選択する第 2 のマルチプレクサと、

前記シリアライザに供給される前記第 2 のマルチプレクサの出力と、

をさらに備える請求項 3 に記載の装置。

【請求項 6】

前記低帯域幅チャネルのための追加の packets を保持するメモリは前記先入れ先出しメモリの一部である請求項 3 に記載の装置。

【請求項 7】

前記シリアライザは光出力を有する請求項 1 に記載の装置。

【請求項 8】

前記シリアライザは電気出力を有する請求項 1 に記載の装置。