

【請求項 5】

前記制御ロジックによって制御され、入力を前記デシリアルライザの出力に接続するレジスタと、

前記制御ロジックによって制御され、前記追加のパケットを保持するメモリと前記レジスタ出力との間で選択する第1のマルチプレクサと、

前記先入れ先出しメモリに供給される前記第1のマルチプレクサの出力と、

前記制御ロジックが制御し、前記レジスタの出力と前記先入れ先出しメモリの出力との間で選択する第2のマルチプレクサと、

前記シリアルライザに供給される前記第2のマルチプレクサの出力と、
をさらに備える請求項3に記載の装置。

【請求項 6】

前記低帯域幅チャネルのための追加のパケットを保持するメモリは前記先入れ先出しメモリの一部である請求項3に記載の装置。

【請求項 7】

前記シリアルライザは光出力を有する請求項1に記載の装置。

【請求項 8】

前記シリアルライザは電気出力を有する請求項1に記載の装置。