(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년12월14일
(11) 등록번호 10-2614306
(24) 등록일자 2023년12월12일

(51) 국제특허분류(Int. Cl.)
*H02M 7/493* (2007.01) *H02M 1/00* (2007.01)
*H02M 1/08* (2006.01)
(52) CPC특허분류
*H02M 7/493* (2023.05)
*H02M 1/0003* (2021.05)
(21) 출원번호 10-2016-0159995
(22) 출원일자 2016년11월29일
심사청구일자 2021년11월29일
(65) 공개번호 10-2017-0101766
(43) 공개일자 2017년09월06일
(30) 우선권주장
15/055,828 2016년02월29일 미국(US)
(56) 선행기술조사문헌
KR1020150133607 A*
US20040262057 A1*
US08907642 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
**더 보잉 컴파니**
미국, 일리노이스 60606, 시카고, 100 노스 리버사이드 플라자
(72) 발명자
**매튜 제이. 크롤락**
미국, 워싱턴 98108, 시애틀, 42-53, 9725 이. 마지널 웨이 에스.
**셩이 리우**
미국, 워싱턴 88124, 시애틀, 데브 센트, 9-98
(74) 대리인
**강철중, 김윤배**

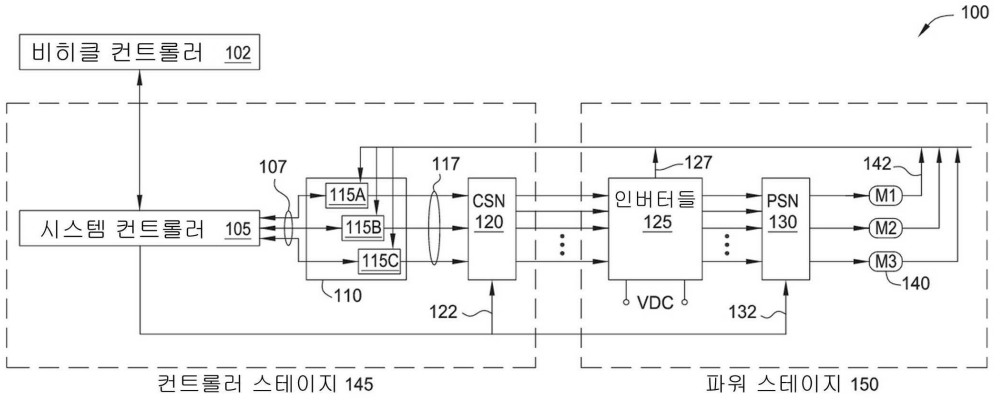
전체 청구항 수 : 총 10 항 심사관 : 윤시영

(54) 발명의 명칭 **모듈식 컨버터 시스템 내에서의 전류 밸런싱**

## (57) 요 약

모듈식 컨버터 시스템의 병렬적인 제1 및 제2 인버터 유닛들 간의 전류 밸런싱을 제공하기 위하여, 시스템 컨트롤러는 제1 및 제2 인버터 유닛들의 위상 출력 노드들에서의 각각의 전압들을 기초로 해서 게이트 드라이버 오프셋 값을 결정하도록 구성된다. 시스템 컨트롤러는 결정된 게이트 드라이버 오프셋 값을 기초로 해서 제1 및 제2 인버터 유닛들을 위한 게이트 드라이버들을 제어한다. 그리고 게이트 드라이버들은 동상의 파워 출력을 생성할 때 제1 및 제2 인버터 유닛들에 의해 제공된 전류량들이 밸런싱되도록 하기 위하여 후속 구동 신호들을 가지고 제1 및 제2 인버터 유닛들을 구동한다.

## 대 표 도



(52) CPC특허분류
*H02M 1/08* (2013.01)

# 명 세 서

## 청구범위

### 청구항 1

복수의 병렬적 인버터 유닛(parallel inverter unit)들(125)을 포함하는 모듈식 컨버터 시스템(modular converter system)(100, 200)의 파워 출력을 제어하는 방법(400)으로서, 상기 복수의 병렬적 인버터 유닛들은 적어도 제1 위상 출력 노드(phase output node)(340-1)를 가진 제1 인버터 유닛(125A) 및 적어도 제2 위상 출력 노드(340-4)를 가진 제2 인버터 유닛(125B)을 포함하고, 상기 방법은:

동상의 파워 출력(in-phase power output)(215-1)을 생성하기 위하여 초기 구동 신호(initial drive signal)들(326-1, 326-2)을 가지고 상기 제1 및 제2 인버터 유닛들의 스위칭 엘리먼트(switching element)들(330-1, 330-2)로 구성되는 복수의 위상 레그들을 구동하는 단계(405);

상기 제1 및 제2 위상 출력 노드들에서의 각각의 제1 및 제2 전압들을 기초로 해서 게이트 드라이버 오프셋 값(gate driver offset value)(310)을 결정하는 단계(415); 및

상기 동상의 파워 출력을 생성할 때 상기 제1 및 제2 인버터 유닛들에 의해 제공되는 각각의 전류량들이 밸런싱(balancing)되도록 하기 위하여 후속 구동 신호(subsequent drive signal)들(326-1, 326-2)을 가지고 상기 제1 및 제2 인버터 유닛들의 상기 스위칭 엘리먼트들을, 결정된 상기 게이트 드라이버 오프셋 값을 기초로 해서, 구동하는 단계(425);를 포함하고,

상기 제1 및 제2 위상 출력 노드들 각각은 상기 모듈식 컨버터 시스템의 적어도 하나의 적분기(integrator)(335-1, 335-2)와 연결되어 있고, 상기 게이트 드라이버 오프셋 값을 결정하는 것은:

상기 적어도 하나의 적분기를 이용해서, 적어도 하나의 기준 전압(reference voltage)(VDC+, VDC-)에 대한(relative to) 제1 및 제2 전압들 각각을 적분하는 것(505)을 포함하고,

상기 적어도 하나의 기준 전압은 시스템 접지(system ground)를 포함하는 것을 특징으로 하는 파워 출력을 제어하는 방법.

### 청구항 2

청구항 1에 있어서,

상기 게이트 드라이버 오프셋 값을 결정하는 것은:

상기 제1 및 제2 인버터 유닛들 각각에 대해 각각의 인가 볼트-초 값(applied volt-second value)(312)을 계산하는 것(535)을 포함하고, 상기 게이트 드라이버 오프셋 값은 각각의 계산된 인가 볼트-초 값들 간의 차이를 기초로 하는 것을 특징으로 하는 파워 출력을 제어하는 방법.

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

청구항 1에 있어서,

상기 제1 및 제2 전압들 각각을 적분하는 것은 상기 제1 및 제2 인버터 유닛들의 스위칭 사이클(switching cycle) 동안 일어나고, 상기 방법은:

상기 스위칭 사이클의 완료시 상기 적분기를 리셋(reset)하는 것(525)을 더 포함하는 것을 특징으로 하는 파워 출력을 제어하는 방법.

**청구항 6**

청구항 5에 있어서,

상기 적분기를 리셋하는 것은 상기 제1 및 제2 인버터 유닛들의 게이트 드라이버들에 제공되는 제어 신호(345A, 345B)의 상승 엣지(rising edge)를 검출하는 때에 일어나는 것(515)을 특징으로 하는 파워 출력을 제어하는 방법.

**청구항 7**

청구항 1에 있어서,

상기 적어도 하나의 적분기는 제1 및 제2 적분기들(335A, 335B)을 포함하고, 상기 방법은:

상기 제1 및 제2 인버터 유닛들의 제1 스위칭 사이클 동안, 상기 제1 적분기를 이용해서 상기 제1 및 제2 전압들 각각을 적분하는 것(605); 및

상기 제1 및 제2 인버터 유닛들의 제2 스위칭 사이클 동안, 상기 제2 적분기를 이용해서 상기 제1 및 제2 전압들 각각을 적분하는 것(625);

을 더 포함하는 것을 특징으로 하는 파워 출력을 제어하는 방법.

**청구항 8**

모듈식 컨버터 시스템(100, 200)으로서, 모듈식 컨버터 시스템(100, 200)은:

시스템 컨트롤러(system controller)(105); 및

동상의 파워 출력(215-1, 215-2, 215-3)을 생성하도록 구성되고, 병렬적으로 연결된 적어도 제1 및 제2 인버터 유닛들(125A, 125B);

을 포함하고,

상기 제1 및 제2 인버터 유닛들의 각각의 인버터 유닛은 각각:

스위칭 엘리먼트들(330-1, 330-2) 사이에 연결된 위상 출력 노드(340)를 갖는 한 쌍의 스위칭 엘리먼트들(330-1, 330-2)로 구성되는 복수의 위상 레그들, 및

한 쌍의 게이트 드라이버들(325-1, 325-2)

을 포함하고,

각각의 게이트 드라이버는 상기 시스템 컨트롤러로부터 각각의 제어 신호(345A, 345B)를 수신하고, 상기 한 쌍의 스위칭 엘리먼트들 중의 각각의 스위칭 엘리먼트의 스위칭을 제어하기 위하여 구동 신호(326-1, 326-2)를 생성하도록 구성되고,

상기 시스템 컨트롤러는:

상기 제1 및 제2 인버터 유닛들의 상기 위상 출력 노드들에서의 각각의 전압들을 기초로 해서 게이트 드라이버 오프셋 값(310)을 결정하도록 구성되고, 그리고

상기 동상의 파워 출력을 생성할 때 상기 제1 및 제2 인버터 유닛들에 의해 제공되는 전류량들이 밸런싱되도록 하기 위하여 후속 구동 신호들(326-1, 326-2)을 가지고 제1 및 제2 인버터 유닛들을 이용하여 상기 게이트 드라이버들을, 결정된 상기 게이트 드라이버 오프셋 값을 기초로 해서, 제어하도록 구성되고,

상기 제1 인버터 유닛의 상기 위상 출력 노드와 연결된 하나 이상의 제1 적분기들(335-1, 335-2); 및

상기 제2 인버터 유닛의 상기 위상 출력 노드와 연결된 하나 이상의 제2 적분기들(335-1, 335-2);

을 더 포함하고,

상기 게이트 드라이버 오프셋 값을 결정하는 것은:

상기 하나 이상의 제1 적분기들 및 상기 하나 이상의 제2 적분기들을 이용해서, 적어도 하나의 기준 전압(VDC+, VDC-)에 대한 제1 및 제2 전압들 각각을 적분하는 것을 포함하고,

상기 적어도 하나의 기준 전압은 시스템 접지를 포함하는 것을 특징으로 하는 모듈식 컨버터 시스템.

**청구항 9**

청구항 8에 있어서,

상기 시스템 컨트롤러는 상기 제1 및 제2 인버터 유닛들 각각에 대해 각각의 인가 볼트-초 값(312)을 계산하도록 더 구성되고, 상기 게이트 드라이버 오프셋 값은 각각의 계산된 인가 볼트-초 값들 간의 차이를 기초로 하는 것을 특징으로 하는 모듈식 컨버터 시스템.

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

청구항 8에 있어서,

상기 제1 및 제2 전압들 각각을 적분하는 것은 상기 제1 및 제2 인버터 유닛들의 스위칭 사이클 동안 일어나고,

상기 시스템 컨트롤러는 상기 스위칭 사이클의 완료시 상기 하나 이상의 제1 적분기들 및 상기 하나 이상의 제2 적분기들을 리셋하도록 더 구성된 것을 특징으로 하는 모듈식 컨버터 시스템.

**청구항 13**

청구항 12에 있어서,

상기 하나 이상의 제1 적분기들 및 상기 하나 이상의 제2 적분기들을 리셋하는 것은 상기 제1 및 제2 인버터 유닛들 각각의 상기 한 쌍의 게이트 드라이버들에 제공되는 제어 신호(345A, 345B)의 상승 엣지를 검출하는 때에 일어나는 것을 특징으로 하는 모듈식 컨버터 시스템.

**청구항 14**

청구항 8에 있어서,

상기 하나 이상의 제1 적분기들은 제1 복수의 적분기들(335A, 335B)을 포함하고, 상기 하나 이상의 제2 적분기들은 제2 복수의 적분기들(335A, 335B)을 포함하고,

상기 제1 복수의 적분기들 및 상기 제2 복수의 적분기들의 각각의 적분기 중의 적어도 하나의 적분기는 상기 제1 및 제2 인버터 유닛들의 제1 스위칭 사이클 동안 상기 각각의 제1 및 제2 전압들을 적분하도록 구성되고,

상기 제1 복수의 적분기들 및 상기 제2 복수의 적분기들의 각각의 적분기 중의 적어도 다른 하나의 적분기는 상기 제1 및 제2 인버터 유닛들의 제2 스위칭 사이클 동안 상기 각각의 제1 및 제2 전압들을 적분하도록 구성된 것을 특징으로 하는 모듈식 컨버터 시스템.

## *발명의 설명*

### *기 술 분 야*

[0001] 본 발명은 파워 관리(power management)에 관한 것이며, 더욱 구체적으로는, 모듈식 컨버터 아키텍처(modular converter architecture) 내의 병렬적 인버터들 간의 전류 밸런싱(balancing)에 관한 것이다.

### *배 경 기 술*

[0002] 현대의 비히클(vehicle)들은 상당히 많은 수의 전자장치들, 모터들, 히터들, 및 다른 전기적으로 구동되는 장비를 이용한다. 특히, 전기 모터들은 항공기를 포함하는 현대의 비히클들 내에서 도처에 있고(ubiquitous), 수압 펌프(hydraulic pump)들에서부터 객실 팬(cabin fan)들까지 모든 것을 구동한다. 전형적으로, 이 전기 모터들 각각은 독립적인 모터 컨트롤러에 의해 구동된다. 각각의 모터 컨트롤러는 과열(overheating)이나 고장

(malfunctioning) 없이 연장된 시간 기간(extended period of time)동안 풀 파워(full power)로 각각의 모터에 전력을 공급하기 위하여 필요한 최대 전류량을 나를(carry) 수 있는 사이즈로 이루어진다(그리고, 일반적으로 안전을 위한 몇몇 추가적인 용량(capacity)을 더 포함함).

[0003] 결과적으로, 각각의 항공기는 다수의 모터 컨트롤러들을 운반하고, 이들 각각은 전형적으로 과도한 크기로 이루어지고, 대부분의 시간동안 충분히 활용되지 않는다. 다시 말해, 모터 컨트롤러는 연장된 시간 기간(extended period of time) 더하기 안전 마진(safety margin) 동안 풀 파워로 모터를 작동시기기 위한 충분한 용량을 포함하지만, 모터들은 극히 드물게 풀 용량(full capacity)으로 작동된다. 이것은 모터들 자체가 빌트인 된(built in) 어느 정도의 안전 마진을 가지고 있기 때문이며, 대부분의 시간동안 모터들은 더 낮은 요구 상황(demand regime)에서 동작하고 있기 때문이다(예컨대, 객실 팬이 항상 "High"인 것은 아니다). 게다가, 몇몇 모터들은 단지 가끔 이용되거나, 특정 비행 구간(flight segment)에서 이용되며, 나머지 시간에는 이용되지 않는다. 결과적으로, 무겁고 비싼 모터 컨트롤러들로 이루어진 항공기 컴플러먼트(complement) 중의 많은 것들은 작동하지 않는 채로(inactive) 또는 자신의 등급의(rated) 파워 출력보다 현저하게 낮게 작동하면서 자신의 서비스 수명의 대부분을 보낸다.

[0004] 모터 컨트롤러 용량을 더 잘 이용하기 위하여, 모듈식 컨버터 시스템은 파워 제어 요구들을 충족시키기 위하여 단독으로 또는 다른 병렬적 모터 컨트롤러들과 병렬적으로(in parallel) 동작할 수 있는 복수의(multiple), 모듈식의(modular), 할당가능한(assignable), 동적으로 재구성가능한(dynamically reconfigurable) 모터 컨트롤러들을 제공할 수 있다. 컨버터 시스템은 기존의 파워 요구들을 충족시키기 위하여, 병렬로 연결된 하나 이상의 컨트롤러들을 항공기 내의 각각의 활성인 전기 부하(active electrical load)에 필요에 따라 연결한다. 모터 컨트롤러들의 이용을 증가시키는 것은 시스템 무게 및 비용의 상응하는 감소를 제공할 수 있다.

[0005] 작동 동안, 모듈식 컨버터 시스템, 복수의 병렬적인(paralleled) 인버터들은 전기 모터 또는 다른 전기 부하에 파워를 공급하기 위하여 병렬로 작동할 수 있다. 하지만, 병렬적인 인버터들의 로딩(loading)은 인버터들의 제조 공차들 및 편차들(manufacturing tolerances and variations)뿐만 아니라, 와이어링 저항 및 인덕턴스(wiring resistance and inductance) 및/또는 다른 연결된 구성요소들에 의해 야기되는 기생 요소(parasitic element)들로 인해서 달라질 수 있다. 결과적으로, 동일한 구동 신호들을 가지고 병렬적인 인버터들을 구동하는 것은 불균등한 로딩(uneven loading)을 낳을 수 있다. 병렬적인 인버터들 각각으로부터의 전류는 출력들에서 인덕터들을 이용해서 밸런싱될(balanced) 수 있지만, 이 인덕터들은 하이-파워 애플리케이션(high-power application)들에서 사용될 때 부적절하게 크거나 손실이 있는(lossy) 경향이 있다.

## *발명의 내용*

### *과제의 해결 수단*

[0006] 하나의 예는 복수의 병렬적 인버터 유닛들을 포함하는 모듈식 컨버터 시스템의 파워 출력을 제어하는 방법을 제공하며, 복수의 병렬적 인버터 유닛들은 적어도 제1 위상 출력 노드를 가진 제1 인버터 유닛 및 적어도 제2 위상 출력 노드를 가진 제2 인버터 유닛을 포함한다. 본 방법은 동상의 파워 출력을 생성하기 위하여 초기 구동 신호들을 가지고 제1 및 제2 인버터 유닛들의 스위칭 엘리먼트들을 구동하는 단계, 및 제1 및 제2 위상 출력 노드들에서의 각각의 제1 및 제2 전압들을 기초로 해서 게이트 드라이버 오프셋 값을 결정하는 단계를 포함한다. 본 방법은 동상의 파워 출력을 생성할 때 제1 및 제2 인버터 유닛들에 의해 제공되는 각각의 전류량들이 밸런싱되도록 하기 위하여 후속 구동 신호들을 가지고 제1 및 제2 인버터 유닛들의 스위칭 엘리먼트들을, 결정된 게이트 드라이버 오프셋 값을 기초로 해서, 구동하는 단계를 더 포함한다.

[0007] 다른 예는, 시스템 컨트롤러 및 동상의 파워 출력을 생성하도록 구성되고, 병렬적으로 연결된 적어도 제1 및 제2 인버터 유닛들을 포함하는 모듈식 컨버터 시스템을 제공한다. 제1 및 제2 인버터 유닛들의 각각의 인버터 유닛은 각각: 스위칭 엘리먼트들 사이에 연결된 위상 출력 노드를 갖는 한 쌍의 스위칭 엘리먼트들 및 한 쌍의 게이트 드라이버들을 포함하고, 각각의 게이트 드라이버는 시스템 컨트롤러로부터 각각의 제어 신호를 수신하고, 한 쌍의 스위칭 엘리먼트들 중의 각각의 스위칭 엘리먼트의 스위칭을 제어하기 위하여 구동 신호를 생성하도록 구성된다. 시스템 컨트롤러는, 제1 및 제2 인버터 유닛들의 위상 출력 노드들에서의 각각의 전압들을 기초로 해서 게이트 드라이버 오프셋 값을 결정하도록 구성되고, 동상의 파워 출력을 생성할 때 제1 및 제2 인버터 유닛들에 의해 제공되는 전류량들이 밸런싱되도록 하기 위하여 후속 구동 신호들을 가지고 제1 및 제2 인버터 유닛들을 이용하여 게이트 드라이버들을, 결정된 게이트 드라이버 오프셋 값을 기초로 해서, 제어하도록 구성된다.

[0008] 다른 예는 하나 이상의 컴퓨터 프로세서들의 작동에 의해 실행될 때, 복수의 병렬적 인버터 유닛들을 포함하는

모듈식 컨버터 시스템의 파워 출력을 제어하는 동작을 수행하는 컴퓨터 프로그램 코드를 포함하는 비일시적 컴퓨터-판독가능 매체를 제공한다. 복수의 병렬적 인버터 유닛들은 적어도 제1 위상 출력 노드를 가진 제1 인버터 유닛 및 적어도 제2 위상 출력 노드를 가진 제2 인버터 유닛을 포함한다. 상기 동작은, 동상의 파워 출력을 생성하기 위하여 초기 구동 신호들을 가지고 제1 및 제2 인버터 유닛들의 스위칭 엘리먼트들을 구동하기 위해 복수의 게이트 드라이버들과 통신하는 것, 및 제1 및 제2 위상 출력 노드들에서의 각각의 제1 및 제2 전압들을 기초로 해서 게이트 드라이버 오프셋 값을 결정하는 것을 포함한다. 상기 동작은, 동상의 파워 출력을 생성할 때 제1 및 제2 인버터 유닛들에 의해 제공되는 각각의 전류량들이 밸런싱되도록 하기 위하여 후속 구동 신호들을 가지고 제1 및 제2 인버터 유닛들의 스위칭 엘리먼트들을, 결정된 게이트 드라이버 오프셋 값을 기초로 해서, 구동하기 위해 복수의 게이트 드라이버들과 통신하는 것을 더 포함한다.

[0009] 상술한 특징들, 기능들, 및 이점들은 다양한 예들에서 독립적으로 달성되거나, 또 다른 예들에서 조합될 수 있으며, 이들의 더 자세한 사항들은 이하의 설명 및 도면을 참조하여 이해될 수 있다.

## *도면의 간단한 설명*

[0010] 본 발명의 상술한 특징들이 상세하게 이해될 수 있도록 하기 위하여, 앞에서 간단히 요약된 본 발명의 더욱 구체적인 설명이 예들을 참조하여 기술될 수 있으며, 이들 중 몇몇은 첨부된 도면에서 도시된다. 하지만, 본 발명은 다른 등가적으로 유효한 예들을 허용할 수 있기 때문에, 첨부된 도면들은 본 발명의 전형적인 예들만을 도시하는 것이며, 그래서 그 범위를 제한하는 것으로 고려되지 않아야 한다는 점에 유의해야 한다.

도 1은 하나의 예에 따라서 모듈식 컨버터 시스템을 도시한다.

도 2는 하나의 예에 따라서 모듈식 컨버터 시스템 내의 제어 스위칭 네트워크 및 파워 스위칭 네트워크를 도시한다.

도 3a는 하나의 예에 따라서 모듈식 인버터의 위상 레그 내의 제어 회로의 배치를 도시한다.

도 3b 및 3c는 하나의 예에 따라서 모듈식 인버터에 대한 제어 회로 내의 적분기들의 배치들을 도시한다.

도 3d는 하나의 예에 따라서 멀티-위상 모듈식 컨버터 시스템 내의 복수의 인버터들의 배치를 도시한다.

도 4는 하나의 예에 따라서 복수의 병렬적 인버터 유닛들을 포함하는 모듈식 컨버터 시스템의 파워 출력을 제어하는 방법을 도시한다.

도 5 및 6은 하나의 예에 따라서 게이트 드라이버 오프셋 값을 결정하는 방법들을 도시한다.

이해를 용이하게 하기 위해서, 도면들에 대해 공통되는 동일한 엘리먼트(element)들을 가리키기 위하여 가능한 경우에 동일한 참조 번호들이 사용되었다. 하나의 예에서 공개된 엘리먼트들은 구체적인 반복언급이 없어도 다른 예들에서 유익하게 이용될 수 있다고 여겨진다. 본 명세서에서 언급된 도면들은 구체적으로 언급되지 않는다면 사이즈에 비례하게 그려진 것이 아니라고 이해되어야 한다. 또한, 도면들은 흔히 단순화되고, 제시 및 설명의 명확성을 위해서 세부사항들 및 구성요소(component)들이 생략된다. 도면들 및 논의는 이하에서 논의되는 원리들을 설명하는 기능을 하며, 동일한 명칭은 동일한 엘리먼트들을 나타낸다.

## *발명을 실시하기 위한 구체적인 내용*

[0011] 모듈식 컨버터 시스템(modular converter system)의 병렬적인 제1 및 제2 인버터 유닛들 간의 전류 밸런싱(current balancing)을 제공하기 위하여, 시스템 컨트롤러(system controller)는 제1 및 제2 인버터 유닛들의 위상 출력 노드(phase output node)들에서의 각각의 전압들을 기초로 하여 게이트 드라이버 오프셋 값(gate driver offset value)을 결정하도록 구성된다. 시스템 컨트롤러는 결정된 게이트 드라이버 오프셋 값을 기초로 하여 제1 및 제2 인버터 유닛들을 위한 게이트 드라이버들을 제어한다. 그리고, 동상의 파워 출력(in-phase power output)을 생성할 때 제1 및 제2 인버터 유닛들에 의해 제공되는 전류량들이 밸런싱되도록 하기 위하여, 게이트 드라이버들은 후속 구동 신호(subsequent drive signal)들을 가지고 제1 및 제2 인버터 유닛들을 구동한다.

[0012] 몇몇 예들에 있어서, 시스템 컨트롤러는 제1 및 제2 인버터 유닛들 각각에 대해서 각각의 인가 볼트-초 값(applied volt-second value)을 계산하고, 게이트 드라이버 오프셋 값은 각각의 계산된 인가 볼트-초 값들 간의 차이를 기초로 한다. 계산된 인가 볼트-초 값들은 인버터 유닛들의 특정한 스위칭 사이클(switching cycle) 동안 획득될 수 있다.

[0013] 몇몇 예들에 있어서, 모듈식 컨버터 시스템은 제1 및 제2 인버터 유닛들 각각의 위상 출력 노드와 연결된 하나 이상의 적분기(integrator)들을 더 포함한다. 각각의 적분기는 적어도 하나의 기준 전압(reference voltage)에 대한(relative to), 위상 출력 노드들 중의 하나에서의 출력 전압을 적분한다(integrate).

[0014] 도 1 및 2를 참조하면, 모듈식 컨버터 시스템(100)은 도시된 모터들(140)(즉, 모터들 M1, M2, M3)과 같은 복수의 및/또는 상이한 타입의 AC 또는 DC 기계들을 구동하기 위하여 병렬적 모듈식 인버터(parallel modular inverter)들(125)(또한, "인버터 모듈들", "인버터 유닛들")의 시스템을 제어할 수 있다. 모듈식 컨버터 시스템(100)은 병렬로 연결된 복수의 인버터들(125)을 포함하고, 이들 각각은 재구성가능한(reconfigurable) 제어 스위칭 네트워크(control switching network: CSN)(120)를 통하여 모터 제어 시스템(110)에 내장된 복수의 모터 제어 알고리즘들(115A, 115B, 115C)(또한, "제어 알고리즘들", "알고리즘들") 중의 임의의 것을 수신하도록 구성될 수 있다. 모터 제어 시스템(110)은 하나 이상의 모터 컨트롤러 회로들을 포함할 수 있고, 이들 각각은 하나 이상의 모터들(140)을 작동시키도록 구성된다. 병렬적 모듈식 인버터들(125) 각각은, 재구성가능한 파워 스위칭 네트워크(power switching network: PSN)(130)를 통해서 부하측에서, 복수의 전기 부하(electrical load)들(예컨대, 모터들(140)과 같은 AC 또는 DC 기계들) 중의 하나 이상을 구동하도록 구성될 수 있다. 몇몇 예에서, 병렬적 모듈식 인버터들(125) 각각은 출력 파워의 하나의 위상을 전기 부하(electrical load)들에게 제공한다. 다른 예들에서, 병렬적 모듈식 인버터들(125) 각각은 출력 파워(예컨대, 3상(three-phase) AC)의 복수의 위상들을 전기 부하들에 제공한다. 도 2에서 도시된 바와 같이, 인버터(125A)는 3개의 위상 레그(phase leg)들(210-1, 210-2, 210-3)을 포함하고, 이들 각각은 선택된 전기 부하들을 구동하기 위하여 3상 신호(220)의 개별(separate) 위상 출력(215)을 제공하도록 구성된다.

[0015] 이 구성은, 예를 들어, 제어 스위칭 네트워크(120) 및 파워 스위칭 네트워크(130) 양쪽 모두를 동적으로 재구성하기 위한 능력을 가능하게 한다. 게다가, 복수의 인버터들(125)에서의 인버터들 중의 임의의 것은 부하측(load side)에서 (모터들(140)과 같은) 전기 부하들 중의 임의의 것을 구동하기 위하여 액세스가능하고(accessible), 모터 제어 시스템(110)에 내장된 복수의 제어 알고리즘들(115A, 115B, 115C) 중의 임의의 제어 알고리즘은 복수의 인버터들(125) 중의 임의의 것을 제어하기 위하여 액세스가능하다. 결과적으로, 하나 이상의 인버터들(125)이 부하 요구조건(load requirement)들을 충족시키기 위한 필요에 따라 하나의 모터(140)를 구동할 수 있고, 및/또는 부하측에서의 복수의 모터들(140)이 동시에 구동될 수 있고, 이들 각각은 하나 이상의 인버터들(125)을 가지고 구동될 수 있다. 게다가, 부하측에서의 복수의 모터들(140)은 동일한 모터 제어 알고리즘(예컨대, 115A) 또는 상이한 모터 제어 알고리즘들(예컨대, 몇몇은 모터 제어 알고리즘(115A)을 가지고, 몇몇은 모터 제어 알고리즘(115B)을 가짐)을 가지고 동시에 구동될 수 있다.

[0016] 도 1에 도시된 바와 같이, 시스템(100)은 시스템 컨트롤러(system controller)(105)를 포함하고, 시스템 컨트롤러(105)는 비히클 컨트롤러(102)로부터 작동 명령(operational command)들을 획득하기 위하여 그리고 모듈식 컨버터 시스템(100)에 대한 상태 신호들 및/또는 다른 정보를 비히클 컨트롤러(102)에 제공하기 위하여 비히클 컨트롤러(vehicle controller)(102)와 통신하도록 구성된다. 몇몇 예들에 있어서, 시스템 컨트롤러(105)는 또한 실시간으로 모터(140)를 구동하기 위하여 병렬적으로 적절한 수의 인버터 모듈들(125)을 제공하도록 파워 스위칭 네트워크(130)를 재구성할 수 있다. 다시 말해, 모터(140)로부터의 부하가 증가하는 경우에, 시스템 컨트롤러(105)는 더 많은 인버터들(125)을 병렬적으로 배치하기 위하여 파워 스위칭 네트워크(130)에 신호를 보낼 수 있다(signal). 반대로, 모터 부하가 감소하는 경우에, 시스템 컨트롤러(105)는 하나 이상의 인버터들(125)을 분리시키기(disengage) 위하여 파워 스위칭 네트워크(130)에 신호를 보낼 수 있다. 필요하다면, 시스템 컨트롤러(105)는 이후에 이들을 다른 인버터들(125)과 병렬적으로 배치하여 다른 부하들을 구동할 수 있다.

[0017] 몇몇 예들에 있어서, 시스템 컨트롤러(105)는 또한 하나 이상의 모터 타입을 구동하는 인버터들(125) 중의 하나 이상에게 적절한 모터 제어 알고리즘들(115A, 115B, 115C)을 모터 제어 신호들(117)로서 제공하기 위하여 CSN 제어 신호들(122)을 이용해서 제어 스위칭 네트워크(120)를 재구성할 수 있다. 인버터들(125)은 전류 및/또는 전압 값들과 같은 피드백 신호들(127)을 모터 제어 시스템(110) 및 선택된 모터 제어 알고리즘(115A, 115B, 115C)에 더 제공할 수 있다. 시스템 컨트롤러(105)에 의해 제공되는 모터 제어 알고리즘들(115A, 115B, 115C)의 몇몇 비제한적인 예들은 FOC(field-oriented control), DTC(direct torque control), 및 V/F(voltage over frequency control)를 포함한다. 상이한 모터 제어 알고리즘들은 연관된(associated) 비히클의 다양한 모터 타입들(예컨대, 유도 모터(induction motor)들, 동기 모터(synchronous motor)들, PM(permanent magnet) 동기 모터들, 브러시리스(brushless) DC 모터들 등)을 효율적으로 구동하기 위하여 유용할 수 있다. 예를 들어, 전형적인 항공기는 메인 엔진(main engine)들(PM-타입 모터), 램-에어 팬(ram-air fan)(유도 모터), ECS(environmental control system) 압축기 모터(compressor motor)(PM-타입 모터), 및 하나 이상의 동기 모터

들을 위한 스타터 모터-제너레이터(starter motor-generator)를 포함할 수 있으며, 이들 모두는 상이한 파워 요구조건(power requirement)들을 가질 수 있다.

[0018] 몇몇 예들에 있어서, 시스템 컨트롤러(105)는 또한, 예를 들어 및 제한 없이(not limitation), (예컨대, 모터 제어 시스템(110)을 통해서) 모터 속도, 토크(torque), 또는 파워 기준 값을 상응하는 모터들(140)에 보낼 수 있다. 몇몇 예들에 있어서, 시스템 컨트롤러(105)는 내장된 컨트롤러상에서 저장되고 실행될 수 있다. 시스템 컨트롤러(105)는, 예를 들어 및 제한 없이, 마이크로컨트롤러, 프로세서, FPGA(field-programmable gate array), 또는 ASIC(application-specific integrated circuit)을 포함할 수 있다. 몇몇 예들에 있어서, 시스템 컨트롤러(105)는 실시간 시뮬레이터(simulator)/에뮬레이터(emulator)를 이용하거나 실시간으로 실행될 수 있다.

[0019] 몇몇 예들에 있어서, 모터 컨트롤러 알고리즘들(115A, 115B, 115C)의 수는 상이한 모터 부하들의 수에 의해서 결정될 수 있다. 예를 들어, 만일 시스템(100)이 구동하기 위한 3개의 상이한 타입의 모터들(140)을 가진다면, 3개의 모터 컨트롤러 알고리즘들(115A, 115B, 115C)이 개발될 수 있고, 각각의 모터 제어 알고리즘(115A, 115B, 115C)은 모터(140)에 특정된다(specific). 다른 예에서, 만일 모든 3개의 모터들(140)이 동일한 기능을 수행한다면, 모든 3개의 부하들이 단일한 모터 제어 알고리즘(115A, 115B, 또는 115C)을 이용해서 전력을 공급받을 수 있도록 하는 것이 가능하다.

[0020] 제어 스위칭 네트워크(120)는 하나 이상의 인버터들(125)을 동적으로 구성할 수 있고, 이들 각각은 시스템 컨트롤러(105)에 의해서 제공되는 CSN 제어 신호들(122)에 따라서 제어 스위칭 네트워크(120)를 통해 라우팅되는(routed) 특정 제어 알고리즘(specific control algorithm)(115A, 115B, 115C), 또는 공통 제어 알고리즘(common control algorithm)(115A, 115B, 115C)에 의해 구동될 수 있다. 몇몇 예들에 있어서, 제어 스위칭 네트워크(120)의 안밖으로의 신호들 간의 시간 지연은 모터 구동 성능을 향상시키기 위하여 최소화될 수 있다.

[0021] 제어 스위칭 네트워크(120)는 소프트웨어-기반 또는 하드웨어-기반 구현을 가질 수 있다. 몇몇 예들에 있어서, 소프트웨어-코딩된(software-coded) 제어 스위칭 네트워크(120)는, 예를 들어 및 제한 없이, 내장된(embedded) 컨트롤러, 실시간 시뮬레이터, 또는 컴퓨터상에서 실행될 수 있다. 다른 예들에서, 제어 스위칭 네트워크(120)는, 예를 들어 및 제한 없이, CPLD(complex programmable logic device)들, ASIC들, 또는 FPGA들과 같은 하드웨어 장치를 이용해서 구현될 수 있다. 도 2에서 도시된 바와 같이, 제어 스위칭 네트워크(120)의 각각의 제어 스위치(205)(소프트웨어이든지 또는 하드웨어-기반이든지 간에)는 선택된 제어 알고리즘들(115)을 선택된 인버터(들)(125)과 연결시키기 위하여 CSN 제어 신호들(122)에 의해 제어된다.

[0022] 몇몇 예들에 있어서, 파워 스위칭 네트워크(130)는 모터 제어 시스템(110)으로부터의 하나 이상의 특정한 제어 알고리즘들(115A, 115B, 115C)에 대해(per) 하나 이상의 모터들(140)을 구동하도록 하나 이상의 인버터들(125)을 연결하기 위하여, 시스템 컨트롤러(105)로부터의 PSN 제어 신호들(132)을 이용해서, 동적으로 구성될 수 있다. 몇몇 예들에 있어서, 파워 스위칭 네트워크(130)는 단락회로(short circuit) 및/또는 과전류(over-current) 보호 장치로서 동작할 수 있다. 이 경우에 있어서, 고장(fault)이 검출되는 경우에, 단락된 또는 과전류 부하와 연관된 파워 스위치(들)(130)이 개방된다.

[0023] 파워 스위칭 네트워크(130)는 파워 스위치들(225)을 이용해서 구현될 수 있고, 이들 중의 몇몇 비제한적인 예들은 솔리드 스테이트 릴레이(solid state relay)들, 기계식 릴레이(mechanical relay)들, 트랜지스터(transistor)들, 및 다른 제어가능한 파워 스위치들을 포함한다. 시스템 컨트롤러(105)는 제어 신호들(132)을 이용해서 각각의 파워 스위치(225)를 제어한다. 인버터들(125)은 선택된 모터 알고리즘(115A, 115B, 115C) 및 시스템 컨트롤러(105)에 대해(per) 다양한 AC 기계들(예컨대, 모터들(140))을 구동하기 위하여 DC 파워(즉, 도 1에서의 VDC)를 요청된 AC 파워 출력(예컨대, 상이한 전압 레벨, 주파수, 파형 등을 가짐)으로 변환한다. 인버터들(125)은, 예를 들어 및 제한 없이, IGBT(insulated-gate bipolar transistor)들, MOSFET(metal-oxide-semiconductor field-effect transistor)들, 및 BJT(bipolar junction transistor)들을 포함할 수 있다.

[0024] 도 2에 도시된 바와 같이, 제어 스위칭 네트워크(120)는, 각각의 모터 제어 알고리즘(115A, 115B, 115C)이 인버터들(125)(즉, 인버터들(125A, 125B, 125C, 125D, 및/또는 125E)) 중의 임의의 하나 이상과 선택적으로(selectively) 및 동적으로(dynamically) 연결될 수 있도록 충분한 수의 제어 스위치들(205)을 포함한다. 하지만, 다른 예들에서, 인버터들(125) 및 모터 제어 알고리즘들(115A, 115B, 115C)의 특정 조합들은 필요하지 않거나 실현가능하지 않은 것으로서 생략될 수 있고, 이것은 제어 스위칭 네트워크(120) 내에 포함된 제어 스위치들의 수를 감소시킬 수 있다. 파워 스위칭 네트워크(130)는 인버터들(125) 각각이 전기 부하들(즉, 모터들(140)) 중의 임의의 하나 이상과 선택적으로 및 동적으로 연결될 수 있도록 충분한 수의 파워 스위치들(225)을 포함한

다. 유사하게, 다른 예들에서, 인버터들(125) 및 전기 부하들의 특정 조합들은 파워 스위칭 네트워크(130)에 포함된 파워 스위치들(225)의 수를 감소시키기 위하여 생략될 수 있다. 15개의 제어 스위치들(205)(3개의 모터 제어 알고리즘들(115) 및 5개의 인버터들(125)에 상응함) 및 15개의 파워 스위치들(225)(5개의 인버터들(125) 및 3개의 전기 부하들)이 도시되지만, 이 숫자들은 구현에 기초하여 달라질 수 있다. 예를 들어, 병렬적인 인버터들(125)의 수는 임의의 적절한 수 N개와 같이 5보다 더 많을 수 있다. 결과적으로, 제어 스위칭 네트워크(120)의 규모(dimension)는 3xN일 것이고, 파워 스위칭 네트워크(130)의 규모는 Nx3일 것이다. 유사하게, 모터들(또는 부하들)(140)의 수는 3보다 더 많을 수 있는데, 예컨대 M개 일 수 있다. 결과적으로, 파워 스위칭 네트워크의 숫자는 NxM일 것이다.

[0025] 몇몇 예들에 있어서, 모듈식 컨버터 시스템(100)은 복수의 단계들로 나누어진다. 도시된 바와 같이, 모듈식 컨버터 시스템(100)은 컨트롤러 스테이지(controller stage)(145) 및 파워 스테이지(power stage)(150)를 포함한다. 컨트롤러 스테이지(145)(예컨대, 시스템 컨트롤러(105), 모터 제어 시스템(motor control system)(110)) 내의 구성요소들은 파워 스테이지(150) 내의 구성요소들과는 상이한 파워 공급 체제(power supply regime) 내에서 작동될 수 있다. 예를 들어, 컨트롤러 스테이지(145)는 컨트롤러 스테이지 구성요소들을 작동시키기 위해 적합한 상대적으로 낮은 전압(예컨대, 약 1 V(볼트)와 20 V 사이)으로 전력이 공급될 수 있지만, 파워 스테이지(150)는 (모터들(140)과 같은) 부하들을 구동시키기 위하여 필요한 출력 파워를 생성시키기 위해 적합한 상대적으로 높은 전압들(예컨대, 약 100 V와 1000 V 사이, 또는 그 이상)로 전력이 공급된다. 게다가, 몇몇 예들에 있어서, 파워 스테이지(150)는 부하들을 구동하기 위한 복수의 위상들(예컨대, 3상 AC 출력)을 갖는 파워 출력을 제공하도록 구성된다. 이러한 예들에서, 인버터들(125), 파워 스위칭 네트워크(130), 및 모터들(140) 간의 각각의 연결은 3상 파워 연결을 나타낼 수 있다. 모듈식 컨버터 시스템(100)의 구성요소들을 복수의 스테이지들로 나눔으로써, 컨트롤러 스테이지(145)의 구성요소들은 파워 스테이지(150)의 더 높은 전압들 및/또는 전류들을 처리하도록 규모가 이루어질 필요가 없다. 그 결과, 컨트롤러 스테이지(145)는 일반적으로 더 작고 및/또는 덜 손실이 있는 구성요소들을 포함할 수 있어서, 무게를 감소시키고 모듈식 컨버터 시스템(100)의 효율을 향상시킨다.

[0026] 컨트롤러 스테이지(145)와 파워 스테이지(150) 사이에서 교환되는 제어 및/또는 피드백 신호들은 파워 스테이지(150)의 더 높은 전압들(예컨대, 큰 DC 전압들)이 컨트롤러 스테이지(145)의 낮은-전압 구성요소들에 영향을 주는 것을 막도록 구성된 아이솔레이션 장벽(isolation barrier)을 넘어갈(cross) 수 있다. 도시된 바와 같이, 시스템 컨트롤러(105)는 구체적인 모터 제어 알고리즘들(115)을 선택하기 위하여 모터 제어 시스템(110)과 제어 신호들(107)을 주고받는다. 모터 제어 시스템(110)은 선택된 알고리즘(들)을 모터 제어 신호들(117)로서 제공하는데, 모터 제어 신호들(117)은 제어 스위칭 네트워크(120) 내의 선택된 경로(들)를 통해서 전송되고 인버터들(125)에 전달된다. 모터들(140)은 업데이트된 제어(updated control)를 위해 하나 이상의 모터 피드백 신호들(142)을 모터 제어 알고리즘들(115)에 제공한다. 모터 피드백 신호들(142)의 몇몇 비제한적인 예들은 전류, 전압, 속도, 및 포지션 값들을 포함한다.

[0027] 또 다른 예들에서, 모듈식 컨버터 시스템(100)은 부하 우선순위 인자(load priority factor)를 기초로 하여 부하들을 할당할 수 있다. 다시 말해, 만일, 예를 들어, 외부의 항공기 시스템(external aircraft system)들에 의해(즉, 비히클 컨트롤러(102)에 의해) 요청된 부하들의 수가 모듈식 컨버터 시스템(100)에 의해 제공될 수 있는 것보다 더 크다면, 모듈식 컨버터 시스템(100)은 부하 우선순위 인자에 의해 부하들을 할당할 수 있고, 더 높은 우선순위의 부하들이 더 낮은 우선순위의 부하들보다 먼저 전력이 공급된다. 만일 (비히클 컨트롤러(102)를 통해서) 항공기가 상대적으로 큰 부하에 대한, 예컨대, 착륙 장치(landing gear)를 낮추는 것에 대한 요청을 한다면, 시스템(100)은 착륙 장치와 연관된 모터(들)(140)에 전력을 공급하기 위하여 인버터들(125)의 일부 또는 전부를 일시적으로 재할당할 수 있다. 착륙 장치가 아래로 내려오고 록킹된(locked) 때에, 모듈식 컨버터 시스템(100)은 인버터들(125)을 이들의 이전의 부하들(또는 새로운 기존 부하들)에 재할당할 수 있다. 예를 들어, 객실 팬은 착륙 장치를 내리기 위하여 일시적으로 비활성화될 수 있고, 착륙 장치가 내려온 때에 객실 팬은 재시작된다.

[0028] 모듈식 컨버터 시스템(100)의 전력 정격(power rating)을 총체적으로 초과하는 낮은 우선순위의 부하들의 과잉(excess)이 존재하는 경우와 같은 몇몇 예들에 있어서, 모듈식 컨버터 시스템(100)은 감소된 셋팅(reduced setting)으로 부하들의 일부 또는 전부에 전력을 공급할 수 있다. 이러한 방식에 있어서, 모든 부하들에 전력이 공급되지만, 이들은 더 낮은 속도 또는 용량으로 동작할 수 있다. 그래서, 예를 들어, 항공기 객실 팬들, 조명(lighting), 및 엔터테인먼트 시스템(entertainment system)은 모듈식 컨버터 시스템(100) 정격(rating)을 초과하여 동시에 파워를 요청할 수 있다. 그 결과, 모듈식 컨버터 시스템(100)은, 예를 들어, 엔터테인먼트 시스

템에 풀 파워(full power)를 제공할 수 있지만, 전체 파워 요구를 감소시키기 위하여 객실 팬 속도 및 조명 세기를 약간 감소시킨다.

[0029] 도 3a는 하나의 예에 따라서 모듈식 인버터의 위상 레그 내의 컨버터 회로의 배치를 도시한다. 모듈식 컨버터 시스템(예컨대, 상술한 바와 같은 모듈식 컨버터 시스템(100, 200))의 하나의 구현에 있어서, 배치(arrangement)(300)는 단상(single-phase) 파워 출력을 제공하는 모듈식 인버터(125)를 나타낸다. 모듈식 컨버터 시스템의 멀티-위상(multi-phase) 구현에서, 배치(300)는 다른 인버터들(125)의 위상 레그들(210)과 병렬적으로 연결되도록 구성된 모듈식 인버터(125)의 위상 레그(210)를 나타낸다. 도 3a는 단일한 인버터 또는 단일한 인버터 위상 레그(210)에 관한 센싱 및 제어 회로(302)의 상세한 도면을 제공하지만, 통상의 기술자는 회로의 복수의 복사본(copy)들이 모듈식 컨버터 시스템의 구현을 기초로 하여 제공될 수 있다는 점을 이해할 것이다. 도 2의 예를 이용해서, 5개의 인버터들(125A-125E) 각각은 3개의 각각의 위상 레그들(210-1, 210-2, 및 210-3)을 포함하고, 도 3a의 제어 회로(control circuitry)(302)의 총 15개의 복사본들을 낳는다. 도시된 바와 같이, 배치(300)는 공통 부하(common load)에 파워를 제공하기 위하여 파워 스위칭 네트워크에 의해 구성된 복수의 병렬적인 인버터들(125A, 125B)을 포함한다. 모듈식 인버터(125)는 제어 회로(302)를 포함하고, 제어 회로(302)는 시스템 컨트롤러(105)와 연결되어 있고, 인버터(304)의 스위치들(330-1, 330-2)(또한, "스위칭 엘리먼트(switching element)들"(330))을 작동시키도록 구성된다. 스위치들(330-1, 330-2)은 이들 사이에 연결된 위상 출력 노드(340)를 가진다. 스위치들(330-1, 330-2)은 IGBT(insulated gate bipolar transistor)들, MOSFET(metal-oxide-semiconductor field-effect transistor)들, BJT(bipolar junction transistor)들 등과 같은 임의의 적절한 구현을 가질 수 있다. 위상 출력 노드(340)는 파워 출력(215)을 전달할 수 있다. 파워 서플라이(power supply)(342)는 파워 출력(215)을 생성하기 위해서 이용되는 파워를 제공하고, 인버터(304)는 구동 신호들(326-1, 326-2)에 의해서 지시되는 스위치 타이밍(switch timing)에 따라서 파워 출력(215)의 파형을 제어한다. 파워 서플라이(342)는 기준 전압들 VDC+, VDC-를 인버터(304)에 제공하고, 이들은 도시된 바와 같이 양자 사이에 접지 전위(ground potential)를 가진 미리 결정된 전압들 Vs 및 -Vs에 상응한다. 접지 전위에서 VDC-인 것과 같이 파워 서플라이(342)의 다른 구성들이 가능하다.

[0030] 스위칭 엘리먼트들(330-1, 330-2)은 미리 결정된 상대적인 스위칭 세기(relative switching strength) 또는 다른 상대적인 스위칭 속성들(relative switching properties)을 가지도록 설계될 수 있지만, 작동 동안 제조 공차들, 근처의 구성요소들을 기초로 한 기생 요소들의 존재 등으로 인해서 설계된 것과 다소 다르게 거동할 수 있다. 다시 말해, 스위치들(330-1, 330-2)은 동작시 서로 상이할 수 있고, 및/또는 게이트 드라이버들(325-1, 325-2)에 의해 제공되는 구동 신호들(326-1, 326-2)의 원하는 결과와 상이할 수 있다.

[0031] 동작 동안, 시스템 컨트롤러(105)는, 모터 제어 신호들(117A, 117B)을 제공하기 위하여 모터 제어 알고리즘들(도시되지 않음; 도 1, 2의 115A, 115B, 115C)을 선택하도록 이용되는 제어 신호들(107)을 제어 회로(302)에 제공해서 모듈식 인버터(125)를 제어한다. 고전압 DC 신호들이 모듈식 인버터(125)로부터 시스템 컨트롤러(105)로 넘어가는(crossing) 것을 방지하기 위하여, 아이솔레이션 장벽들(315)이 모터 제어 신호들(117A, 117B)을 위한 각각의 경로를 따라서 위치해 있다. 아이솔레이션 장벽들(315)은, 클래스 X(class X) 또는 클래스 Y(class Y) 커패시터들과 같은, 갈바닉 아이솔레이션(galvanic isolation)에 대한 임의의 적절한 구현을 가질 수 있다. 제어 회로(302)는 또한 아이솔레이션 장벽들(315)과 게이트 드라이버들(325-1, 325-2) 사이에 위치해 있는 보호 로직(protection logic)(320)을 포함하고, 이것은 하드웨어 및/또는 소프트웨어로 구현된 단락회로 검출 로직(short circuit detection logic), 과부하 검출 로직(overload detection logic), 과온도 검출 로직(overtemperature detection logic) 등을 포함하는 것과 같은 특정 동작 상태(operational condition) 동안의 부하들을 보호하기 위한 임의의 적절한 구현을 가질 수 있다. 이 동작 상태들 중의 임의의 것이 검출되면, 보호 로직(320)은 연결된 부하에 대한 과도한 마모 또는 손상을 방지하기 위하여 특정 모터 제어 신호(들)(117A 및/또는 117B)의 게이트 드라이버(들)(325-1, 325-2)로의 전달을 막는다(interrupt). 모터 제어 신호들(117A 및 117B)은 각각의 제어 신호들(345A, 345B)로서 게이트 드라이버들(325-1, 325-2)에 제공된다. 제어 신호들(345A, 345B)을 기초로 하여, 게이트 드라이버들(325-1, 325-2)은 파워 출력(215)의 원하는 파형을 제공하기 위하여 스위치들(330-1, 330-2)에 대한 구동 신호들(326-1, 326-2)을 생성한다. 몇몇 예들에 있어서, 파워 출력(215)은 부하를 구동하기 위한 PWM(pulse-width modulation) 파형으로서 제공된다.

[0032] 제어 회로(302)는 기준 전압 및 위상 출력 노드(340)와 연결된 하나 이상의 적분기들(335-1, 335-2)을 포함한다. 몇몇 예들에 있어서, 적분기들(335-1, 335-2)은 위상 출력 노드(340)상의 전압들의 연속적인 샘플링을 제공하도록 구성된 아날로그 적분기들(예컨대, op-amp 적분기)이다. 다른 타입의 적분기들의 이용이 가능하지만, 아날로그 적분기들은 일반적으로 디지털 적분기들에 비하여 여러 이점들을 제공한다. 디지털 적분기들은

배치(300) 내에 통합하기 위하여 더 복잡하고 및/또는 비용이 많이 들 수 있다. 스위치의 온-타임(on-time)의 퍼센트의 대략 일부일 수 있는, 상이한 인버터들(125) 간의 듀티 사이클(duty cycle) 차이들을 검출하는 것은 많은 수의 샘플들을 필요로 한다. 예를 들어, PWM(pulse width modulation) 구현들에 대해서 흔하지 않은 수십 또는 수백 kHz(kilohertz)인 파워 출력(215)의 적절한 샘플링은 샘플링 주파수를 MHz(megahertz) 범위로 훌쩍 넘는 것을 요할 수 있다. 이에 비해, 아날로그 적분기는 증가된 충실도(fidelity) 및 해상도(resolution)를 가진 파워 출력(215)의 시간-연속적인 적분(time-continuous integration)을  제공한다. 아날로그 적분기는 또한 아이솔레이션 경계(isolation boundary)(315)를 가로질러(across) 단일한 아날로그 값을 시스템 컨트롤러(105)에 제공해서, 대역폭 요구조건(bandwidth requirement)들을 감소시킨다.

[0033] 도시된 바와 같이, 적분기(335-1)는 위상 출력 노드(340) 및 VDC+와 연결되어 있고, 적분기(335-2)는 위상 출력 노드(340) 및 VDC-와 연결되어 있다. 적분기들(335-1, 335-2) 각각은 구동 신호들(326-1, 326-2)의 하나 이상의 스위칭 사이클들에 대하여 적분하도록 구성되고, 아이솔레이션 장벽(315)을 가로질러(across) 출력 신호를 시스템 컨트롤러(105)에 전송하도록 구성된다. 시스템 컨트롤러(105)는 적분기들(335-1, 335-2)로부터의 출력 신호들을 상응하는 이산 값(discrete value)들로 변환하도록 구성된 ADC(analog-to-digital converter)(305)를 포함한다.

[0034] 상이한 스위치들(330)에 대응하는 값들은, 스위치들(330)이 의도된 바와 같이 동작하고 있는지 또는 모종의 에러를 가지고 동작하고 있는지 여부를 판단하기 위하여, 시스템 컨트롤러(105)에 의해서 서로 및/또는 구동 신호들(326-1, 326-2)의 원하는 결과와 비교될 수 있다. 몇몇 예들에 있어서, 시스템 컨트롤러(105)는 각각의 스위치(330-1, 330-2)에 상응하는 인가 볼트-초 값(312)을 계산한다. 예를 들어, 특정한 스위칭 사이클 동안 게이트 드라이버(325-1)는 구동 신호(326-1)를 스위치(330-1)에 제공하고, 이것은 1 밀리세컨드(ms) 지속시간 동안 1000 볼트(V)를 출력 노드(340)에 인가하도록 구성된다 – 1.000 V-s의 원하는 인가 볼트-초 값. 이 값들은 단순 계산(simplistic calculation)을 위해 제공되고, 연결된 부하의 파워 요구조건들 및 인버터들(125)의 구현을 기초로 하여 달라질 수 있다. 스위치(330-1)에 대한 공차(tolerance)들 및/또는 기생 요소(parasitic element)들로 인하여, 예컨대 스위치(330-1)에 실제로 인가되는 계산된 인가 볼트-초 값(312)은 0.001 V-s의 에러에 상응하는 1.001 V-s이다.

[0035] 몇몇 예들에 있어서, 시스템 컨트롤러(105)는 판단된 에러를 기초로 하여 하나 이상의 게이트 드라이버 오프셋들(310)을 계산하도록 더 구성된다. 게이트 드라이버 오프셋들(310)은 구동 신호(326-1)의 타이밍(또는 듀티 사이클)을 조정하기 위한 임의의 적절한 형태를 가질 수 있다. 계산된 게이트 드라이버 오프셋(들)(310)을 게이트 드라이버(325-1)에 인가하는 것은 스위치(330-1)의 연관된 타이밍을 조정하고, 원하는 인가 볼트-초 값과 실제의 인가 볼트-초 값 간의 에러를 감소시키거나 제거한다. 그래서, 현재의 예에서, 시스템 컨트롤러는 게이트 드라이버 오프셋(310)을 제어 신호들(107)에 인가하고, 이것은 제어 신호(345A)에 영향을 주어서, 스위치(330-1)로 하여금 스위치(330-1)에 실제로 인가되는 계산된 인가 볼트-초 값(312)이 원하는 1.000 V-s가 되도록 그것의 듀티 사이클을 감소시키는 것을 초래한다.

[0036] 도 3b 및 3c는 모듈식 컨버터 시스템 내의 적분기들의 대안적인 배치들을 도시한다. 상술한 바와 같이, 도 3a의 배치(300)는 위상 출력 노드(340) 및 제1 전압 레일(voltage rail)(VDC+)과 연결된 제1 적분기(335-1), 및 위상 출력 노드(340) 및 제2 전압 레일(VDC-)과 연결된 제2 적분기(335-2)를 포함하는 것으로서 인버터(125)를 도시한다. 배치(350)(도 3b)는 인버터(125)에 대한 단일한 적분기(335)를 포함하고, 적분기(335)는 접지 전위를 참조하는, 위상 출력 노드(340)상의 전압들을 측정하도록 구성된다.

[0037] 배치(355)(도 3c)는, 접지 전위를 참조하는, 위상 출력 노드(340)상의 전압들을 측정하도록 구성된 복수의 적분기들(335A, 335B)을 포함한다. 적분기들(335A, 335B)의 측정은 멀티플렉서(multiplexer)(360)와 같은 스위칭 배치를 이용해서 ADC(305)에 선택적으로 제공될 수 있다. 선택 신호(365)는 시스템 컨트롤러(105)(도시되지 않음)에 의해서 제공될 수 있다. 몇몇 예들에 있어서, 측정은 증가된 정확도를 제공하기 위하여 적분기들(335A, 335B)로부터 교번 패턴(alternating pattern)으로 제공될 수 있다.

[0038] 상술한 바와 같이, 적분기들(335-1, 335-2) 각각은 구동 신호들(326-1, 326-2)의 하나 이상의 스위칭 사이클들에 대해 적분하도록 구성된다. 적분기들(335-1, 335-2)에 의해 수행되는 측정은 적분기들(335-1, 335-2)에 제공되는 리셋(reset) 신호를 이용해서 주기적으로 리셋될 수 있다. 몇몇 예들에 있어서, 게이트 드라이버들(325-1, 325-2)에 대한 제어 신호들(345A, 345B)은 적절한 리셋 신호를 제공할 수 있다. 예를 들어, 제어 신호들(345A, 345B)의 상승 엣지(rising edge)는 특정한 스위칭 사이클의 완료를 나타낼 수 있고, 적분기들(335-1, 335-2)의 리셋을 트리거(trigger)하기 위해 이용될 수 있다. 다른 예들에서, 시스템 컨트롤러(105)는 적분기들(335-1,

335-2)을 위한 구별되는(distinct) 리셋 신호(도시되지 않음)를 생성할 수 있다.

[0039] 적분기들(335-1, 335-2)을 리셋하는 것은 일반적으로 즉각적인 이벤트(instantaneous event)가 아니다. 피드백 커패시터를 포함하는 아날로그 적분기들의 예에서, 적분기를 리셋하는 것은 연관된 시상수(time constant)에 따라서 피드백 커패시터의 방전을 초래하도록 스위치를 닫는 것을 포함할 수 있다. 그러므로, 몇몇 시간 기간들 동안, 적분기들(335-1, 335-2)은 결과로 얻어지는 측정값들에 영향을 줄 수 있는 위상 출력 노드(340)의 전압 값들을 적분하고 있지 않다.

[0040] 배치(355)(도 3c)는 측정 정확도를 향상시키기 위한 하나의 수단을 제공한다. 제1 리셋 신호(즉, RESET 1)에 의해 제어되는 제1 적분기(335A)의 리셋 동안, ADC(305)는 위상 출력 노드(340)의 전압 값들을 더욱 완전하게 캡쳐하기 위하여 제2 논-리셋팅(non-resetting) 적분기(335B)로부터의 측정들을 수신한다. 제2 리셋 신호(즉, RESET 2)에 의해 제어되는 제2 적분기(335B)의 리셋 동안, ADC(305)는 제1 논-리셋팅(non-resetting) 적분기(335A)로부터의 측정들을 수신한다. 멀티플렉서(360)를 제어하는 선택 신호(365)는 시스템 컨트롤러(105)(도시되지 않음)로부터 제공되는 별도의 신호이거나, 제1 및/또는 제2 리셋 신호들의 논리 조합을 기초로 할 수 있다.

[0041] 리셋 기간을 보상하기 위하여 측정을 조정하기 위한 다른 기술들도 가능하다. 예를 들어, 시스템 컨트롤러(105)(도시되지 않음)는 리셋 기간들에 상응하는 ADC(305)의 측정(들)에 대한 수학적 외삽법(mathematical extrapolation)을 수행할 수 있다. 이러한 접근법은 배치(300, 350, 355)의 다른 스위칭 엘리먼트들에 의해 유입되는 노이즈와 같은 EMI(electromagnetic interference) 크로스-토크(cross-talk)가 상대적으로 잘 제어되는 경우에 실현가능할 수 있다.

[0042] 다양한 배치들(300, 350, 355)이 단일-위상 파워 출력(single-phase power output)(215)과 관련하여 구체적으로 논의되었지만, 통상의 기술자는 이 기법들이 복수-위상 인버터 모듈(multiple-phase inverter module)들(예컨대, 복수-위상 부하를 구동하는 것에 상응함)에 적용될 수 있다는 것과 둘 이상의 모듈식 인버터들의 동작에 걸쳐서 적용될 수 있다는 것을 이해할 것이다.

[0043] 배치들(300, 350, 355)의 다른 구현들이 가능하다. 하나의 대안적인 예에서, 시스템 컨트롤러(105) 및 ADC(305)는 (즉, 게이트 드라이버들(325-1, 325-2) 및 스위치들(330-1, 330-2)과 함께) 아이솔레이션 경계(315)의 "파워측(power side)"에 위치해 있다. 시스템 컨트롤러(105)는 상이한 파워 공급 체제로 외부의 비히클 컨트롤러 및/또는 다른 제어 엘리먼트들과 통신하는 것이 계속 필요할 수 있기 때문에, 이러한 구현은 일반적으로 아이솔레이션 경계(315)를 가로질러(across) 증가된 대역폭을 필요로 할 것이다. 다른 대안적인 예에서, 위상 출력 노드(340A)에서 취해지는 전압 측정들과 게이트 드라이버들(325-1, 325-2) 사이에 고속 제어 루프(fast control loop)들이 제공될 수 있는데, 이것은 몇몇 경우들에 있어서 시스템 컨트롤러(105) 대신에 게이트 드라이버 오프셋들(310)를 구현하기 위하여 이용될 수 있다. 다른 경우들에 있어서, 시스템 컨트롤러(105)는 게이트 드라이버 오프셋들(310)을 제공하고, 고속 제어 루프들은 게이트 드라이버 오프셋들(310)에 비하여 상대적으로 작은 구동 신호들(326-1, 326-2)에 대한 조정들을 제공한다.

[0044] 도 3d는 하나의 예에 따라서 멀티-위상 모듈식 컨버터 시스템 내의 복수의 인버터들의 배치(375)를 도시한다. 더욱 구체적으로, 배치(375)는 모듈식 인버터들을 위한 게이트 드라이버들의 동작을 조정하기 위한 상술한 것과 유사한 기술들이 멀티-위상 모듈식 컨버터 시스템의 인버터 모듈들 간의 전류 생성을 밸런싱하기 위해 이용될 수 있다는 것을 도시한다.

[0045] 인버터 유닛들(125A 및 125B)은 유사하게 구성되고, 각각은 3개의 위상 출력 노드들(340)을 가진 3개의 위상 레그들을 가진다. 명시적으로 도시되지는 않았지만, 인버터 유닛들(125C-125E)도 3상 동작을 위해 유사하게 구성된다고 가정한다. 도시된 바와 같이, 위상 출력 노드들(340-1 및 340-4)은 제1 위상을 갖는 파워 출력(215-1)을 생성하기 위하여 함께 연결된다(게다가, 인버터 유닛들(125C-125E)의 위상 출력 노드들과 연결됨). 다시 말해, 위상 레그(210-1 및 210-4)가 병렬적으로 연결된다. 위상 출력 노드들(340-2 및 340-5)은 제2 위상을 갖는 파워 출력(215-2)을 생성하기 위하여 함께 연결된다(또, 인버터 유닛들(125C-125E)의 위상 출력 노드들과 연결됨) .

[0046] 하지만, 인버터 유닛들(125A-125E)이 동일한 구현을 공유하는 예들에서조차도, 인버터 유닛들(125A-125E)의 인버터들(304) 각각은 제조 공차들, 근처의 구성요소들을 기초로 한 기생 요소들의 존재 등으로 인해서 동작 동안 약간 상이하게 거동할 수 있다. 인버터들(304)은 동작시 서로 상이할 수 있고, 및/또는 제어 회로(302)에 의해 인버터들(304)에 제공되는 구동 신호들의 원하는 결과와 상이할 수 있다.

[0047] 이 차이들을 경감시키기 위하여, 각각의 위상 레그(210)에 포함된 제어 회로(302)는 상응하는 위상 출력 노드

(340)상의 전압들을 샘플링하고, 이 전압들을 시스템 컨트롤러(105)과 주고받는다. 시스템 컨트롤러(105)는 위상 출력 노드들(340) 각각에 대한 인가 볼트-초 값들을 계산할 수 있고, 이후 이것은 인버터들(125A-125E) 중의 임의의 것이 불균등한 로딩을 가지는지 여부를 판단하기 위해 비교될 수 있다. 시스템 컨트롤러(105)는 또한 인버터들(304)에 의해 실제로 인가된 값들과 원하는 인가 볼트-초 값들 간의 임의의 불균등한 로딩 및/또는 에러를 경감시키기 위하여 인버터들(304)의 후속 작동을 제어하도록 하나 이상의 게이트 드라이버 오프셋들을 생성할 수 있다.

[0048] 앞의 예를 이용하자면, 시스템 컨트롤러(105)는 제어 신호들을 병렬적인 위상 레그들(210-1, 210-4)에 보내고, 병렬적인 위상 레그들(210-1, 210-4)은 상응하는 인버터들(304)로 하여금 1 ms 지속시간 동안 1000 V를 출력 노드들(340-1, 340-4)에 인가하도록(즉, 1.000 V-s의 원하는 값) 야기하게 구성된다. 인버터들(304)에 대한 공차들 및/또는 기생 요소들로 인하여, 시스템 컨트롤러(105)에 의해 계산된 인가 볼트-초 값들은 위상 레그(210-1)에 대해 1.001 V-s이고, 위상 레그(210-4)에 대해 0.999 V-s이다.

[0049] 하나의 예에서, 시스템 컨트롤러(105)는 계산된 게이트 드라이버 오프셋을 위상 레그(210-1)에 인가해서, 위상 레그(210-4)를 위한 0.999 V-s 값을 일치시키도록 상응하는 인버터의 듀티 사이클을 감소시킨다. 하나의 대안으로서, 시스템 컨트롤러(105)는 계산된 게이트 드라이버 오프셋을 위상 레그(210-4)에 인가해서, 더 긴 기간 동안 1000V를 인가하고 위상 레그(210-1)를 위한 1.001 V-s를 일치시킨다. 다른 예로서, 시스템 컨트롤러(105)는 게이트 드라이버 오프셋들을 양쪽 위상 레그들(210-1, 210-4)에 인가해서, 인버터들로부터의 출력을 밸런싱하고 계산된 인가 볼트-초 값들(즉, 1.001 V-s, 0.999 V-s)과 구동 신호들의 원하는 결과(즉, 1.000 V-s) 간의 차이들을 정정한다(correct).

[0050] 도 4는 하나의 예에 따라서 복수의 병렬적 인버터 유닛(parallel inverter unit)들을 포함하는 모듈식 컨버터 시스템의 파워 출력을 제어하는 방법을 도시한다. 일반적으로, 방법(400)은 상술한 모듈식 컨버터 시스템(100, 200) 및 배치들(300, 350, 355, 375)의 예들 중의 임의의 것과 일치하게 수행될 수 있다.

[0051] 방법(400)은 블록 405에서 시작하고, 여기서 제1 및 제2 인버터 유닛들의 스위칭 엘리먼트들은 동상의 파워 출력을 생성하기 위하여 초기 구동 신호(initial drive signal)들을 가지고 구동된다. 제1 및 제2 인버터 유닛들 각각은 파워 스위칭 네트워크를 이용해서 서로 병렬적인 상이한 위상 레그들을 포함할 수 있다. 신호들을 구동하는 것은 제1 및 제2 인버터 유닛들의 게이트 드라이버들에 의해 수행될 수 있다. 몇몇 예들에 있어서, 제1 인버터 유닛 및 제2 인버터 유닛을 위한 초기 구동 신호들은 동일하지만, 이것은 필수조건이 아니다.

[0052] 블록 415에서, 게이트 드라이버 오프셋 값이 각각의 제1 및 제2 인버터 유닛들의 제1 및 제2 위상 출력 노드들에서의 각각의 제1 및 제2 전압들을 기초로 하여 결정된다. 게이트 드라이버 오프셋 값을 결정하는 것은 제1 및 제2 인버터 유닛들과 연결된 시스템 컨트롤러에 의해서 결정되거나, 이와 달리 게이트 드라이버들 및 위상 출력 노드들과 연결된 하나 이상의 로컬(local) 고속 제어 루프들에 의해서 결정될 수 있다.

[0053] 몇몇 예들에 있어서, 게이트 드라이버 오프셋 값을 결정하는 것은 제1 및 제2 위상 출력 노드들 각각과 연결된 적어도 하나의 적분기를 이용해서 적어도 하나의 기준 전압에 대한(relative to) 제1 및 제2 전압들 각각을 적분하는 것을 포함한다. 몇몇 예들에 있어서, 게이트 드라이버 오프셋 값을 결정하는 것은 제1 및 제2 인버터 유닛들 각각에 대하여 각각의 인가 볼트-초 값을 계산하는 것을 포함한다. 게이트 드라이버 오프셋 값은, 제1 및 제2 인버터 유닛들 간의 로딩의 불균형을 나타내는 각각의 계산된 인가 볼트-초 값들 간의 차이를 기초로 한다. 나아가, 게이트 드라이버 오프셋 값은 계산된 인가 볼트-초 값들과 구동 신호들의 원하는 결과 간의 차이를 기초로 할 수 있다.

[0054] 블록 425에서, 동상의 파워 출력을 생성할 때 제1 및 제2 인버터 유닛들에 의해 제공되는 각각의 전류량들이 밸런싱되도록 하기 위하여, 제1 및 제2 인버터 유닛들의 스위칭 엘리먼트들은 후속 구동 신호들을 가지고 구동된다. 제1 및 제2 인버터 유닛들의 하나 또는 양쪽 모두에 대한 후속 구동 신호들은 결정된 게이트 드라이버 오프셋 값을 이용해서 조정될 수 있다. 후속 구동 신호들은 또한 제1 및 제2 인버터 유닛들로 하여금 구동 신호들의 원하는 결과를 생성하게 할 수 있다. 방법(400)은 블록(425)의 완료에 이어서 종료된다.

[0055] 도 5 및 6은 하나의 예에 따라서 게이트 드라이버 오프셋 값을 결정하는 방법들을 도시한다. 방법들(500 및 600) 각각은 방법(400)의 블록 415의 가능한 구현을 나타내며, 게이트 드라이버 오프셋 값은 각각의 제1 및 제2 인버터 유닛들의 제1 및 제2 위상 출력 노드들에서의 각각의 제1 및 제2 전압들을 기초로 하여 결정된다.

[0056] 방법(500)은 블록 505에서 시작하고, 여기서 제1 및 제2 위상 출력 노드들과 연결된 적어도 하나의 적분기는 적어도 하나의 기준 전압에 대한(relative to) 제1 및 제2 전압들 각각을 적분한다. 기준 전압들은 인버터 유닛들

에 전력을 공급하도록 구성된 전압 레일들일 수 있다. 선택적인 블록들 515 및 525에서, 제1 및 제2 인버터 유닛들의 게이트 드라이버들에 제공되는 제어 신호에 대해서 상승 엣지가 검출된다. 적분기는 검출된 상승 엣지에 의해 표시되는 스위칭 사이클의 완료시에 리셋된다. 대안적인 예들에서, 제어 신호의 하강 엣지(falling edge)가 이용되거나, 적분기를 리셋하도록 구성된 별도의 제어 신호가 이용될 수 있다. 블록 535에서, 시스템 컨트롤러는 제1 및 제2 인버터 유닛들 각각에 대해서 각각의 인가 볼트-초 값들을 계산한다. 게이트 드라이버 오프셋 값들은 각각의 계산된 인가 볼트-초 값들 간의 차이를 기초로 한다. 방법(500)은 블록 505의 완료에 이어서 종료된다.

[0057] 방법(600)은 일반적으로 도 3c에서 도시된 바와 같은 특정한 위상 출력 노드와 연결된 복수의 적분기들을 갖는 구현에 적용된다. 예를 들어, 제1 인버터 유닛의 위상 출력 노드는 적분기들의 제1 쌍을 가질 수 있고, 제2 인버터 유닛의 위상 출력 노드는 적분기들의 제2 쌍을 가질 수 있다. 방법(600)은 블록 605에서 시작하고, 여기서 제1 및 제2 인버터 유닛들의 제1 스위칭 사이클 동안, 제1 적분기는 제1 및 제2 전압들 각각을 적분한다. 선택적인 블록 615에서, 제1 적분기는, 예컨대, 제어 신호의 검출된 상승 또는 하강 엣지를 기초로 하여 제1 스위칭 사이클의 완료시에 리셋된다. 블록 625에서, 제1 및 제2 인버터 유닛들의 제2 스위칭 사이클 동안, 제2 적분기는 제1 및 제2 전압들 각각을 적분한다. 블록들 615 및 625는 시간의 측면에서 적어도 부분적으로 오버랩핑(overlapping)할 수 있어서, 전압들의 측정은 제1 적분기의 가끔의 리셋팅(occasional resetting)에 불구하고 실질적으로 연속일 수 있다. 선택적인 블록 635에서, 제2 적분기는 제2 스위칭 사이클의 완료시에 리셋된다. 방법(600)은 블록 635의 완료에 이어서 종료된다. 대안적인 예에서, 방법(600)은 반복되며, 블록 635에서 블록 605로 돌아간다. 이 경우에, 블록들 635 및 605은 시간의 측면에서 적어도 부분적으로 오버랩핑할 수 있다.

[0058] 본 발명의 다양한 예들의 기술은 설명의 목적을 위해서 제시된 것이며, 공개된 예들에 국한되게 하거나 한정되게 하도록 의도된 것이 아니다. 다수의 변경들 및 변형들은 기술된 예들의 사상 및 범위로부터 벗어나지 않으면서 통상의 기술자에게 명백할 것이다. 본 명세서에서 사용된 용어는 예들의 원리, 실용적인 애플리케이션, 또는 시장에서 발견되는 기술보다 나은 기술적 향상을 가장 잘 설명하기 위하여 선택되었거나, 다른 통상의 기술자들이 본 명세서에 공개된 예들을 이해할 수 있도록 하기 위하여 선택되었다.

[0059] 통상의 기술자에 의해서 이해될 바와 같이, 본 발명의 관점들은 시스템, 방법, 또는 컴퓨터 프로그램 제품으로서 구체화될 수 있다. 따라서, 본 발명의 관점들은 전적으로 하드웨어인 예, 전적으로 소프트웨어인 예(펌웨어, 상주(resident) 소프트웨어, 마이크로-코드(micro-code) 등을 포함함), 또는 소프트웨어와 하드웨어 관점들을 조합하는 예의 형태를 취할 수 잇으며, 이들 모두는 본 명세서에서 일반적으로 "회로(circuit)", "모듈(module)", 또는 "시스템"이라고 지칭될 수 있다. 게다가, 본 발명의 관점들은 컴퓨터 판독가능 프로그램 코드를 갖는 하나 이상의 컴퓨터 판독가능 매체(들)에 구체화된 컴퓨터 프로그램 제품의 형태를 취할 수 있다.

[0060] 하나 이상의 컴퓨터 판독가능 매체(들)의 임의의 조합이 이용될 수 있다. 컴퓨터 판독가능 매체는 컴퓨터 판독가능 신호 매체 또는 컴퓨터 판독가능 저장 매체일 수 있다. 컴퓨터 판독가능 저장 매체는, 예를 들어, 전자적, 자기적, 광학적, 전자기적, 적외선, 또는 반도체 시스템, 장치, 또는 디바이스, 또는 이들의 임의의 적절한 조합일 수 있지만, 이에 한정되지 않는다. 컴퓨터 판독가능 저장 매체의 더욱 구체적인 예들(비한정적 목록(non-exhaustive list))은 이하를 포함할 것이다: 하나 이상의 와이어(wire)들을 갖는 전기 연결, 포터블 컴퓨터 디스켓, 하드 디스크, RAM(random access memory), ROM(read-only memory), EPROM(erasable programmable read-only memory) 또는 플래시 메모리, 광섬유, 포터블 CD-ROM(compact disc read-only memory), 광학적 저장 디바이스, 자기적 저장 디바이스, 또는 이들의 임의의 적절한 조합. 본 명세서의 맥락에서, 컴퓨터 판독가능 저장 매체는 인스트럭션 실행 시스템, 장치, 또는 디바이스에 의하여 또는 인스트럭션 실행 시스템, 장치, 또는 디바이스와 관련하여 사용하기 위한 프로그램을 포함하거나 저장할 수 있는 임의의 유형의(tangible) 매체일 수 있다.

[0061] 컴퓨터 판독가능 신호 매체는, 예를 들어, 기저대(baseband)에서 또는 반송파(carrier wave)의 일부로서 컴퓨터 판독가능 프로그램 코드를 가진 전파되는(propagated) 데이터 신호를 포함할 수 있다. 이러한 전파되는 신호는 전자기적(electro-magnetic), 광학적, 또는 이들의 임의의 적절한 조합을 포함하는 다양한 형태들 중의 임의의 형태를 취할 수 있지만, 이에 한정되지는 않는다. 컴퓨터 판독가능 신호 매체는 컴퓨터 판독가능 저장 매체가 아닌 임의의 컴퓨터 판독가능 매체일 수 있고, 인스트럭션 실행 시스템, 장치, 또는 디바이스에 의하여 또는 인스트럭션 실행 시스템, 장치, 또는 디바이스와 관련하여 사용하기 위한 프로그램을 전달하거나, 전파하거나, 전송할 수 있는 임의의 컴퓨터 판독가능 매체일 수 있다.

[0062] 컴퓨터 판독가능 매체상에서 구현된 프로그램 코드는 무선, 유선, 광섬유 케이블, RF 등 또는 이들의 임의의 적

절한 조합을 포함하되 이에 한정되지 않는 임의의 적절한 매체를 이용해서 전송될 수 있다.

[0063] 본 발명의 관점들에 대한 오퍼레이션들을 수행하기 위한 컴퓨터 프로그램 코드는 Java, Smalltalk, C++ 등과 같은 객체 지향 프로그래밍 언어 및 "C" 프로그래밍 언어 또는 유사 프로그래밍 언어들과 같은 전형적인 절차적 프로그래밍 언어들을 포함하는 하나 이상의 프로그래밍 언어들의 임의의 조합으로 작성될 수 있다. 프로그램 코드는 사용자의 컴퓨터상에서 전적으로 실행되거나, 스탠드-얼론(stand-alone) 소프트웨어 패키지로서 사용자의 컴퓨터상에서 부분적으로 실행되거나, 사용자의 컴퓨터상에서 부분적으로 실행되고 원격 컴퓨터상에서 부분적으로 실행되거나, 원격 컴퓨터 또는 서버상에서 전적으로 실행될 수 있다. 후자의 시나리오에서, 원격 컴퓨터는 LAN(local area network) 또는 WAN(wide area network)을 포함하는 네트워크의 임의의 타입을 통해서 사용자의 컴퓨터에 연결될 수 있거나, 연결은 외부 컴퓨터에 대해 만들어질 수 있다(예를 들어, 인터넷 서비스 제공자를 이용해서 인터넷을 통하여).

[0064] 본 발명의 관점들은 본 발명의 예들에 따른 방법들, 장치(시스템들), 및 컴퓨터 프로그램 제품들을 참조하여 앞서 설명되었다. 흐름도들 및/또는 블록도들의 각각의 블록 및 흐름도들 및/또는 블록도들에서의 블록들의 조합들은 컴퓨터 프로그램 인스트럭션들에 의해서 구현될 수 있다는 점이 이해될 것이다. 이 컴퓨터 프로그램 인스트럭션들은 머신(machine)을 생성하도록 범용 컴퓨터, 특별 목적 컴퓨터, 또는 다른 프로그래밍가능한 데이터 처리 장치의 프로세서에 제공될 수 있어서, 컴퓨터 또는 다른 프로그래밍가능한 데이터 처리 장치의 프로세서를 통해서 실행하는 인스트럭션들은 흐름도 및/또는 블록도 블록 또는 블록들에서 특정된 기능들/동작들을 구현하기 위한 수단을 생성한다.

[0065] 이 컴퓨터 프로그램 인스트럭션들은 또한 특정 방식으로 기능하도록 컴퓨터, 다른 프로그래밍가능한 데이터 처리 장치, 또는 다른 디바이스들에게 지시할 수 있는 컴퓨터 판독가능 매체에 저장될 수 있어서, 컴퓨터 판독가능 매체에 저장된 인스트럭션들은 흐름도 및/또는 블록도 블록 또는 블록들에서 특정된 기능들/동작들을 구현하는 인스트럭션들을 포함하는 제조 물품을 생성한다.

[0066] 컴퓨터 프로그램 인스트럭션들은 또한 컴퓨터, 다른 프로그래밍가능한 데이터 처리 장치, 또는 다른 디바이스들상으로 로딩되어, 컴퓨터, 다른 프로그래밍가능한 장치 또는 다른 디바이스들상에서 수행될 일련의 동작 단계(operational step)들로 하여금 컴퓨터로 구현되는 프로세스를 생성하게 할 수 있어서, 컴퓨터 또는 다른 프로그래밍가능한 장치상에서 실행되는 인스트럭션들은 흐름도 및/또는 블록도 블록 또는 블록들에서 특정된 기능들/동작들을 구현하기 위한 프로세스들을 제공한다.

[0067] 도면들에서의 흐름도 및 블록도들은 본 발명의 다양한 예들에 따른 시스템들, 방법들, 및 컴퓨터 프로그램 제품들의 가능한 구현들의 아키텍처(architecture), 기능(functionality), 및 동작(operation)을 도시한다. 이와 관련하여, 흐름도들 또는 블록도들에서의 각각의 블록은 인스트럭션(instruction)들의 모듈(module), 세그먼트(segment), 또는 일부분(portion)을 나타낼 수 있고, 이것은 특정된 논리적 기능(logical function)(들)을 구현하기 위한 하나 이상의 실행가능한 인스트럭션들을 포함한다. 몇몇 대안적인 구현들에서, 블록에서 언급된 기능들은 도면들에서 언급된 순서와는 다르게 수행될 수 있다. 예를 들어, 포함된 기능에 따라서, 연속해서 도시된 두 개의 블록들은 사실상 실질적으로 동시에 실행될 수 있고, 또는 블록들은 때때로 역순으로 실행될 수 있다. 블록도들 및/또는 흐름도 도면의 각각의 블록 및 블록도들 및/또는 흐름도 도면에서의 블록들의 조합들은, 특정된 기능들이나 동작들을 수행하거나 특별한 목적의 하드웨어 및 컴퓨터 인스트럭션들의 조합들을 실행하는 특별한 목적의 하드웨어-기반 시스템(special purpose hardware-based system)들에 의해서 구현될 수 있다는 점 또한 주목되어야 할 것이다.

[0068] 게다가, 본 발명은 이하의 항목(clause)들에 따른 예들을 포함한다:

[0069] 항목 1. 복수의 병렬적 인버터 유닛(parallel inverter unit)들(125)을 포함하는 모듈식 컨버터 시스템(modular converter system)(100, 200)의 파워 출력을 제어하는 방법(400)으로서, 상기 복수의 병렬적 인버터 유닛들은 적어도 제1 위상 출력 노드(phase output node)(340-1)를 가진 제1 인버터 유닛(125A) 및 적어도 제2 위상 출력 노드(340-4)를 가진 제2 인버터 유닛(125B)을 포함하고, 상기 방법은:

[0070] 동상의 파워 출력(in-phase power output)(215-1)을 생성하기 위하여 초기 구동 신호(initial drive signal)들(326-1, 326-2)을 가지고 상기 제1 및 제2 인버터 유닛들의 스위칭 엘리먼트(switching element)들(330-1, 330-2)을 구동하는 단계(405);

[0071] 상기 제1 및 제2 위상 출력 노드들에서의 각각의 제1 및 제2 전압들을 기초로 해서 게이트 드라이버 오프셋 값(gate driver offset value)(310)을 결정하는 단계(415); 및

[0072] 상기 동상의 파워 출력을 생성할 때 상기 제1 및 제2 인버터 유닛들에 의해 제공되는 각각의 전류량들이 밸런싱(balancing)되도록 하기 위하여 후속 구동 신호(subsequent drive signal)들(326-1, 326-2)을 가지고 상기 제1 및 제2 인버터 유닛들의 상기 스위칭 엘리먼트들을, 결정된 상기 게이트 드라이버 오프셋 값을 기초로 해서, 구동하는 단계(425);

[0073] 를 포함하는 것을 특징으로 하는 파워 출력을 제어하는 방법.

[0074] 항목 2. 항목 1에 있어서,

[0075] 상기 게이트 드라이버 오프셋 값을 결정하는 것은:

[0076] 상기 제1 및 제2 인버터 유닛들 각각에 대해 각각의 인가 볼트-초 값(applied volt-second value)(312)을 계산하는 것(535)을 포함하고, 상기 게이트 드라이버 오프셋 값은 각각의 계산된 인가 볼트-초 값들 간의 차이를 기초로 하는 것을 특징으로 하는 파워 출력을 제어하는 방법.

[0077] 항목 3. 항목 1에 있어서,

[0078] 상기 제1 및 제2 위상 출력 노드들 각각은 상기 모듈식 컨버터 시스템의 적어도 하나의 적분기(integrator)(335-1, 335-2)와 연결되어 있고, 상기 게이트 드라이버 오프셋 값을 결정하는 것은:

[0079] 상기 적어도 하나의 적분기를 이용해서, 적어도 하나의 기준 전압(reference voltage)(VDC+, VDC-)에 대한(relative to) 제1 및 제2 전압들 각각을 적분하는 것(505)을 포함하는 것을 특징으로 하는 파워 출력을 제어하는 방법.

[0080] 항목 4. 항목 3에 있어서,

[0081] 상기 적어도 하나의 기준 전압은 시스템 접지(system ground)를 포함하는 것을 특징으로 하는 파워 출력을 제어하는 방법.

[0082] 항목 5. 항목 3에 있어서,

[0083] 상기 제1 및 제2 전압들 각각을 적분하는 것은 상기 제1 및 제2 인버터 유닛들의 스위칭 사이클(switching cycle) 동안 일어나고, 상기 방법은:

[0084] 상기 스위칭 사이클의 완료시 상기 적분기를 리셋(reset)하는 것(525)을 더 포함하는 것을 특징으로 하는 파워 출력을 제어하는 방법.

[0085] 항목 6. 항목 5에 있어서,

[0086] 상기 적분기를 리셋하는 것은 상기 제1 및 제2 인버터 유닛들의 게이트 드라이버들에 제공되는 제어 신호(345A, 345B)의 상승 엣지(rising edge)를 검출하는 때에 일어나는 것(515)을 특징으로 하는 파워 출력을 제어하는 방법.

[0087] 항목 7. 항목 3에 있어서,

[0088] 상기 적어도 하나의 적분기는 제1 및 제2 적분기들(335A, 335B)을 포함하고, 상기 방법은:

[0089] 상기 제1 및 제2 인버터 유닛들의 제1 스위칭 사이클 동안, 상기 제1 적분기를 이용해서 상기 제1 및 제2 전압들 각각을 적분하는 것(605); 및

[0090] 상기 제1 및 제2 인버터 유닛들의 제2 스위칭 사이클 동안, 상기 제2 적분기를 이용해서 상기 제1 및 제2 전압들 각각을 적분하는 것(625);

[0091] 을 더 포함하는 것을 특징으로 하는 파워 출력을 제어하는 방법.

[0092] 항목 8. 모듈식 컨버터 시스템(100, 200)으로서, 모듈식 컨버터 시스템(100, 200)은:

[0093] 시스템 컨트롤러(system controller)(105); 및

[0094] 동상의 파워 출력(215-1, 215-2, 215-3)을 생성하도록 구성되고, 병렬적으로 연결된 적어도 제1 및 제2 인버터 유닛들(125A, 125B);

[0095] 을 포함하고,

[0096] 상기 제1 및 제2 인버터 유닛들의 각각의 인버터 유닛은 각각:

[0097] 스위칭 엘리먼트들(330-1, 330-2) 사이에 연결된 위상 출력 노드(340)를 갖는 한 쌍의 스위칭 엘리먼트들(330-1, 330-2), 및

[0098] 한 쌍의 게이트 드라이버들(325-1, 325-2)

[0099] 을 포함하고,

[0100] 각각의 게이트 드라이버는 상기 시스템 컨트롤러로부터 각각의 제어 신호(345A, 345B)를 수신하고, 상기 한 쌍의 스위칭 엘리먼트들 중의 각각의 스위칭 엘리먼트의 스위칭을 제어하기 위하여 구동 신호(326-1, 326-2)를 생성하도록 구성되고,

[0101] 상기 시스템 컨트롤러는:

[0102] 상기 제1 및 제2 인버터 유닛들의 상기 위상 출력 노드들에서의 각각의 전압들을 기초로 해서 게이트 드라이버 오프셋 값(310)을 결정하도록 구성되고, 그리고

[0103] 상기 동상의 파워 출력을 생성할 때 상기 제1 및 제2 인버터 유닛들에 의해 제공되는 전류량들이 밸런싱되도록 하기 위하여 후속 구동 신호들(326-1, 326-2)을 가지고 제1 및 제2 인버터 유닛들을 이용하여 상기 게이트 드라이버들을, 결정된 상기 게이트 드라이버 오프셋 값을 기초로 해서, 제어하도록 구성된 것을 특징으로 하는 모듈식 컨버터 시스템.

[0104] 항목 9. 항목 8에 있어서,

[0105] 상기 시스템 컨트롤러는 상기 제1 및 제2 인버터 유닛들 각각에 대해 각각의 인가 볼트-초 값(312)을 계산하도록 더 구성되고, 상기 게이트 드라이버 오프셋 값은 각각의 계산된 인가 볼트-초 값들 간의 차이를 기초로 하는 것을 특징으로 하는 모듈식 컨버터 시스템.

[0106] 항목 10. 항목 8에 있어서,

[0107] 상기 제1 인버터 유닛의 상기 위상 출력 노드와 연결된 하나 이상의 제1 적분기들(335-1, 335-2); 및

[0108] 상기 제2 인버터 유닛의 상기 위상 출력 노드와 연결된 하나 이상의 제2 적분기들(335-1, 335-2);

[0109] 을 더 포함하고,

[0110] 상기 게이트 드라이버 오프셋 값을 결정하는 것은:

[0111] 상기 하나 이상의 제1 적분기들 및 상기 하나 이상의 제2 적분기들을 이용해서, 적어도 하나의 기준 전압(VDC+, VDC-)에 대한 제1 및 제2 전압들 각각을 적분하는 것을 포함하는 것을 특징으로 하는 모듈식 컨버터 시스템.

[0112] 항목 11. 항목 10에 있어서,

[0113] 상기 적어도 하나의 기준 전압은 시스템 접지를 포함하는 것을 특징으로 하는 모듈식 컨버터 시스템.

[0114] 항목 12. 항목 10에 있어서,

[0115] 상기 제1 및 제2 전압들 각각을 적분하는 것은 상기 제1 및 제2 인버터 유닛들의 스위칭 사이클 동안 일어나고,

[0116] 상기 시스템 컨트롤러는 상기 스위칭 사이클의 완료시 상기 하나 이상의 제1 적분기들 및 상기 하나 이상의 제2 적분기들을 리셋하도록 더 구성된 것을 특징으로 하는 모듈식 컨버터 시스템.

[0117] 항목 13. 항목 12에 있어서,

[0118] 상기 하나 이상의 제1 적분기들 및 상기 하나 이상의 제2 적분기들을 리셋하는 것은 상기 제1 및 제2 인버터 유닛들 각각의 상기 한 쌍의 게이트 드라이버들에 제공되는 제어 신호(345A, 345B)의 상승 엣지를 검출하는 때에 일어나는 것을 특징으로 하는 모듈식 컨버터 시스템.

[0119] 항목 14. 항목 10에 있어서,

[0120] 상기 하나 이상의 제1 적분기들은 제1 복수의 적분기들(335A, 335B)을 포함하고, 상기 하나 이상의 제2 적분기들은 제2 복수의 적분기들(335A, 335B)을 포함하고,

[0121] 상기 제1 복수의 적분기들 및 상기 제2 복수의 적분기들의 각각의 적분기 중의 적어도 하나의 적분기는 상기 제

1 및 제2 인버터 유닛들의 제1 스위칭 사이클 동안 상기 각각의 제1 및 제2 전압들을 적분하도록 구성되고,

[0122] 상기 제1 복수의 적분기들 및 상기 제2 복수의 적분기들의 각각의 적분기 중의 적어도 다른 하나의 적분기는 상기 제1 및 제2 인버터 유닛들의 제2 스위칭 사이클 동안 상기 각각의 제1 및 제2 전압들을 적분하도록 구성된 것을 특징으로 하는 모듈식 컨버터 시스템.

[0123] 항목 15. 하나 이상의 컴퓨터 프로세서들의 작동에 의해 실행될 때, 복수의 병렬적 인버터 유닛들(125)을 포함하는 모듈식 컨버터 시스템(100, 200)의 파워 출력을 제어하는 동작을 수행하는 컴퓨터 프로그램 코드를 포함하는 비일시적(non-transitory) 컴퓨터-판독가능 매체로서, 상기 복수의 병렬적 인버터 유닛들은 적어도 제1 위상 출력 노드(340-1)를 가진 제1 인버터 유닛(125A) 및 적어도 제2 위상 출력 노드(340-4)를 가진 제2 인버터 유닛(125B)을 포함하고, 상기 동작은:

[0124] 동상의 파워 출력(215-1)을 생성하기 위하여 초기 구동 신호들(326-1, 326-2)을 가지고 상기 제1 및 제2 인버터 유닛들의 스위칭 엘리먼트들(330-1, 330-2)을 구동하기 위해(405) 복수의 게이트 드라이버들(325-1, 325-2)과 통신하는 것;

[0125] 상기 제1 및 제2 위상 출력 노드들에서의 각각의 제1 및 제2 전압들을 기초로 해서 게이트 드라이버 오프셋 값(310)을 결정하는 것(415); 및

[0126] 상기 동상의 파워 출력을 생성할 때 상기 제1 및 제2 인버터 유닛들에 의해 제공되는 각각의 전류량들이 밸런싱되도록 하기 위하여 후속 구동 신호들(326-1, 326-2)을 가지고 상기 제1 및 제2 인버터 유닛들의 상기 스위칭 엘리먼트들을, 결정된 상기 게이트 드라이버 오프셋 값을 기초로 해서, 구동하기 위해(425) 상기 복수의 게이트 드라이버들과 통신하는 것;을 포함하는 것을 특징으로 하는 컴퓨터-판독가능 매체.

[0127] 항목 16. 항목 15에 있어서,

[0128] 상기 게이트 드라이버 오프셋 값을 결정하는 것은:

[0129] 상기 제1 및 제2 인버터 유닛들 각각에 대해 각각의 인가 볼트-초 값(312)을 계산하는 것(535)을 포함하고, 상기 게이트 드라이버 오프셋 값은 각각의 계산된 인가 볼트-초 값들 간의 차이를 기초로 하는 것을 특징으로 하는 컴퓨터-판독가능 매체.

[0130] 항목 17. 항목 15에 있어서,

[0131] 상기 제1 및 제2 위상 출력 노드들 각각은 상기 모듈식 컨버터 시스템의 적어도 하나의 적분기(335-1, 335-2)와 연결되어 있고, 상기 게이트 드라이버 오프셋 값을 결정하는 것은:

[0132] 상기 적어도 하나의 적분기를 이용해서, 적어도 하나의 기준 전압(VDC+, VDC-)에 대한(relative to) 제1 및 제2 전압들 각각을 적분하는 것(505)을 포함하는 것을 특징으로 하는 컴퓨터-판독가능 매체.

[0133] 항목 18. 항목 17에 있어서,

[0134] 상기 제1 및 제2 전압들 각각을 적분하는 것은 상기 제1 및 제2 인버터 유닛들의 스위칭 사이클 동안 일어나고, 상기 동작은:

[0135] 상기 스위칭 사이클의 완료시 상기 적분기를 리셋하는 것(525)을 더 포함하는 것을 특징으로 하는 컴퓨터-판독가능 매체.

[0136] 항목 19. 항목 18에 있어서,

[0137] 상기 적분기를 리셋하는 것은 상기 제1 및 제2 인버터 유닛들의 게이트 드라이버들에 제공되는 제어 신호(345A, 345B)의 상승 엣지를 검출하는 때에 일어나는 것(515)을 특징으로 하는 컴퓨터-판독가능 매체.

[0138] 항목 20. 항목 17에 있어서,

[0139] 상기 적어도 하나의 적분기는 제1 및 제2 적분기들(335A, 335B)을 포함하고, 상기 동작은:

[0140] 상기 제1 및 제2 인버터 유닛들의 제1 스위칭 사이클 동안, 상기 제1 적분기를 이용해서 상기 제1 및 제2 전압들 각각을 적분하는 것(605); 및

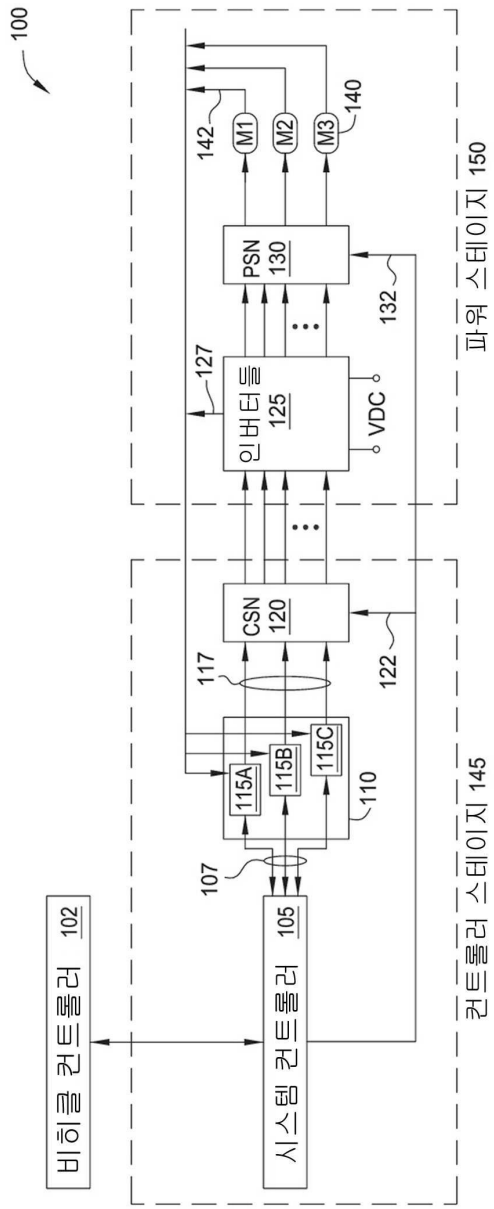
[0141] 상기 제1 및 제2 인버터 유닛들의 제2 스위칭 사이클 동안, 상기 제2 적분기를 이용해서 상기 제1 및 제2 전압들 각각을 적분하는 것(625);

[0142] 을 더 포함하는 것을 특징으로 하는 컴퓨터-판독가능 매체.

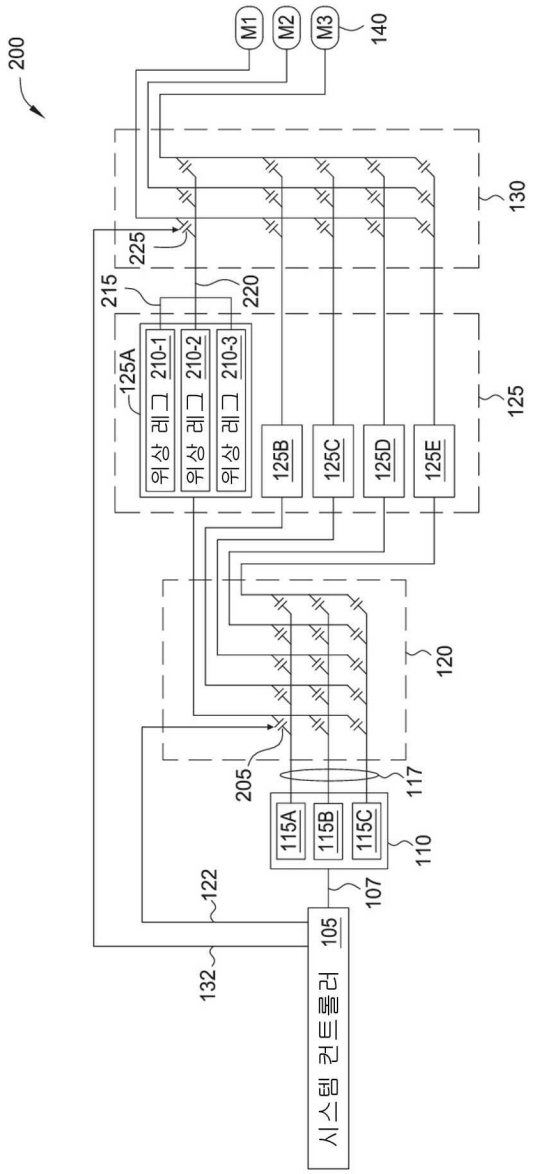
[0143] 상술한 내용은 본 발명의 예들을 지향하는 것이지만, 본 발명의 다른 추가적인 예들이 그 기본 범위로부터 벗어나지 않으면서 도출될 수 있으며, 본 발명의 범위는 이하의 청구항들에 의해 결정된다.

## 도면

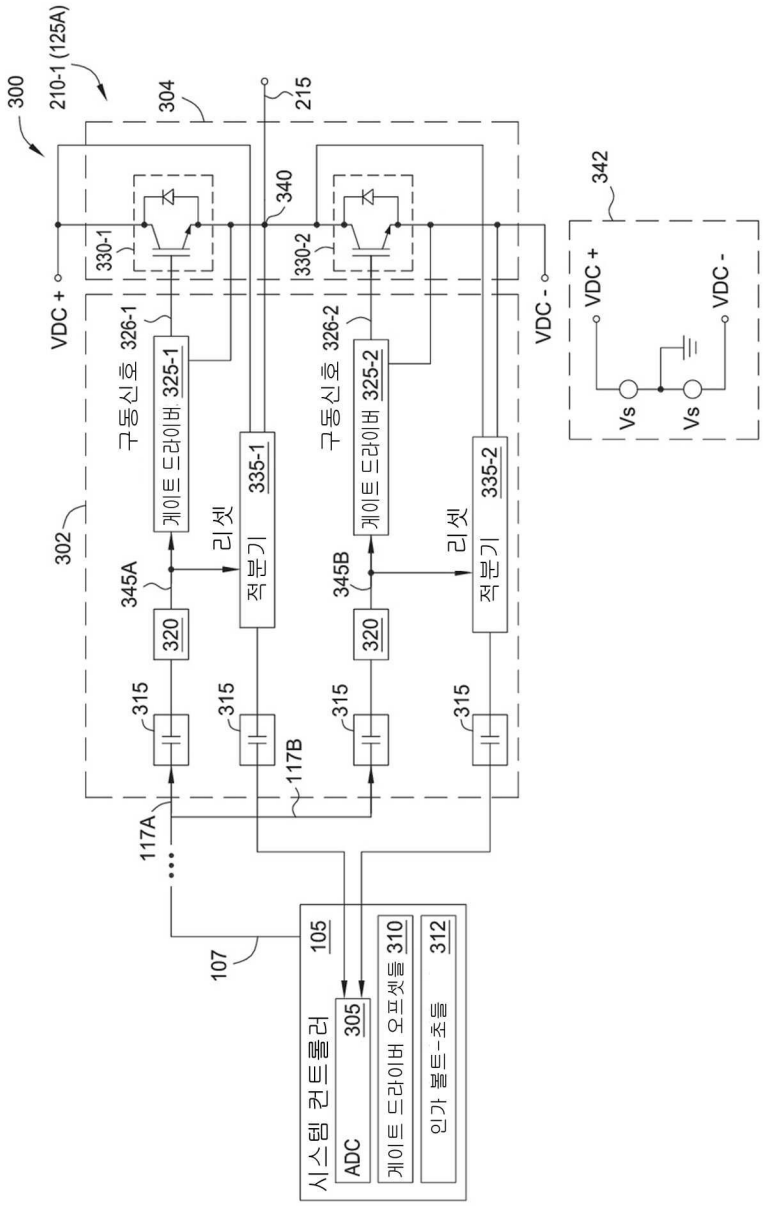
### 도면1



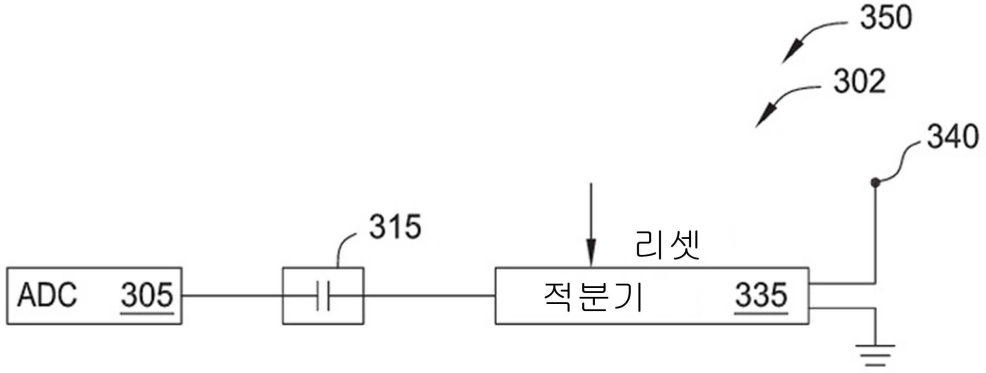
도면2


200
M1
M2
M3
140
130
225
215
220
125A
위상 레그 210-1
위상 레그 210-2
위상 레그 210-3
125B
125C
125D
125E
125
120
205
117
115A
115B
115C
110
107
122
105
시스템 컨트롤러
132

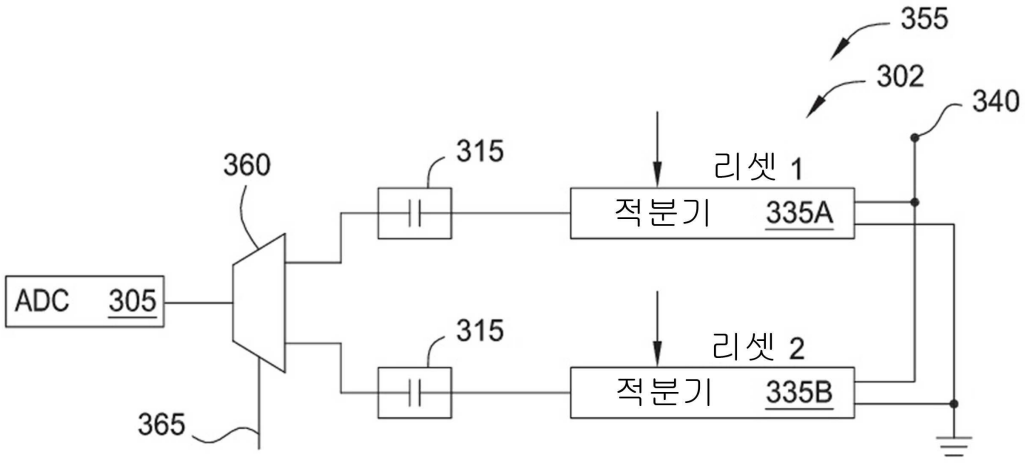
도면3a


300
210-1 (125A)
304
215
340
342
330-1
330-2
VDC +
VDC -
326-1
326-2
구동신호
325-1
325-2
게이트 드라이버
335-1
335-2
적분기
리셋
345A
345B
320
315
302
117A
117B
107
105
시스템 컨트롤러
305
ADC
310
게이트 드라이버 오프셋들
312
인가 볼트-초들
Vs
Vs

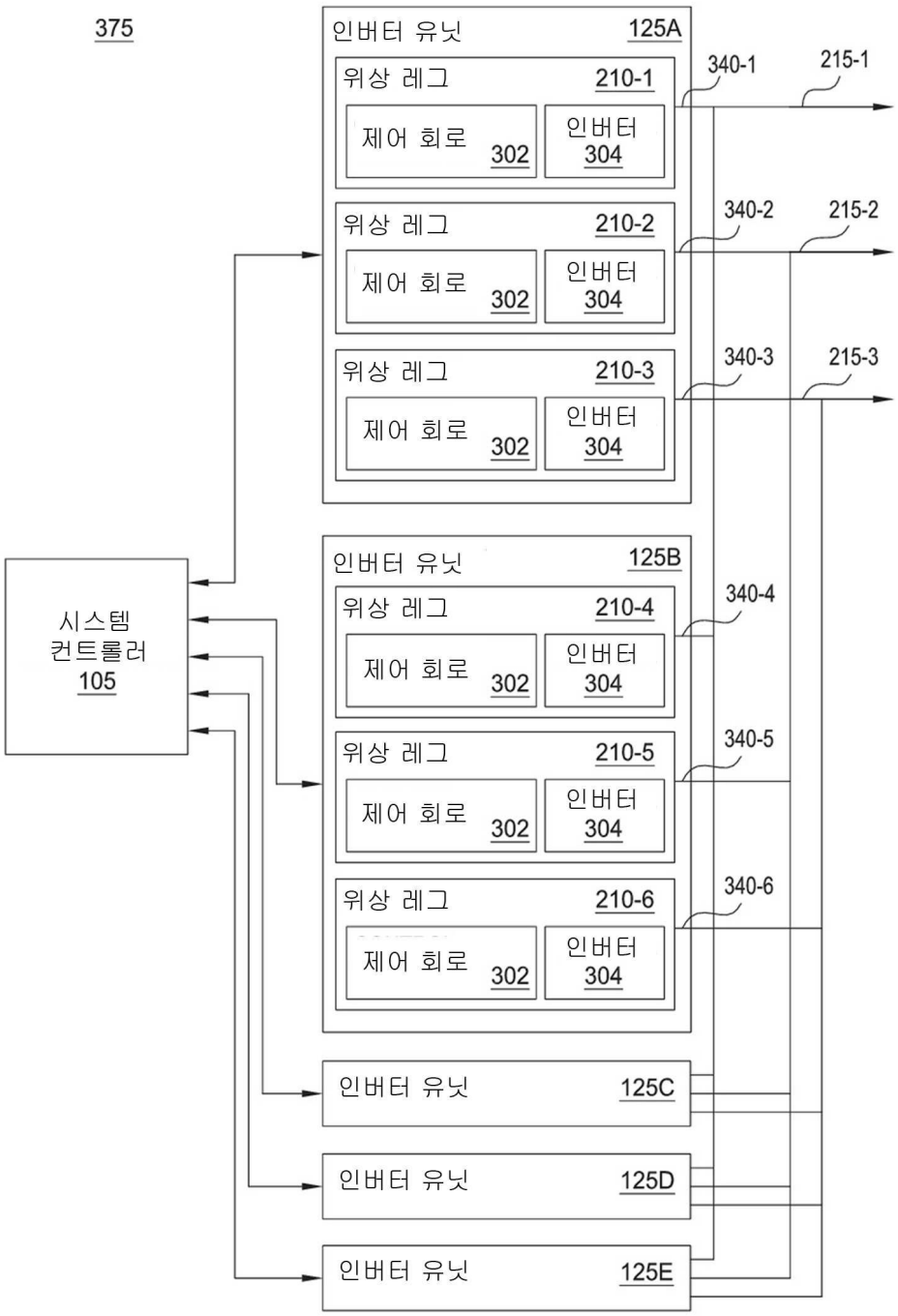
도면3b


350
302
340
315
리셋
ADC 305
적분기 335

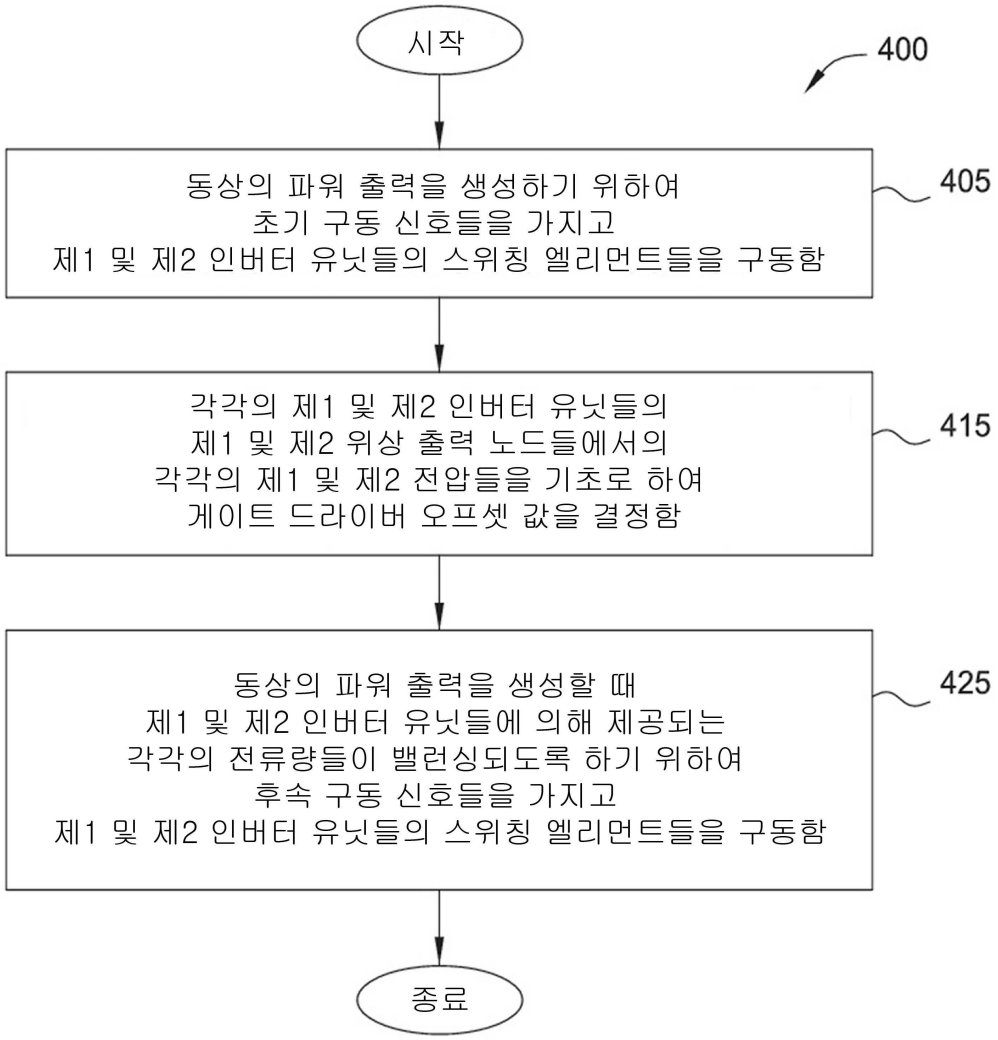
도면3c



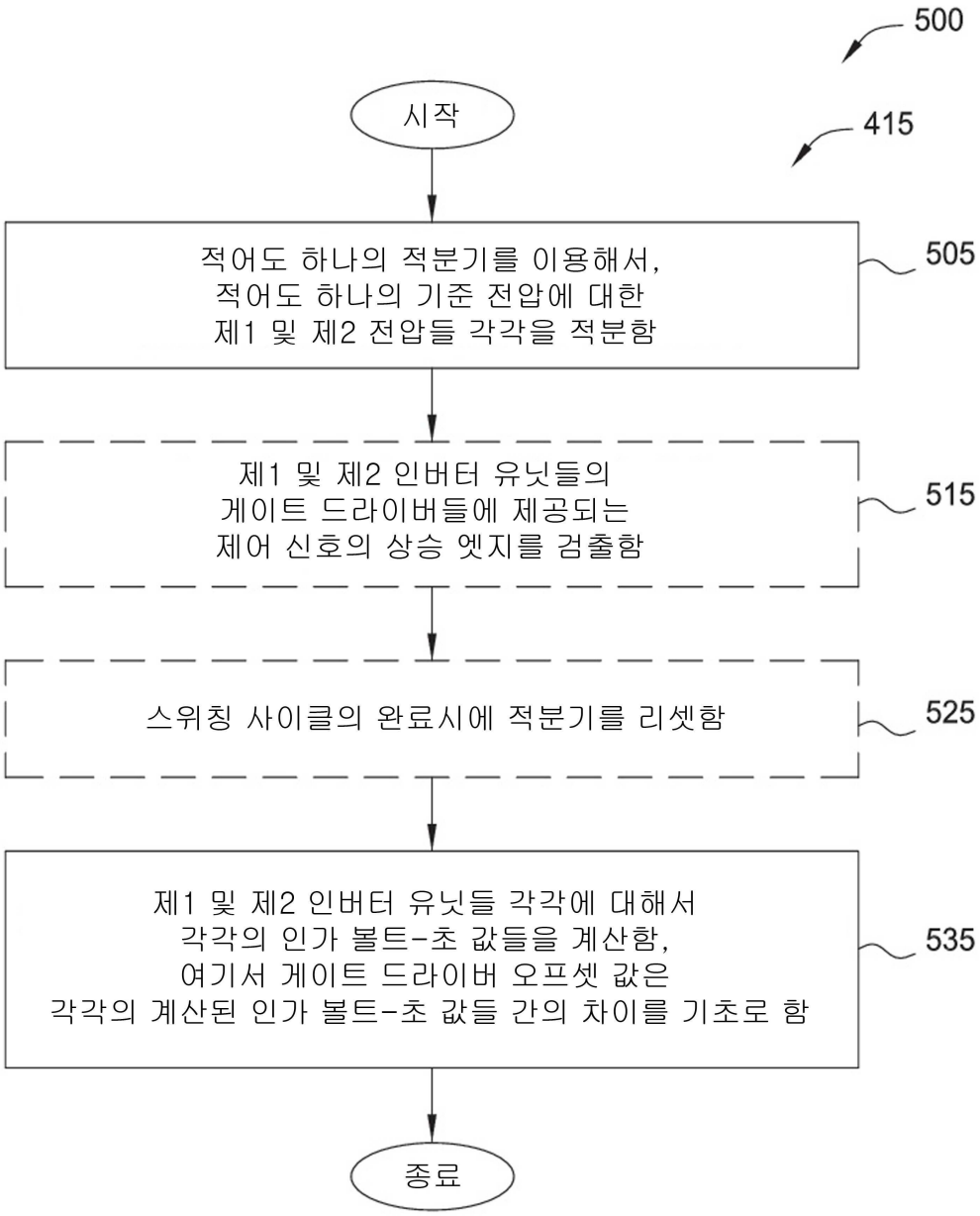
도면3d


375
인버터 유닛 125A
위상 레그 210-1
제어 회로 302
인버터 304
위상 레그 210-2
제어 회로 302
인버터 304
위상 레그 210-3
제어 회로 302
인버터 304
340-1
215-1
340-2
215-2
340-3
215-3
시스템 컨트롤러 105
인버터 유닛 125B
위상 레그 210-4
제어 회로 302
인버터 304
위상 레그 210-5
제어 회로 302
인버터 304
위상 레그 210-6
제어 회로 302
인버터 304
340-4
340-5
340-6
인버터 유닛 125C
인버터 유닛 125D
인버터 유닛 125E

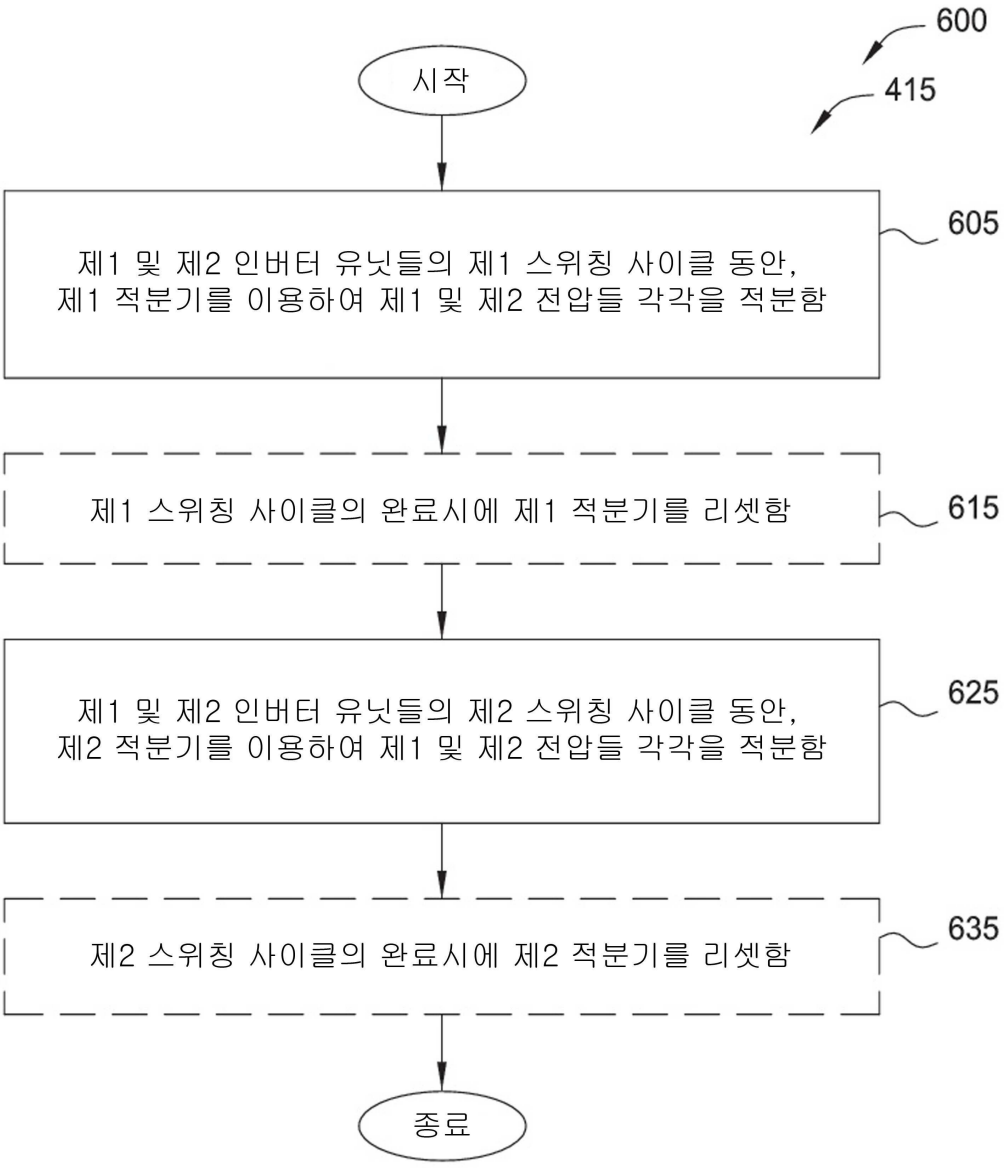
도면4


시작
400
동상의 파워 출력을 생성하기 위하여
초기 구동 신호들을 가지고
제1 및 제2 인버터 유닛들의 스위칭 엘리먼트들을 구동함
405
각각의 제1 및 제2 인버터 유닛들의
제1 및 제2 위상 출력 노드들에서의
각각의 제1 및 제2 전압들을 기초로 하여
게이트 드라이버 오프셋 값을 결정함
415
동상의 파워 출력을 생성할 때
제1 및 제2 인버터 유닛들에 의해 제공되는
각각의 전류량들이 밸런싱되도록 하기 위하여
후속 구동 신호들을 가지고
제1 및 제2 인버터 유닛들의 스위칭 엘리먼트들을 구동함
425
종료

도면5


500
415
시작
적어도 하나의 적분기를 이용해서,
적어도 하나의 기준 전압에 대한
제1 및 제2 전압들 각각을 적분함
505
제1 및 제2 인버터 유닛들의
게이트 드라이버들에 제공되는
제어 신호의 상승 엣지를 검출함
515
스위칭 사이클의 완료시에 적분기를 리셋함
525
제1 및 제2 인버터 유닛들 각각에 대해서
각각의 인가 볼트-초 값들을 계산함,
여기서 게이트 드라이버 오프셋 값은
각각의 계산된 인가 볼트-초 값들 간의 차이를 기초로 함
535
종료

도면6


600
415
시작
제1 및 제2 인버터 유닛들의 제1 스위칭 사이클 동안,
제1 적분기를 이용하여 제1 및 제2 전압들 각각을 적분함
605
제1 스위칭 사이클의 완료시에 제1 적분기를 리셋함
615
제1 및 제2 인버터 유닛들의 제2 스위칭 사이클 동안,
제2 적분기를 이용하여 제1 및 제2 전압들 각각을 적분함
625
제2 스위칭 사이클의 완료시에 제2 적분기를 리셋함
635
종료