



(12)发明专利

(10)授权公告号 CN 102881329 B

(45)授权公告日 2017.03.01

(21)申请号 201210242442.8

(22)申请日 2012.07.12

(65)同一申请的已公布的文献号

申请公布号 CN 102881329 A

(43)申请公布日 2013.01.16

(30)优先权数据

10-2011-0068825 2011.07.12 KR

(73)专利权人 三星电子株式会社

地址 韩国京畿道

(72)发明人 南尚完

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 李琳

(51)Int.Cl.

G11C 16/14(2006.01)

G11C 16/34(2006.01)

(56)对比文件

CN 101241761 A, 2008.08.13, 说明书第3页第2段-第4页第2段、附图1, 3B.

US 2004/0105310 A1, 2004.06.03, 全文.

US 2008/0037307 A1, 2008.02.14, 全文.

CN 101241760 A, 2008.08.13, 全文.

审查员 李元

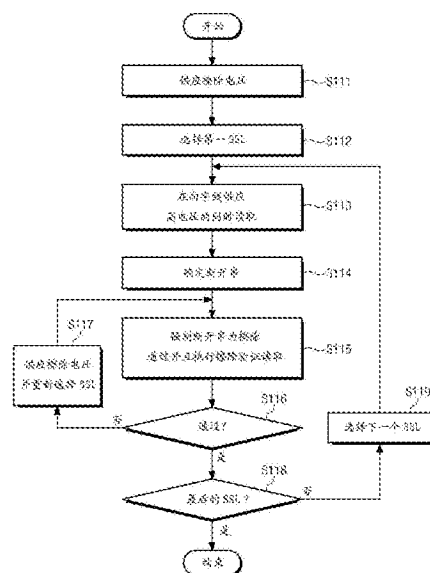
权利要求书5页 说明书40页 附图63页

(54)发明名称

非易失性存储器件的擦除系统和方法

(57)摘要

非易失性存储器件的擦除系统和方法包括：向非易失性存储器的多个存储单元供应擦除电压；利用到所述多个存储单元的字线的读取电压执行读取操作；以及利用到所述多个存储单元的字线中的至少一条字线的擦除验证电压执行擦除验证操作，该擦除验证电压低于读取电压。



1. 一种非易失性存储器件的擦除方法,该擦除方法包括:
向多个存储单元供应擦除电压;
利用到所述多个存储单元的字线的读取电压执行读取操作;
根据执行的读取操作确定一个或多个串为断开串;
以及
利用到所述多个存储单元的字线中的至少一条字线的擦除验证电压执行擦除验证操作,该擦除验证电压低于读取电压。
2. 如权利要求1所述的擦除方法,其中,所述读取电压包括将被施加到相应字线的一个或多个电平的电压。
3. 如权利要求1所述的擦除方法,其中,所述读取电压包括将被施加到字线的单电平的电压。
4. 如权利要求1所述的擦除方法,其中:
相对于所述多个存储单元的字线中相应的一条字线,所述擦除验证电压是可变的;并且
且
可变的擦除验证电压低于读取电压。
5. 如权利要求1所述的擦除方法,其中,所述读取电压高于所述多个存储单元的编程状态的阈值电压的电压。
6. 如权利要求1所述的擦除方法,其中:
所述多个存储单元包括至少一个伪单元以及一个或多个常规存储单元;并且
在读取操作和擦除验证操作中,向所述至少一个伪单元供应与供应到常规存储单元的工作电压不同的电压。
7. 一种非易失性存储器件的擦除方法,该擦除方法包括:
向多个串供应擦除电压,每个串具有多个存储单元;
利用到所述多个存储单元的字线的读取电压执行读取操作;
根据执行的读取操作确定一个或多个串为断开串;
对断开串处理擦除验证通过;以及
利用到所述多个串的字线的擦除验证电压执行擦除验证操作。
8. 如权利要求7所述的擦除方法,还包括:
根据执行的擦除验证操作向所述多个串供应修改后的擦除电压。
9. 如权利要求8所述的擦除方法,其中:
根据读取操作所述多个存储单元被确定为断开串和非断开串;并且
擦除验证操作包括避免对断开串执行位线预充电操作。
10. 如权利要求7所述的擦除方法,还包括:
向断开串和非断开串的位线供应不同的电压作为预充电电压;以及
在擦除验证操作中向所述多个存储单元的相应字线供应擦除验证电压。
11. 如权利要求7所述的擦除方法,其中:
所述多个存储单元包括至少一个伪单元以及一个或多个常规存储单元;并且
在读取操作和擦除验证操作中,向所述至少一个伪单元供应与供应到常规存储单元的工作电压不同的电压。

12.一种非易失性存储器件,包括:

存储单元阵列,其具有衬底和多个块,每个块具有多个串,每个串具有多个存储单元,所述多个串沿垂直于衬底的方向形成在衬底上;

控制单元,用于利用到所述多个串的字线的电压执行读取操作;以及

页缓存单元,用于存储通过读取操作确定的、关于所述多个串其中的一个或多个断开串的信息,

其中,该控制单元利用到所述多个存储单元的字线中的至少一条字线的擦除验证电压执行擦除验证操作,并且该擦除验证电压低于读取电压。

13.如权利要求12所述的非易失性存储器件,其中,所述多个串中的每一个的所述多个存储单元中的每一个具有不同的尺寸,其中,相邻的串通过间隙相互间隔。

14.如权利要求12所述的非易失性存储器件,其中:

所述控制单元根据读取操作确定所述串当中的第一断开串,并且根据擦除验证操作确定第二断开串;并且

所述控制单元利用修改后的擦除电压对第一断开串和第二断开串执行擦除操作。

15.如权利要求12所述的非易失性存储器件,其中,所述控制单元在利用第一擦除电压对包括断开串和非断开串的所述串执行擦除操作之后,对非断开串执行擦除验证操作。

16.如权利要求15所述的非易失性存储器件,其中,所述控制单元根据擦除验证操作利用修改后的擦除电压对断开串执行另一个擦除操作。

17.如权利要求12所述的非易失性存储器件,其中,当被选串被确定为代表擦除失败串的断开串时,所述控制单元根据执行的擦除验证,控制将对被选串执行的另一个擦除操作。

18.一种存储系统的操作方法,该方法包括:

从控制器生成命令,以对非易失性存储器件执行擦除操作,该非易失性存储器件包括存储单元阵列,该存储单元阵列具有衬底和多个串,每个串具有多个存储单元,所述多个串沿垂直于衬底的方向形成在衬底上;以及

根据生成的命令在非易失性存储器件中执行擦除操作,该擦除操作包括:

对所述多个串执行擦除操作;

利用到所述多个存储单元的字线的读取电压执行读取操作;

根据执行的读取操作确定一个或多个串为断开串;

对断开串处理擦除验证通过;以及

利用到所述多个串的字线的擦除验证电压执行擦除验证操作,所述擦除验证电压低于读取电压。

19.如权利要求18所述的操作方法,其中,所述执行擦除验证操作包括:避免对第一确定的断开串执行擦除验证操作。

20.如权利要求19所述的操作方法,还包括:

利用第二擦除电压对第一确定和第二确定的断开串执行第二擦除操作。

21.如权利要求18所述的操作方法,其中,在擦除操作和擦除验证操作之间不执行读取操作。

22.如权利要求18所述的操作方法,其中,不对确定的断开串执行擦除验证操作。

23.如权利要求18所述的操作方法,还包括:

从非易失性存储器件向控制器传送对擦除操作的第一响应信号；

从控制器生成第二命令以控制非易失性存储器件执行第二擦除操作；以及

从非易失性存储器件传送对第二擦除操作的第二响应信号，以便控制器根据第一响应信号和第二响应信号执行错误处理以确定损坏的块。

24. 如权利要求18所述的操作方法，还包括：

当擦除操作完成时向控制器传送关于断开串的信息，以便控制器利用传送的信息更新先前的信息。

25. 如权利要求18所述的操作方法，还包括：

向控制器传送关于断开串的信息；

向非易失性存储器件传送读取命令以执行从所述串读取数据的第二读取操作；以及根据读取的数据和关于断开串的信息纠正错误。

26. 如权利要求18所述的操作方法，还包括：

向非易失性存储器件生成命令以执行预读取操作；以及

根据预读取操作从非易失性存储器件接收关于第二断开串的信息，并且控制非易失性存储器件将关于第二断开串的信息存储在该非易失性存储器件的缓存区中。

27. 如权利要求26所述的操作方法，还包括：

向非易失性存储器件生成第二命令，以便向控制器输出所存储的断开串信息；

接收根据擦除操作的第二断开串的信息；以及

根据该第二断开串信息和所述断开串信息来更新信息。

28. 如权利要求18所述的操作方法，还包括：

选择连接预定数量的串的串选择线，以对被选串选择线的所述预定数量的串执行读取操作，直到该被选串选择线被确定为是所述串的最后的串选择线为止。

29. 如权利要求18所述的操作方法，其中：

所述多个串被分成多个组，以便被连接到多条串选择线；

所述擦除操作包括选择所述多条串选择线中的第一串选择线；以及

相对于与被选串选择线连接的串执行读取操作和擦除验证操作。

30. 如权利要求18所述的操作方法，还包括：

重复执行读取操作以及检测断开串，直到多条串选择线中的最后的串选择线被选择为止，所述多条串选择线每一条连接到相应的串，并且被顺序地选择。

31. 如权利要求30所述的操作方法，其中，所述重复包括：

选择多条串选择线中的第二串选择线；

通过向连接到第二串选择线的串的字线施加高电压，执行读取操作；以及

根据执行的读取操作，确定一个或多个第二串为断开串。

32. 一种存储系统，包括：

非易失性存储器件，其包括存储单元阵列，该存储单元阵列具有衬底和多个串，每个串具有多个存储单元，所述多个串沿垂直于衬底的方向形成在衬底上；以及

控制器，用于生成命令以对非易失性存储器件执行擦除操作，从而使该非易失性存储器件：

擦除所述多个串；

利用到所述多个存储单元的字线的读取电压执行读取操作；

根据执行的读取操作确定一个或多个串为断开串；

对断开串处理擦除验证通过；以及

利用到所述多个串的字线的擦除验证电压执行擦除验证操作，所述擦除验证电压低于读取电压。

33. 如权利要求32所述的存储系统，其中，所述串通过间隙相互间隔，在所述间隙中，形成沟道膜单元以连接所述串的存储单元，并且该沟道膜单元具有导致断开串的缺点。

34. 如权利要求33所述的存储系统，其中，所述非易失性存储器件包括连接到相邻的串的沟道膜单元，并且所述断开串通过与衬底没有电接触的沟道膜单元形成。

35. 如权利要求33所述的存储系统，其中，所述非易失性存储器件包括漏极以及连接到相邻的串的沟道膜单元，并且所述断开串通过与衬底没有电接触的沟道膜单元形成。

36. 如权利要求32所述的存储系统，其中，所述非易失性存储器件避免对第一确定的断开串执行擦除验证操作。

37. 一种存储系统，包括：

非易失性存储器件；以及

控制器，其被配置成控制该非易失性存储器件，

其中，该非易失性存储器件包括：

存储单元阵列，其包括多个串，每个串具有多个存储单元；

读取/写入单元，其被配置成响应于从控制器发送的命令执行读取操作并且输出读取结果，该读取操作通过将高电压施加到与所述多个串连接的字线来进行；

计数单元，其被配置成接收输出的读取结果，并且对于在读取操作中被读取为断开的断开串的数量进行计数；以及

数据输入/输出电路，其被配置成输出读取结果或计数结果，以作为与断开串相关联的信息，并且

其中，所述控制器被配置成基于与断开串相关联的信息控制非易失性存储器件。

38. 如权利要求37所述的存储系统，其中：

所述非易失性存储器件包括衬底；

所述多个串沿垂直于衬底的方向布置在衬底上，并且被分成多个串的组，所述组连接到多条串选择线；

所述控制器控制该非易失性存储器件对所述多条串选择线的组中的串执行擦除操作；并且

所述控制器控制非易失性存储器件将一个或多个断开串处理为擦除通过，并且以每个组为单位对其他串执行擦除验证操作。

39. 如权利要求38所述的存储系统，其中，相邻的串通过柱相互间隔，所述柱具有电连接到每个串的存储单元的沟道膜。

40. 如权利要求39所述的存储系统，其中，所述柱具有宽度，该宽度根据距衬底的距离而变宽。

41. 如权利要求38所述的存储系统，其中，每个串的存储单元具有长度，该长度根据距衬底的距离而变短。

42. 一种存储系统的操作方法, 该存储系统包括非易失性存储器件和控制器, 该非易失性存储器件包括多个串, 该控制器被配置成控制该非易失性存储器件, 每个串包括多个存储单元, 所述操作方法包括:

从控制器向非易失性存储器件发送命令;

响应于该命令执行对非易失性存储器件的读取操作, 该读取操作通过向与所述多个串连接的所有字线施加高电压来进行;

从非易失性存储器件向控制器发送与在读取操作中被读取为断开的断开串相关联的信息; 以及

在控制器中存储所发送的信息。

43. 如权利要求42所述的操作方法, 还包括:

从控制器向非易失性存储器件发送所存储的与断开串相关联的信息以及擦除命令; 以及

响应于所存储的与断开串相关联的信息和擦除命令, 执行对非易失性存储器件的擦除操作。

44. 如权利要求43所述的操作方法, 其中, 如果擦除操作的结果指示擦除失败, 则再次执行发送命令、执行读取操作、发送信息以及存储发送的信息。

45. 如权利要求42所述的操作方法, 还包括:

从控制器向非易失性存储器件发送读取命令;

从非易失性存储器件向控制器发送根据读取命令的读取结果; 以及

使用所存储的与断开串相关联的信息纠正所发送的读取结果的错误, 该纠正由控制器进行。

46. 如权利要求42所述的操作方法, 还包括:

使用写入数据和所存储的与断开串相关联的信息生成码字, 该生成由控制器进行;

从控制器向非易失性存储器件发送生成的码字和写入命令; 以及

响应于该写入命令在非易失性存储器件中写入所发送的码字。

47. 如权利要求42所述的操作方法, 还包括:

从控制器向非易失性存储器件发送所存储的与断开串相关联的信息以及第二命令; 以及

响应于该第二命令在非易失性存储器件中写入所发送的与断开串相关联的信息。

非易失性存储器件的擦除系统和方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于2011年7月12日提交的韩国专利申请第10-2011-0068825号的优先权权益,其内容通过全文引用合并于此。

技术领域

[0003] 示例性实施例涉及半导体存储器件,更具体地,涉及非易失性存储器件、其擦除方法、其操作方法、包括该非易失性存储器件的存储系统以及该存储系统的操作方法。

背景技术

[0004] 半导体存储器件是使用诸如硅(Si)、锗(Ge)、砷化镓(GaAs)、磷化铟(InP)等等半导体制造的存储器件。半导体存储器件分成易失性存储器件和非易失性存储器件。

[0005] 易失性存储器件在断电时会丢失存储的内容。易失性存储器件包括静态RAM(SRAM)、动态RAM(DRAM)、同步DRAM(SDRAM)等等。非易失性存储器件即使在断电时也可以保持存储的内容。非易失性存储器件包括只读存储器(ROM)、可编程ROM(PROM)、电可编程ROM(EPROM)、电可擦除可编程ROM(EEPROM)、快闪存储器件、相变RAM(phase change RAM, PRAM)、磁性RAM(magnetic RAM, MRAM)、电阻式RAM(resistive RAM, RRAM)、铁电RAM(ferroelectric RAM, FRAM)等等。快闪存储器件粗略地分成NOR(或非)型和NAND(与非)型。

[0006] 近来,开发了具有三维阵列结构的半导体存储器件以提高半导体存储器件的完整性。

发明内容

[0007] 本总体发明构思提供非易失性存储器件、其擦除方法、包括非易失性存储器件的存储系统、具有非易失性存储器件的电子装置、存储系统的操作方法、以及具有非易失性存储器件的电子装置。

[0008] 本总体发明构思的其他方面和优点将在下面的描述中部分地阐明,并将从描述中部分地变得明显,或者可以通过实践本总体发明构思而部分地习得。

[0009] 本总体发明构思的上述和/或其他特征及功用可以通过提供非易失性存储器件的擦除方法来实现,擦除方法包括:向多个存储单元供应擦除电压;利用到多个存储单元的字线的读取电压执行读操作;以及利用到多个存储单元的字线中的至少一条字线的擦除验证电压来执行擦除验证操作,擦除验证电压低于读取电压。

[0010] 读取电压可以包括将被施加到相应字线的一个或多个电平的电压。

[0011] 读取电压可以包括将被施加到字线的单个电平的电压。

[0012] 擦除验证电压可以相对于多个存储单元的字线中的对应的一条字线是可变的,并且可变擦除验证电压可以低于读取电压。

[0013] 读取电压可以高于多个存储单元的编程状态的阈值电压的电压。

[0014] 多个存储单元可以包括至少一个伪单元以及一个或多个常规存储单元。在读取操

作和擦除验证操作中,可以向至少一个伪单元供应与供应到常规存储单元的工作电压不同的电压。

[0015] 本总体发明构思的上述和/或其他特征及功用还可以通过提供非易失性存储器件的擦除方法来实现,擦除方法包括:向多个串供应擦除电压,每个串具有多个存储单元;利用到多个存储单元的字线的读取电压执行读操作;根据执行的读取操作,确定一个或多个串为断开串;对断开串处理擦除验证通过;以及利用到多个串的字线的擦除验证电压执行擦除验证操作。

[0016] 擦除方法还可以包括根据执行的擦除验证操作向多个串供应修改后的擦除电压。

[0017] 多个存储单元可以根据读取操作而被确定为断开串和非断开串,并且擦除验证操作可以包括避免对断开串执行位线预充电操作。

[0018] 擦除方法还可以包括:向断开串和非断开串的位线供应不同的电压以作为预充电电压;以及在擦除验证操作中向多个存储单元的相应字线供应擦除验证电压。

[0019] 多个存储单元可以包括至少一个伪单元以及一个或多个常规存储单元,并且在读取操作和擦除验证操作中,可以向至少一个伪单元供应与供应到常规存储单元的工作电压不同的电压。

[0020] 本总体发明构思的上述和/或其他特征及功用还可以通过提供非易失性存储器件来实现,非易失性存储器件包括:存储单元阵列,其具有衬底和多个块,每个块具有多个串,每个串具有多个存储单元,多个串沿垂直于衬底的方向形成在衬底上;控制单元,用于利用到多个串的字线的电压执行读取操作;以及页缓存单元,用于存储通过读取操作确定的关于多个串其中的一个或多个断开串的信息。控制单元可以利用到多个存储单元的字线中的至少一条字线的擦除验证电压执行擦除验证操作,并且擦除验证电压可以低于读取电压。

[0021] 多个串分别具有多个存储单元,多个存储单元具有不同的尺寸,以及,相邻的串可以通过间隙而相互间隔。

[0022] 控制单元可以根据读取操作确定串当中的第一断开串,并且根据擦除验证操作确定第二断开串,并且控制单元利用修改的擦除电压对第一断开串和第二断开串执行擦除操作。

[0023] 控制单元可以在利用第一擦除电压对包括断开串和非断开串的串执行擦除操作之后,对非断开串执行擦除验证操作。

[0024] 控制单元可以根据擦除验证操作,利用修改后的擦除电压对断开串执行另一个擦除操作。

[0025] 当被选串被确定为是代表擦除失败串的断开串时,控制单元可以根据执行的擦除验证,控制将对被选串执行的另一个擦除操作。

[0026] 本总体发明构思的上述和/或其他特征和功用还可以通过提供一种存储系统的操作方法来实现,方法包括:从控制器生成命令以对非易失性存储器件执行擦除操作,非易失性存储器件具有存储单元阵列,存储单元阵列具有衬底和多个串,每个串具有多个存储单元,多个串沿垂直于衬底的方向形成在衬底上;以及根据生成的命令在非易失性存储器件中执行擦除操作。擦除操作包括:对多个串执行擦除操作;利用到多个存储单元的字线的读取电压执行读取操作;根据执行的读取操作确定一个或多个串为断开串;对断开串处理擦除验证通过;以及利用到多个串的字线的擦除验证电压执行擦除验证操作,擦除验证电压

低于读取电压。

[0027] 处理擦除验证操作可以包括:避免对第一确定的断开串执行擦除验证操作。

[0028] 操作方法还可以包括利用第二擦除电压对第一确定和第二确定的断开串执行第二擦除操作。

[0029] 在擦除操作和擦除验证操作之间可以不执行读取操作。

[0030] 可以不对确定的断开串执行擦除验证操作。

[0031] 操作方法还可以包括:从非易失性存储器件向控制器传送对擦除操作的第一响应信号;从控制器生成第二命令以控制非易失性存储器件执行第二擦除操作;以及从非易失性存储器件传送对第二擦除操作的第二响应信号,以便控制器根据第一响应信号和第二响应信号执行错误处理以确定损坏的块。

[0032] 操作方法还可以包括:当擦除操作完成时,向控制器传送关于断开串的信息,以便控制器用传送的信息更新先前的信息。

[0033] 操作方法还可以包括:向控制器传送关于断开串的信息;向非易失性存储器件传送读取命令以执行从串读取数据的第二读取操作;以及根据读取的数据和关于断开串的信息纠正错误。

[0034] 操作方法还可以包括:向非易失性存储器件生成命令以执行预读取操作;根据预读取操作从非易失性存储器件接收关于第二断开串的信息;以及控制非易失性存储器件将关于第二断开串的信息存储在非易失性存储器件的缓存区中。

[0035] 操作方法还可以包括:向非易失性存储器件生成第二命令以向控制器输出存储的断开串信息;接收根据擦除操作的第二断开串的信息;以及根据第二断开串信息和断开串信息更新信息。

[0036] 操作方法还可以包括:选择连接预定数量的串的串选择线,以对被选串选择线的预定数量的串执行读取操作,直到被选串选择线被确定为是串的最后的串选择线为止。

[0037] 多个串可以被分成多个组,以便连接到多条串选择线;擦除操作可以包括选择多条串选择线中的第一串选择线;并且相对于与被选串选择线连接的串执行读取操作和擦除验证操作。

[0038] 操作方法还可以包括重复执行读取操作以及检测断开串,直到多条串选择线中的最后的串选择线被选择,多条串选择线分别连接到相应的串,并且被顺序地选择。

[0039] 重复可以包括:选择多条串选择线中的第二串选择线;通过向连接到第二选择线的串的字线施加高电压来执行读取操作;以及根据执行的读取操作确定一个或多个第二串为断开串。

[0040] 本总体发明构思的上述和/或其他特征和功用还可以通过提供一种存储系统来实现,存储系统包括:非易失性存储器件,其包括存储单元阵列,存储单元阵列具有衬底和多个串,每个串具有多个存储单元,多个串沿垂直于衬底的方向形成在衬底上;以及控制器,用于生成命令以对非易失性存储器件执行擦除操作,从而使非易失性存储器件擦除多个串,利用到多个存储单元的字线的读取电压执行读取操作,根据执行的读取操作确定一个或多个串为断开串,对断开串处理擦除验证通过,以及利用到多个串的字线的擦除验证电压执行擦除验证操作,擦除验证电压低于读取电压。

[0041] 串可以通过间隙相互间隔,在间隙中,形成沟道膜单元以连接串的存储单元,并且

沟道膜单元具有导致断开串的缺点。

[0042] 非易失性存储器件可以包括连接到相邻的串的沟道膜单元,并且断开串通过与衬底没有电接触的沟道膜单元形成。

[0043] 非易失性存储器件可以包括漏极以及连接到相邻的串的沟道膜单元,并且断开串通过与衬底没有电接触的沟道膜单元形成。

[0044] 非易失性存储器件可以避免对第一确定的断开串执行擦除验证操作。

[0045] 本总体发明构思的上述和/或其他特征和功用还可以通过提供一种存储系统来实现,存储系统包括非易失性存储器件和控制器,控制器被配置成控制非易失性存储器件。非易失性存储器件可以包括:存储单元阵列,存储单元阵列包括多个串,每个串具有多个存储单元;读取/写入单元,被配置成响应于从控制器发送的命令执行读取操作并输出读取结果,读取操作通过向与多个串连接的字线施加高电压来进行;计数单元,被配置成接收输出的读取结果并且对在读取操作中被读取为断开的断开串的数量进行计数;以及数据输入/输出电路,被配置成输出读取结果或计数结果,以作为与断开串相关联的信息。控制器可以被配置成基于与断开串相关联的信息控制非易失性存储器件。

[0046] 非易失性存储器件可以包括衬底,并且多个串可以沿垂直于衬底的方向布置在衬底上,并且多个串可以被分成多个串的组,组连接到多条串选择线,控制器控制非易失性存储器件对多条串选择线的组的串执行擦除操作。控制器可以控制非易失性存储器件将一个或多个断开串处理为擦除通过,并且以每个组为单位对其他串执行擦除验证操作。

[0047] 相邻的串通过柱相互间隔,柱具有电连接到每个串的存储单元的沟道膜。

[0048] 柱可以具有宽度,宽度根据距衬底的距离而变宽。

[0049] 每个串的存储单元可以具有长度,长度根据距衬底的距离而变短。

[0050] 本总体发明构思的上述和/或其他特征和功用还可以通过提供一种存储系统的操作方法来实现,存储系统包括非易失性存储器件和控制器,非易失性存储器件包括多个串,控制器被配置成控制非易失性存储器件,每个串包括多个存储单元,操作方法包括:从控制器向非易失性存储器件发送命令;响应于命令执行对非易失性存储器件的读取操作,读取操作通过向与多个串连接的所有字线施加高电压来进行;从非易失性存储器件向控制器发送与在读取操作中被读取为断开的断开串相关联的信息;以及在控制器中存储发送的信息。

[0051] 操作方法还可以包括从控制器向非易失性存储器件发送存储的与断开串相关联的信息和擦除命令;以及响应于存储的与断开串相关联的信息和擦除命令执行对非易失性存储器件的擦除操作。

[0052] 当擦除操作的结果指示擦除失败时,可以再次执行发送命令、执行读取操作、发送信息以及存储发送的信息。

[0053] 操作方法还可以包括:从控制器向非易失性存储器件发送读取命令;从非易失性存储器件向控制器发送根据读取命令的读取结果;以及使用存储的与断开串相关联的信息纠正发送的读取结果的错误,纠正由控制器进行。

[0054] 操作方法还可以包括:使用写入数据和存储的与断开串相关联的信息生成码字,生成由控制器进行;从控制器向非易失性存储器件发送生成的码字和写入命令;以及响应于写入命令在非易失性存储器件中写入发送的码字。

[0055] 操作方法还可以包括：从控制器向非易失性存储器件发送存储的与断开串相关联的信息和第二命令；以及响应于第二命令在非易失性存储器件中写入所发送的与断开串相关联的信息。

附图说明

[0056] 从以下结合附图对实施例的描述，本总体发明构思的这些和/或其他方面及优点将变得清楚和更加容易理解。附图中：

[0057] 图1是图示根据本发明构思的示例性实施例的非易失性存储器件的框图。

[0058] 图2是图示根据本发明构思的示例性实施例的图1的非易失性存储器件的存储单元阵列的示意图。

[0059] 图3是根据本发明构思的示例性实施例的图1的非易失性存储器件的存储块之一的平面图。

[0060] 图4是根据本发明构思的示例性实施例的沿图3的IV-IV'线截取的透视图。

[0061] 图5是根据本发明构思的示例性实施例的沿图4的IV-IV'线截取的截面图。

[0062] 图6是图示图5的单元晶体管之一的示意图。

[0063] 图7是图示根据本发明构思的示例性实施例的图3的EC部分的等效电路的电路图。

[0064] 图8是图示根据本发明构思的示例性实施例的擦除方法的流程图。

[0065] 图9是图示可在图8的擦除方法中使用的偏置条件的示意图。

[0066] 图10是图示衬底、沟道膜(channel film)以及字线的电压变化的时序图。

[0067] 图11是图示在图8的操作S113和S114存储单元阵列的电压变化的时序图。

[0068] 图12是图示在图8的操作S115和S116存储单元阵列的电压变化的时序图。

[0069] 图13A是图示在图8的擦除方法中执行的断开(off)串处理操作的流程图。

[0070] 图13B是图示根据本发明构思的示例性实施例的擦除方法的流程图。

[0071] 图14是图示根据本发明构思的示例性实施例的图1的页缓存单元的框图。

[0072] 图15是图示根据本发明构思的示例性实施例的非易失性存储器件的框图。

[0073] 图16是图示根据本发明构思的示例性实施例的预读取方法的流程图。

[0074] 图17是图示根据本发明构思的示例性实施例的预读取方法的流程图。

[0075] 图18是图示根据本发明构思的示例性实施例的非易失性存储器件的框图。

[0076] 图19是图示根据本发明构思的示例性实施例的非易失性存储器件的框图。

[0077] 图20是图示根据本发明构思的示例性实施例的擦除方法的流程图。

[0078] 图21是图示可在图20的擦除方法中使用的电压条件的示意图。

[0079] 图22是图示根据本发明构思的示例性实施例的非易失性存储器件的框图。

[0080] 图23是图示根据本发明构思的示例性实施例的擦除方法的流程图。

[0081] 图24是图示生成和信号(sum signal)和进位信号(carry signal)的方法的流程图。

[0082] 图25是图示根据本发明构思的示例性实施例的脉动进位(ripple and carry)计算器的框图。

[0083] 图26是图示根据本发明构思的示例性实施例的图3的EC部分的等效电路的电路图。

- [0084] 图27是图示根据本发明构思的示例性实施例的图3的EC部分的等效电路的电路图。
- [0085] 图28是图示根据本发明构思的示例性实施例的图3的EC部分的等效电路的电路图。
- [0086] 图29是图示当根据参照图8到图13描述的方法擦除存储单元时供应到存储块的电压的示意图。
- [0087] 图30是图示当根据参照图20和图21描述的方法擦除存储单元时供应到存储块的电压的示意图。
- [0088] 图31是图示根据本发明构思的示例性实施例的图3的EC部分的等效电路的电路图。
- [0089] 图32是图示根据本发明构思的示例性实施例的图3的EC部分的等效电路的电路图。
- [0090] 图33是图示根据本发明构思的示例性实施例的图3的EC部分的等效电路的电路图。
- [0091] 图34是根据本发明构思的示例性实施例的沿图3的IV-IV'线截取的透视图。
- [0092] 图35是根据本发明构思的示例性实施例的沿图3的IV-IV'线截取的截面图。
- [0093] 图36是图示根据本发明构思的示例性实施例的图2的存储块之一的平面图。
- [0094] 图37是沿图36的X X X VII-X X X VII'线截取的透视图。
- [0095] 图38是沿图36的X X X VII-X X X VII'线截取的截面图。
- [0096] 图39是图示根据本发明构思的示例性实施例的图2的存储块之一的平面图。
- [0097] 图40是沿图39的X X X X-X X X X'线截取的透视图。
- [0098] 图41是沿图39的X X X X-X X X X'线截取的截面图。
- [0099] 图42是图示根据本发明构思的示例性实施例的图2的存储块之一的平面图。
- [0100] 图43是沿图42的X X X X III-X X X X III'线截取的透视图。
- [0101] 图44是图示根据本发明构思的示例性实施例的图2的存储块之一的平面图。
- [0102] 图45是沿图44的X X X X V-X X X X V'线截取的透视图。
- [0103] 图46是沿图44的X X X X V-X X X X V'线截取的截面图。
- [0104] 图47是图示根据本发明构思的示例性实施例的图2的存储块之一的平面图。
- [0105] 图48是沿图47的X X X X VIII-X X X X VIII'线截取的透视图。
- [0106] 图49是沿图47的X X X X VIII-X X X X VIII'线截取的截面图。
- [0107] 图50是图示根据本发明构思的示例性实施例的图47的EC部分的等效电路的电路图。
- [0108] 图51是沿图47的X X X X VIII-X X X X VIII'线截取的透视图。
- [0109] 图52是沿图47的X X X X VIII-X X X X VIII'线截取的截面图。
- [0110] 图53是图示根据本发明构思的示例性实施例的图47的EC部分的等效电路的电路图。
- [0111] 图54是图示根据本发明构思的示例性实施例的存储系统的框图。
- [0112] 图55是图示根据本发明构思的示例性实施例的存储系统的操作方法的流程图。
- [0113] 图56是图示根据本发明构思的示例性实施例的存储系统的操作方法的流程图。

- [0114] 图57是图示根据本发明构思的示例性实施例的存储系统的操作方法的流程图。
- [0115] 图58是图示根据本发明构思的示例性实施例的存储系统的操作方法的流程图。
- [0116] 图59是图示根据本发明构思的示例性实施例的存储系统的操作方法的流程图。
- [0117] 图60是图示根据本发明构思的示例性实施例的存储系统的操作方法的流程图。
- [0118] 图61是图示根据本发明构思的示例性实施例的存储系统的操作方法的流程图。
- [0119] 图62是图示根据本发明构思的示例性实施例的存储系统的框图。
- [0120] 图63是图示根据本发明构思的示例性实施例的作为具有非易失性存储器件和存储系统之一的电子装置的存储卡的示意图。
- [0121] 图64是图示根据本发明构思的示例性实施例的作为具有非易失性存储器件和存储系统之一的电子装置的固态驱动器的示意图。
- [0122] 图65是图示根据本发明构思的示例性实施例的作为具有非易失性存储器件和存储系统之一的电子装置的计算系统的框图。
- [0123] 图66是图示根据本发明构思的示例性实施例的作为具有非易失性存储器件和存储系统之一的电子装置的测试系统的框图。
- [0124] 图67是图示根据本发明构思的示例性实施例的测试系统的测试方法的流程图。

具体实施方式

[0125] 现在将详细描述本总体发明构思的实施例,在附图中图示了本总体发明构思的实施例的例子,附图中相同的附图标记始终指代相同的元件。下面参考附图描述实施例,以便解释本发明总体构思。然而,本发明构思可以以许多不同的形式来具体实现,不应被解释为局限于此处阐述的实施例。相反,提供这些实施例是为了使本公开全面和完整,并向本领域技术人员充分传达本发明构思的范围。附图中,为清楚起见,可能放大了层和区域的大小及相对大小。相同的参考标记始终指代相同的元件。

[0126] 将会理解,尽管此处可能使用词语第一、第二、第三等等来描述不同的元件、组件、区域、层和/或部分,但这些元件、组件、区域、层和/或部分不应受到这些词语的限制。这些词语仅仅用于将一个元件、组件、区域、层或部分与另一个元件、组件、区域、层或部分区分开来。因而,下面讨论的第一元件、第一组件、第一区域、第一层或第一部分也可以被称为第二元件、第二组件、第二区域、第二层或第二部分而不会偏离本发明构思的教导。

[0127] 为了便于描述,此处可能使用空间关系词,如“在...之下”、“下方”、“下”、“在...下面”、“上方”、“上”等等,来描述图中示出的一个元件或特征与另外的元件或特征之间的关系。将会理解,所述空间关系词意图涵盖除了附图中描绘的方向之外的、器件在使用或操作中的不同方向。例如,如果附图中的器件被翻转,则被描述为在其他元件或特征“下方”、“之下”或“下面”的元件的方位将变成在所述其他元件或特征的“上方”。因而,示例性的词语“下方”和“下面”可以涵盖上下两个方位。可以使器件具有其他方向(旋转90度或其他方向),而此处使用的空间关系描述词应做相应解释。另外,还将理解,当一层被称为位于两层“之间”时,它可以是该两层之间唯一的层,或者也可以存在一个或多个位于其间的层。

[0128] 此处使用的术语仅仅是为了描述特定实施例,并非意图限制本发明构思。此处使用的单数形式“一”、“一个”意图也包括复数形式,除非上下文明确给出相反指示。还将理解,当在本说明书中使用词语“包括”和/或“包含”时,表明存在所描述的特征、整体、步骤、

操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。此处使用的术语“和/或”包括一个或多个相关列出项目中的任意一个以及所有组合。

[0129] 将会理解,当一个元件或层被称为在另一元件或层“之上”、“连接”或“耦接”到另一元件或层、或“邻近”另一元件或层时,它可以直接在该另一元件或层之上、直接连接或耦接到该另一元件或层、或直接邻近该另一元件或层,或者也可以存在居间的元件或层。相反,当一个元件被称为“直接”在另一元件或层“之上”、“直接连接”或“直接耦接”到另一元件或层、或“紧邻”另一元件或层时,不存在居间的元件或层。

[0130] 除非另外定义,否则此处使用的所有术语(包括技术术语和科学术语)所具有的含义与本发明构思所属领域的普通技术人员通常理解的含义相同。还将理解,术语,如通常使用的词典中定义的那些术语,应该被解释为所具有的含义与它们在相关领域和/或本说明书的上下文中的含义一致,而不应理想化地或过分形式化地对其进行解释,除非此处明确地如此定义。

[0131] 术语“被选位线”可用于指示多条位线当中与将被编程或读取的单元晶体管连接的位线。术语“未选位线”可用来指示多条位线当中的与将被禁止编程或禁止读取的单元晶体管连接的位线。

[0132] 术语“被选串选择线”可以用来指示多条串选择线当中的、与包括将被编程或读取的单元晶体管的单元串连接的串选择线。术语“未选串选择线”可以用来指示多条串选择线当中除了被选串选择线之外的剩余串选择线。术语“被选串选择晶体管”可以用来指示与被选串选择线连接的串选择晶体管。术语“未选串选择晶体管”可以用来指示与未选串选择线连接的串选择晶体管。

[0133] 术语“被选地选择线”可以用来指示多条地选择线当中的、与包括将被编程或读取的单元晶体管的单元串连接的地选择线。术语“未选地选择线”可以用来指示多条地选择线当中除了被选地选择线之外的剩余的地选择线。术语“被选地选择晶体管”可以用来指示与被选地选择线连接的地选择晶体管。术语“未选地选择晶体管”可以用来指示与未选地选择线连接的地选择晶体管。

[0134] 术语“未选字线”可以用来指示多条字线当中的与将被编程或读取的单元晶体管连接的字线。术语“未选字线”可以用来指示多条字线当中除了被选字线之外的剩余的字线。

[0135] 术语“被选存储单元”可以用来表示多个存储单元当中的将被编程或读取的存储单元。术语“未选存储单元”可以用来指示多个存储单元当中除了被选存储单元之外剩余的存储单元。

[0136] 将参照NAND快闪存储器描述本发明构思的示例性实施例。然而,本发明构思不局限于此。本发明构思可以应用于诸如电可擦除可编程ROM(EEPROM)、NOR快闪存储器、相变RAM(PRAM)、磁性RAM(MRAM)、电阻式RAM(RRAM)、铁电RAM(FRAM)等等。

[0137] 图1是图示根据本发明构思的示例性实施例的非易失性存储器件100的框图。参照图1,非易失性存储器件100可以包括存储单元阵列110、地址译码单元120、页缓存单元130、数据输入/输出(I/O)单元140、计数单元150、通过/失败(pass/fail,P/F)校验单元160和控制逻辑170。地址译码单元120、页缓存单元130、数据输入/输出单元140、计数单元150、通

过/失败校验单元160和控制逻辑170可被称为用来控制存储单元阵列110的控制单元。

[0138] 存储单元阵列100可以包括多个存储器单元(memory unit),所述存储器单元具有多个存储单元。所述多个存储器单元可以是按照行方向和列方向排列在衬底上的多个单元串。每个单元串可以包括沿垂直于衬底的方向堆叠的多个存储单元。也就是说,可以沿行和列在衬底上提供存储单元,并且存储单元可以沿垂直于衬底的方向堆叠以形成三维结构。存储单元阵列110可以包括多个存储单元,所述存储单元分别存储一比特或多比特数据。

[0139] 地址译码单元120可以经由字线WL、串选择线SSL和地选择线GSL与存储单元阵列110耦合。地址译码单元120可以被配置成响应于控制逻辑170的控制而工作。地址译码单元120可以从外部设备接收输入地址ADDR。

[0140] 地址译码单元120可以被配置成译码输入地址ADDR的行地址。地址译码单元120可以被配置成选择字线WL当中的与译码的行地址相对应的字线。地址译码单元120可以被配置成选择串选择线SSL和地选择线GSL当中的与译码的行地址相对应的串选择线和地选择线。

[0141] 地址译码单元120可以被配置成译码输入地址ADDR当中的列地址。地址译码单元120可以将译码的列地址DCA传送到页缓存单元130。

[0142] 地址译码单元120可以被配置成从控制逻辑170接收预读取信号PRS。当预读取信号PRS被激活时,地址译码单元120可以向串选择线SSL、字线WL和地选择线GSL供应用于预读取的电压。

[0143] 地址译码单元120可以根据控制逻辑170的控制向串选择线SSL、字线WL和地选择线GSL供应用于擦除、写入和读取的电压。

[0144] 在本实施例中,尽管图1中未示出,但是地址译码单元120可以包括被配置成译码行地址的行译码器、被配置成译码列地址的列译码器、被配置成存储输入地址ADDR的地址缓冲器等等。

[0145] 页缓存单元130可以经由位线BL与存储单元阵列110耦合。页缓存单元130可以响应于控制逻辑170的控制而工作。页缓存单元130可以从地址译码单元120接收译码的列地址DCA。页缓存单元130可以响应于译码的列地址DCA选择位线BL。

[0146] 页缓存单元130可以与地址译码单元120执行读取和写入操作。通过经由地址译码单元120控制串选择线SSL、字线WL和地选择线GSL以及经由页缓存单元130控制位线BL可以执行对存储单元阵列110的读取和写入。

[0147] 页缓存单元130可以包括分别与位线BL相对应的锁存器(未示出)。将被写入存储单元阵列110中的数据可以加载到页缓存单元130的锁存器上。从存储单元阵列110读取的数据可以存储在页缓存单元130的锁存器中。

[0148] 页缓存单元130可以经由数据线DL接收数据。页缓存单元130中的输入数据可以被写入存储单元阵列110中。页缓存单元130可以从存储单元阵列110读取数据,以经由数据线DL将读取的数据输出到数据输入/输出单元140。页缓存单元130可以存储从存储单元阵列110的第一存储区读出的数据。在页缓存单元130中存储的数据可以被写入到存储单元阵列110的第二存储区中。也就是说,可以执行回写(copy-back)操作。

[0149] 页缓存单元130可以将读取的数据作为读取结果RR输出。例如,页缓存单元130可以在擦除验证操作输出读取的数据或者在写入验证操作输出读取的数据以作为读取结果

RR。

[0150] 页缓存单元130可以被配置成从控制逻辑170接收预读取信号PRS。当预读取信号PRS被激活时,页缓存单元130可以与地址译码单元120执行预读取。在预读取读取的数据可以作为读取结果RR输出。

[0151] 数据输入/输出单元140可以经由数据线DL与页缓存单元130连接。数据输入/输出单元140可以被配置成与外部设备交换数据。数据输入/输出单元140可以经由数据线DL将从页缓存单元130传送的数据输出到外部设备。数据输入/输出单元140可以经由数据线DL将从外部设备输入的数据传送到页缓存单元130。

[0152] 计数单元150可以被配置成从页缓存单元130接收读取结果RR以及从控制逻辑170接收预读取信号PRS。当预读取信号PRS被激活时,计数单元150可以被配置成基于读取结果RR进行计数以生成计数值CV,该计数值CV将被发送到控制逻辑170。

[0153] 通过/失败计数单元160可以被配置成从页缓存单元130接收读取结果RR。在擦除验证操作或者写入验证操作,通过/失败计数单元160可以被配置成基于读取结果RR输出通过信号PASS或者失败信号FAIL。

[0154] 控制逻辑170可以被配置成控制非易失性存储器件100的总体操作。控制逻辑170可以被配置成生成预读取信号PRS。控制逻辑170可以从计数单元150接收计数值CV并且从通过/失败校验单元160接收通过信号PASS或者失败信号FAIL。控制逻辑170可以将计数值CV与寄存器REG1中存储的值进行比较,以根据计数值CV与寄存器REG1中存储的值之间的比较结果控制擦除操作。控制逻辑170可以响应于从通过/失败校验单元160输入的通过信号PASS或者失败信号FAIL控制擦除操作。

[0155] 控制逻辑170可以根据从外部设备输入的控制信号CTRL和命令CMD而工作。

[0156] 图2是图示根据本发明构思的示例性实施例的图1的存储单元阵列110的示图。参照图1和图2,存储单元阵列110可以包括多个存储块BLK1到BLKz,每个存储块被形成为具有三维结构(或者,垂直结构)。例如,存储块BLK1到BLKz中的每一个可以包括沿第一方向到第三方向延伸的结构。尽管图2中未示出,但是存储块BLK1到BLKz中的每一个可以包括多个沿第二方向延伸的单元串。尽管图2中未示出,但是所述多个单元串可以沿第一和第三方向相互间隔。

[0157] 一个存储块内的单元串可以与多条位线BL、多条串选择线SSL、多条字线WL、一条或多条地选择线GSL以及公共源极线(未示出)耦合。多个存储块BLK1到BLKz中的单元串可以共用多条位线。例如,所述多条位线可以沿第二方向延伸,以便由多个存储块BLK1到BLKz共用。

[0158] 图1的地址译码单元120可以选择所述多个存储块BLK1到BLKz。例如,地址译码单元120可以被配置成选择多个存储块BLK1到BLKz当中的与输入地址ADDR相对应的存储块。可以在被选存储块进行擦除、编程和读取。将参照图3到图6充分地描述多个存储块BLK1到BLKz。

[0159] 图3是图示根据本发明构思的示例性实施例的图1的存储块中的一个存储块BLKa的平面图。图4是根据本发明构思的示例性实施例的沿图3的IV-IV'线截取的透视图。图5是根据本发明构思的示例性实施例的沿图3的IV-IV'线截取的截面图。

[0160] 参照图3到图5,可以提供沿第一到第三方向延伸的三维结构。

[0161] 提供衬底111。衬底111可以是例如具有第一导电类型的阱。衬底111可以是其中注入了诸如硼的第III族元素的p阱。衬底111可以是在n阱内提供的袋型p阱。下面,假定衬底111是p阱(或者,袋型p阱)。然而,衬底111不局限于此。衬底111可以不同于p型衬底其他类型的衬底。

[0162] 可以在衬底111中提供多个沿第一方向延伸的公共源极区CSR。所述多个公共源极区CSR可以沿第二方向相互间隔。公共源极区CSR可以公共连接以形成公共源极线。

[0163] 公共源极区CSR可以具有不同于衬底111的导电类型的第二导电类型。例如,公共源极区CSR可以是n型。下面,假定公共源极区CSR是n型。然而,公共源极区CSR不局限于此。公共源极区CSR可以是不同于n型的其他类型。

[0164] 在两个相邻的公共源极区CSR的区域之间,可以沿第三方向(即,垂直于衬底111的方向)在衬底111上顺序地提供多个绝缘材料112和112a。绝缘材料112和112a可以沿第三方向间隔开。绝缘材料112和112a可以沿第一方向延伸。例如,绝缘材料112和112a可以包括诸如半导体氧化膜的绝缘材料。与衬底111接触的绝缘材料112a的厚度可以比其他绝缘材料112的厚度薄。

[0165] 在两个相邻的公共源极区CSR的区域之间,多个柱PL可以沿第一方向顺序地排列,以便沿第二方向穿透多个绝缘材料112和112a。例如,柱PL可以穿过绝缘材料112和112a与衬底111接触。

[0166] 在示例性实施例中,在两个相邻的公共源极区之间的柱PL可以沿第一方向间隔开。柱PL可以沿第一方向的线来布置。

[0167] 在示例性实施例中,柱PL可以分别由多种材料形成。所述柱PL中的每一个可以包括沟道膜114和在沟道膜114内的内部材料115。

[0168] 沟道膜114可以包括具有第一导电类型的半导体材料(例如,硅)。例如,沟道膜114可以包括具有与衬底111相同类型的半导体材料(例如,硅)。沟道膜114能够包括作为绝缘体的本征半导体。

[0169] 内部材料115可以包括绝缘材料。例如,内部材料115可以包括诸如硅氧化物的绝缘材料。可替换地,内部材料115可以包括空气隙。

[0170] 在两个相邻的公共源极区CSR的区域之间,可以在绝缘材料112和112a以及柱PL的暴露表面上提供信息存储膜116。信息存储膜116可以通过捕捉(trap)电荷或者将电荷放电(discharge)来存储信息。

[0171] 在两个相邻的公共源极区之间以及在绝缘材料112和112a之间,可以在信息存储膜116的暴露表面上提供导电材料CM1到CM8。导电材料CM1到CM8可以沿第一方向延伸。字线切口(word line cut)可以分隔在公共源极区CSR上的导电材料CM1到CM8。字线切口可以暴露公共源极区CSR。字线切口可以沿第一方向延伸。

[0172] 在示例性实施例中,导电材料CM1到CM8可以包括金属导电材料。导电材料CM1到CM8可以包括非金属导电材料,如多晶硅。

[0173] 在示例性实施例中,可以去除在绝缘材料112和112a当中的位于最上层的绝缘材料的上表面上提供的信息存储膜116。示例性地,可以去除在绝缘材料112和112a的各侧当中的、柱PL的相反侧处提供的信息存储膜。

[0174] 可以在多个柱PL上分别提供多个漏极320。漏极320可以包括具有例如第二导电类

型的半导体材料(例如,硅)。漏极320可以包括n型半导体材料(例如,硅)。下面,假定漏极320包括n型硅。然而,本发明不局限于此。可以使漏极320延伸到柱PL的沟道膜114的上侧。

[0175] 可以在漏极320上提供在第二方向上延伸的位线BL,以使得所述位线BL沿第一方向相互间隔。位线BL可以与漏极320耦合。在本实施例中,漏极320和位线BL可以经由接触插头(plug)(未示出)连接。位线BL可以包括金属导电材料。可替换地,位线BL可以包括诸如多晶硅的非金属导电材料。

[0176] 下面,导电材料CM1到CM8可以根据距衬底111的距离而具有第一高度到第八高度。

[0177] 多个柱PL可以与信息存储膜116和多个导电材料CM1到CM8一起形成多个单元串。每个柱PL可以与信息存储膜116以及相邻的导电材料CM_i(_i是1到8之一)形成单元串。

[0178] 可以沿行和列方向在衬底111上提供柱PL。第八导电材料CM8可以构成行。与第八导电材料CM8当中的相同导电材料连接的柱可以构成一行。位线BL可以构成列。与位线BL当中的相同位线连接的柱可以构成列。柱PL可以与信息存储膜116以及多个导电材料CM1到CM8一起构成沿行和列方向排列的多个串。每个单元串可以包括沿垂直于衬底111的方向堆叠的多个单元晶体管CT。

[0179] 图6是图示图5的单元晶体管CT之一的示图。参照图3到图6,单元晶体管CT可以由导电材料CM1到CM8、柱PL、以及在导电材料CM1到CM8与柱PL之间提供的信息存储膜116形成。

[0180] 信息存储膜116可以从导电材料CM1到CM8与柱PL之间的区域延伸到导电材料CM1到CM8的上表面和下表面。每个信息存储膜116可以包括第一到第三子绝缘膜117、118和119。

[0181] 在单元晶体管CT中,柱PL的沟道膜114可以包括与衬底111相同的p型硅。沟道膜114可以用作单元晶体管CT的主体。沟道膜114可以沿垂直于衬底111的方向形成。柱PL的沟道膜114可以用作垂直主体。可以在沟道膜114处形成垂直沟道。

[0182] 邻近柱PL的第一子绝缘膜117可以用作单元晶体管CT的隧道绝缘膜。例如,第一子绝缘膜117可以分别包括热氧化膜。第一子绝缘膜117可以分别包括硅氧化物膜。

[0183] 第二子绝缘膜118可以用作单元晶体管CT的电荷存储膜。例如,第二子绝缘膜118可以分别用作电荷捕获膜。例如,第二子绝缘膜118可以分别包括氮化物膜或者金属氧化物膜。

[0184] 邻近导电材料CM1到CM8的第三子绝缘膜119可以用作单元晶体管CT的阻挡绝缘膜。在本实施例中,第三子绝缘膜119可以由单层或者多层形成。第三子绝缘膜119可以是介电常数大于第一和第二子绝缘膜117和118的高介电膜(例如,铝氧化物膜、钪氧化物膜等等)。第三子绝缘膜119可以分别包括硅氧化物膜。

[0185] 在本实施例中,第一到第三子绝缘膜117到119可以构成ONA(氧化物-氮化物-铝-氧化物)或者ONO(氧化物-氮化物-氧化物)。

[0186] 多个导电材料CM1到CM8可以分别用作栅极(或者控制栅极)。

[0187] 也就是说,用作栅极(或者,控制栅极)的多个导电材料CM1到CM8、用作阻挡绝缘膜的第三子绝缘膜119、用作电荷存储膜的第二子绝缘膜118、用作隧道绝缘膜的第一子绝缘膜117以及用作垂直主体的沟道膜114可以构成沿垂直于衬底111的方向堆叠的单元晶体管CT。示例性地,单元晶体管CT可以是电荷捕获型单元晶体管。

[0188] 单元晶体管CT根据其高度能被用于不同的目的。例如,在单元晶体管CT当中,具有至少一个高度且位于上部的单元晶体管可以用作串选择晶体管。串选择晶体管可以被配置成执行单元串与位线之间的切换操作。在单元晶体管CT当中,具有至少一个高度且下部的单元晶体管可以用作地选择晶体管。地选择晶体管可以被配置成执行单元串与由公共源极区CSR形成的公共源极线之间的切换操作。用作串选择晶体管和地选择晶体管的单元晶体管之间的单元晶体管可以用作存储单元和伪存储单元。

[0189] 导电材料CM1到CM8可以沿第一方向延伸以与多个柱PL连接。导电材料CM1到CM8可以构成将柱PL的单元晶体管CT相互连接的导线。在本实施例中,导电材料CM1到CM8根据高度可以用作串选择线、地选择线、字线或者伪字线。

[0190] 相互连接用作串选择晶体管的单元晶体管的导线可以用作串选择线。相互连接用作地选择晶体管的单元晶体管的导线可以用作地选择线。相互连接用作存储单元的单元晶体管的导线可以用作字线。相互连接用作伪存储单元的单元晶体管的导线可以用作伪字线。

[0191] 图7是电路图,图示了根据本发明构思的示例性实施例的图3中的平面图的EC部分的等效电路。参照图3到图7,可以在位线BL1和BL2与公共源极线CSL之间提供单元串CS11、CS12、CS21和CS22。单元串CS11和CS21可以连接在第一位线BL1与公共源极线CSL之间,并且单元串CS12和CS22可以连接在第二位线BL2与公共源极线CSL之间。

[0192] 公共源极区CSR可以公共连接以形成公共源极线CSL。

[0193] 单元串CS11、CS12、CS21和CS22可以对应于图3中的平面图的EC部分的四个柱。所述四个柱可以与导电材料CM1到CM8以及信息存储膜116一起构成四个单元串CS11、CS12、CS21和CS22。

[0194] 在本实施例中,第一导电材料CM1可以与信息存储膜116和柱PL构成地选择晶体管GST。第一导电材料CM1可以形成地选择线GSL。第一导电材料CM1可以相互连接以形成地选择线GSL。

[0195] 第二到第七导电材料CM2到CM7可以与信息存储膜116和柱PL构成第一到第六存储单元MC1到MC6。第二到第七导电材料CM2到CM7可以用作第一到第六字线WL1到WL6。

[0196] 第二导电材料CM2可以相互连接以形成第一字线WL1。第三导电材料CM3可以相互连接以形成第二字线WL2。第四导电材料CM4可以相互连接以形成第三字线WL3。第五导电材料CM5可以相互连接以形成第四字线WL4。第六导电材料CM6可以相互连接以形成第五字线WL5。第六导电材料CM6可以相互连接以形成第五字线WL5。第七导电材料CM7可以相互连接以形成第六字线WL6。

[0197] 第八导电材料CM8可以与信息存储膜116和柱PL构成串选择晶体管SST。第八导电材料CM8可以形成串选择线SSL1和SSL2。

[0198] 相同高度的存储单元可以共同与一条字线连接。因此,当施加于特定高度的字线时,电压可以被施加于所有单元串CS11、CS12、CS21和CS22。

[0199] 不同的行中的单元串可以与不同的串选择线SSL1和SSL2连接。通过选择或者不选择串选择线SSL1和SSL2,可以按行选择或者不选择单元串CS11、CS12、CS21和CS22。例如,与未选串选择线SSL1或SSL2连接的单元串(CS11和CS12)或者(CS21和CS22)可以与位线BL1和BL2电分离。与被选串选择线SSL2或SSL1连接的单元串(CS21和CS22)或(CS11和CS12)可以

与位线BL1和BL2电连接。

[0200] 单元串CS11、CS12、CS21和CS22可以被形成列,以与位线BL1和BL2连接。单元串CS11和CS21可以与位线BL1连接,并且单元串CS12和CS22可以与位线BL2连接。单元串CS11、CS12、CS21和CS22可以是列,所述列将通过选择和不选择位线BL1和BL2而被选择或不被选择。

[0201] 由于形成柱PL时的工艺误差,用于柱PL的孔可能不接触衬底111。也就是说,可能未将用于柱PL的孔形成得足够深。此时,沟道膜114可能不与衬底111接触。也就是说,单元串CS可以包括断开(off)串。

[0202] 由于形成漏极320时的工艺误差,漏极320可以不与柱PL的沟道膜114接触。也就是说,单元串CS可以包括断开串。

[0203] 如果存在断开单元串(下文中,称为断开串),则可能错误地进行存储块BLKa1的擦除、读取和写入。在本发明构思的实施例中,可以使用纠错码(error correcting code, ECC)所支持的纠错能力,避免因断开串所致的异常操作。

[0204] 图8是图示根据本发明构思的示例性实施例的擦除方法的流程图。图9是图示根据图8的擦除方法的偏置条件的示图。下面,将参照图1和图7到图9更充分描述根据本发明构思的示例性实施例的擦除方法。

[0205] 在操作S111,可以供应擦除电压。

[0206] 可以浮置位线BL1和BL2,并且可以浮置串选择线SSL1和SSL2或者向串选择线SSL1和SSL2供应第一串选择线电压VSSL1。可以分别向字线WL1到WL6施加第一字线擦除电压Vwe1。第一字线擦除电压Vwe1可以是低电压或者具有与地电压VSS类似的电平的低电压(例如,低正电压或低负电压)。可以浮置地选择线GSL或者向地选择线GSL供应第一地选择线电压VGSL1。公共源极线CSL可以被浮置。可以向衬底111施加第一擦除电压Vers1。第一擦除电压Vers1可以是高电压。第一串选择线电压VSSL1和第一地选择线电压VGSL1可以具有第一擦除电压Vers1与地电压VSS之间的电平。在图10中图示了衬底111、沟道膜(或者,沟道层)114以及字线WL1到WL6的电压变化。

[0207] 在图10的时间T1,可以将供应到衬底111的第一擦除电压Vers1施加到沟道膜114。沟道膜114可以被充电到第一擦除电压Vers1。在存储单元MC1到MC6捕获的电荷可以因供应到字线WL1到WL6的第一字线擦除电压Vwe1与供应到沟道膜114的第一擦除电压Vers1之间的电压差而被放电。也就是说,存储单元MC1到MC6的阈值电压可以降低。

[0208] 在操作S112,第一串选择线SSL1可以被选择。可以将导通电压施加到被选串选择线,即第一串选择线SSL1,并且可以将截止电压施加到未选串选择线SSL2。

[0209] 在操作S113,可以通过向字线WL1到WL6施加第一高电压VH1来进行读操作。

[0210] 可以向位线BL1和BL2提供第一位线电压VBL1。

[0211] 可以向被选串选择线(例如,SSL1)提供第二串选择线电压VSSL2。第二串选择线电压VSSL2可以是足够导通第一串选择晶体管SST1(与第一串选择线SSL1连接的串选择晶体管)的电压。第二串选择线电压VSSL2可以是电源电压VCC或者非选择读取电压Vread。非选择读取电压Vread可以是在读操作时供应到未选字线的电压。

[0212] 可以向未选串选择线(例如,SSL2)提供第三串选择线电压VSSL3。第三串选择线电压VSSL3可以是足够导通第二串选择晶体管SST2(与第二串选择线SSL2连接的串选择晶体

管)的电压。第三串选择线电压VSSL3可以是地电压VSS或者具有类似于地电压VSS的电平的低电压(包括正电压和负电压)。

[0213] 可以向字线WL1到WL6提供第一高电压VH1。第一高电压VH1可以是不管存储单元MC1到MC6的逻辑状态如何都足够导通存储单元MC1到MC6的电压。第一高电压VH1可以是非选择读取电压Vread。

[0214] 可以向地选择线GSL提供第二地选择线电压VGSL2。第二地选择线电压VGSL2可以是足够导通地选择晶体管GST的电压。第二地选择线电压VGSL2可以是电源电压VCC或者非选择读取电压Vread。

[0215] 可以向公共源极线CSL供应第一公共源极线电压VCSL1。第一公共源极线电压VCSL1可以是地电压VSS或者具有类似于地电压VSS的电平的低电压(包括正电压和负电压)。

[0216] 可以向衬底111供应第一衬底电压Vsub1。第一衬底电压Vsub1可以是地电压VSS或者具有类似于地电压VSS的电平的低电压(包括正电压和负电压)。

[0217] 图11中图示了在操作S113存储单元阵列110的电压变化。

[0218] 在时间T1,可以用第一位线电压VBL1对位线BL预充电。在时间T2,可以向串选择线SSL1和SSL2、字线WL1到WL6、地选择线GSL以及公共源极线CSL施加电压。

[0219] 当向被选串选择线SSL1施加第二串选择线电压VSSL2时,被选串选择晶体管SST1可以被导通。当向字线WL1到WL6施加第一高电压VH1时,存储单元MC1到MC6可以被导通。当向地选择线GSL施加第二地选择线电压VGSL2时,地选择晶体管GST可以被导通。

[0220] 当在与被选串选择线SSL1连接的单元串CS11和CS12当中,单元串不是断开串而是正常串时,位线的电压可能变得较低,因为充电到位线的第一位线电压VBL1被放电到公共源极线CSL。当在与被选串选择线SSL1连接的单元串CS11和CS12当中,单元串是断开串时,位线可以保持第一位线电压VBL1,因为位线和公共源极线CSL相互电绝缘。

[0221] 当特定位线的电压高于参考电压Vref时,页缓存单元130可以在与特定位线相对应的锁存器(未示出)中存储第一逻辑值(例如,逻辑高电平)。当特定位线的电压低于参考电压Vref时,页缓存单元130可以在与特定位线相对应的锁存器(未示出)中存储第二逻辑值(例如,逻辑低电平)。

[0222] 所述第二逻辑值可以存储在与正常串相对应的锁存器(未示出)中。所述第一逻辑值可以存储在与断开串相对应的锁存器(未示出)中。也就是说,可以通过使用第一高电压VH1执行读操作来检测断开串。检测断开串的操作可以称为预读取操作。

[0223] 可以响应于预读取信号PRS进行预读取操作。地址译码单元120和页缓存单元130可以响应于预读取信号PRS向存储单元阵列110供应电压。页缓存单元130可以响应于预读取信号PRS将预读取结果存储在锁存器(未示出)中。

[0224] 在操作S114,可以确定一个或多个断开串。例如,可以将存储第一逻辑值的锁存器(未示出)所对应的串确定为断开串。

[0225] 在操作S115,一个或多个断开串可以被确定为擦除通过,也就是说,一个或多个断开串被确定为通过了擦除操作的串,为临时擦除通过的串,然后可以进行擦除验证操作。

[0226] 可以将第二位线电压VBL2施加到在预读取操作被检测为正常串的单元串。第二位线电压VBL2可以是电源电压VCC或者具有与电源电压VCC类似的电平的电压。可以将第三位

线电压VBL3供应到在预读取操作被检测为断开串的单元串。第三位线电压VBL3可以是地电压VSS或者具有类似于地电压VSS的电平的电压(包括正电压和负电压)。

[0227] 在示例性实施例中,在预读取操作,页缓存单元130可以根据存储在页缓存单元130的锁存器(未示出)中的预读取结果,向与断开串连接的位线供应第三位线电压VBL3。在实施例中,可以将预读取结果RR提供给控制逻辑170。控制逻辑170可以控制页缓存单元130,以便根据预读取结果RR,将第三位线电压VBL3供应到与断开串连接的位线。可以在页缓存单元130和控制逻辑170之间提供用于向控制逻辑170传送预读取结果RR的信号线。

[0228] 可以向被选串选择线SSL1提供第四串选择线电压VSSL4。第四串选择线电压VSSL4可以是足够导通被选串选择晶体管SST1的电压。第四串选择线电压VSSL4可以是非选择读取电压Vread或电源电压VCC。

[0229] 可以向未选串选择线SSL2提供第五串选择线电压VSSL5。第五串选择线电压VSSL5可以是足够导通未选串选择晶体管SST2的电压。第五串选择线电压VSSL5可以是地电压VSS或者具有类似于地电压VSS的电平的低电压(包括正电压和负电压)。

[0230] 可以向字线WL1到WL6提供第一验证电压VFY1。第一验证电压VFY1可以是擦除的存储单元的阈值电压的上限。第一验证电压VFY1可以是地电压VSS或负电压。

[0231] 可以向地选择线GSL提供第三地选择线电压VGSL3。第三地选择线电压VGSL3可以是足够导通地选择晶体管GST的电压。第三地选择线电压VGSL3可以是非选择读取电压Vread或电源电压VCC。

[0232] 可以向公共源极线CSL提供第二公共源极线电压VCSL2。第二公共源极线电压VCSL2可以是地电压VSS或者具有类似于地电压VSS的电平的低电压(包括正电压和负电压)。

[0233] 可以向衬底111供应第二衬底电压Vsub2。第二衬底电压Vsub2可以是地电压VSS或者具有类似于地电压VSS的电平的低电压(包括正电压和负电压)。

[0234] 图12中图示了在操作S115存储单元阵列110的电压变化。

[0235] 在时间T1,与正常串连接的正常位线可以被预充电到第二位线电压VBL2。可以向与断开串连接的位线供应第三位线电压VBL3。

[0236] 在时间T2,可以向串选择线SSL1和SSL2、字线WL1到WL6、地选择线GSL以及公共源极线CSL供应电压。

[0237] 被选串选择晶体管SST1可以被导通,并且未选串选择晶体管SST2可以被截止。地选择晶体管GST可以被导通。

[0238] 存储单元MC1到MC6当中的具有高于验证电压VFY1的阈值电压的存储单元可以被截止,并且具有低于验证电压VFY1的阈值电压的存储单元可以被导通。如果特定单元串中的存储单元MC1到MC6被导通,则位线与公共源极线CSL可以相互电绝缘。与特定单元串连接的位线的电压可以变得低于第二位线电压VBL2。

[0239] 如果特定单元串中的存储单元MC1到MC6中的至少一个被截止,则位线与公共源极线CSL可以相互电绝缘。这意味着与特定单元串连接的位线保持第二位线电压VBL2。

[0240] 当特定位线的电压高于参考电压Vref时,页缓存单元130可以在与特定位线相对应的锁存器(未示出)中存储第一逻辑值。当特定位线的电压低于参考电压Vref时,页缓存单元130可以在与特定位线相对应的锁存器(未示出)中存储第二逻辑值。

[0241] 也就是说,第二逻辑值可以存储在与正常串中的擦除通过的单元串相对应的锁存器(未示出)中。第一逻辑值可以存储在与正常串中的擦除失败的单元串相对应的锁存器(未示出)中。由于第三位线电压VBL3被施加到断开串,所以第二逻辑值可以存储在与断开串相对应的锁存器(未示出)中。

[0242] 在页缓存单元130的锁存器(未示出)中存储的数据可以是擦除验证读取结果RR。擦除验证读取结果RR可以被传送到通过/失败校验单元160。

[0243] 通过/失败校验单元160可以从页缓存单元130接收擦除验证读取结果RR。通过/失败校验单元160可以确定指示第二逻辑值的结果为擦除通过,以及指示第一逻辑值的读取结果为擦除失败。由于断开串的擦除验证读取结果RR具有第二逻辑值,所以断开串可以被确定为擦除通过,或者被作为擦除通过串处理。也就是说,如果正常串擦除通过,则在擦除验证读取结果RR中可以不包括第一逻辑值。如果擦除验证读取结果RR中未包括第一逻辑值,则通过/失败校验单元160可以生成通过信号PASS。如果在擦除验证读取结果RR中包括第一逻辑值,则通过/失败校验单元160可以生成失败信号FAIL。

[0244] 在操作S116,可以确定通过信号PASS是否被激活。如果通过信号PASS没有被激活,也就是说,如果失败信号FAIL被激活,则在操作S117,可以供应擦除电压并且可以再次选择先前选择的串选择线SSL1。操作S117的擦除电压可以不同于先前施加的电压。操作S117的擦除电压可以比先前施加的电压高。然后,方法进行到操作S115。如果通过信号PASS被激活,则方法进行到操作S118。

[0245] 在操作S118,可以确定被选串选择线SSL1是否是最后的串选择线。在操作S119,如果被选串选择线SSL1不是最后的串选择线,则可以选择下一个串选择线(例如,SSL2)。然后,方法进行到操作S113。如果被选串选择线SSL1是最后的串选择线,则方法可以结束。

[0246] 可以通过操作S117、S115和S116,使已经被确定为临时擦除通过存储单元或串、并且具有先前的第一逻辑值的存储单元或断开串能够被确定为“擦除通过”从而具有第二逻辑值。还可以操作S117、S115和S116被执行或重复地执行一次或多次,直到具有先前的第一逻辑值的断开串被确定为“擦除通过”从而具有第二逻辑值为止。

[0247] 具有先前的第一逻辑值的存储单元或断开串可以包括在断开串确定操作S114中确定的存储单元或断开串和/或在擦除验证操作S115中在正常串当中确定的存储单元或断开串。上述具有先前的第一逻辑值的存储单元或断开串可以经历操作S117、S115和S116,直到进行到操作S118。

[0248] 如上所述,可以进行擦除直到单元串CS11、CS12、CS21和CS22中的存储单元MC1到MC6擦除通过为止。在擦除验证操作,断开串可以被确定为擦除通过。因此,可以在擦除验证操作避免因断开串所导致的“擦除失败”。

[0249] 因断开串导致的数据错误可以通过在非易失性存储器件100内部或外部提供的纠错单元(未示出)来纠正。因此,尽管存储单元阵列110包括断开串,非易失性存储器件100仍可以正常地工作而无需诸如修复的单独的过程。

[0250] 示例性地描述了在操作S116一个或多个存储单元或者一个或多个串被确定为“擦除通过”、在操作S117供应擦除电压、以及在操作S115执行擦除验证操作的情况。然而,当在操作S116存储单元或串被确定为“擦除通过”时,代替操作S117、可以在操作S112供应擦除电压,在操作S113可以在被选存储单元或串中执行预读取操作,在操作S114可以根据预读

取操作检测断开串,并且在操作S115可以确定断开串为擦除通过并且可以执行擦除验证操作。

[0251] 图13A是图示在图8的擦除方法中执行的断开串处理操作的流程图。参照图1、图8和图13A,在操作S121,可以对断开串的数量进行计数。例如,计数单元150可以对从页缓存单元130提供的预读取结果RR进行计数。计数单元150可以对预读取结果RR的第一逻辑值的数量,即断开串的数量进行计数。计数的值CV可以被提供给控制逻辑170。

[0252] 在操作S122,确定断开串的数量是否低于第一参考值V1。如果断开串的数量低于第一值V1,则在操作S123,可以连续地进行擦除操作。如果断开串的数量超过第一参考值V1,则在操作S124,可以生成错误信息并且可以停止擦除操作。

[0253] 例如,控制逻辑170可以将计数值CV与存储在第一寄存器REG1中的第一参考值V1进行比较。基于比较结果,控制逻辑170可以控制非易失性存储器件100以便继续执行擦除操作或者停止擦除操作。

[0254] 在示例性实施例中,第一参考值V1可以指示能够通过纠错单元(未示出)纠正的比特数量,该纠错单元被配置成纠正从非易失性存储器件100读取的数据的错误。第一参考值V1可以具有小于纠错单元(未示出)的可纠错比特数的值,并且可以根据可纠错比特数来确定。例如,可以根据可纠错比特数的特定比率来确定第一参考值V1。

[0255] 当断开串的数量超过可纠错比特数时,从相应存储块读取的数据可以是不可纠正的数据。因此,可以经由操作S121到S124检测导致不可纠正的错误的存储块。在示例性实施例中,与错误消息相对应的存储块可以被判定为损坏的块。

[0256] 在操作S113运行预读取操作之后,可以进行操作S121到S124。当擦除特定存储块时,可以在第一预读取操作之后的时间运行操作S121到S124。

[0257] 图13B是图示根据本发明构思的示例性实施例的擦除方法的流程图。参照图1、图8和图13B,在操作S113a,可以选择第一串选择线。在操作S113b,可以通过向字线供应高电压来执行读取操作,即预读取操作。在操作S113c,可以确定断开串,并且可以存储断开串信息。例如,可以根据预读取结果确定断开串,并且可以存储预读取结果。例如,预读取结果可以存储在页缓存单元130中。

[0258] 在操作S113d,确定被选串选择线是否是最后的串选择线。如果被选串选择线不是最后的串选择线,则在操作S113e,可以选择下一条串选择线。如果被选串选择线是最后的串选择线,则方法进行到操作S114a。

[0259] 在操作S114a,可以通过施加擦除电压执行擦除操作。在操作S114b,可以选择第一串选择线。在操作S114c,可以将断开串处理为(treated)擦除通过,并且可以进行擦除验证操作。例如,操作S114c可以与图8的操作S115相同。在操作S114c,可以根据页缓存单元130中存储的预读取结果将断开串处理为擦除通过。

[0260] 在操作S114d,确定与被选串选择线连接的串是否擦除通过。如果与被选串选择线连接的串被确定为未擦除通过,则在操作S114e可以施加擦除电压,并且可以再次选择先前选择的串选择线。然后,方法可以从操作S114c运行。如果与被选串选择线连接的串被确定为擦除通过,则方法进行到操作S114f。

[0261] 在操作S114f,确定被选串选择线是否是最后的串选择线。如果被选串选择线不是最后的串选择线,则在操作S114g,可以选择下一条串选择线。然后,方法进行到操作S114c。

如果被选串选择线是最后的串选择线,则方法可以结束。

[0262] 也就是说,在操作S113a到S113e,可以顺序地选择串选择线SSL1和SSL2,并且可以检测断开串。检测结果可以存储在页缓存单元130中。在操作S114a到S114g,可以顺序地选择串选择线SSL1和SSL2,并且可以执行擦除操作和擦除验证操作。根据存储在页缓存单元130中的检测结果,断开串可以被确定为“擦除通过”。

[0263] 图14是图示根据本发明构思的示例性实施例的图1的页缓存单元130的框图。参照图1和图14,页缓存单元130可以包括多个页缓存器PB1到PBn。多个页缓存器PB1到PBn可以被配置成具有多个多级结构HA1到HAm。

[0264] 第一页缓存器PB1可以构成第一级Stage1。第二页缓存器PB2可以构成第二级Stage2。第n页缓存器PBn可以构成第n级Stagen。

[0265] 在每个多级结构HA中,页缓存器可以相互连接。例如,在第一个多级结构HA1中,页缓存器PB1到PBn可以以线或(wired-OR)的方式与第一页缓存器信号线PBS1连接。在第二个多级结构HA2中,页缓存器PB1到PBn可以以线或的方式与第二页缓存器信号线PBS2连接。在第m个多级结构HAm中,页缓存器PB1到PBn可以以线或的方式与第m个页缓存器信号线PBSm连接。

[0266] 页缓存器PB1到PBn中的每一个可以包括多个锁存器。每个页缓存器中的锁存器之一可以用于存储预读取结果。

[0267] 每级中的页缓存器可以共同与传送信号线PF连接。当第一传送信号线PF1被激活时,第一级Stage1中的页缓存器可以将存储的数据输出到页缓存器信号线PBS1到PBSm。当第二传送信号线PF2被激活时,第二级Stage2中的页缓存器可以将存储的数据输出到页缓存器信号线PBS1到PBSm。当第n传送信号线PFn被激活时,第n级Stagen中的页缓存器可以将存储的数据输出到页缓存器信号线PBS1到PBSm。

[0268] 传送信号PF1到PFn可以被顺序地激活。当传送信号PF1到PFn被顺序地激活时,可以顺序地输出读取结果(包括预读取结果和擦除验证结果)。在示例性实施例中,读取结果(包括预读取结果和擦除验证结果)可以被分成与级Stage1到Stagen相对应的组,并且分成的组可以顺序地输出读取结果。

[0269] 当顺序地输出读取结果(包括预读取结果和擦除验证结果)时,计数单元150可以对读取结果顺序地计数。计数单元150可以顺序地进行通过/失败确定。

[0270] 图15是图示根据本发明构思的示例性实施例的非易失性存储器件200的框图。参照图15,非易失性存储器件200可以包括存储单元阵列210、地址译码单元220、页缓存单元230、数据输入/输出单元240、计数单元250、通过/失败校验单元260和控制逻辑270。

[0271] 除了计数值CV被提供到数据输入/输出单元240以及从控制逻辑270中去除了寄存器REG1之外,图15的非易失性存储器件200可以与图1的相同。

[0272] 图16是图示根据本发明构思的示例性实施例的预读取方法的流程图。参照图7、图15和图16,在操作S211,可以接收命令。例如,可以接收与预读取操作相对应的命令。能够接收用于请求非易失性存储器件200的状态信息的命令。输入的命令可以是不同于典型的写入、读取和擦除命令的命令。可以与命令一起接收用于指定或指示特定存储块和特定串选择线的地址。可以根据输入地址选择特定存储块和特定串选择线。

[0273] 在操作S212,可以通过分别向字线WL1到WL6施加第一高电压VH1来执行读取操作

(预读取操作)。图16的操作S212可以与图8的操作S113相同。在操作S212之后,可以将预读取结果RR存储在页缓存单元230中包括的锁存器中。

[0274] 在操作S213,可以确定断开串。例如,如参照操作图8的操作S114描述的,可以根据预读取结果RR确定断开串。

[0275] 在操作S214,可以输出断开串信息。断开串信息可以包括与断开串相关联的信息。

[0276] 断开串信息可以包括断开串的数量。可以将预读取结果RR提供给计数单元250。可以经由数据输入/输出单元240将计数单元250的计数值CV输出到外部设备。

[0277] 断开串信息可以包括预读取结果RR。可以经由数据输入/输出单元240将预读取结果RR提供到非易失性存储器件200外部。

[0278] 断开串信息可以包括计数值CV和预读取结果两者。

[0279] 在示例性实施例中,可以根据在操作S211输入的命令确定是否输出了任何类型的断开串信息。

[0280] 在操作S211到S214之后,可以存在与特定存储块中的特定串选择线相对应的单元串中的断开串相关联的输出信息。

[0281] 图17是图示根据本发明构思的示例性实施例的预读取方法的流程图。参照图7、图15和图17,在操作S211,可以接收命令。例如,可以接收与预读取操作相对应的命令。能够接收用于请求非易失性存储器件200的状态信息的命令。输入的命令可以是不同于典型的写入、读取和擦除命令的命令。可以与命令一起接收用于指定或指示特定存储块和特定串选择线的地址。可以根据输入地址选择特定存储块和特定串选择线。

[0282] 在操作S222,可以选择第一串选择线SSL1。

[0283] 在操作S223,可以通过分别向字线WL1到WL6施加第一高电压VH1来执行读取操作(预读取操作)。图16的操作S223可以与图8的操作S113相同。

[0284] 在操作S224,可以确定断开串。图16的操作S224可以与图8的操作S114相同。

[0285] 在操作S225,可以输出断开串信息。断开串信息可以包括被选存储块中的被选串选择线的断开串的数量、预读取结果、或者断开串的数量和预读取结果两者。

[0286] 在操作S226,可以判定被选串选择线是否是最后的串选择线。如果被选串选择线不是最后的串选择线,则方法进行到操作S227,在操作S227选择下一条串选择线SSL2。然后,方法进行到操作S223。如果被选串选择线是最后的串选择线,则方法可以结束。

[0287] 在操作S221到S227之后,可以存在与特定存储块的单元串中的断开串相关联的输出信息。可以根据输入命令确定断开串信息的类型。

[0288] 图18是图示根据本发明构思的示例性实施例的非易失性存储器件300的框图。参照图18,非易失性存储器件300可以包括存储单元阵列310、地址译码单元320、页缓存单元330、数据输入/输出单元340、计数单元350、通过/失败校验单元360和控制逻辑370。

[0289] 除了还向数据输入/输出单元340提供计数值CV之外,非易失性存储器件300可以与图1的相同。

[0290] 非易失性存储器件300可以根据参照图8到图13描述的擦除方法执行擦除操作。非易失性存储器件300可以根据参照图16和图17描述的预读取方法执行预读取操作。

[0291] 图19是图示根据本发明构思的示例性实施例的非易失性存储器件400的框图。参照图19,非易失性存储器件400可以包括存储单元阵列410、地址译码单元420、页缓存单元

430、数据输入/输出单元440、计数单元450、通过/失败校验单元460和控制逻辑470。

[0292] 存储单元阵列410可以具有与图1图示的相同的结构。

[0293] 地址译码单元420可以经由串选择线SSL、字线WL和地选择线GSL与存储单元阵列410连接。地址译码单元420可以将译码的列地址DCA提供给页缓存单元430。

[0294] 页缓存单元430可以经由位线与存储单元阵列410连接并且经由数据线DL与数据输入/输出单元440连接。页缓存单元430可以输出读取结果(包括擦除验证读取结果)。

[0295] 计数单元450可以对输入的读取结果RR计数以输出计数值CV。

[0296] 通过/失败校验单元460可以将输入的计数值CV与寄存器REG2中存储的值进行比较,以根据比较结果输出通过信号PASS或者失败信号FAIL。

[0297] 控制逻辑470可以控制非易失性存储器件400的总体操作。

[0298] 图20是图示根据本发明构思的示例性实施例的擦除方法的流程图。图21是图示在图20的擦除方法中生成的且可在图20的擦除方法中使用的电压条件的示图。参照图7、图19和图20,在操作S411,可以供应擦除电压。

[0299] 在操作S412,可以选择第一串选择线SSL1。

[0300] 可以浮置位线BL1和BL2,并且可以浮置串选择线SSL1和SSL2或者向串选择线SSL1和SSL2供应第六串选择线电压VSSL6。第二字线电压Vwe2可以是地电压VSS或者具有与地电压VSS类似的电平的低电压(包括正电压或负电压)。可以浮置地选择线GSL或者向地选择线GSL供应第四地选择线电压VGSL4。公共源极线CSL可以被浮置。可以向衬底111供应第二擦除电压Vers2。第二擦除电压Vers2可以是高电压。第六串选择线电压VSSL6和第四地选择线电压VGSL4可以具有第二擦除电压Vers2与地电压VSS之间的电平。

[0301] 当供应第二擦除电压Vers2时,存储单元阵列410的电压可以如图10所示那样改变。

[0302] 在操作S413,可以通过供应擦除验证电压进行擦除验证操作。

[0303] 可以向位线BL1和BL2供应第四位线电压VBL4。第四位线电压VBL4可以是电源电压VCC或者具有与电源电压VCC类似的电平的电压。

[0304] 可以向被选串选择线SSL1供应第七串选择线电压VSSL7。第七串选择线电压VSSL7可以是足够导通被选串选择晶体管SS T1的电压。第七串选择线电压VSSL7可以是非选择读取电压Vread或电源电压VCC。

[0305] 可以向未选串选择线SSL2提供第八串选择线电压VSSL8。第八串选择线电压VSSL8可以是足够导通未选串选择线晶体管SST2的电压。第八串选择线电压VSSL8可以是地电压VSS或者具有类似于地电压VSS的电平的电压(包括正电压和负电压)。

[0306] 可以向字线WL1到WL6提供第二验证电压VFY2。第二验证电压VFY2可以是擦除的存储单元的阈值电压的上限。第二验证电压VFY2可以是地电压VSS或负电压。

[0307] 可以向地选择线GSL施加第五地选择线电压VGSL5。第五地选择线电压VGSL5可以是足够导通地选择晶体管GST的电压。第五地选择线电压VGSL5可以是非选择读取电压Vread或电源电压VCC。

[0308] 可以向公共源极线CSL提供第三公共源极线电压VCSL3。第三公共源极线电压VCSL3可以是地电压VSS或者具有类似于地电压VSS的电平的电压(包括正电压和负电压)。

[0309] 可以向衬底111供应第三衬底电压 V_{SUB3} 。第三衬底电压 V_{SUB3} 可以是地电压 V_{SS} 或者具有类似于地电压 V_{SS} 的电平的低电压(包括正电压和负电压)。

[0310] 当供应擦除验证电压时,存储单元阵列410的电压可以如图12所示改变。

[0311] 当特定串中的存储单元MC1到MC6根据第二验证电压 V_{FY2} 导通时,与特定串连接的位线的电压可以从第四位线电压 V_{BL4} 降低。当特定串中的至少一个存储单元根据第二验证电压 V_{FY2} 截止时,与特定串连接的位线可以保持第四位线电压 V_{BL4} 。截止的串可以是擦除失败的串。

[0312] 当特定位线的电压低于参考电压 V_{ref} 时,页缓存单元430可以在与特定位线相对应的锁存器(未示出)中存储第二逻辑值。当特定位线的电压超过参考电压 V_{ref} 时,页缓存单元430可以在与特定位线相对应的锁存器(未示出)中存储第一逻辑值。与断开串连接的位线可以保持第四位线电压 V_{BL4} 。也就是说,页缓存单元430可以在与断开串相对应的锁存器中存储第一逻辑值。在页缓存单元430中存储的数据可以是擦除验证读取结果RR,该擦除验证读取结果RR被提供给计数单元450。

[0313] 在操作S414,可以对失败串的数量进行计数。失败串可以指示擦除失败单元串。计数单元450可以对擦除验证读取结果RR的第一逻辑值进行计数,即对擦除失败串的数量进行计数。计数值CV可以被提供给通过/失败校验单元460。

[0314] 在操作S415,可以将失败串的数量与第二参考值 V_2 进行比较。通过/失败校验单元460可以将计数值CV与寄存器REG2中存储的第二参考值 V_2 进行比较。如果计数值CV大于第二参考值 V_2 ,则通过/失败校验单元460可以输出失败信号FAIL。根据失败信号FAIL,可以在控制逻辑470的控制下运行操作S416。在操作S416,可以供应擦除电压并且可以再次选择先前选择的串选择线。然后,方法进行到操作S413。

[0315] 如果计数值CV低于第二参考值 V_2 ,也就是说,如果失败串的数量低于第二参考值 V_2 ,则通过/失败校验单元460可以输出通过信号PASS。根据通过信号PASS,可以在控制逻辑470的控制下运行操作S417。

[0316] 在操作S417,可以确定被选串选择线SSL1是否是最后的串选择线。如果被选串选择线SSL1不是最后的串选择线,则在操作S418,可以选择下一条串选择线SSL2。然后,方法进行到操作S413。如果被选串选择线SSL1是最后的串选择线,则方法可以结束。

[0317] 在示范性实施例中,第二参考值 V_2 可以指示能够通过纠错单元(未示出)纠正的比特数量,该纠错单元被配置成纠正从非易失性存储器件400读取的数据的错误。第二参考值 V_2 可以具有小于纠错单元(未示出)的可纠错比特数的值,并且可以根据可纠错比特数来确定。例如,可以根据可纠错比特数的特定比率来确定第二参考值 V_2 。

[0318] 如上所述,如果失败串的数量低于第二参考值 V_2 ,则方法可以结束。可以将断开串确定为失败的串。也就是说,尽管存在断开串,但非易失性存储器件400仍可以正常工作。

[0319] 在示例性实施例中,如参照图16和图17描述的,非易失性存储器件400可以被配置成执行预读取操作。

[0320] 图22是图示根据本发明构思的示例性实施例的非易失性存储器件500的框图。参照图22,非易失性存储器件500可以包括存储单元阵列510、地址译码单元520、页缓存单元530、数据输入/输出单元540、计数单元550、通过/失败校验单元560和控制逻辑570。

[0321] 元件510、520、540、550和570可以与图19中示出的相同。

[0322] 页缓存器530可以包括脉动进位计算器531。脉动进位计算器531可以根据擦除验证读取结果输出和信号SUM和进位信号CARRY。

[0323] 计数单元550可以被配置成从页缓存单元530接收和信号SUM。计数单元550可以被配置成对和信号SUM的激活数量进行计数。计数单元550可以输出计数值CV。

[0324] 通过/失败校验单元560可以从页缓存单元530接收进位信号CARRY并且从计数单元550接收计数值CV。当进位信号CARRY被激活时,通过/失败校验单元560可以激活失败信号FAIL。当进位信号处于非激活状态时,通过/失败校验单元560可以将计数值CV与寄存器REG3中存储的参考值进行比较,以根据比较结果输出通过信号PASS或者失败信号FAIL。

[0325] 图23是图示根据本发明构思的示例性实施例的擦除方法的流程图。参照图7、图22和图23,在操作S511,可以供应擦除电压。

[0326] 在操作S512,可以选择第一串选择线SSL1。在操作S513,可以通过供应擦除验证电压进行擦除验证操作。在操作S512和S513供应到存储单元阵列510的电压可以与图21中图示的相同。如果运行操作S512和S513,则擦除验证读取结果可以存储在页缓存单元530中包括的锁存器(未示出)中。例如,第二逻辑值可以存储在与擦除通过串相对应的锁存器(未示出)中,并且第一逻辑值可以存储在与擦除失败串相对应的锁存器(未示出)中。

[0327] 在操作S514,可以生成和信号SUM和进位信号CARRY。页缓存单元530的脉动进位计算器531可以根据擦除验证读取结果生成和信号SUM以及进位信号CARRY。这将参照图24更充分地描述。

[0328] 在操作S515,确定进位信号CARRY是否处于非激活状态。如果进位信号CARRY处于激活状态,则通过/失败校验单元560可以生成失败信号FAIL。根据失败信号FAIL,可以在控制逻辑570的控制下运行操作S516。在操作S516,可以执行擦除操作,并且可以再次选择先前选择的串选择线。然后,方法进行到操作S513。

[0329] 如果进位信号CARRY处于非激活状态,则方法进行到操作S517,在操作S517,将和信号SUM的激活数量与第三参考值V3进行比较。计数单元550可以向通过/失败校验单元560提供指示和信号SUM的激活数量的计数值CV。当计数值CV大于第三参考值V3时,通过/失败校验单元560可以生成失败信号FAIL。根据失败信号FAIL,可以在控制逻辑570的控制下运行操作S516。如果计数值CV低于第三参考值V3,则失败校验单元560可以生成通过信号PASS。根据通过信号PASS,可以在控制逻辑570的控制下运行操作S518。

[0330] 在操作S518,可以确定被选串选择线SSL1是否是最后的串选择线。如果被选串选择线SSL1不是最后的串选择线,则在操作S519,可以选择下一条串选择线SSL2。然后,方法进行到操作S513。如果被选串选择线SSL1是最后的串选择线,则方法可以结束。

[0331] 图24是图示生成和信号以及进位信号的方法的流程图。参照图7、图22和图24,在操作S521,可以选择第一组擦除验证读取结果。例如,擦除验证读取结果可以被分成多个组,并且可以选择分成的组中的第一组。

[0332] 在操作S522,可以确定被选组的擦除验证读取结果所代表的失败串的数量是否是一。在示例性实施例中,被选组的验证结果的第一逻辑值可以指示失败串。可以确定被选组的验证结果的第一逻辑值的数量是否是1。如果是,则方法进行到操作S523。如果不是,则方法进行到操作S524。在操作S523,激活和信号SUM。脉动进位计算器531可以激活和信号SUM。然后,方法进行到操作S526。

[0333] 在操作S524,可以确定失败串的数量是否超过2。在示例性实施例中,可以确定被选组的验证结果的第一逻辑值的数量是否超过2。如果是,则方法进行到操作S525。如果不是,则方法进行到操作S526。在操作S525,可以激活进位信号CARRY。然后,方法进行到操作S526。

[0334] 如果运行操作S522到S525,则页缓存单元530可以激活和信号SUM或进位信号CARRY,或者可以去激活和信号SUM和进位信号CARRY。如果检测到一个失败串,则可以激活和信号SUM。如果检测到两个或更多个失败串,则可以激活进位信号CARRY。

[0335] 在操作S526,可以确定被选组是否是最后的组。如果被选组不是最后的组,则在操作S527可以去激活和信号SUM和进位信号CARRY,并且可以选择下一个组。然后,方法进行到步骤S521。如果被选组是最后的组,则和信号SUM和进位信号CARRY的生成可以结束。

[0336] 如参照图24描述的,如果进位信号CARRY被激活,则可以激活失败信号FAIL。也就是说,如果从被选组的擦除验证读取结果检测到两个或更多失败串,则可以确定擦除失败。

[0337] 当进位信号CARRY处于去激活状态时,可以将和信号SUM的激活数量与第三参考值V3进行比较,并且可以根据比较结果确定擦除失败或擦除通过。也就是说,当每组不包括两个或更多失败串并且总的擦除验证读取结果的失败串的数量低于第三参考值V3时,可以确定擦除通过。

[0338] 第三参考值V3可以指示能够通过纠错单元(未示出)纠正的比特数量,该纠错单元被配置成纠正从非易失性存储器件500读取的数据的错误。第三参考值V3可以具有小于纠错单元(未示出)的可纠错比特数的值,并且可以根据可纠错比特数来确定。例如,可以根据可纠错比特数的特定比率来确定第三参考值V3。

[0339] 图25是图示根据本发明构思的示例性实施例的非易失性存储器件500的脉动进位计算器531的框图。在示例性实施例中,页缓存单元530可以具有图14中图示的结构。页缓存器信号线PBS1到PBSm可以与脉动进位计算器531连接。

[0340] 参照图7、图14、图22和图25,脉动进位计算器531可以包括多个计算器C1到Ck。页缓存器信号线PBS1到PBSm中的相邻的页缓存器信号线和一个计算器连接。例如,第一页缓存器信号线PBS1和第二页缓存器PBS2可以与第一计算器C1连接,第三页缓存器信号线PBS3和第四页缓存器信号线PBS4可以与第二计算器C2连接,并且页缓存器信号线PBSm-1和PBSm可以与计算器Ck连接。

[0341] 当传送信号PF1到PFn被顺序地激活时,页缓存器PB1到PBn可以将擦除验证读取结果顺序地输出到页缓存器信号线PBS1到PBSm。也就是说,擦除验证读取结果可以按照页缓存器PB1到PBn的级Stage1到Stagen分成多个组。

[0342] 第一计算器C1可以对第一页缓存器信号线PBS1和第二页缓存器信号线PBS2的逻辑值求和,以输出第一和信号SUM1。例如,第一计算器C1可以通过对第一页缓存器信号线PBS1和第二页缓存器信号线PBS2的逻辑值执行异或(XOR)运算,来输出第一和信号SUM1。当第一页缓存器信号线PBS1和第二页缓存器信号线PBS2具有第一逻辑值(例如,逻辑高电平)时,第一计算器C1可以输出第一进位信号CARRY1作为第一逻辑值。

[0343] 第二计算器C2可以通过对第三页缓存器信号线PBS3和第四页缓存器信号线PBS4的逻辑值执行XOR运算,来输出第二和信号SUM2。当第三页缓存器信号线PBS3和第四页缓存器信号线PBS4具有第一逻辑值时,或者当第三页缓存器信号线PBS3和第四页缓存器PBS4的

逻辑值与第一和信号SUM1的XOR值具有第一逻辑值时,第二计算器C2可以输出第二进位信号CARRY2作为第一逻辑值。当第一进位信号CARRY1具有第一逻辑值时,第二计算器C2可以输出第二进位信号CARRY2作为第一逻辑值。

[0344] 计算器Ck可以与第二计算器C2相同地操作。计算器Ck可以基于页缓存单元530的输出信号和前一级的输出信号输出和信号SUM以及进位信号CARRY。当和信号SUM或者进位信号CARRY具有第一逻辑值时,和信号SUM或者进位信号CARRY可以被激活。和信号可以被提供给计数单元550,并且进位信号CARRY可以被提供给通过/失败校验单元560。

[0345] 如上所述,当失败串的数量在可校正范围内时,可以确定擦除通过。在擦除验证操作可以将断开串确定为失败串。因此,尽管存在断开串,但非易失性存储器件500仍可以正常工作。

[0346] 图26是图示根据本发明构思的示例性实施例的图3的EC部分的等效电路BLKa2的电路图。图26的等效电路BLKa2可以不同于图7中图示的等效电路,其不同之处在于,在每个单元串中添加了横向晶体管LTR。

[0347] 参照图3到图6以及图26,每个单元串中的横向晶体管LTR可以连接在地选择晶体管GST和公共源极线CSL之间。每个单元串中的横向晶体管LTR的栅极可以与其中的地选择晶体管GST的栅极(或者控制栅极)一起连接到地选择线GSL。

[0348] 沟道膜114可以用作第一导电材料CM1的垂直主体。也就是说,第一导电材料CM1可以与沟道膜114一起构成纵向晶体管。第一导电材料CM1可以与沟道膜114一起构成垂直于衬底111的地选择晶体管GST。

[0349] 可以在衬底111与第一导电材料CM1之间提供信息存储膜116。衬底111可以用作第一导电材料CM1的横向主体。也就是说,第一导电材料CM1可以与衬底111一起形成纵向晶体管LTR。

[0350] 当电压被施加到第一导电材料CM1时,可以在第一导电材料CM1与沟道膜114之间形成(forced)电场。该电场可以使得能够在沟道膜114形成沟道。当电压被施加到第一导电材料CM1时,可以在第一导电材料CM1与衬底111之间形成电场。该电场可以使得能够在衬底111形成沟道。在衬底111形成的沟道可以与公共源极区CSR和沟道膜114耦合。当电压被施加到地选择线GSL时,地选择晶体管GST和横向晶体管LTR可以导通。这可以使得单元串CS11、CS12、CS21和CS22能够与公共源极线CSL连接。

[0351] 图27是图示根据本发明构思的示例性实施例的图3的EC部分的等效电路BLKa3的电路图。图27的等效电路BLKa3可以不同于图7的等效电路,不同之处在于地选择晶体管GST与第一地选择线GSL1和第二地选择线GSL2连接。参照图3、图6和图27,第一导电材料CM1可以构成第一地选择线GSL1和第二地选择线GSL2。

[0352] 可以与参照图8到图13、图20、图21、图23和图24描述的相同的方式擦除存储单元。可以向被选地选择线施加导通电压,并且可以向未选地选择线施加截止电压。可以与被选串选择线相同地偏置被选地选择线,并且可以与未选串选择线相同地偏置未选地选择线。

[0353] 可以与参照图16和图17描述的相同的方式对存储单元MC1到MC6进行预读取。可以向被选地选择线施加导通电压,并且可以向未选地选择线施加截止电压。可以与被选串选择线相同地偏置被选地选择线,并且可以与未选串选择线相同地偏置未选地选择线。

[0354] 如参照图26描述的,可以向等效电路BLKa3提供横向晶体管LTR。

[0355] 图28是图示根据本发明构思的示例性实施例的图3的EC部分的等效电路BLKa4的电路图。参照图3到图6和图28,可以提供多个子块。在本实施例中,第二导电材料CM2和第三导电材料CM3可以构成被用作第一子块的第一存储单元MC1和第二存储单元MC2。第六导电材料CM6和第七导电材料CM7可以构成被用作第二子块的第三存储单元MC3和第四存储单元MC4。第四导电材料CM4和第五导电材料CM5可以构成提供在第一和第二子块之间的第一伪存储单元DMC1和第二伪存储单元DMC2。第一子块和第二子块可以相互独立地编程、读取和擦除。

[0356] 可以以与参照图8到图13、图20、图21、图23和图24描述的相同的方法擦除存储单元MC1到MC4。当根据参照图8到图13描述的方法擦除存储单元MC1到MC4时,供应到存储块BLKa4的电压在图29中示出。与图9中的电压相比,当供应擦除电压Vers1时,可以向被选子块的字线供应第一字线擦除电压Vers1,并且可以浮置未选子块的字线或者向未选子块的字线供应第一字线电压VWL1。第一字线电压VWL1可以具有擦除电压Vwe1与地电压VSS之间的电平。

[0357] 伪字线DWL1和DWL2可以被浮置或者被供应以第一伪字线电压VDWL1。第一伪字线电压VDWL1可以具有擦除电压Vwe1与地电压VSS之间的电平。

[0358] 当供应第一擦除电压Vers1时,可以擦除被选子块的存储单元,并且可以不擦除未选子块的存储单元和伪存储单元。

[0359] 当执行预读取操作时,可以向字线WL1到WL4施加第一高电压VH1。第一高电压VH1可以是非选择读取电压Vread。第二伪字线电压VDWL2可以具有足够导通伪存储单元DMC1和DMC2的电平。第二伪字线电压VDWL2可以与非选择读取电压Vread相同或者其电平可以低于非选择读取电压Vread。

[0360] 当执行擦除验证操作时,可以向被选子块的字线施加验证电压VFY1,并且可以向未选子块的字线供应第二高电压VH2。第二高电压VH2可以是非选择读取电压Vread。可以向伪字线DWL1和DWL2施加第三伪字线电压VDWL3。第三伪字线电压VDWL3可以具有足够导通伪存储单元DMC1和DMC2的电平。第三伪字线电压VDWL3可以与非选择读取电压Vread相同或者其电平可以低于非选择读取电压Vread。

[0361] 当根据参照图20和图21描述的方法擦除存储单元时,供应到存储块BLKa4的电压在图30中示出。与图21中的电压相比,当供应擦除电压Vers2时,可以向被选子块的字线供应字线擦除电压Vwe2,并且可以浮置未选子块的字线或者向未选子块的字线供应第二字线电压VWL2。第二字线电压VWL2可以具有在擦除电压Vwe2和地电压VSS之间的电平。

[0362] 伪字线DWL1和DWL2可以被浮置或者被供应以第四伪字线电压VDWL4。第四伪字线电压VDWL4可以具有在擦除电压Vwe2和地电压VSS之间的电平。

[0363] 当执行擦除验证操作时,可以向被选子块的字线提供验证电压VFY2,并且可以向未选子块的字线施加第三字线电压VWL3。第三字线电压VWL3可以是足够导通存储单元的电压。第三字线电压VWL3可以具有与非选择读取电压Vread相同或相似的电平。

[0364] 可以向伪字线DWL1和DWL2施加第五伪字线电压VDWL5。第五伪字线电压VDWL5可以是足够导通伪存储单元DMC1和DMC2的电压。第五伪字线电压VDWL5可以具有与非选择读取电压Vread相同或相似的电平。

[0365] 当根据参照图20和图21描述的方法擦除存储单元MC1到MC4时,供应到存储块BLKa4的电压可以与图29中示出的相同。

[0366] 当根据参照图16和图17描述的方法对存储单元MC1到MC4进行预读取操作时,供应到存储块BLKa4的电压可以与在图29的步骤S113和S114供应的电压相同。

[0367] 如参照图26描述的,可以向等效电路BLKa4提供横向晶体管LTR。

[0368] 图31是图示根据本发明构思的示例性实施例的图3的EC部分的等效电路BLKa5的电路图。参照图3到图6和图31,第一导电材料CM1和第二导电材料CM2可以构成地选择晶体管GSTa和GSTb,地选择晶体管GSTa和GSTb分别具有第一高度和第二高度。第七导电材料CM7和第八导电材料CM8可以构成串选择晶体管SSTa和SSTb,串选择晶体管SSTa和SSTb分别具有第七高度和第八高度。第三到第六导电材料CM3到CM6可以构成第一到第四存储单元MC1到MC4。

[0369] 第一导电材料CM1和第二导电材料CM2可以共同连接以形成地选择线GSL。第一导电材料CM1可以共同连接以形成具有第一高度的地选择线(未示出)。第二导电材料CM2可以共同连接以形成具有第二高度的地选择线(未示出)。

[0370] 单元串CS11和CS12可以与两条地选择线(未示出)连接,所述两条地选择线分别具有第一高度和第二高度,并且由第一导电材料CM1和第二导电材料CM2形成。单元串CS21和CS22可以与两条地选择线(未示出)连接,所述两条地选择线分别具有第一高度和第二高度,并且由第一导电材料CM1和第二导电材料CM2形成。与至少三个高度相对应的导电材料可以形成地选择晶体管。

[0371] 单元串CS11和CS12可以与两条串选择线SSL1a和SSL1b连接,串选择线SSL1a和SSL1b分别具有第七高度和第八高度,并且由第七导电材料CM7和第八导电材料CM8形成。单元串CS21和CS22可以与两条串选择线SSL2a和SSL2b连接,串选择线SSL2a和SSL2b分别具有第七高度和第八高度,并且由第七导电材料CM7和第八导电材料CM8形成。分别与至少三个高度相对应的导电材料可以形成串选择晶体管。

[0372] 可以以与参照图8到图13、图20、图21、图23和图24描述的相同的方法擦除存储单元MC1到MC4。可以与在图16和图17中描述的相同的方法对存储单元MC1到MC4进行预读取操作。

[0373] 与参照图26描述的等效电路BLKa2一样,可以向图31的等效电路BLKa5提供横向晶体管LTR。与参照图27描述的等效电路BLKa3一样,单元串CS11和CS12可以与一条地选择线(未示出)连接,并且单元串CS21和CS22可以与另一条地选择线(未示出)连接。与参照图28描述的等效电路BLKa4一样,存储单元MC可以构成多个子块。

[0374] 图32是图示根据本发明构思的示例性实施例的图3的EC部分的等效电路BLKa6的电路图。图32的等效电路BLKa6可以不同于图31示出的等效电路BLKa6,不同之处在于串选择晶体管SSTa和SSTb共用串选择线。单元串CS11和CS12中的串选择晶体管SSTa和SSTb可以共同连接到第一串选择线SSL1,并且单元串CS21和CS22中的串选择晶体管SSTa和SSTb可以共同连接到第二串选择线SSL2。

[0375] 可以以与参照图8到图13、图20、图21、图23和图24描述的相同的方法擦除存储单元MC1到MC4。可以与在图16和图17中描述的相同的方法对存储单元MC1到MC4进行预读取操作。

[0376] 与参照图26描述的等效电路BLKa2一样,可以向等效电路BLKa6提供横向晶体管LTR。与参照图27描述的等效电路BLKa3一样,单元串CS11和CS12可以与一条地选择线(未示出)连接,并且单元串CS21和CS22可以与另一条地选择线(未示出)连接。与参照图28描述的等效电路BLKa4一样,存储单元MC可以构成多个子块。

[0377] 图33是图示根据本发明构思的示例性实施例的图3的EC部分的等效电路BLKa7的电路图。参照图3到图6以及图33,第二导电材料CM2可以构成第一伪存储单元DMC1,并且第七导电材料CM7可以构成第二伪存储单元DMC2。

[0378] 在示例性实施例中,与两个或更多高度相对应的导电材料可以构成布置在存储单元和地选择晶体管GST之间的伪存储单元(未示出)。与两个或更多高度相对应的导电材料可以构成布置在存储单元和串选择晶体管SST之间的伪存储单元(未示出)。伪存储单元(未示出)可以布置为与地选择晶体管GST和串选择晶体管SST中的任何一个相邻。

[0379] 可以以与参照图8到图13、图20、图21、图23和图24描述的相同的方法擦除存储单元MC1到MC4。可以与在图16和图17中描述的相同的方法对存储单元MC1到MC4进行预读取操作。

[0380] 施加到伪字线DWL1和DWL2的电压可以是参照图29和图30描述的伪字线电压VDWL1到VDWL5。

[0381] 与参照图26描述的等效电路BLKa2一样,可以向等效电路BLKa6提供横向晶体管LTR。与参照图27描述的等效电路BLKa3一样,单元串CS11和CS12可以与一条地选择线(未示出)连接,并且单元串CS21和CS22可以与另一条地选择线(未示出)连接。与参照图28描述的等效电路BLKa4一样,存储单元MC可以构成多个子块。如参照图31描述的,两个或更多高度的导电材料可以构成串选择晶体管SSTa和SSTb。两个或更多高度的导电材料可以构成地选择晶体管GSTa和GSTb。如参照图32描述的,相同行的串选择晶体管SSTa和SSTb可以与一条串选择线SSL1或SSL2连接。

[0382] 图34是根据本发明构思的示例性实施例的沿图3的IV-IV'线截取的透视图。图35是根据本发明构思的示例性实施例沿图3的IV-IV'线截取的截面图。参照图3、图34和图35,可以提供沿垂直于衬底111的方向堆叠的下柱PLa和上柱PLb。

[0383] 下柱PLa可以沿第三方向穿透绝缘膜112和112a以与衬底111接触。下柱PLa中的每一个可以包括下沟道膜114a和下内部材料115a。下沟道膜114a可以包括具有与衬底111相同导电类型的半导体材料或本征半导体。下沟道膜114a可以分别用作第一到第四导电材料CM1到CM4的垂直主体。下内部材料115a可以包括绝缘材料。

[0384] 可以在下柱PLa中的相应下柱上提供上柱PLb。上柱PLb可以沿第三方向穿透绝缘膜112以与下柱PLa的上表面接触。上柱PLb中的每一个可以包括上沟道膜114b和上内部材料115b。上沟道膜114b可以包括具有与下沟道膜114a相同导电类型的半导体材料或本征半导体。上沟道膜114b可以分别用作第五到第八导电材料CM5和CM8的垂直主体。上内部材料115b可以包括绝缘材料。

[0385] 下沟道膜114a和上沟道膜114b可以连接以用作垂直主体。例如,可以在下柱PLa中的相应下柱上提供半导体垫SP。半导体垫SP可以包括具有与下沟道膜114a相同导电类型的半导体材料或本征半导体。下沟道膜114a和上沟道膜114b可以经由半导体垫SP相互连接。

[0386] 在本实施例中,在第一到第八导电材料CM1到CM8当中,邻近半导体垫SP的导电材

料可以构成伪字线和伪存储单元。例如,第四导电材料CM4、第五导电材料CM5、或第四和第五导电材料CM4和CM5可以构成伪字线和伪存储单元。

[0387] 参照图3、图34和图35描述的存储块的等效电路可以与分别在图7、图26、图27、图28、图31、图32和图33中图示的上述等效电路BLKa1到BLKa7之一相同。

[0388] 在参照图3、图34和图35描述的存储块中,可以以与参照图8到图13、图20、图21、图23和图24描述的相同的方法执行擦除操作。在参照图3、图34和图35描述的存储块中,可以用与图16和图17中描述的相同的方法进行预读取操作。

[0389] 图36是图示根据本发明构思的示例性实施例的图2的存储单元阵列110的存储块的一个存储块BLKb的平面图。图37是沿图36的X X X VII-X X X VII'线截取的透视图。图38是沿图36的X X X VII-X X X VII'线截取的截面图。

[0390] 与参照图3到图6描述的存储块BLKa相比,存储块BLKb可以具有在第二方向上提供的、沿第一方向延伸的串选择线切口SSL Cut和字线切口WLCut。可以在通过字线切口WLCut暴露的衬底111处提供公共源极区CSR。

[0391] 可以在两个相邻的公共源极区CSR、即两个相邻的字线切口WLCut之间,在沿第一方向的两条线上形成柱PL。可以在两条线的柱PL之间形成串选择线切口SSL Cut。串选择线切口SSL Cut可以隔离构成串选择晶体管SST的第八导线CM8。当两个或更多高度的导线构成串选择晶体管SST时,串选择线切口SSL Cut可以隔离两个或更多高度的导电材料。

[0392] 在本实施例中,如图34和图35中描述的,柱PL可以由下柱和上柱形成。

[0393] 图36的EC部分可以对应于分别在图7、图26、图27、图28、图31、图32和图33中图示的上述等效电路BLKa1到BLKa7之一。

[0394] 在存储块BLKb中,可以以与参照图8图13、图20、图21、图23和图24描述的相同的方法执行擦除操作。在存储块BLKb中,可以与在图16和图17中描述的相同的方法进行预读取操作。

[0395] 图39是图示根据本发明构思的示例性实施例的图2的存储块中的一个存储块BLKc的平面图。图40是沿图39的X X X X-X X X X'线截取的透视图。图41是沿图39的X X X X-X X X X'线截取的截面图。

[0396] 与图3到图6中描述的存储块BLKa相比,存储块BLKc可以具有在相邻的公共源极区之间提供的柱,所述相邻的公共源极区沿第一方向以锯齿(zigzag)形状布置。

[0397] 如在图34和图35中描述的,柱PL可以由下柱和上柱形成。如在图36到图38中描述的,可以提供串选择线切口SSL Cut。可以在彼此相邻的字线切口WLCut和串选择线切口SSL Cut之间提供沿第一方向以锯齿形状布置一条线的柱。

[0398] 图39的EC部分可以对应于分别在图7、图26、图27、图28、图31、图32和图33中图示的上述等效电路BLKa1到BLKa7之一。

[0399] 在存储块BLKc中,可以以与参照图8图13、图20、图21、图23和图24描述的相同的方法执行擦除操作。在存储块BLKc中,可以与在图16和图17中描述的相同的方法进行预读取操作。

[0400] 图42是图示根据本发明构思的示例性实施例的图2的存储块中的一个存储块BLKd的平面图。图43是沿图42的X X X X III-X X X X III'线截取的透视图。沿图42由X X X X III-X X X X III'线截取的截面图可以与图5中示出的相同,因此省略对其的描述。

[0401] 与在图3到图6中描述的存储块BLKa相比,存储块BLKd使存储块BLKd包括正方形柱PL。可以在柱PL之间提供绝缘材料IM。柱PL可以在相邻的公共源极区CSR之间沿第一方向布置成直线。绝缘材料IM可以沿第三方向延伸以便与衬底111接触。

[0402] 柱PL中的每一个可以包括沟道膜114和内部材料115。示例性地,沟道膜114可以在相应柱的四个侧面当中的邻近导电材料CM1到CM8的两个侧面上提供,而不是包围相应柱。

[0403] 在每个柱的一个侧面上的沟道膜可以与导电材料CM1到CM8和信息存储膜116一起构成单元串。在每个柱的另一个侧面上的沟道膜可以与导电材料CM1到CM8和信息存储膜116一起构成另一个单元串。也就是说,一个柱可以用以形成两个单元串。

[0404] 在示例性实施例中,如在图34和图35中描述的,柱PL可以由下柱和上柱形成。如在图36到图38中描述的,可以提供串选择线切口SSL Cut。如在图39到图41中描述的,可以沿第一方向以锯齿形状布置柱PL。

[0405] 图42的EC部分可以对应于分别在图7、图26、图27、图28、图31、图32和图33中图示的上述等效电路BLKa1到BLKa7之一。

[0406] 在存储块BLKd中,可以以与参照图8图13、图20、图21、图23和图24描述的相同的方法执行擦除操作。在存储块BLKd中,可以以与在图16和图17中描述的相同的方法进行预读取操作。

[0407] 图44是图示根据本发明构思的示例性实施例的图2的存储块中的一个存储块BLKe的平面图。图45是沿图44的X X X X V-X X X X V'线截取的透视图。图46是沿图44的X X X X V-X X X X V'线截取的截面图。

[0408] 参照图44到图46,可以在衬底111上提供沿第一方向延伸的第一到第八上导电材料CMU1到CMU8。第一到第四上导电材料CMU1到CMU4可以沿垂直于衬底111的方向堆叠,并且沿垂直于衬底111的方向相互间隔。第五到第八上导电材料CMU5到CMU8可以沿垂直于衬底111的方向堆叠,并且沿垂直于衬底111的方向相互间隔。第一到第四上导电材料CMU1到CMU4的组可以沿第二方向与第五到第八上导电材料CMU5到CMU8的组相间隔。

[0409] 可以在第一到第四上导电材料CMU1到CMU4与第五到第八上导电材料CMU5到CMU8之间提供沿第一方向延伸的下导电材料CMD1a、CMD1b和CMD2到CMD4。下导电材料CMD2到CMD4可以沿垂直于衬底111的方向堆叠,并且沿垂直于衬底111的方向相互间隔。可以在下导电材料CMD2上提供下导电材料CMD1a和CMD1b。下导电材料CMD1a和CMD1b可以沿第二方向相间隔。

[0410] 多个上柱PLU可以被配置成沿垂直于衬底111的方向穿透第一到第四上导电材料CMU1到CMU4或者第五到第八上导电材料CMU5到CMU8。上柱PLU可以接触衬底111。在第一上导电材料CMU1中,上柱可以沿第一方向布置成直线,并且可以沿第一方向相间隔。在第八上导电材料CMU8中,上柱可以沿第一方向布置成直线,并且可以沿第一方向相间隔。

[0411] 上柱PLU中的每一个可以包括信息存储膜116和沟道膜114。信息存储膜116可以通过捕获或者放电电荷来存储信息。信息存储膜116可以包括隧道绝缘膜、电荷捕获膜和阻挡绝缘膜。

[0412] 沟道膜114可以用作上柱PLU的垂直主体。沟道膜114可以分别包括本征半导体。沟道膜114可以包括具有与衬底111相同导电类型(例如,p型)的半导体。

[0413] 可以形成多个下柱PLD。多个下柱PLD可以沿垂直于衬底111的方向穿透下导电材

料CMD2到CMD4以及下导电材料CMD1a或者CMD1b,以便接触衬底111。在下导电材料CMD1a中,下柱可以沿第一方向布置成直线,并且可以沿第一方向相间隔。在下导电材料CMD1b中,下柱可以沿第一方向布置成直线,并且可以沿第一方向相间隔。

[0414] 下柱PLD中的每一个可以包括信息存储膜116和沟道膜114。信息存储膜116可以通过捕获或者放电电荷来存储信息。信息存储膜116可以包括隧道绝缘膜、电荷捕获膜和阻挡绝缘膜。

[0415] 沟道膜114可以用作下柱PLD的垂直主体。沟道膜114可以分别包括本征半导体。沟道膜114可以包括具有与衬底111相同导电类型(例如,p型)的半导体。

[0416] 可以在衬底111提供多个管道接触件(pipeline contact)PC。管道接触件PC可以在位线方向上延伸以便将在第一上导电材料CMU1处形成的上柱PLU的下表面与在下导电材料CMD1a处形成的下柱PLD的下表面连接。管道接触件PC可以在位线方向上延伸,以便将在第八上导电材料CMU8处形成的上柱PLU的下表面与在下导电材料CMD1b处形成的下柱PLD的下表面连接。

[0417] 在本实施例中,管道接触件PC中的每一个可以包括沟道膜114和信息存储膜116。管道接触件PC的沟道膜114可以将上柱PLU的沟道膜114和下柱PLD的沟道膜相互连接。管道接触件PC的信息存储膜116可以将上柱PLU的信息存储膜116和下柱PLD的信息存储膜116相互连接。

[0418] 可以在下柱PLD上提供沿第一方向延伸的公共源极区CSR。公共源极区CSR可以沿第一方向延伸以便与多个下柱PLD连接。公共源极区CSR可以形成公共源极线CSL。公共源极区CSR可以包括金属材料。公共源极区CSR可以具有不同于衬底111的导电类型。

[0419] 可以在上柱PLU上提供漏极320。漏极320可以包括具有不同于衬底111的导电类型(例如,n型)的半导体材料。可以在漏极320上形成位线BL。位线BL可以沿第一方向相间隔。位线BL可以沿第二方向延伸以便与漏极320连接。

[0420] 在本实施例中,位线BL和漏极320可以经由接触插头连接,并且公共源极区CSR和下柱PLD可以经由接触插头连接。

[0421] 一个单元串可以由经由一个管道接触件相互连接的下柱和上柱形成。

[0422] 在示例性实施例中,如在图39到图41中描述的,可以沿第一方向以锯齿形状布置上柱PLU和下柱PLD。

[0423] 图44的EC部分可以对应于分别在图7、图26、图27、图28、图31、图32和图33中图示的上述等效电路BLKa1到BLKa7之一。

[0424] 在存储块BLKe中,可以以与参照图8图13、图20、图21、图23和图24描述的相同的方法执行擦除操作。在存储块BLKe中,可以以与在图16和图17中描述的相同的方法进行预读取操作。

[0425] 图47是图示根据本发明构思的另一个示例性实施例的图2的存储块中的一个存储块BLKf的平面图。图48是沿图47的X X X X VIII-X X X X VIII'线截取的透视图。图49是沿图47的X X X X VIII-X X X X VIII'线截取的截面图。

[0426] 参照图47到图49,可以在衬底111形成公共源极区CSR。公共源极区CSR可以例如由一个掺杂区形成。公共源极区CSR可以构成公共源极线CSL。

[0427] 可以在公共源极区CSR上形成第一到第八导电材料CM1到CM8。第一到第八导电材

料CM1到CM8可以沿垂直于衬底111的方向堆叠,并且可以沿垂直于衬底111的方向相间隔。在第一到第八导电材料CM1到CM8当中,构成串选择晶体管SST的导电材料可以由串选择线切口SSL Cut分隔。串选择线切口SSL Cut可以沿第一方向延伸并且沿第二方向相间隔。剩余的导电材料(未用于串选择晶体管的导电材料)可以在公共源极区CSR上形成,以具有沿第一和第二方向延伸的板型形状。

[0428] 例如,第一到第七导线CM1到CM7可以具有板型形状,并且第八导电材料CM8可以被串选择线切口SSL Cut分隔。第八导电材料CM8可以沿第一方向延伸并且沿第二方向相间隔。

[0429] 多个柱PL可以被提供为沿垂直于衬底111的方向穿透第一到第八导电材料CM1到CM8,以与衬底111接触。在第八导电材料CM8之一中,沿第一方向在直线上提供柱PL。柱PL中的每一个可以包括信息存储膜116、沟道膜114和内部材料115。

[0430] 信息存储膜116可以通过捕获或者放电电荷来存储信息。信息存储膜116可以包括隧道绝缘膜、电荷捕获膜和阻挡绝缘膜。沟道膜114可以用作柱PL的垂直主体。沟道膜114可以包括本征半导体。沟道膜114可以包括具有与衬底111相同类型(例如,p型)的半导体材料。内部材料115可以包括绝缘材料或者空气隙。

[0431] 在示例性实施例中,如在图34和图35中描述的,柱PL可以由上柱和下柱形成。如在图39到图41中描述的,可以沿第一方向以锯齿形状布置柱PL。

[0432] 图50是图示根据本发明构思的示例性实施例的图47的EC部分的等效电路BLKf1的电路图。参照图47到图50,可以在柱PL和衬底111之间形成公共源极区CSR。

[0433] 沟道膜114可以是p型,并且公共源极区CSR可以是n型。沟道膜114当中与地选择晶体管GST相对应的部分可以是p型,并且公共源极区CSR可以是n型。也就是说,沟道膜114和公共源极区CSR可以形成PN结。因此,在由柱PL形成的单元串CS11、CS12、CS21和CS22与由公共源极区CSR形成的公共源极线之间可以形成二极管D。除了在其中提供二极管D之外,图50的等效电路BLKf1可以与图7中图示的相同。

[0434] 可以像分别在图26、图27、图28、图31、图32和图33中图示的上述等效电路BLKa2到BLKa7那样应用等效电路BLKf1。

[0435] 在存储块BLKf1中,可以以与参照图8图13、图20、图21、图23和图24描述的相同的方法执行擦除操作。在存储块BLKf1中,可以以与在图16和图17中描述的相同的方法进行预读取操作。

[0436] 图51是沿图47的X X X X VIII-X X X X VIII'线截取的透视图。图52是沿图47的X X X X VIII-X X X X VIII'线截取的截面图。

[0437] 参照图47、图51和图52,在第一到第八导电材料CM1到CM8当中,构成地选择晶体管GST的导电材料可以沿第一方向延伸并且沿第二方向相间隔。构成地选择晶体管GST的导电材料可以与构成串选择晶体管SST的导电材料具有相同的结构。例如,第一导电材料CM1可以与第八导电材料CM8具有相同的结构。

[0438] 在示例性实施例中,如在图34和图35中描述的,柱PL可以由上柱和下柱形成。如在图39到图41中描述的,可以沿第一方向以锯齿形状布置柱PL。

[0439] 图53是图示根据本发明构思的示例性实施例的图47的EC部分的等效电路BLKf2的电路图。

[0440] 参照图47以及图50到图53,可以在单元串CS11、CS12、CS21和CS22与公共源极线CSL之间形成二极管D。地选择晶体管GST可以与多条地选择线GSL1和GSL2连接。例如,单元串CS11和CS12的地选择晶体管可以与第一地选择线GSL1连接,并且单元串CS21和CS22的地选择晶体管可以与第二地选择线GSL2连接。

[0441] 可以像分别在图26、图27、图28、图31、图32和图33中图示的上述等效电路BLKa2到BLKa7那样应用等效电路BLKf2。

[0442] 在存储块BLKf2中,可以以与参照图8图13、图20、图21、图23和图24描述的相同的方法执行擦除操作。在存储块BLKf2中,可以以与在图16和图17中描述的相同的方法进行预读取操作。

[0443] 图54是图示根据本发明构思的示例性实施例的存储系统1000的框图。这里,存储系统1000被图示为具有至少一个非易失性存储器件的电子装置。参照图54,存储系统1000可以包括非易失性存储器件1100和控制器1200。

[0444] 根据本发明构思的示例性实施例,非易失性存储器件1100可以基本上与分别在图1、图15、图18、图19和图22中图示的非易失性存储器件100到500之一相同。也就是说,非易失性存储器件1100可以包括在衬底111上提供的多个单元串CS11、CS12、CS21和CS22,并且单元串CS11、CS12、CS21和CS22中的每一个可以包括沿垂直于衬底111的方向堆叠的多个单元晶体管CT。非易失性存储器件1100可以根据上述的擦除方法进行擦除操作。非易失性存储器件1100可以根据上述的预读取方法执行预读取操作。

[0445] 控制器1200可以与主机(或者外部主机设备)和非易失性存储器件1100连接。响应于来自主机的请求,控制器1200可以被配置成访问非易失性存储器件1100。例如,控制器1200可以被配置成控制非易失性存储器件1100的读取、写入、擦除、预读取和后台操作。控制器1200可以被配置成提供非易失性存储器件1100与主机之间的接口。控制器1200可以被配置成驱动固件以控制非易失性存储器件1100。

[0446] 控制器1200可以被配置成向非易失性存储器件1100提供控制信号CTRL、命令CMD和地址ADDR。响应于从控制器1200提供的控制信号CTRL、命令CMD和地址ADDR,非易失性存储器件可以执行读取、写入、预读取和擦除操作。

[0447] 控制器1200可以包括内部存储器1210和纠错单元1220。内部存储器1210可以是控制器1200的工作存储器。纠错单元1220可以编码将被写入非易失性存储器件1100的数据。纠错单元1220可以通过解码从非易失性存储器件1100读取的数据来纠正错误。纠错单元1220可以使用低密度奇偶校验(Low Density Parity Check, LDPC)码纠正错误。纠错单元1220可以使用BCH(Bose Chaudhuri Hocquenghem)或者RS(Reed Solomon)码进行纠错。可以根据纠错单元1220能够纠正的比特数量来确定非易失性存储器件1100的第一到第三值V1到V3。

[0448] 在示例性实施例中,控制器1200还可以包括诸如处理单元、主机接口和存储器接口的组成元件。处理单元可以控制控制器1200的总体操作。

[0449] 主机接口可以包括用于执行主机和控制器1200之间的数据交换的协议。主机接口可以经由各种协议中的至少一个与外部设备(例如,主机)通信,所述各种协议诸如通用串行总线(Universal Serial Bus, USB)协议、多媒体卡(multimedia card, MMC)协议、外围组件互联(peripheral component interconnection, PCI)协议、高速PCI(PCI-express, PCI-

E)协议、高级技术附件(Advanced Technology Attachment,ATA)协议、串行ATA协议、并行ATA协议、小型计算机小型接口(small computer small interface,SCSI)协议、增强型小磁盘接口(enhanced small disk interface,ESDI)协议、以及集成驱动器电子电路(Integrated Drive Electronics,IDE)协议。存储器接口可以与非易失性存储器件1100接口。存储器接口可以包括NAND接口或者NOR接口。

[0450] 存储系统1000可以被用作计算机、便携式计算机、超移动PC(Ultra Mobile PC,UMPC)、工作站、上网本、PDA、上网平板、无线电话、移动电话、智能电话、非接触智能卡、电子书、便携式多媒体播放器(PMP)、数码相机、数字音频记录器/播放器、数字图片/视频记录器/播放器、便携式游戏机、导航系统、黑匣子、3维电视、能够在无线环境中发送和接收信息的设备、构成家庭网络的各种电子设备之一、构成计算机网络的各种电子设备之一、构成电子信息通信网络的各种电子设备之一、RFID、或者构成计算系统的各种电子设备之一。

[0451] 非易失性存储器件1100或者存储系统1000可以通过各种类型的封装来封装,所述各种类型的封装诸如层叠封装(Package on Package,PoP)、球栅阵列(Ball grid arrays,BGA)、芯片尺寸封装(Chip scale package,CSP)、塑料带引线芯片载体(Plastic Leaded Chip Carrier,PLCC)、塑料双列直插封装(Plastic Dual In-Line Package,PDIP)、叠片内裸片封装(Die in Wafer Pack)、晶片内裸片形式(Die in Wafer Form)、板上芯片(Chip On Board,COB)、陶瓷双列直插式封装(Ceramic Dual In-Line Package,CERDIP)、塑料标准四边扁平封装(Plastic Metric Quad Flat Pack,MQFP)、薄型四边扁平封装(Thin Quad Flatpack,TQFP)、小外型封装(Small Outline,SOIC)、缩小型小外型封装(Shrink Small Outline Package,SSOP)、薄型小外型封装(Thin Small Outline,TSOP)、薄型四边扁平封装(Thin Quad Flatpack,TQFP)、系统级封装(System In Package,SIP)、多芯片封装(Multi Chip Package,MCP)、晶片级结构封装(Wafer-level Fabricated Package,WFP)、晶片级处理堆叠封装(Wafer-Level Processed Stack Package,WSP)等等。

[0452] 图55是图示根据本发明构思的示例性实施例的存储系统1000的操作方法的流程图。参照图54和图55,在操作S1110,控制器1200可以向非易失性存储器件1100发送擦除命令。可以与擦除命令一起发送将被擦除的地址。

[0453] 在操作S1120,非易失性存储器件1100可以按照根据本发明构思的示例性实施例的擦除方法之一执行擦除操作。例如,如参照图8和图13B描述的,可以通过执行预读取操作以及将一个或多个断开串设置成“擦除通过”来执行非易失性存储器件1100的擦除操作。可替换地,如参照图20和图23描述的,可以通过将失败串的数量与参考值进行比较来执行非易失性存储器件1100的擦除操作。

[0454] 如果擦除操作结束则,则在操作S1130,非易失性存储器件1100可以向控制器1200提供指示擦除操作完成的响应。

[0455] 在操作S1140,控制器1200可以向非易失性存储器件1100发送擦除命令。

[0456] 在操作S1150,非易失性存储器件1100可以根据在图8、图13B和图20中描述的擦除方法之一执行擦除操作。当经由预读取操作检测到的断开串的数量超过第一参考值V1,和/或当擦除操作在失败串的数量超过第二参考值V2或者第三参考值V3的条件下结束时,可以确定在擦除操作产生错误。

[0457] 如果在擦除操作产生错误,则在操作S1160,非易失性存储器件1100可以向控制器

1200提供响应信号以指示擦除错误。

[0458] 如果接收到指示擦除错误的响应信号,则控制器1200可以执行错误处理操作。例如,控制器1200可以确定包括擦除错误的存储块为损坏的块。

[0459] 如上所述,尽管在非易失性存储器件1100中存在一个或多个断开串,控制器1200仍可以控制非易失性存储器件1100,以便正常工作。

[0460] 图56是图示根据本发明构思的示例性实施例的存储系统1000的操作方法的流程图。在图54和图56中,在操作S1210,控制器1200可以向非易失性存储器件1100发送命令。该命令可以是不同于读取、写入或擦除命令的命令。

[0461] 在操作S1220,非易失性存储器件1100可以按照根据本发明构思的示例性实施例的预读取方法之一执行预读取操作。通过预读取操作,非易失性存储器件1100可以检测断开串信息。断开串信息可以包括断开串的数量、预读取结果、或者断开串的数量和预读取结果两者。断开串信息的类型可以根据操作S1210中传送的命令来确定。

[0462] 在操作S1230,非易失性存储器件1100可以将断开串信息输出到控制器1200。

[0463] 在操作S1240,控制器1200可以在内部存储器1210中存储输入的断开串信息。控制器1200可以使用存储在内部存储器1210中的断开串信息控制非易失性存储器件1100。

[0464] 在示例性实施例中,断开串信息可以临时存储在内部存储器1210中。断开串信息可以利用映射表存储在内部存储器1210中,该映射表用于将来自主机的逻辑地址映射到非易失性存储器件1100的物理地址上。

[0465] 图57是图示图54的存储系统1000的操作方法的流程图。参照图54和图57,在操作S1310,控制器1200可以向非易失性存储器件1100发送擦除命令和断开串信息。可以同时发送指示将被擦除的区域的地址。

[0466] 在操作S1320,一个或多个断开串可以被确定为擦除通过,并且可以擦除存储单元。例如,非易失性存储器件1100可以如参照图8的操作S115描述的那样确定断开串为“擦除通过”,并且可以擦除存储单元。在示例性实施例中,可以在从图8的擦除方法中去除操作S113和S114的预读取操作的条件下运行操作S1320。

[0467] 如果擦除操作完成,则非易失性存储器件1100可以向控制器1200提供指示擦除完成的响应信号。

[0468] 在操作S1340,控制器1200可以向非易失性存储器件1100提供擦除命令和断开串信息。可以同时发送指示将被擦除的区域的地址。

[0469] 在操作S1350,非易失性存储器件1100可以确定断开串为擦除通过,并且可以擦除存储单元。

[0470] 如果在擦除操作产生错误,则在操作S1360,可以向控制器1200发送指示擦除错误的响应。

[0471] 如果接收到指示擦除错误的响应信号,则在操作S1370,控制器1200可以向非易失性存储器件1100提供命令。可以同时发送指示产生擦除错误的区域的地址。

[0472] 在操作S1380,非易失性存储器件1100可以响应于输入的命令执行预读取操作。非易失性存储器件1100可以经由预读取操作检测断开串信息。

[0473] 在操作S1390,非易失性存储器件1100可以向控制器1200发送断开串信息。

[0474] 在操作S1395,控制器1200可以使用输入的断开串信息更新存储在内部存储器中

的数据或者执行错误处理。

[0475] 在示例性实施例中,可能因存储单元的退化而附加产生断开串。在这种情况下,在擦除操作可能产生错误。如果经由在产生擦除错误时运行的预读取操作更新断开串信息,则非易失性存储器件1100可以正常地工作而不管附加产生的断开串。

[0476] 在示例性实施例中,如果断开串的数量超过可纠错比特数或者因断开串之外的原因产生擦除错误,则控制器1200可以执行错误处理。例如,控制器1200可以确定错误的存储块是损坏的块。

[0477] 图58是图示图54的存储系统1000的操作方法的流程图。参照图54和图58,在操作S1410,控制器1200可以向非易失性存储器件1100发送读取命令。可以同时发送将被读取的区域的地址。

[0478] 在操作S1420,非易失性存储器件1100可以向控制器1200发送读取的数据。

[0479] 在操作S1430,控制器1200可以使用断开串信息纠正读取的数据的错误。例如,控制器1200可以使用断开串信息纠正读取的数据当中与断开串相对应的数据的位置。与断开串相对应的数据可以是可能错误的的数据。通过取得可能错误的的数据的位置,可以改善(bettered)控制器1200的纠错单元1220的纠错效率或纠错能力(capacity)。具体来说,如果纠错单元1220使用LDPC,则可以改善纠错效率或纠错能力。

[0480] 图59是图示图54的存储系统1000的操作方法的流程图。参照图54和图59,在操作S1510,控制器1200可以使用写入数据和断开串信息生成码字。在示例性实施例中,与断开串相对应的数据可能在读取操作时导致错误。控制器1200可以生成码字,以便当读取数据时容易地进行纠错。控制器1200可以将与断开串相对应的数据映射到与高阈值电压相对应的数据上。

[0481] 在操作S1520,控制器1200可以向非易失性存储器件1100发送该码字以及写入命令。

[0482] 在操作S1530,非易失性存储器件1100可以写入输入的码字。

[0483] 在操作S1540,非易失性存储器件1100可以向控制器1200提供指示写入完成的响应。

[0484] 如果根据断开串的位置生成码字,则在读取码字时可以改善纠错效率或纠错能力。

[0485] 图60是图示图54的存储系统1000的操作方法的流程图。参照图54和图60,在操作S1610,控制器1200可以向非易失性存储器件1100发送命令。可以同时发送指示特定区域的地址。当请求断开串信息时,控制器1200可以发送命令。

[0486] 在操作S1620,非易失性存储器件1100可以执行预读取操作。可以经由预读取操作检测断开串信息。

[0487] 在操作S1630,非易失性存储器件1100可以向控制器1200提供断开串信息。

[0488] 在操作S1640,控制器1200可以在非易失性存储器件1100中写入输入的断开串信息。例如,非易失性存储器件1100的存储块BLK1到BLKz(参照图2)可以被分成数据区和缓存区。用户数据可以存储在数据区中。缓存区可以用于存储与数据区相关联的信息或者与写入数据区的数据相关联的信息。控制器1200可以控制非易失性存储器件1100,从而使断开串信息存储在非易失性存储器件1100的缓存区中。

[0489] 控制器1200可以使用断开串信息执行附加的操作。例如,控制器1200可以使用断开串信息进行读取、写入或者擦除。

[0490] 然后,可以删除在控制器1200的内部存储器1210中存储的断开串信息。当未请求断开串信息时,控制器1200可以删除断开串信息。

[0491] 在操作S1650,非易失性存储器件1200可以向非易失性存储器件1100发送命令。例如,当需要特定区域的断开串信息时,控制器1200可以发送命令。控制器1200可以发送请求特定区域的断开串信息的命令以对该特定区域进行读取、写入或者擦除。

[0492] 在操作S1660,非易失性存储器件1100可以输出存储在缓存区中的断开串信息。控制器1200可以使用断开串信息执行诸如读取、写入、擦除等等的操作。

[0493] 在操作S1670,可以如参照图57的操作S1340到S1360描述的那样产生擦除错误。

[0494] 如果产生擦除错误,则可以如参照图57的步骤S1370到S1395描述的那样,在操作S1680更新断开串信息。

[0495] 如果断开串信息被更新,则控制器1200可以将更新的断开串信息写入非易失性存储器件1100的缓存区中。

[0496] 图61是图示图54的存储系统1000的操作方法的流程图。参照图54和图61,在操作S1710,控制器1200可以向非易失性存储器件1100发送命令。可以同时发送指示特定区域的地址。当请求断开串信息时,控制器1200可以发送命令。

[0497] 在操作S1720,非易失性存储器件1100可以向控制器1200发送先前存储的断开串信息。在示例性实施例中,断开串信息可以在非易失性存储器件1100的测试电平(test level)检测并且可以存储在非易失性存储器件中。断开串信息可以存储在非易失性存储器件1200的存储块BLK1到BLKz的缓存区中。

[0498] 控制器1200可以使用断开串信息执行附加的操作。例如,控制器1200可以使用断开串信息进行读取、写入或者擦除。

[0499] 然后,可以删除在控制器1200的内部存储器1210中存储的断开串信息。当未请求断开串信息时,控制器1200可以删除断开串信息。

[0500] 在操作S1730到S1770,如果产生擦除错误,则可以更新断开串信息,并且更新的断开串信息可以被写入非易失性存储器件1100中。可以用与图60的操作S1650到S1690同样的方式执行操作S1770。

[0501] 在从非易失性存储器件生成的断开串信息被输出到控制器以及从控制器传送的断开串信息被写入到非易失性存储器件中的条件下,描述了以上实施例。然而,在控制器的控制下,从非易失性存储器件生成的断开串信息可以直接写入到非易失性存储器件中。

[0502] 图62是图示根据本总体发明构思的示例性实施例的存储系统2000的框图。这里,存储系统2000被图示为具有至少一个非易失性存储器件的电子装置。参照图62,存储系统2000可以包括非易失性存储器件2100和控制器2200。非易失性存储器件2100可以包括形成多个组的多个非易失性存储器芯片。每个组中的非易失性存储器芯片可以被配置成经由一个公共通道与控制器2200通信。在示例性实施例中,多个非易失性存储器芯片可以经由多个通道CH1到CHk与控制器2200通信。

[0503] 根据本发明构思的示例性实施例,非易失性存储芯片中的每一个可以基本上与非易失性存储器件100到500之一相同。也就是说,非易失性存储器件2100可以包括在其衬底

111上提供的多个单元串CS 11、CS12、CS21和CS22,并且单元串CS11、CS12、CS21和CS22中的每一个可以包括沿垂直于衬底111的方向堆叠的多个单元晶体管CT。非易失性存储器件2100可以根据上述擦除方法执行擦除操作。非易失性存储器件2100可以根据上述预读取方法执行预读取操作。

[0504] 如参照图54到图61描述的,控制器2200可以响应于来自非易失性存储器件2100的断开串信息执行各种操作。

[0505] 在图62中,示例性地描述了一个通道与多个非易失性存储器芯片连接的情况。然而,存储系统2000可以被修改,从而一个通道与一个非易失性存储器芯片连接。

[0506] 图63是图示根据本发明构思的示例性实施例的存储卡3000的示图。这里,存储卡3000被图示为具有至少一个非易失性存储器件的电子装置。参照图63,存储卡3000可以包括非易失性存储器件3100、控制器3200和连接器3300。

[0507] 根据本发明构思的示例性实施例,非易失性存储器件3100可以基本上与分别在图1、图15、图18、图19和图22中图示的非易失性存储器件100到500之一相同。也就是说,非易失性存储器件3100可以包括在其衬底111上提供的多个单元串CS11、CS12、CS21和CS22,并且单元串CS11、CS12、CS21和CS22中的每一个可以包括沿垂直于衬底111的方向堆叠的多个单元晶体管CT。非易失性存储器件3100可以根据上述擦除方法进行擦除操作。非易失性存储器件3100可以根据上述预读取方法执行预读取操作。

[0508] 如参照图54到图61描述的,控制器3200可以使用从非易失性存储器件3100提供的断开串信息执行各种操作。

[0509] 连接器3300可以将存储卡3000电连接到主机,以便发送或接收与数据、命令、功率等等相对应的信号。

[0510] 存储卡3000可以由诸如PC(PCMCIA)卡、CF卡、SM(或者,SMC)卡、记忆棒、多媒体卡(MMC、RS-MMC、MMCmicro)、安全卡(SD、miniSD、microSD、SDHC)、通用快闪存储器(UFS)设备等等的存储卡形成。

[0511] 图64是图示根据本发明构思的示例性实施例的固态驱动器4000的示图。这里,固态驱动器(SSD)4000被图示为具有至少一个非易失性存储器件的电子装置。参照图64,固态驱动器4000可以包括多个非易失性存储器件4100、控制器4200和连接器4300。

[0512] 根据本发明构思的示例性实施例,非易失性存储器件4100中的每一个可以基本上与分别在图1、图15、图18、图19和图22中图示的非易失性存储器件100到500之一相同。也就是说,非易失性存储器件4100中的每一个可以包括在其衬底111上提供的多个单元串CS11、CS12、CS21和CS22,并且单元串CS11、CS12、CS21和CS22中的每一个可以包括沿垂直于衬底111的方向堆叠的多个单元晶体管CT。非易失性存储器件4100中的每一个可以根据上述擦除方法进行擦除操作。非易失性存储器件4100中的每一个可以根据上述预读取方法执行预读取操作。

[0513] 如参照图54到图61描述的,控制器400可以使用从非易失性存储器件4100提供的断开串信息执行各种操作。

[0514] 连接器4300可以将固态驱动器4000电连接到主机,以便发送或接收与数据、命令、功率等等相对应的信号。

[0515] 图65是图示根据本发明构思的示例性实施例的计算系统5000的框图。这里,计算

系统5000被图示为具有至少一个非易失性存储器件的电子装置。参照图65、计算系统5000可以包括中央处理单元5100、RAM5200、用户接口5300、调制解调器5400和存储系统5600。

[0516] 存储系统5600可以经由系统总线5500电连接到元件5100到5400。经由用户接口5300提供的数据或者由中央处理单元5100处理的数据可以存储在存储系统中。

[0517] 存储系统5600可以包括非易失性存储器件5610和控制器5620。根据本发明构思的示例性实施例，存储系统5600可以由存储系统1000和2000、存储卡3000、以及固态驱动器4000之一形成。

[0518] 图66是图示根据本发明构思的示例性实施例的测试系统6000的框图。这里，测试系统6000被图示为具有至少一个非易失性存储器件的电子装置。参照图66，测试系统6000可以包括非易失性存储器件6100和测试设备6200。

[0519] 根据本发明构思的示例性实施例，非易失性存储器件6100可以基本上与分别在图1、图15、图18、图19和图22中图示的非易失性存储器件100到500之一相同。也就是说，非易失性存储器件6100可以包括在其衬底111上提供的多个单元串CS11、CS12、CS21和CS22，并且单元串CS11、CS12、CS21和CS22中的每一个可以包括沿垂直于衬底111的方向堆叠的多个单元晶体管CT。非易失性存储器件6100可以根据上述擦除方法进行擦除操作。非易失性存储器件6100可以根据上述预读取方法执行预读取操作。

[0520] 图67是图示根据本发明构思的示例性实施例的测试系统6000的测试方法的流程图。参照图66和图67，在操作S6100，测试设备6200可以向非易失性存储器件6100发送命令。

[0521] 在操作S6210，非易失性存储器件6100可以响应于命令执行预读取操作。可以经由预读取操作检测断开串信息。

[0522] 在操作S6130，非易失性存储器件6100可以向测试设备6200输出断开串信息。

[0523] 在操作S6140，测试设备6200可以执行修复操作。例如，测试设备6200可以基于断开串信息或者其他测试数据执行修复操作。例如，当特定存储块中的断开串的数量超过预定参考值时，测试设备6200可以修复该特定存储块。修复可以包括控制非易失性存储器件6100的熔丝（激光熔丝或者电熔丝），所述控制由测试设备6200进行。

[0524] 在操作S6150，测试设备6200可以在非易失性存储器件6100中写入断开串信息。例如，测试设备6200可以在非易失性存储器件6100的存储块BLK1到BLKz（参照图2）的缓存存储块中写入断开串信息。

[0525] 写入非易失性存储器件6100中的数据可以被用以控制非易失性存储器件6100。

[0526] 上述作为电子装置的存储系统或设备可以具有用于执行系统或设备的功能的功能单元。该功能单元可以是用于处理与将被显示的图像相对应的数据的视频图像单元，用于处理与声音相对应的数据的音频单元，用于处理将被发送或存储的数据的信号处理单元等等。

[0527] 本总体发明构思还可以被具体实现为计算机可读介质上的计算机可读代码。计算机可读介质可以包括计算机可读记录介质和计算机可读传输介质。计算机可读记录介质是能够存储作为稍后能被计算机系统读取的程序的数据的任何数据存储设备。计算机可读记录介质的例子包括只读存储器(ROM)、随机存取存储器(RAM)、CD-ROM、磁带、软盘和光数据存储设备。计算机可读记录介质还可以分布在经网络耦合的计算机系统上，从而使计算机可读代码以分布式方式存储和运行。计算机可读传输介质可以传送载波或信号（例如，通过

互联网的有线或无线数据传输)。此外,用于实现本总体发明构思的功能程序、代码和代码段能够被本总体发明构思所述领域中的熟练程序员容易地解释。

[0528] 尽管已经示出和描述了本总体发明构思的几个实施例,但本领域技术人员将会理解,可以对这些实施例做出改变而不会偏离本总体发明构思的原理和精神。本总体发明构思的范围在权利要求及其等效物中限定。

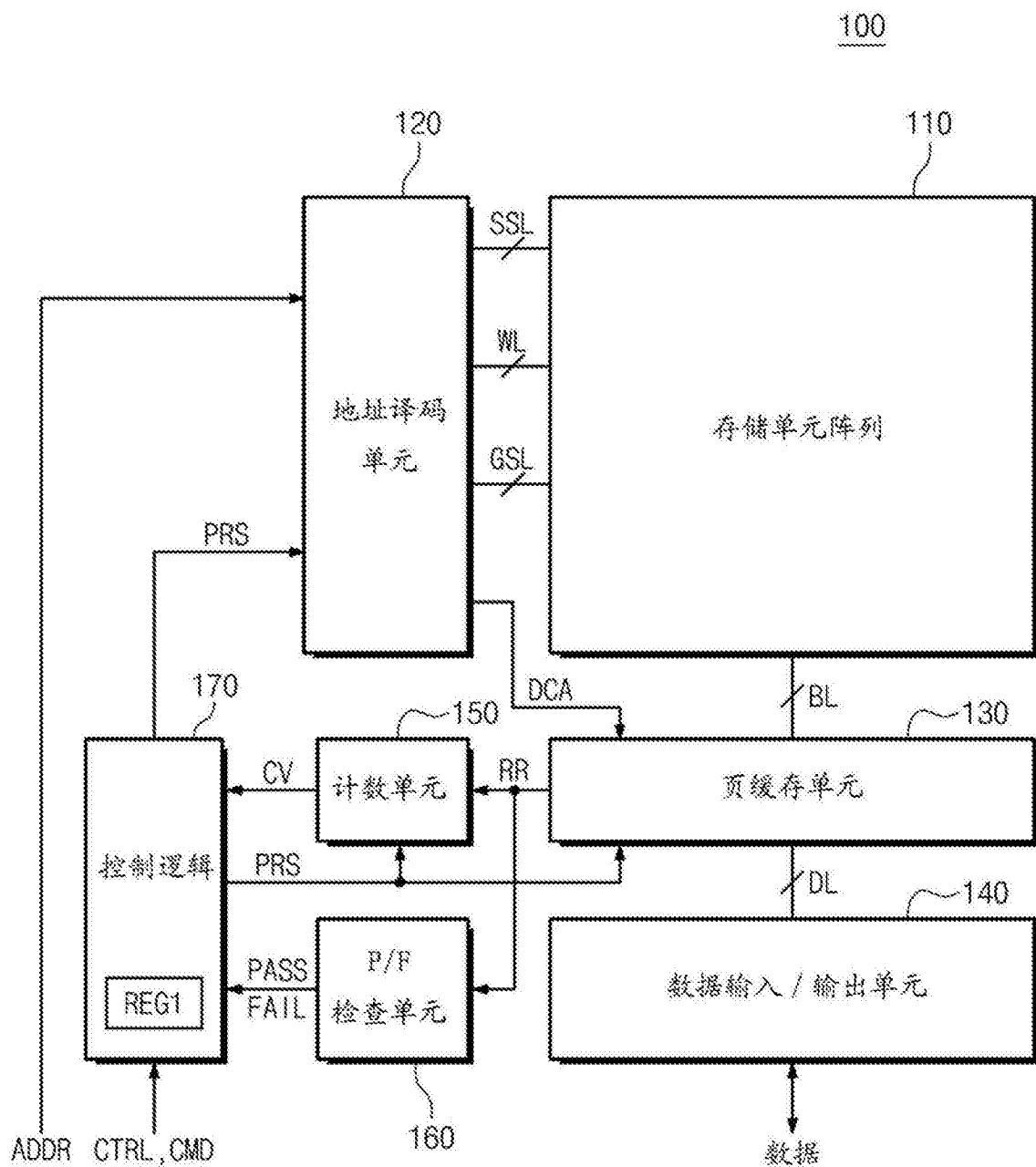


图1

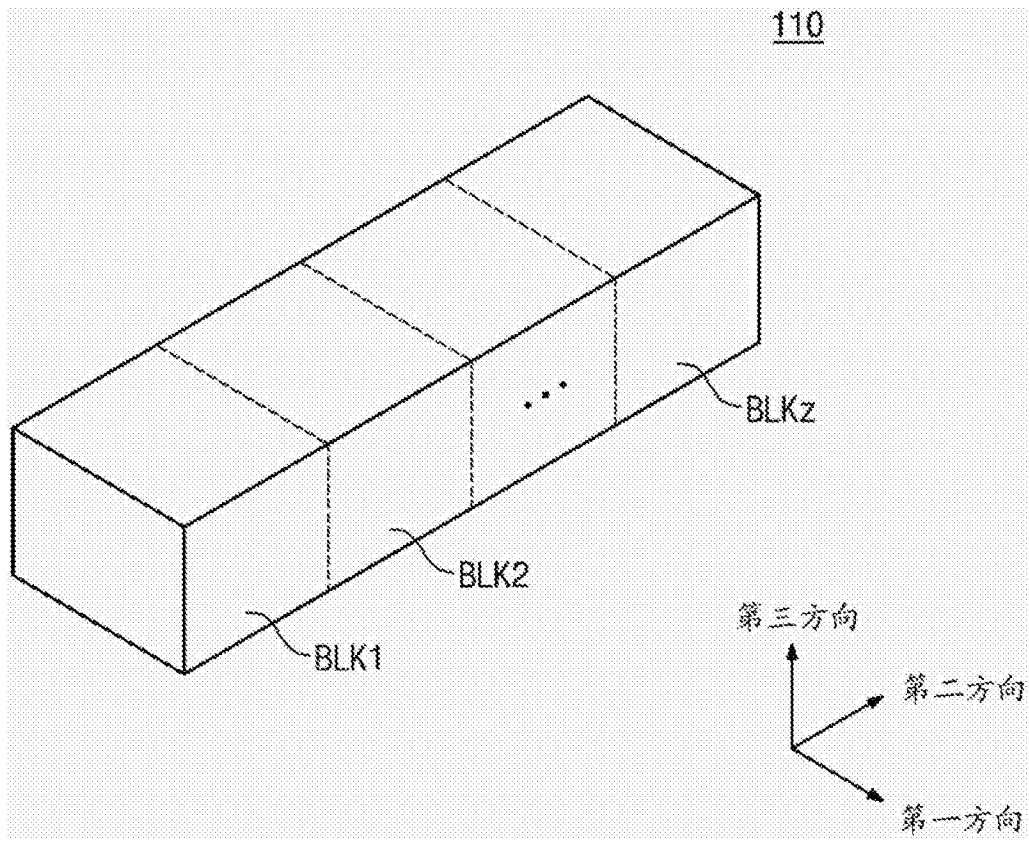


图2

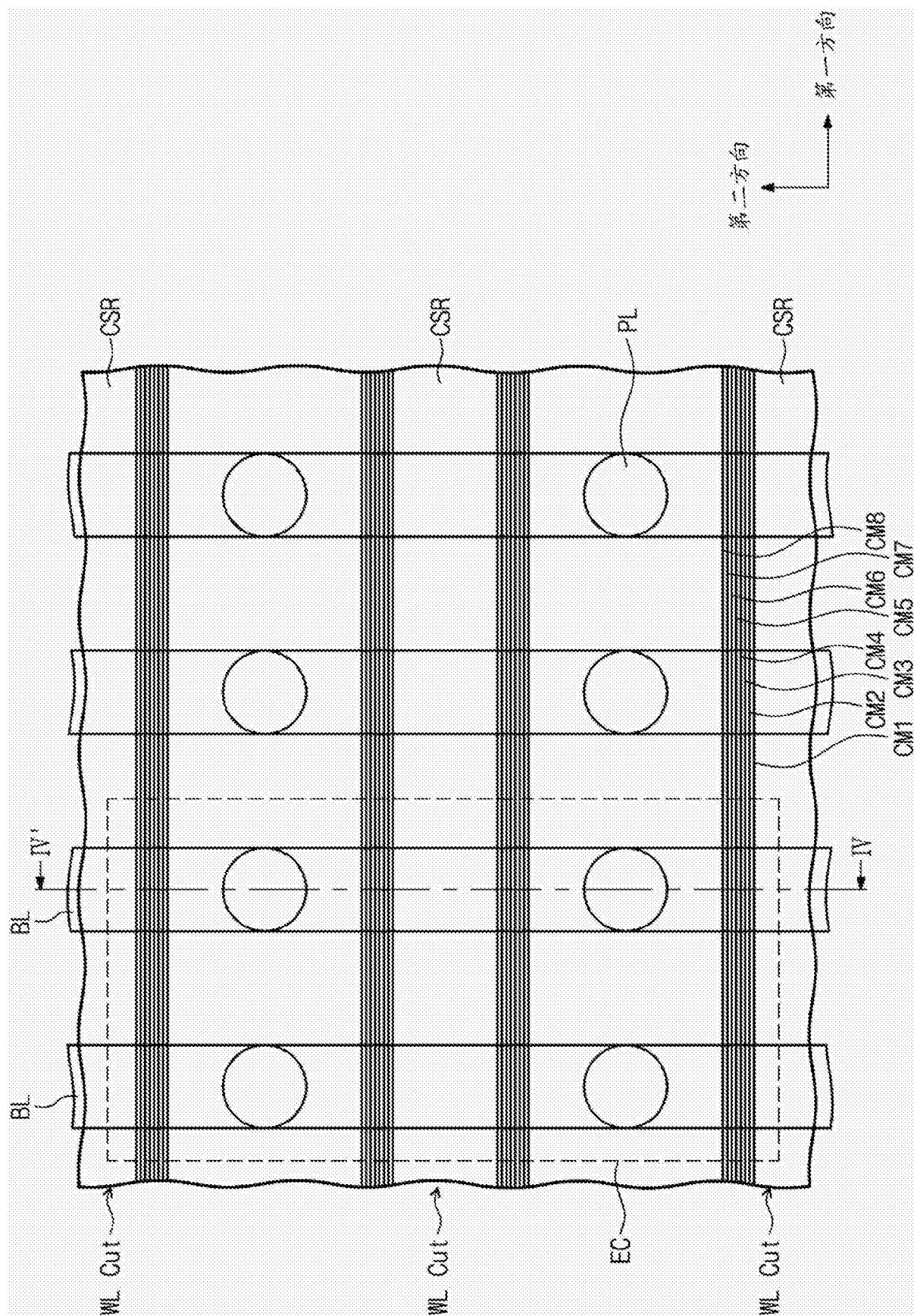


图3

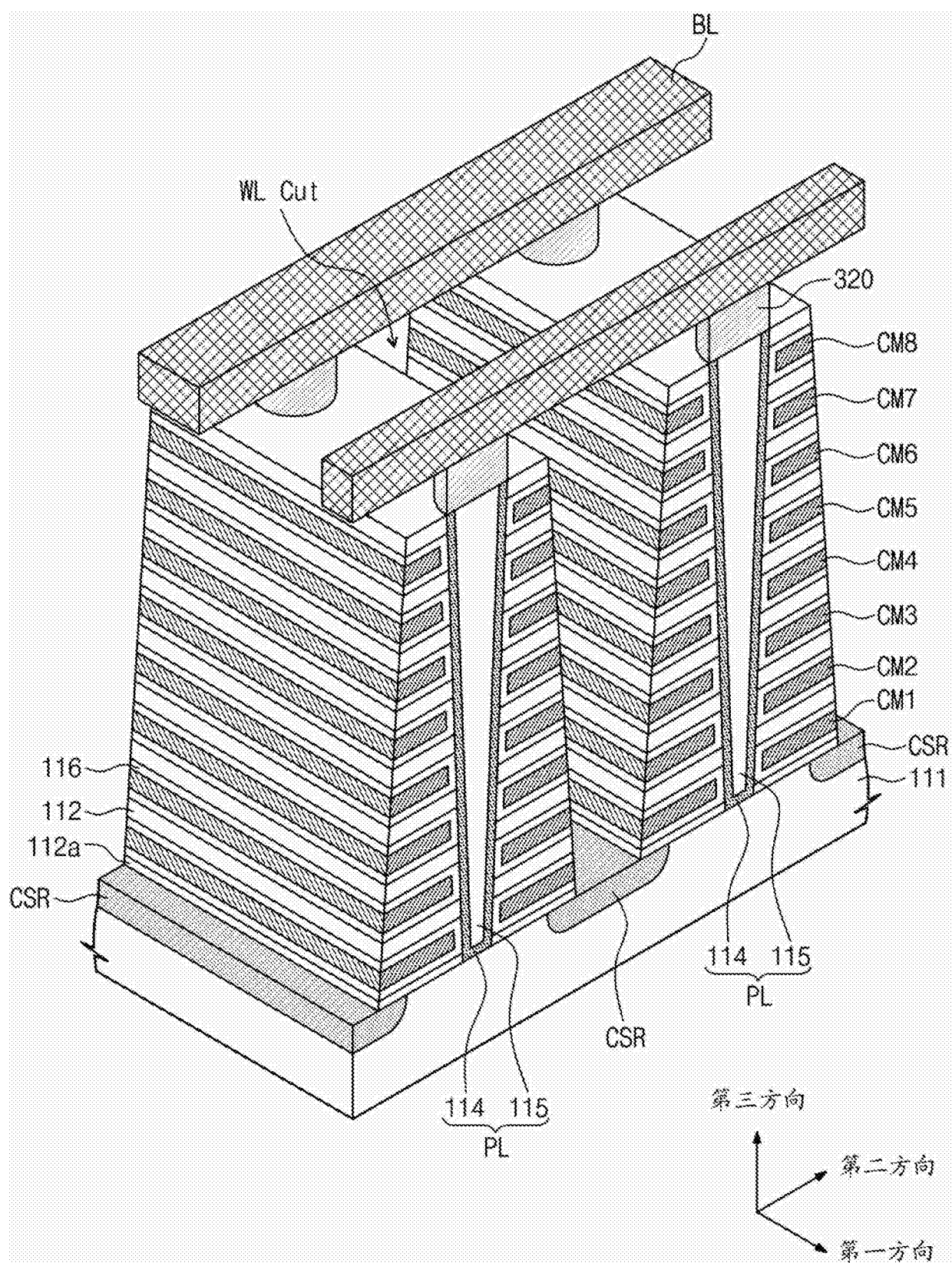


图4

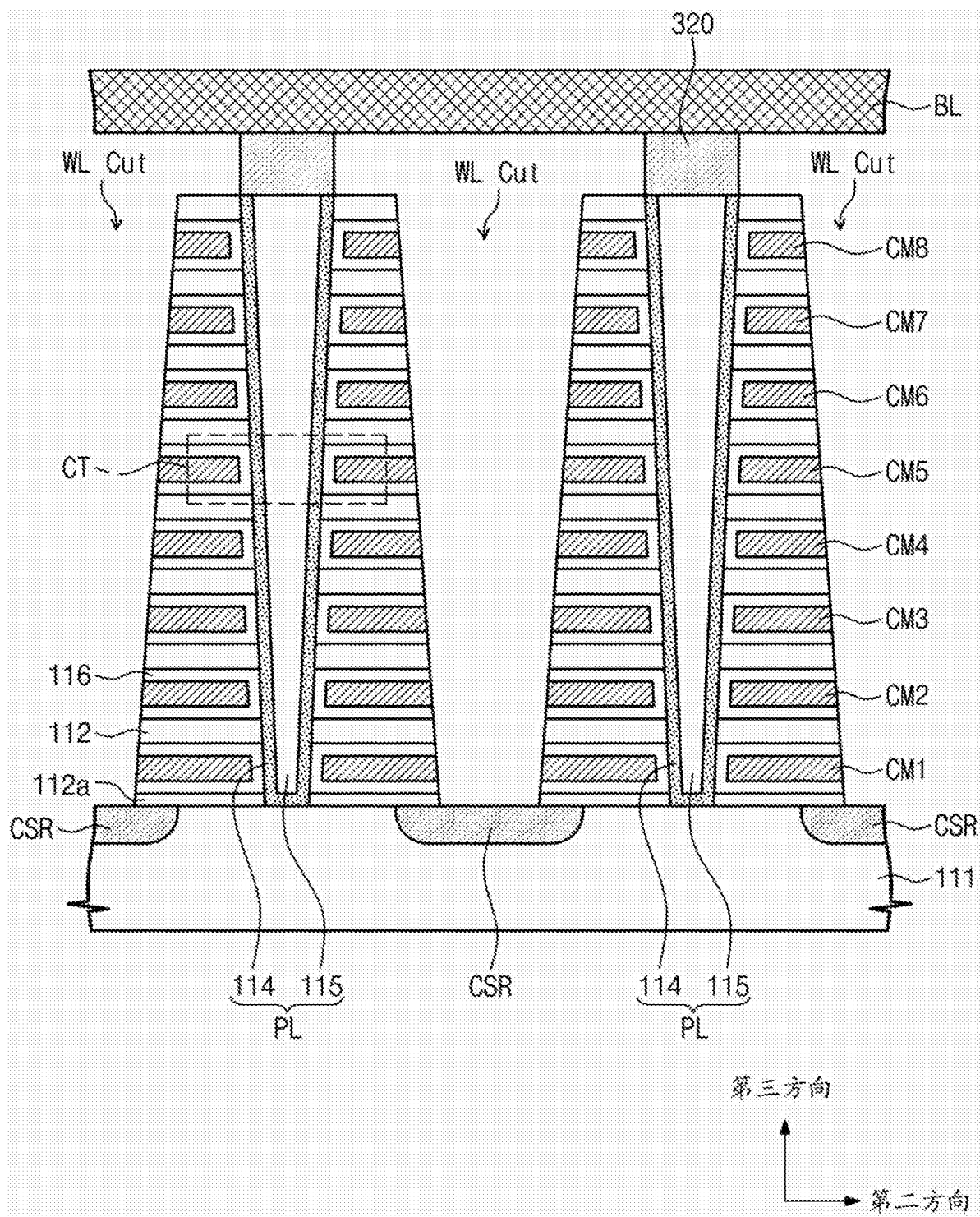


图5

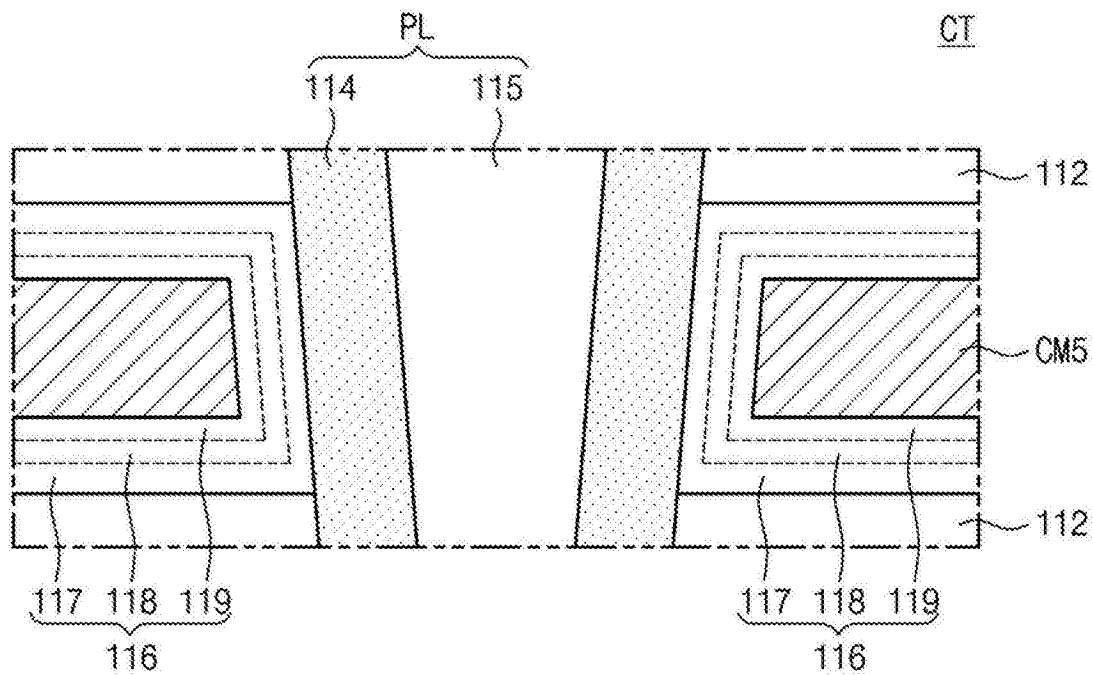


图6

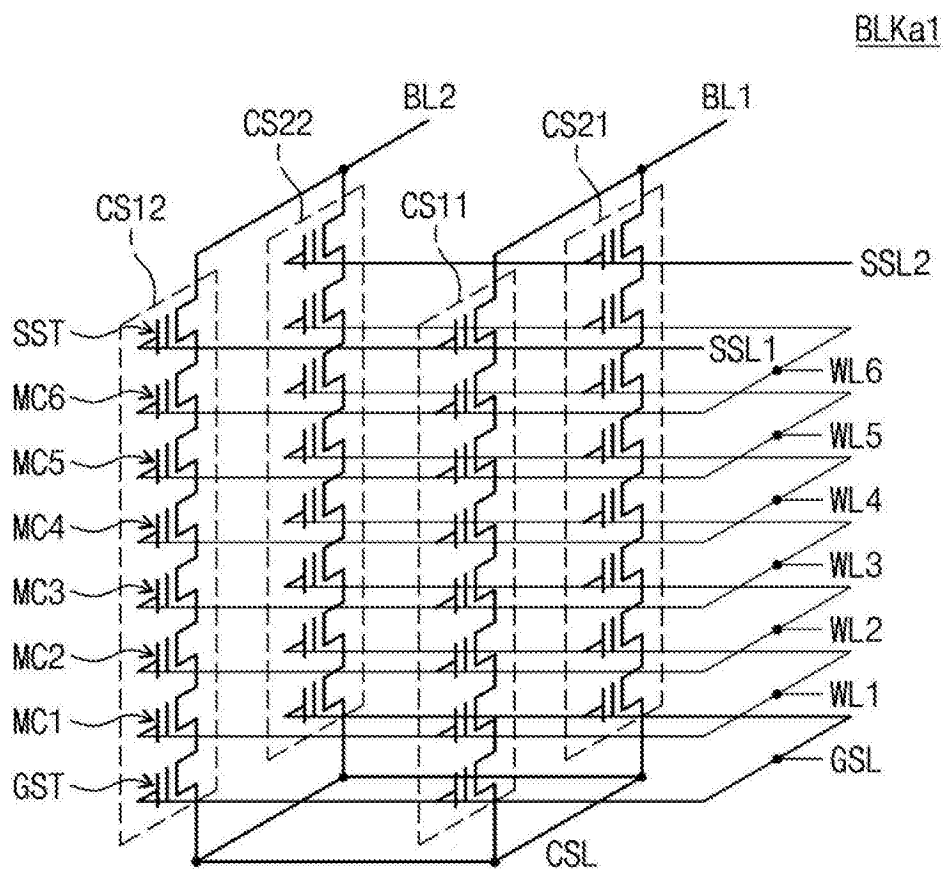


图7

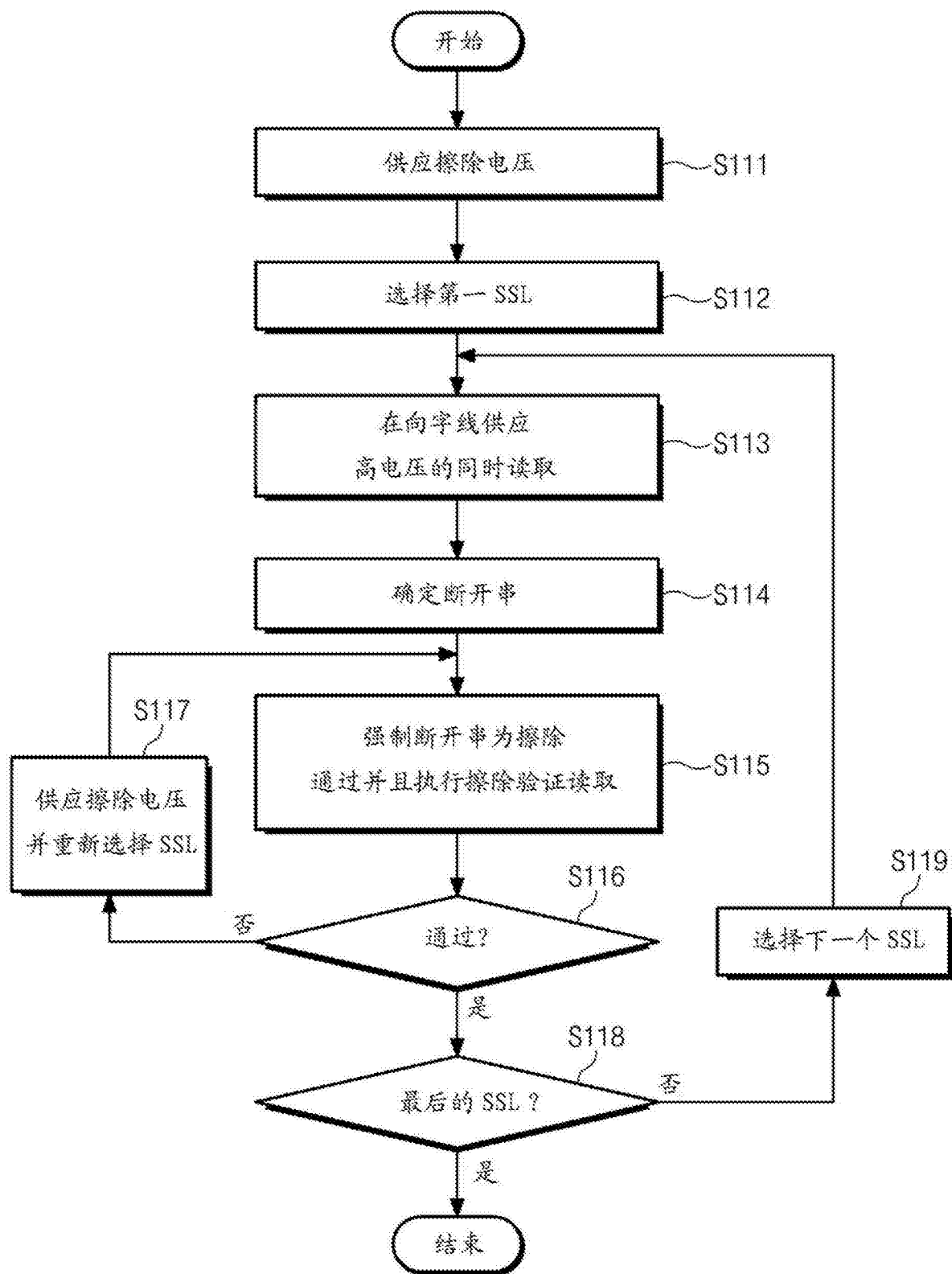


图8

	S111	S113	S115
BL	浮置	VBL1(VCC)	正常; VBL2(VCC)
			断开; VBL3 (VSS)
被选 SSL	浮置或 VSSL1	VSSL2(通)	VSSL4(通)
未选 SSL		VSSL3(断)	VSSL5(断)
WL	Vwe1(VSS)	VH1(Vread)	VFY1
GSL	浮置或 VGSL1	VGSL2(通)	VGSL3(通)
CSL	浮置	VCSL1(VSS)	VCSL2(VSS)
衬底	Vers1	VSUB1(VSS)	VSUB2(VSS)

图9

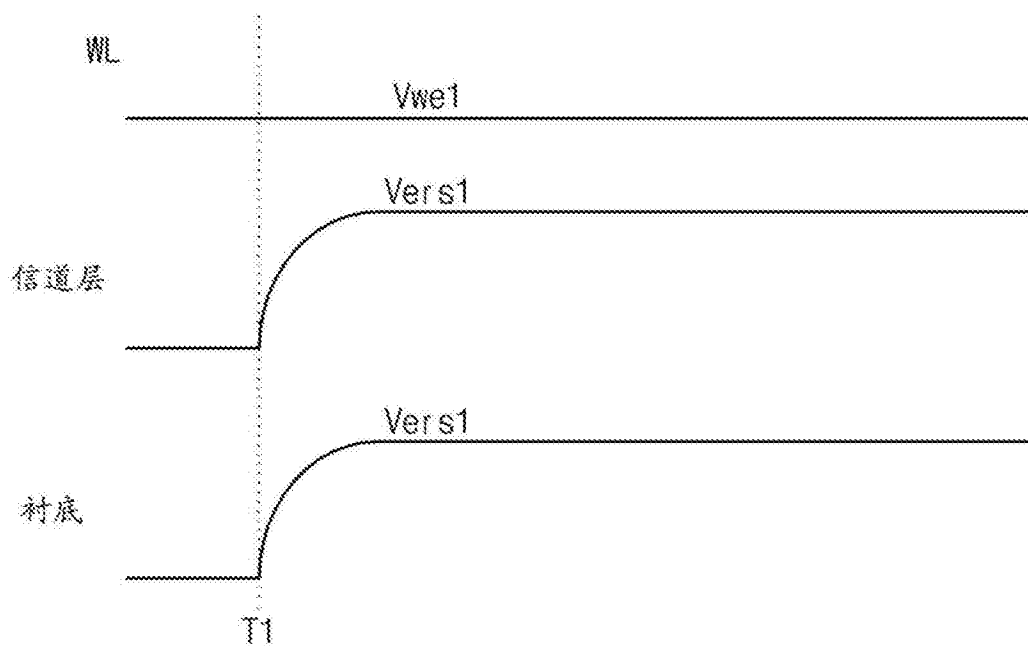


图10

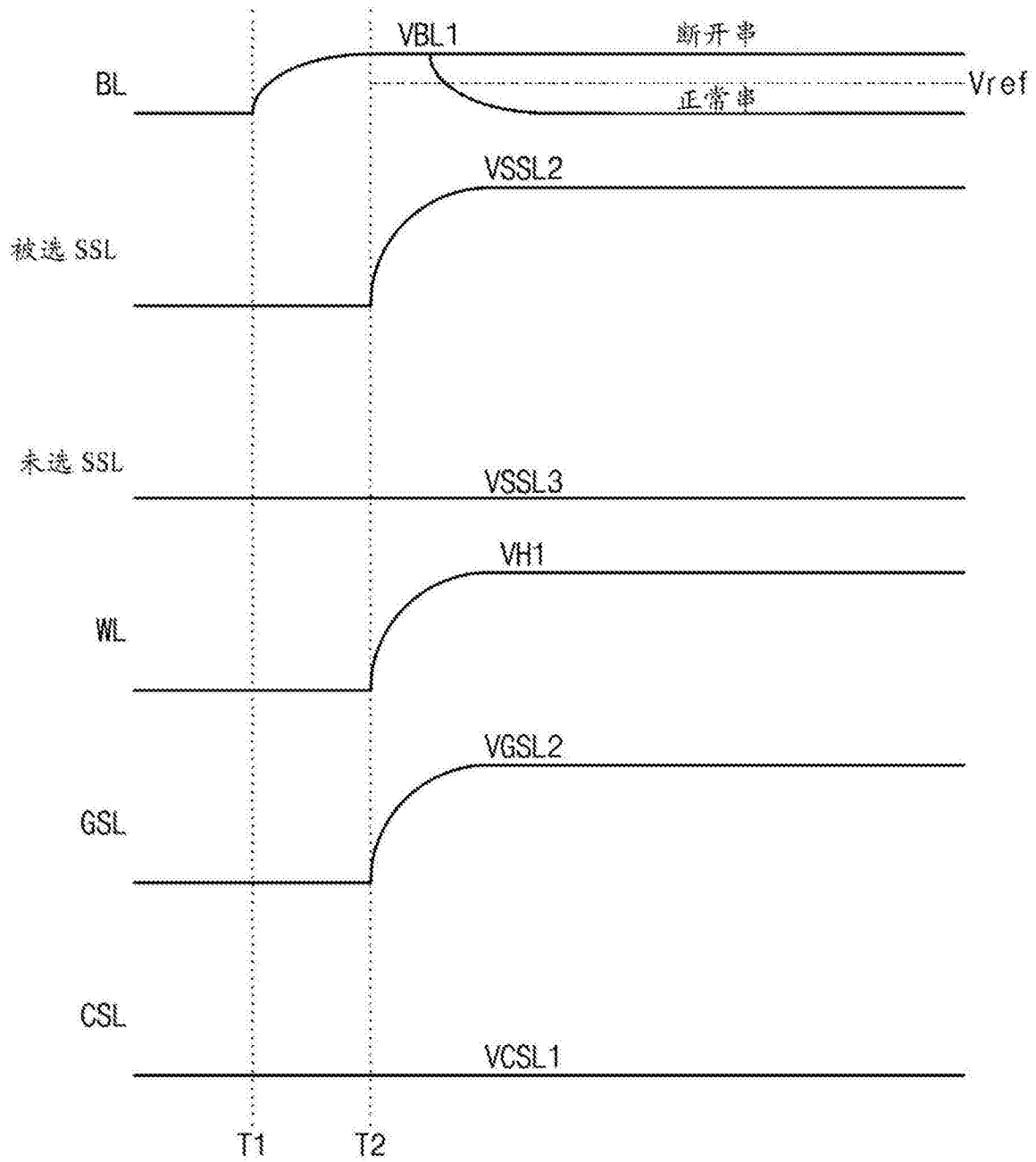


图11

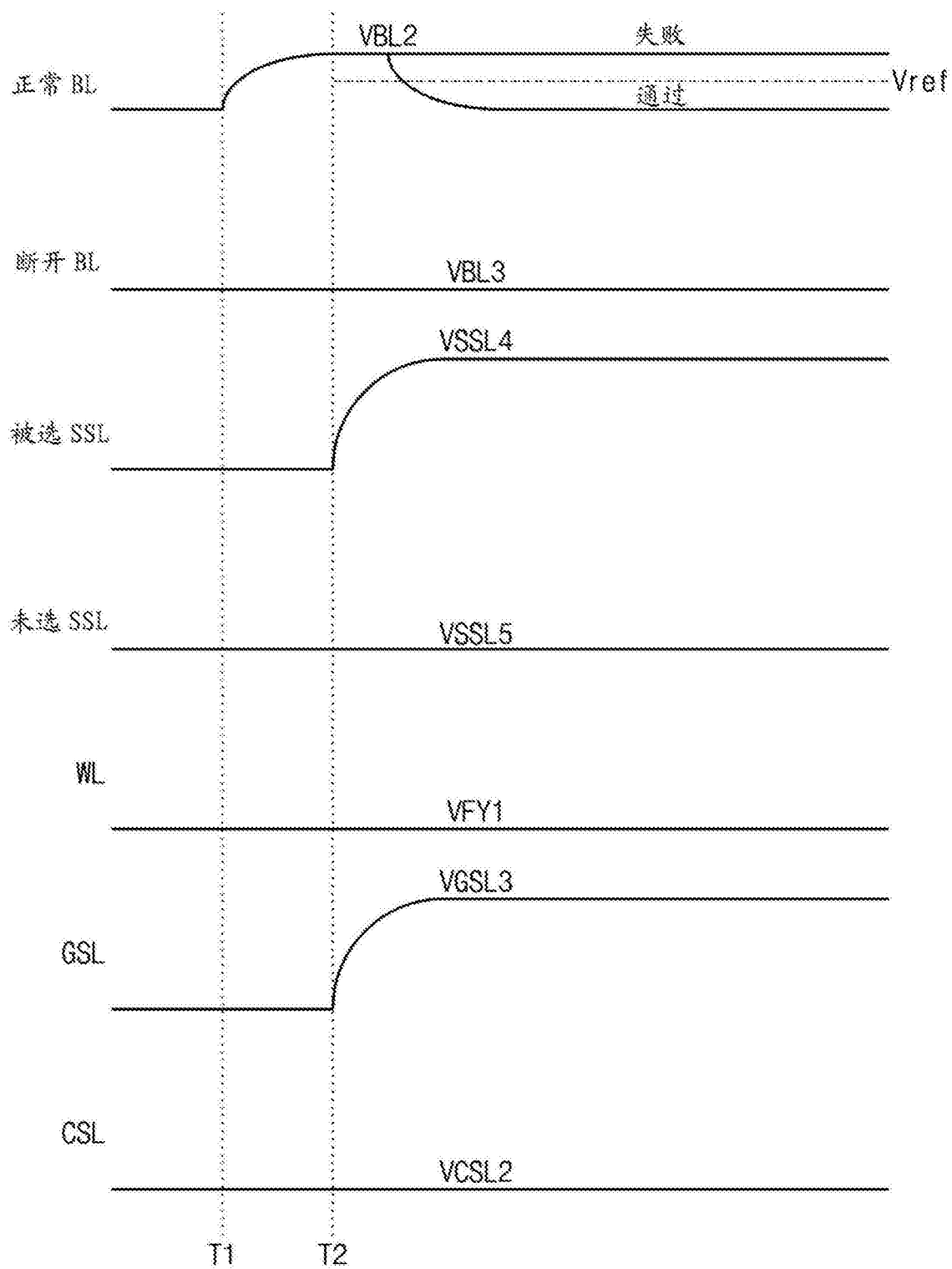


图12

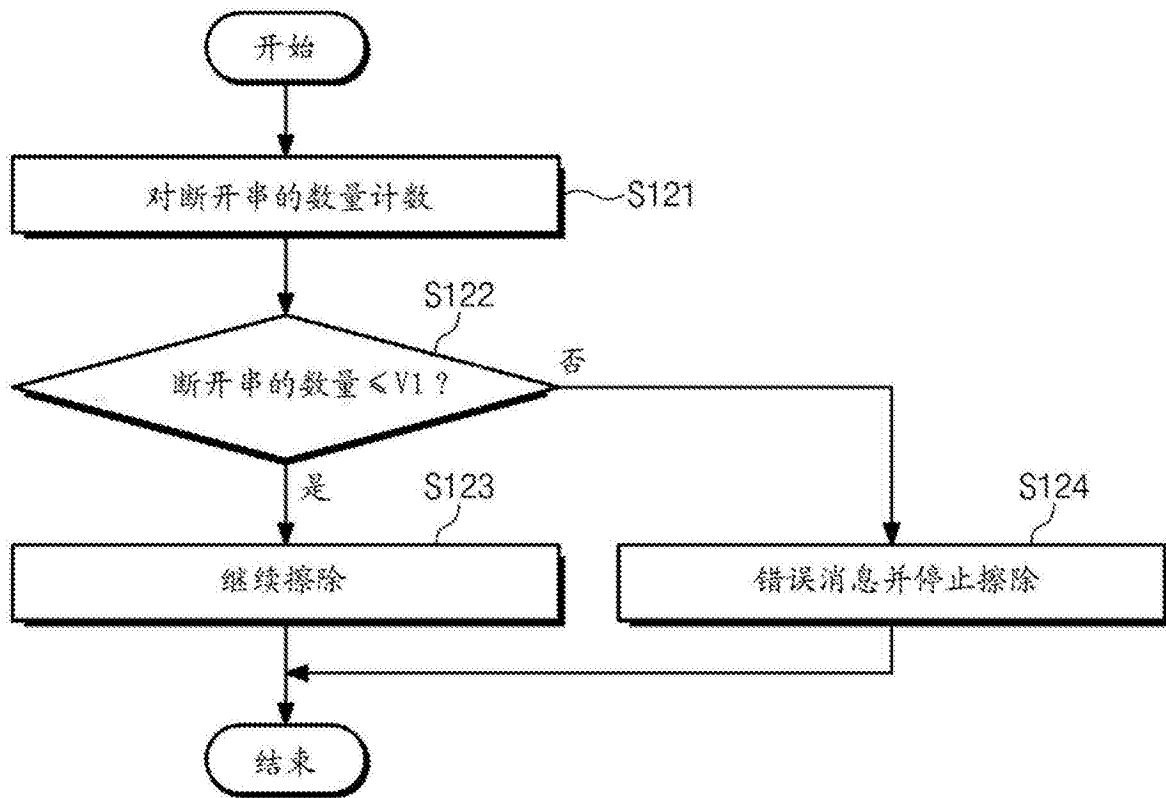


图13A

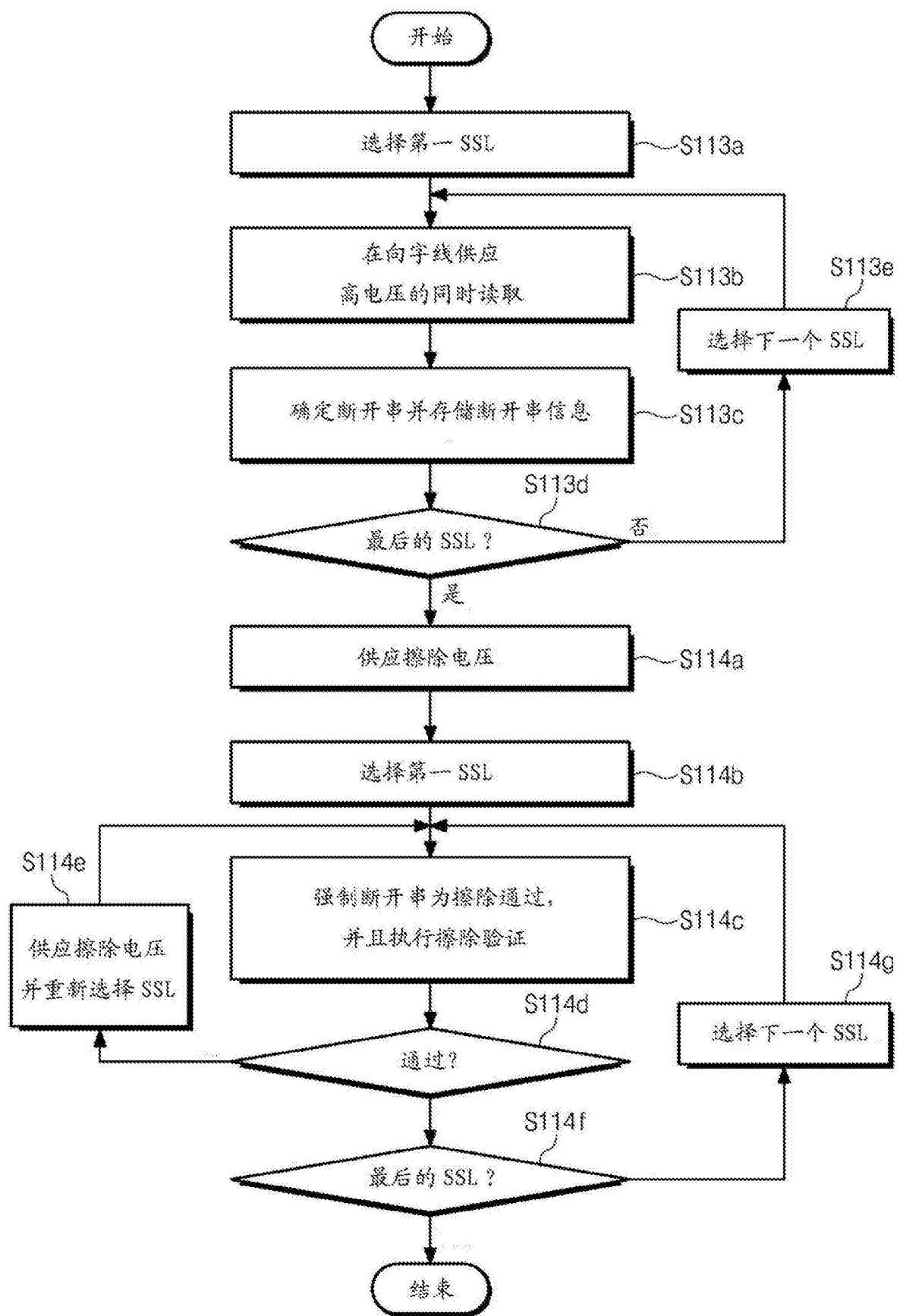


图13B

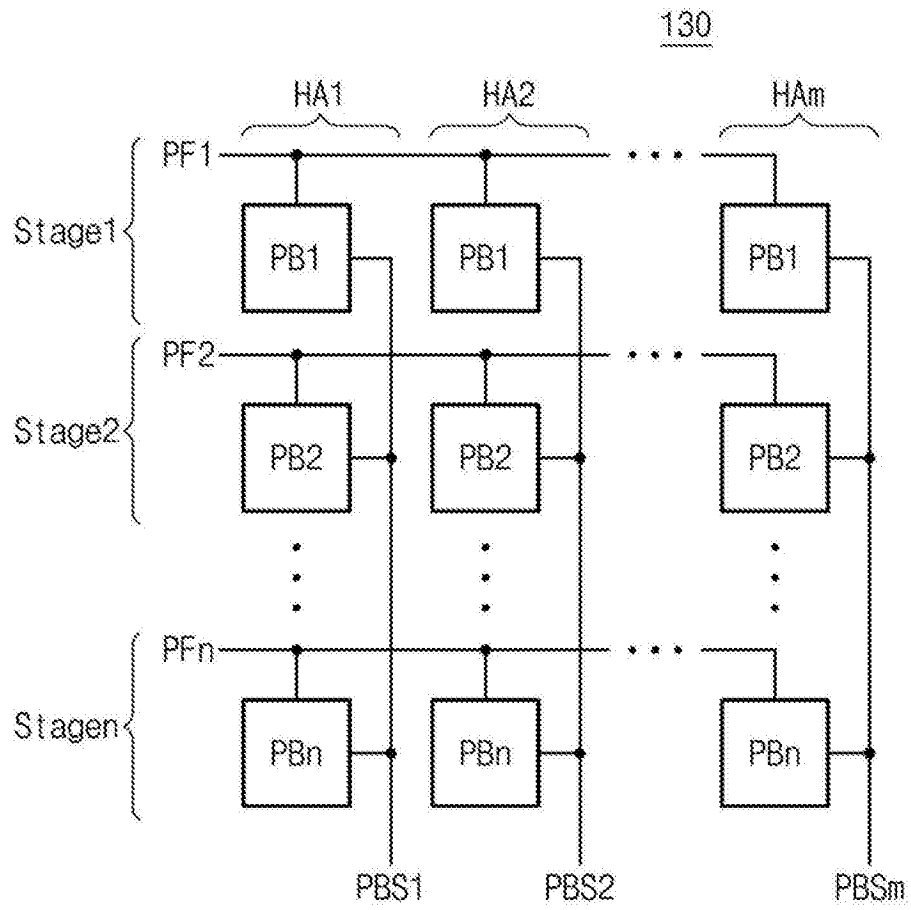


图14

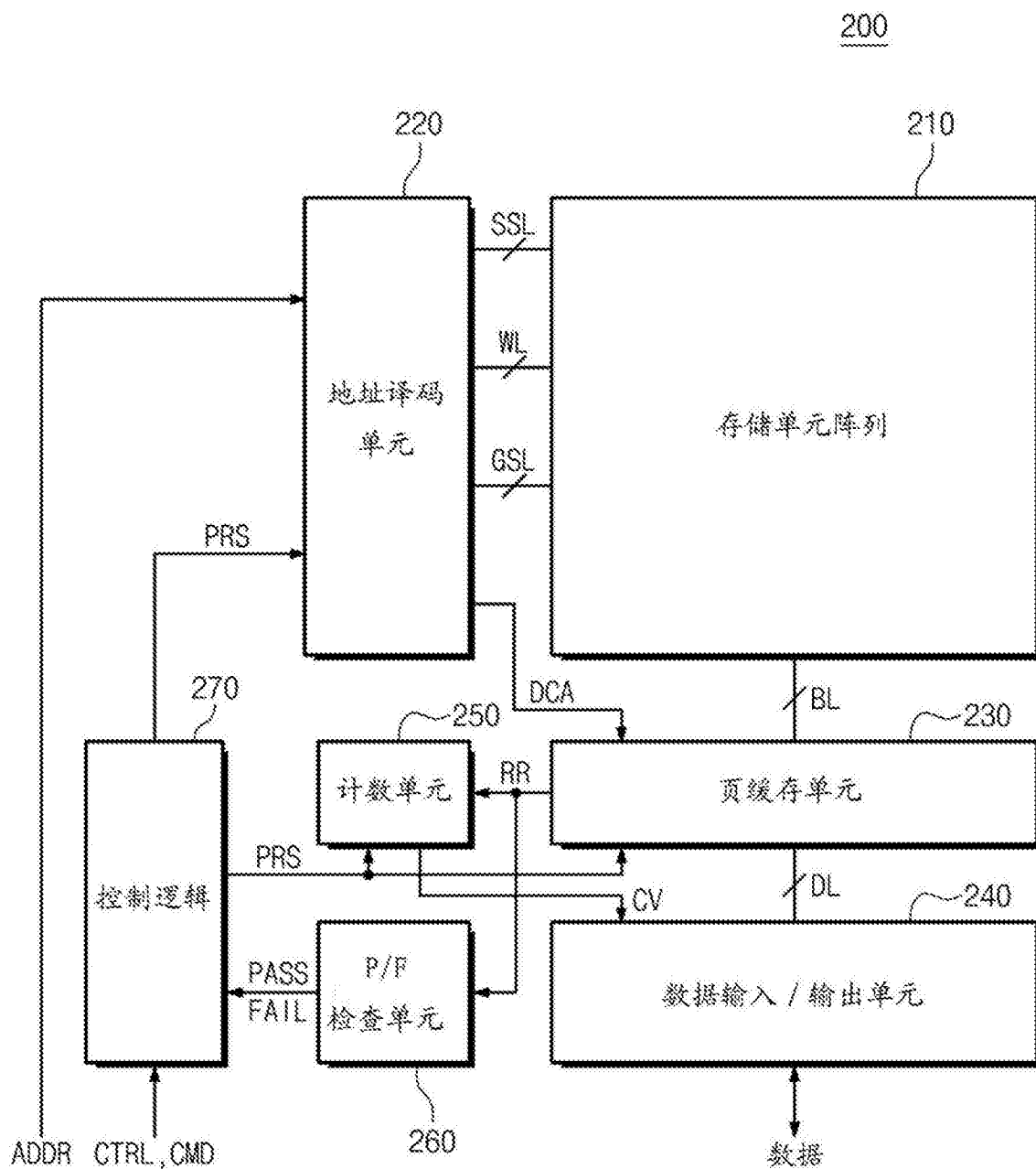


图15

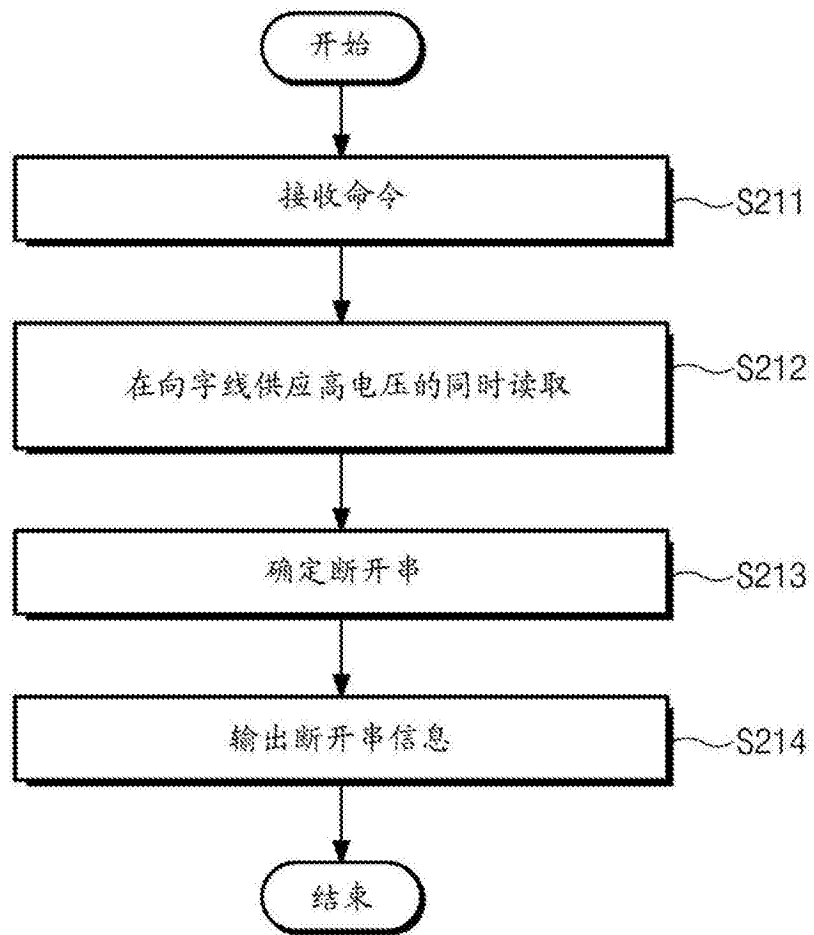


图16

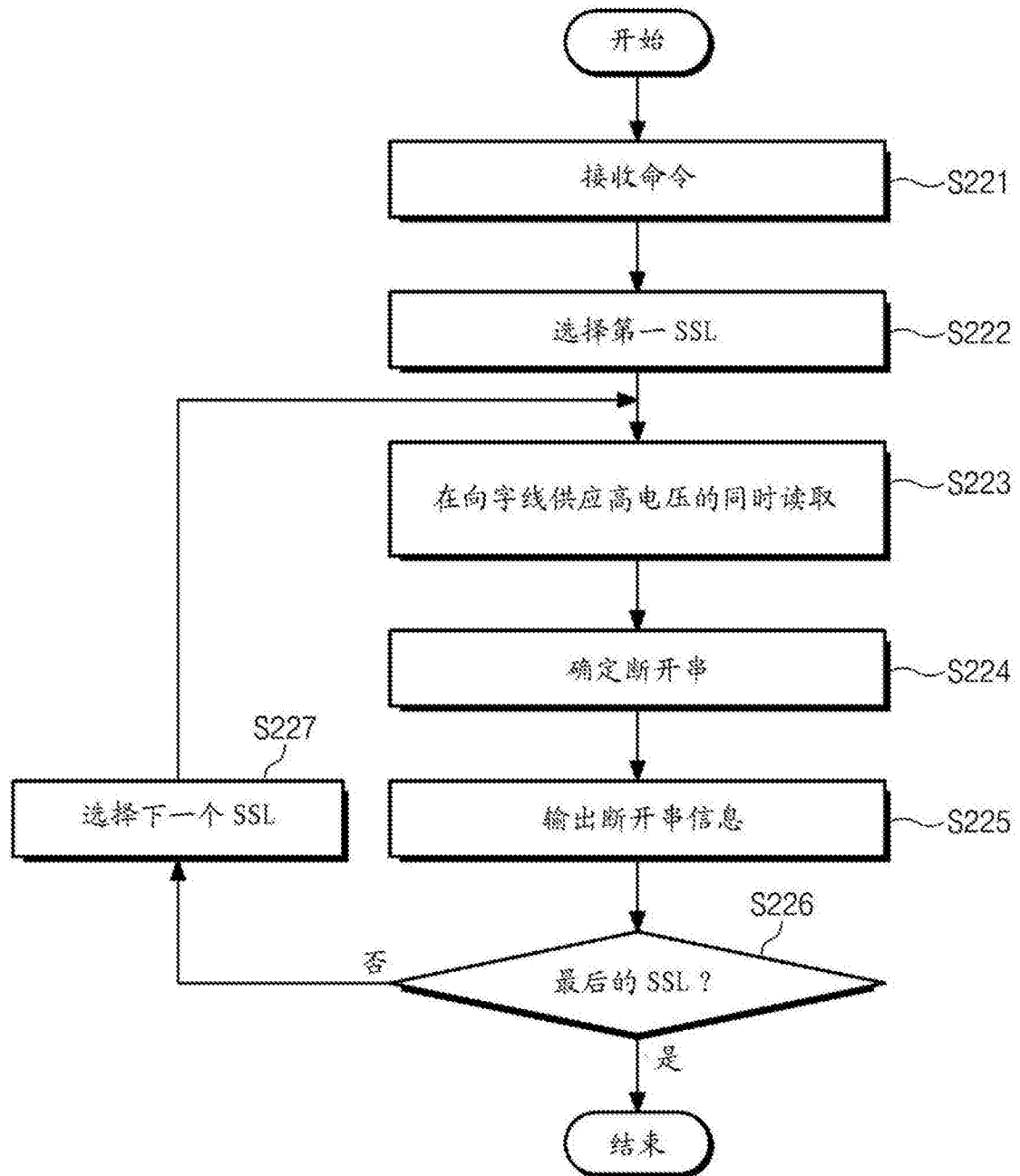


图17

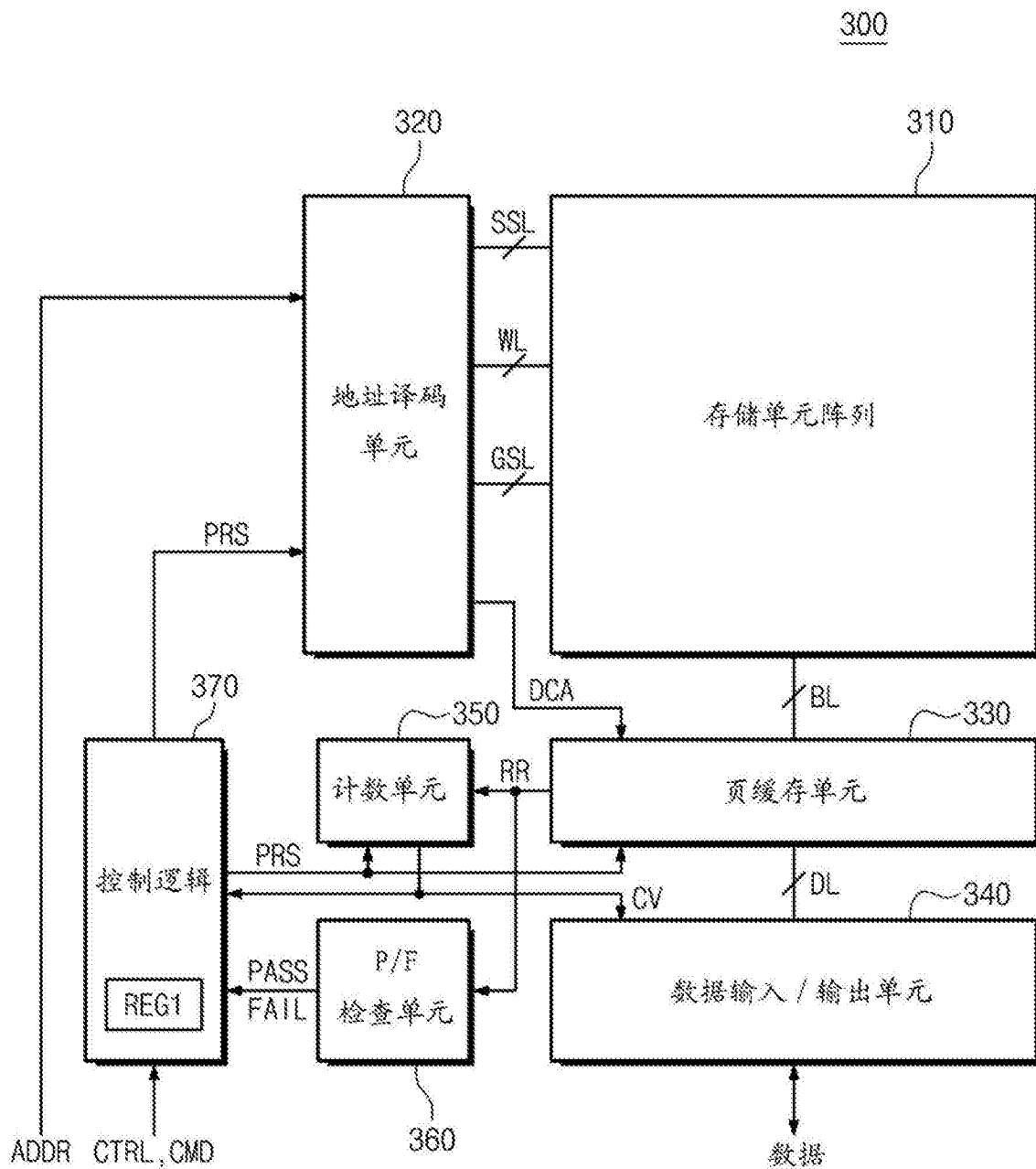


图18

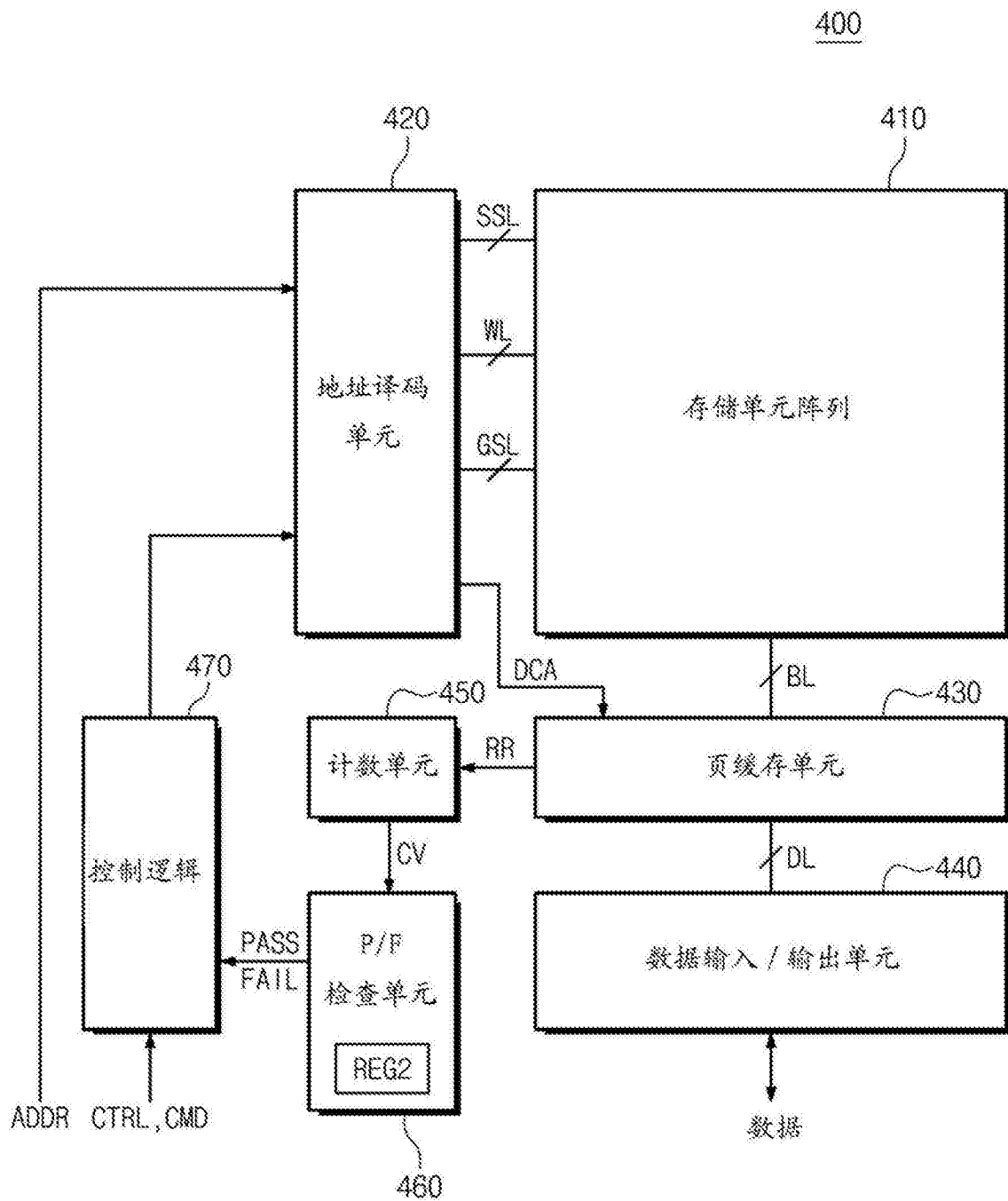


图19

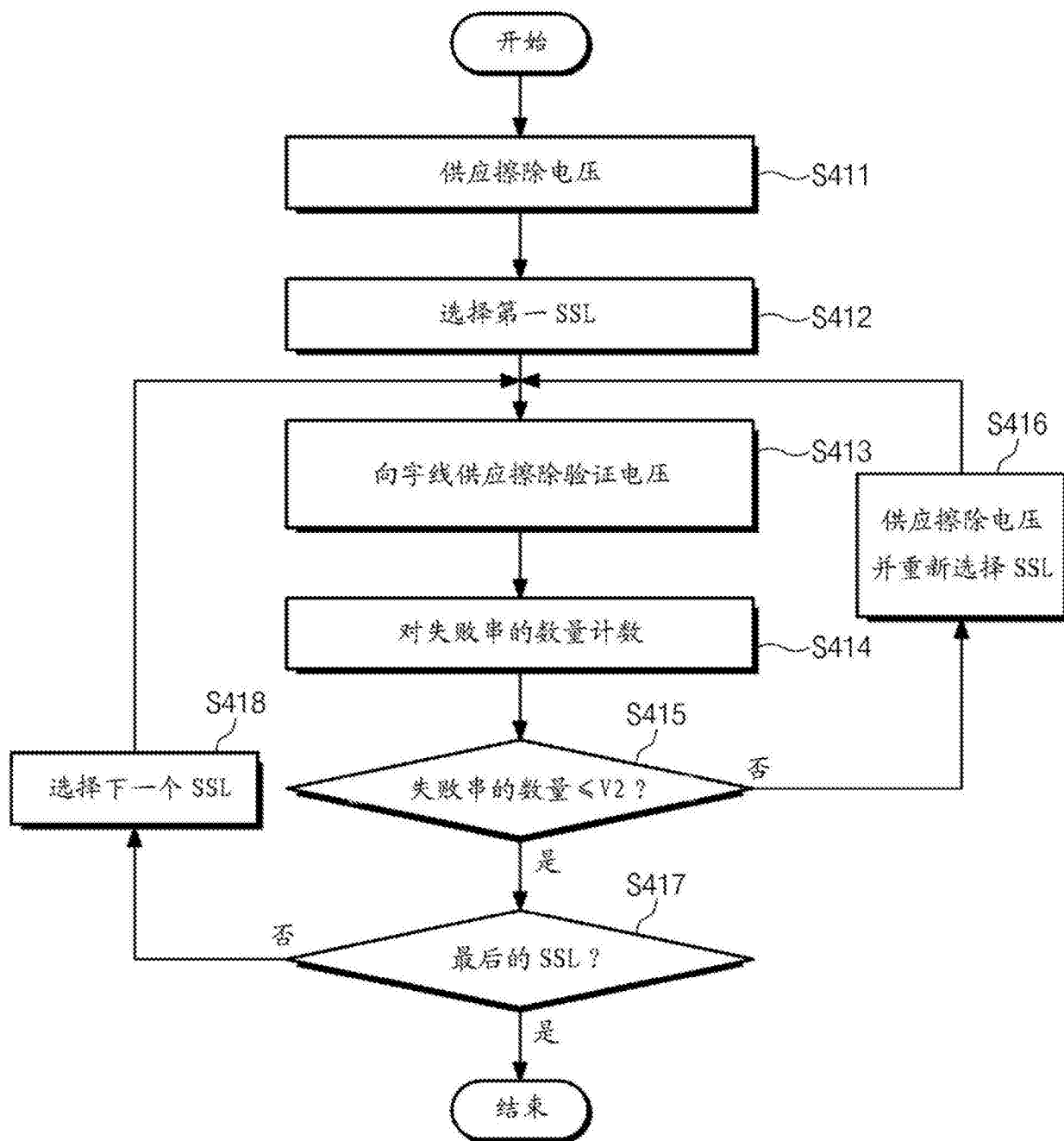


图20

	S411	S413
BL	浮置	VBL4(VCC)
被选 SSL	浮置或 VSSL6	VSSL7(通)
未选 SSL		VSSL8(断)
WL	Vwe2(VSS)	VFY2
GSL	浮置或 VGSL4	VGSL5(通)
CSL	浮置	VCSL3(VSS)
衬底	Vers2	VSUB3(VSS)

图21

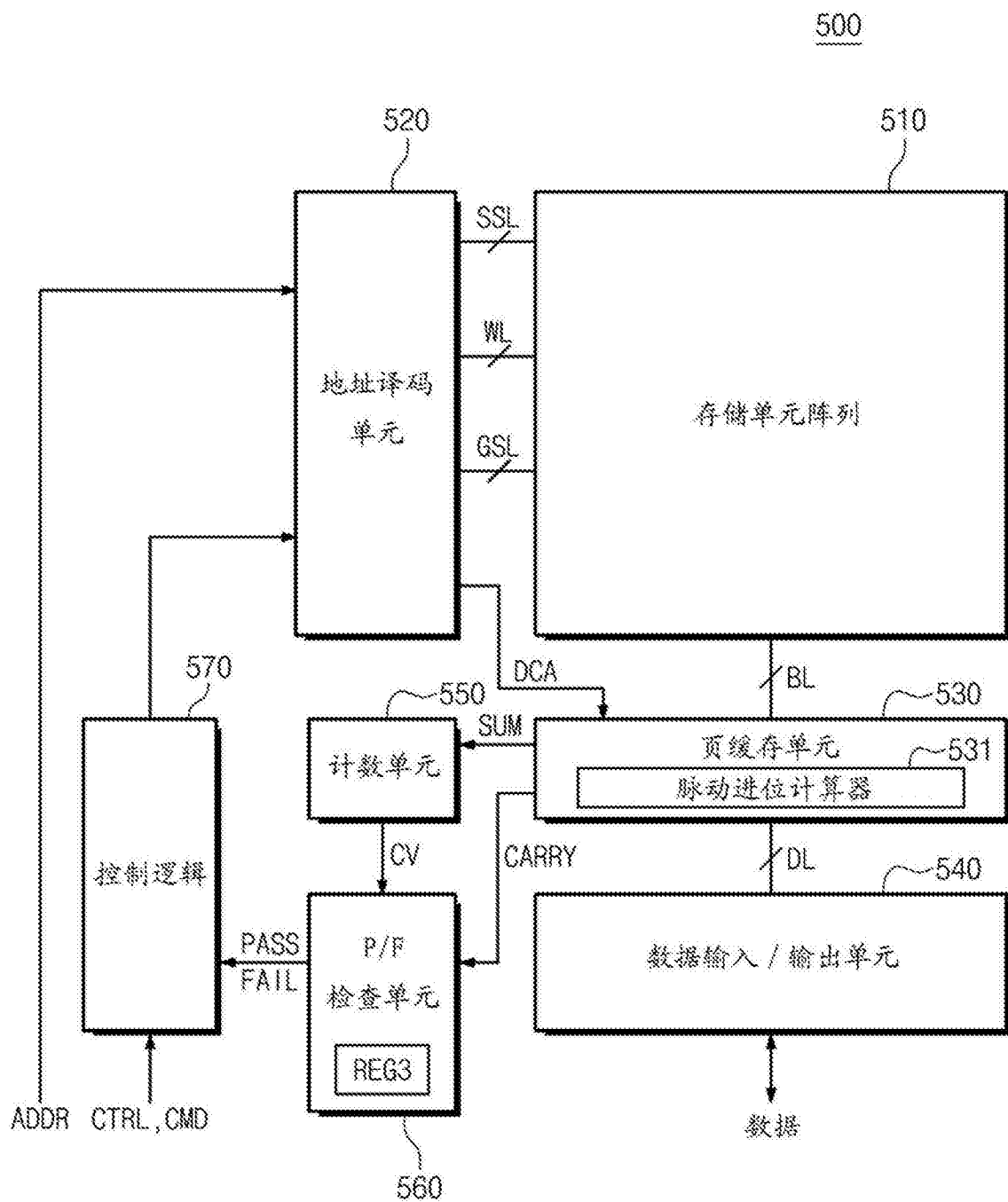


图22

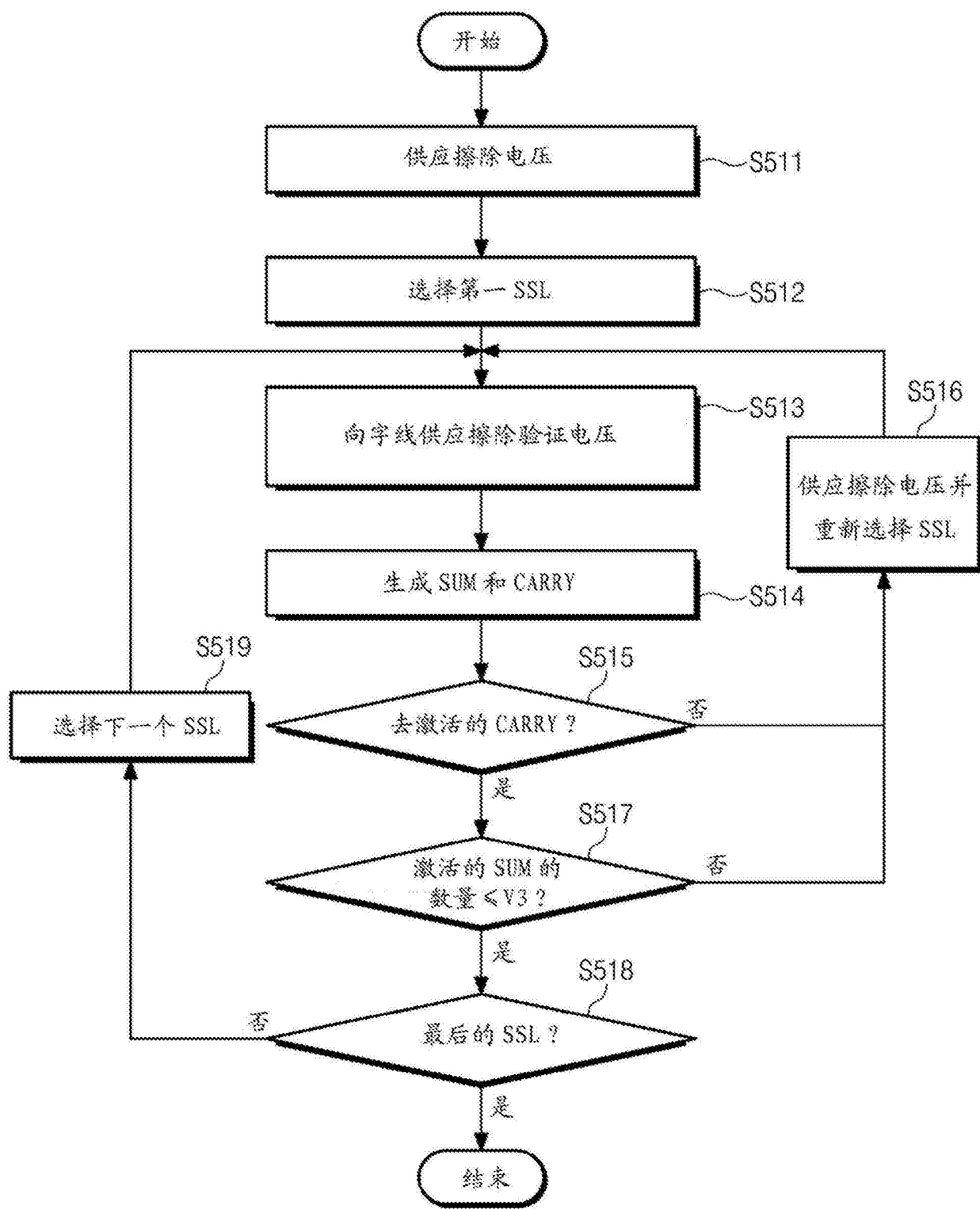


图23

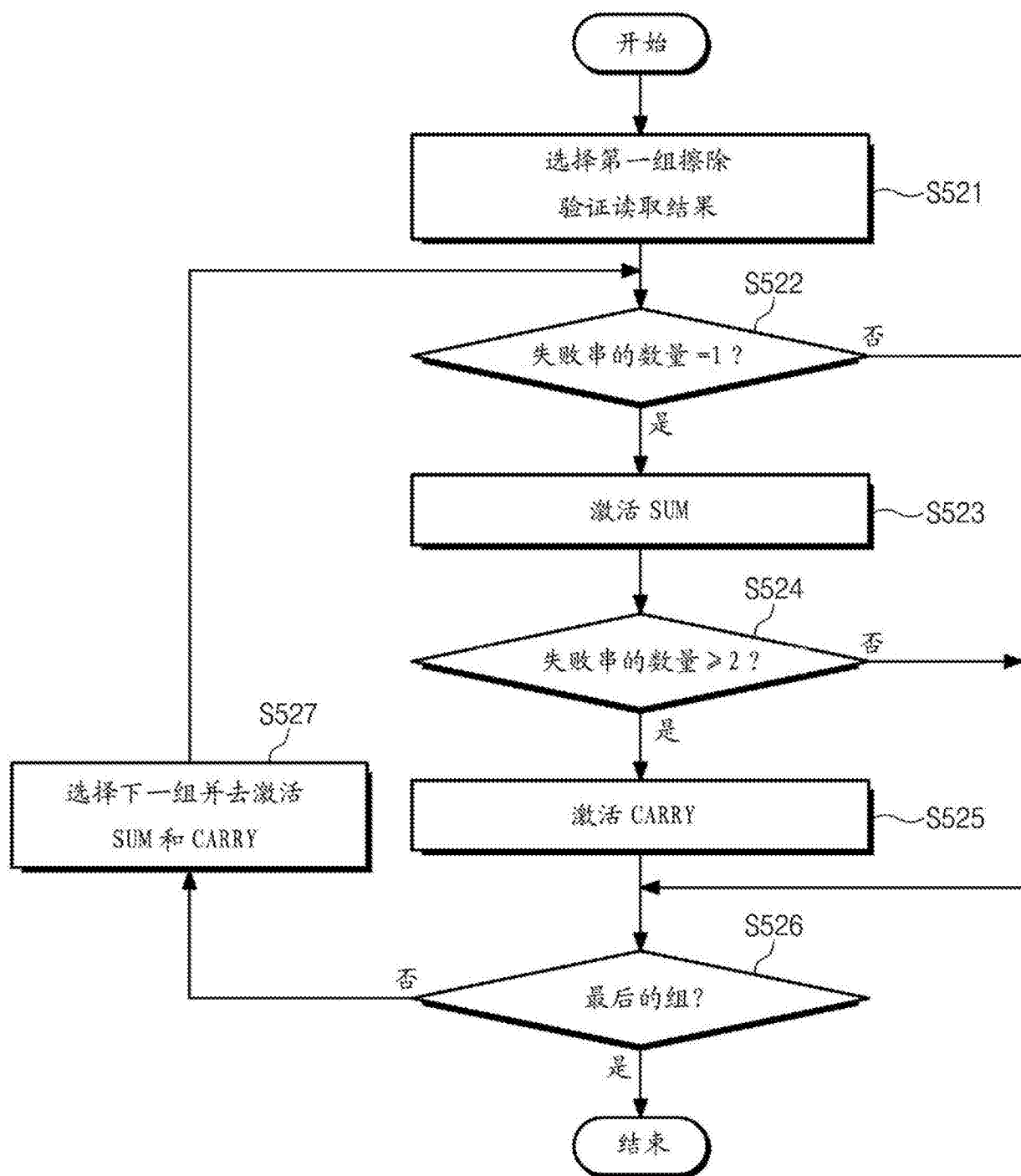


图24

BLKa3

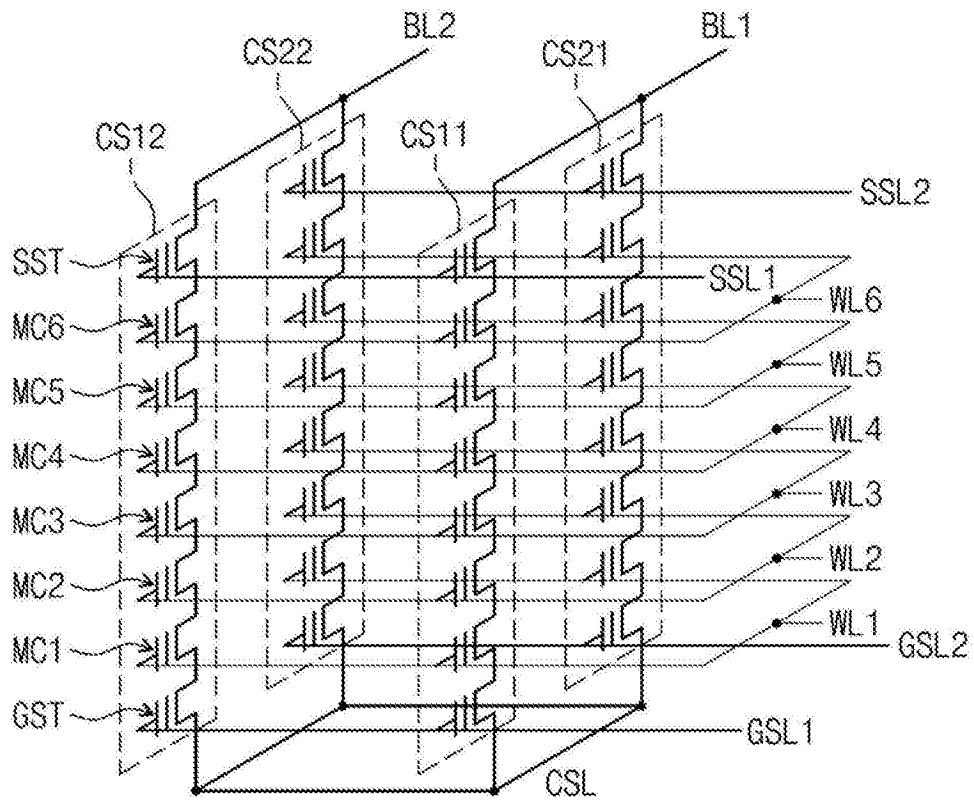


图27

BLKa4

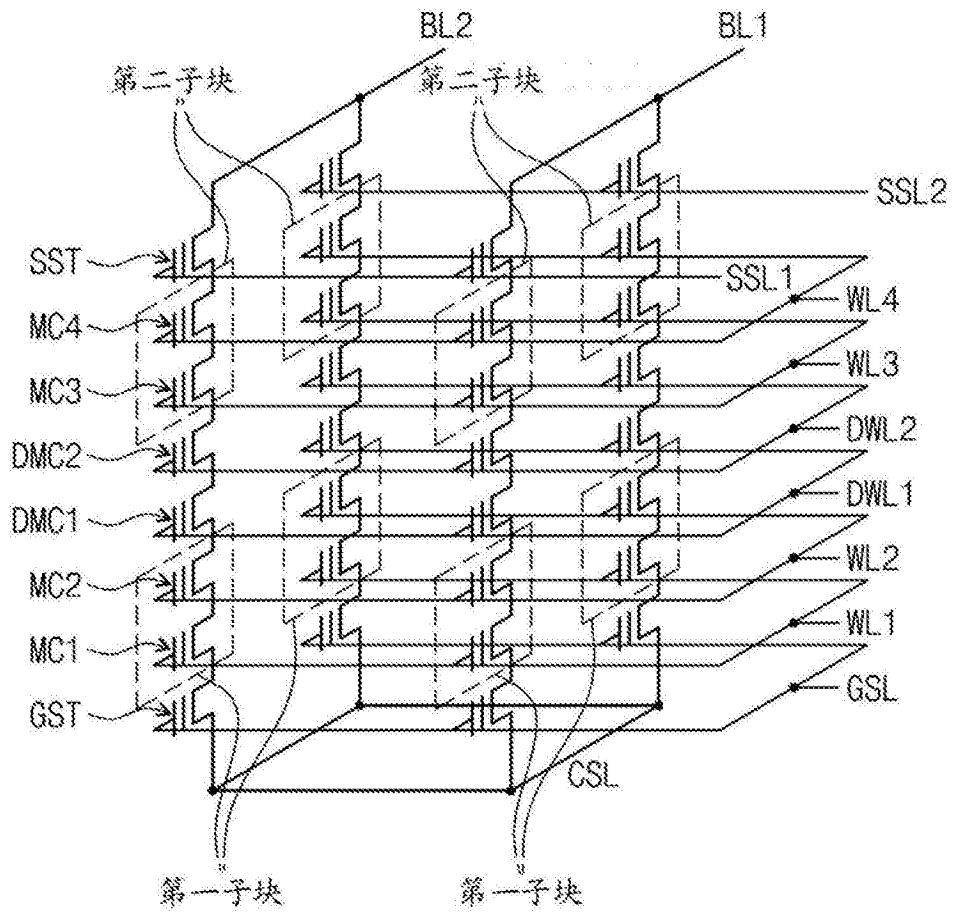


图28

	S111	S113	S115
BL	浮置	VBL1(VCC)	正常; VBL2(VCC)
			断开; VBL3 (VSS)
被选 SSL	浮置或 VSSL1	VSSL2(通)	VSSL4(通)
未选 SSL		VSSL3(断)	VSSL5(断)
被选 WL	Vwe1(VSS)	VH1(Vread)	VFY1
DWL	浮置或 VDWL1	VDWL2	VDWL3
未选 WL	浮置或 VWL1	VH1(Vread)	VH2(Vread)
GSL	浮置或 VGSL1	VGSL2(通)	VGSL3(通)
CSL	浮置	VCSL1(VSS)	VCSL2(VSS)
衬底	Vers1	VSUB1(VSS)	VSUB2(VSS)

图29

	S411	S413
BL	浮置	VL4(VCC)
被选 SSL	浮置或 VSSL6	VSSL7(通)
未选 SSL		VSSL8(断)
被选 WL	Vwe2(VSS)	VFY2
DWL	浮置或 VDWL4	VDWL5
未选 WL	浮置或 VWL2	VWL3(Vread)
GSL	浮置或 VGSL4	VGSL5(通)
CSL	浮置	VCSL3(VSS)
衬底	Vers2	VSUB3(VSS)

图30

BLKa5

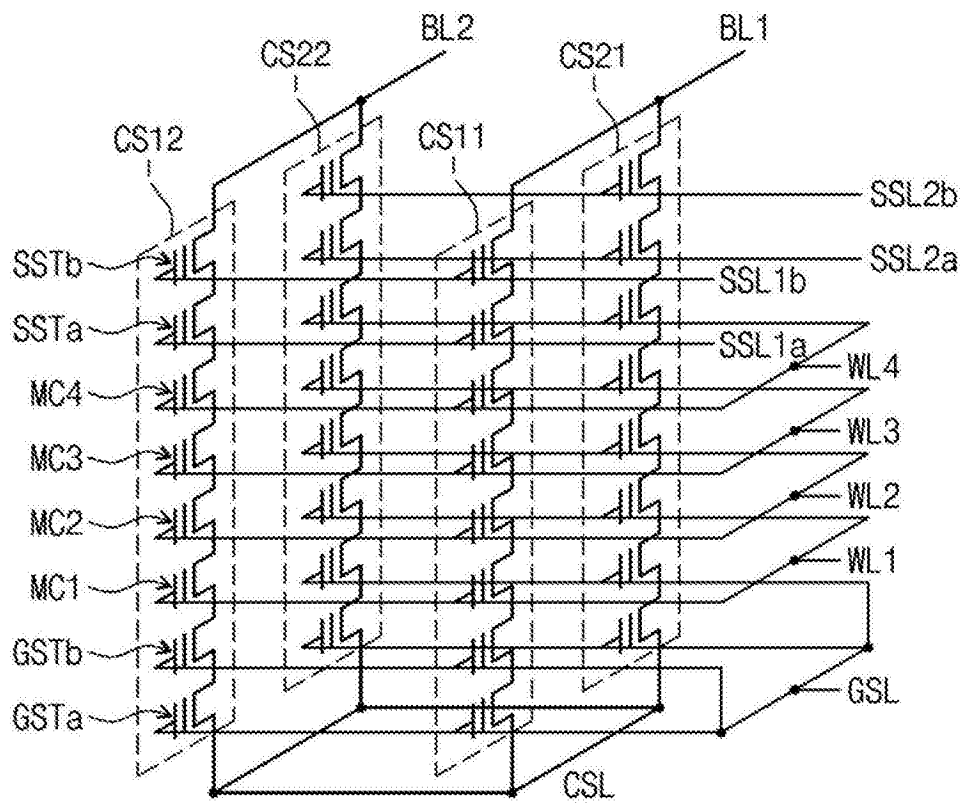


图31

BLKa6

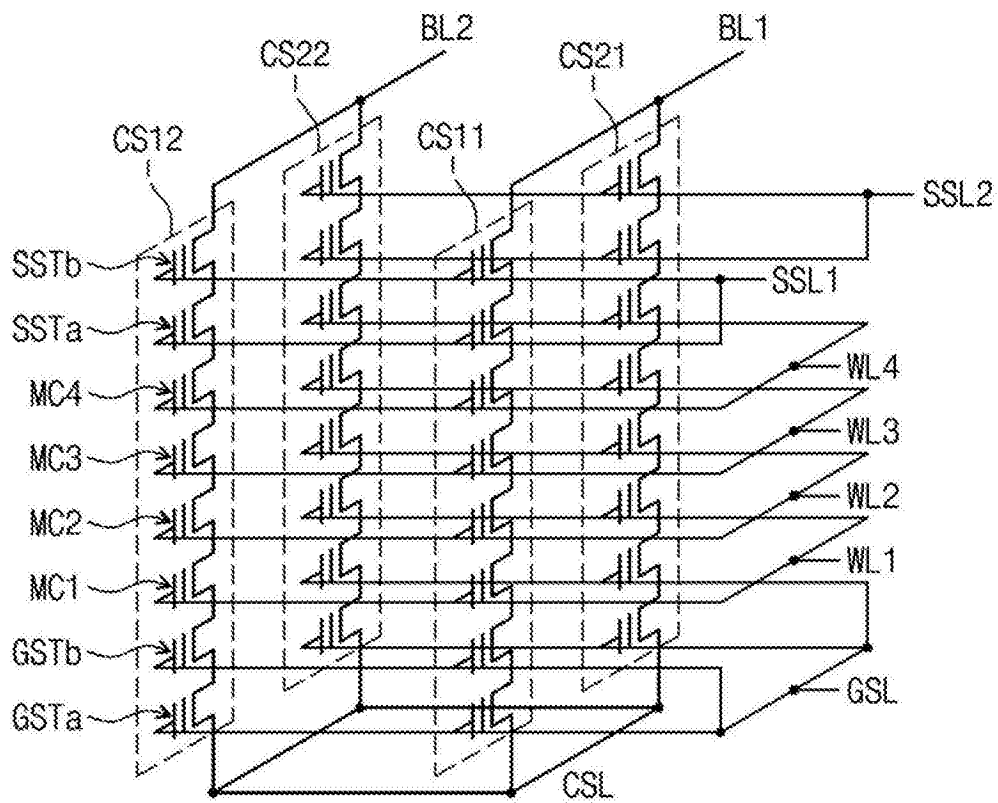


图32

BLKa7

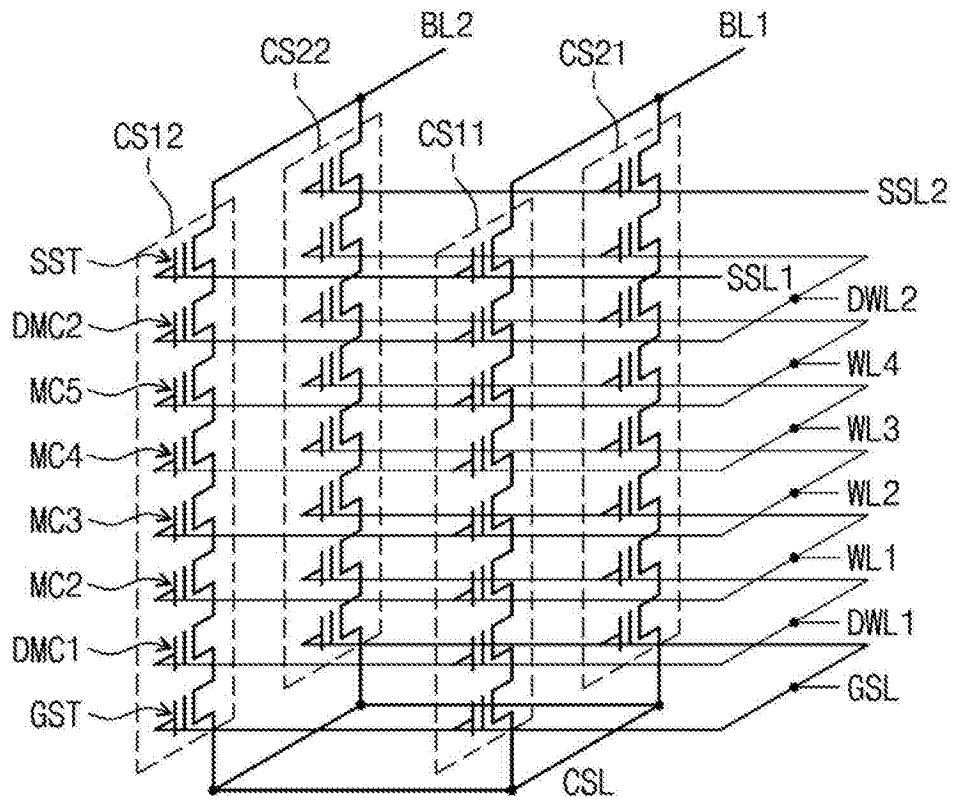


图33

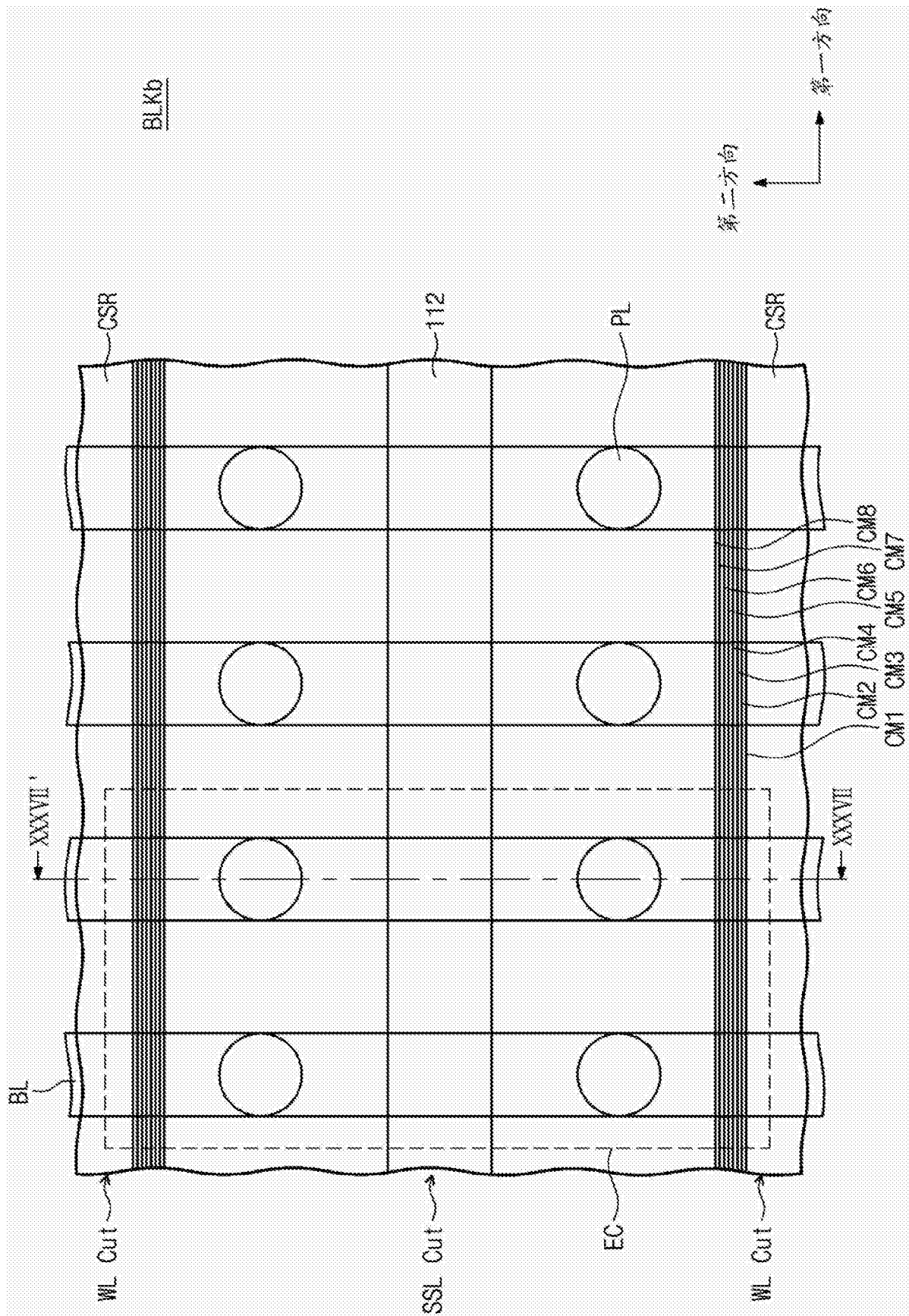


图36

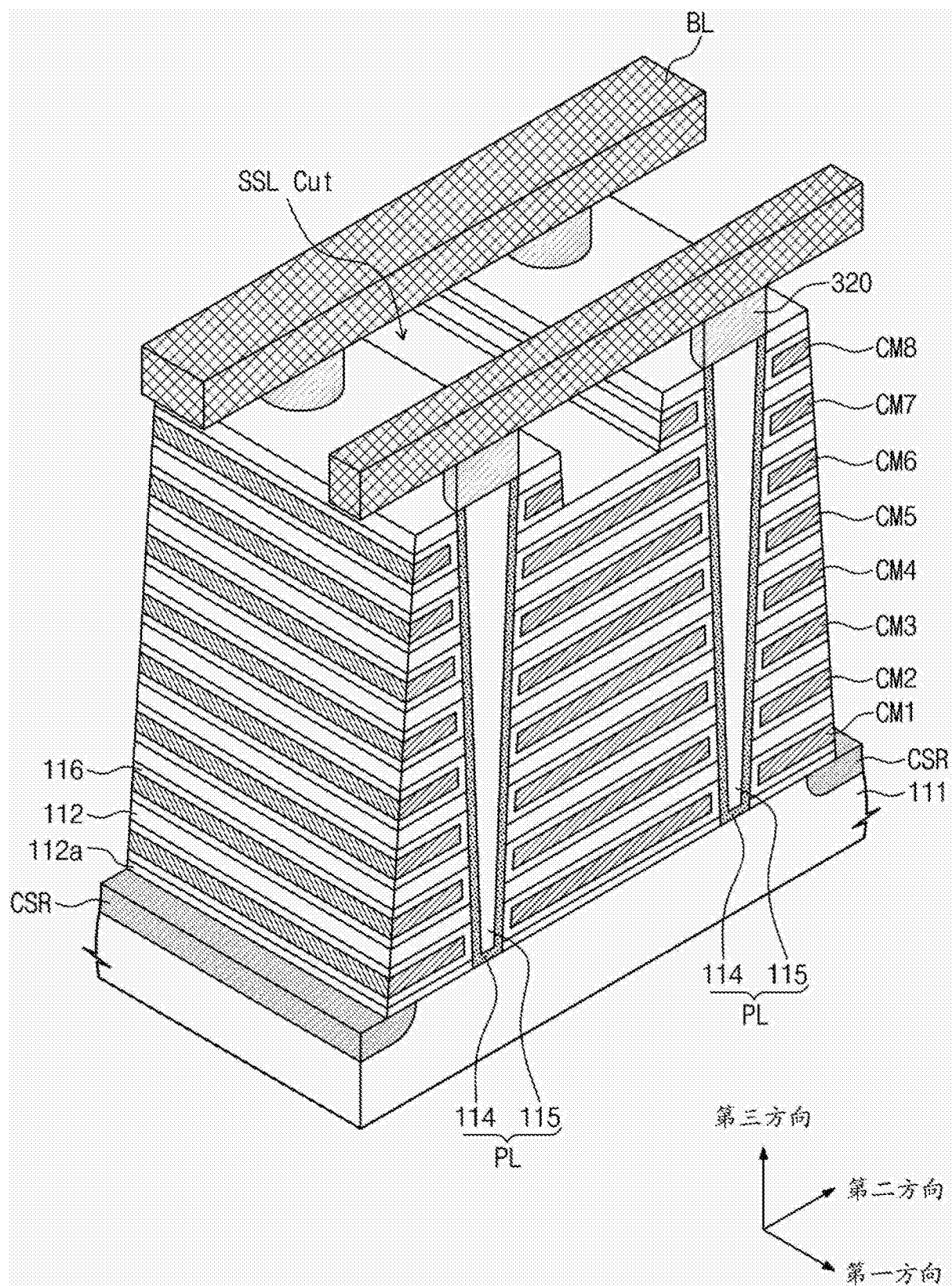


图37

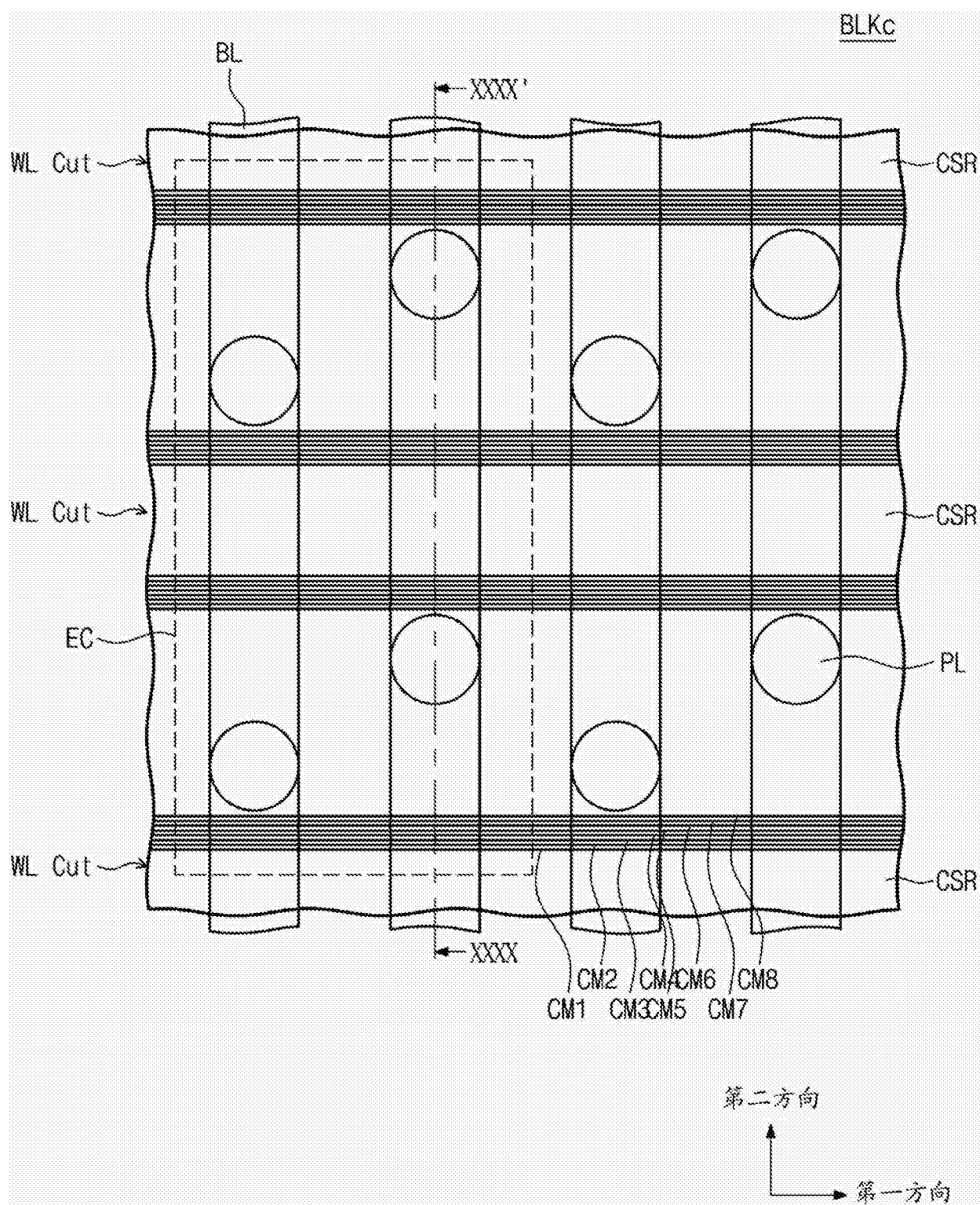


图39

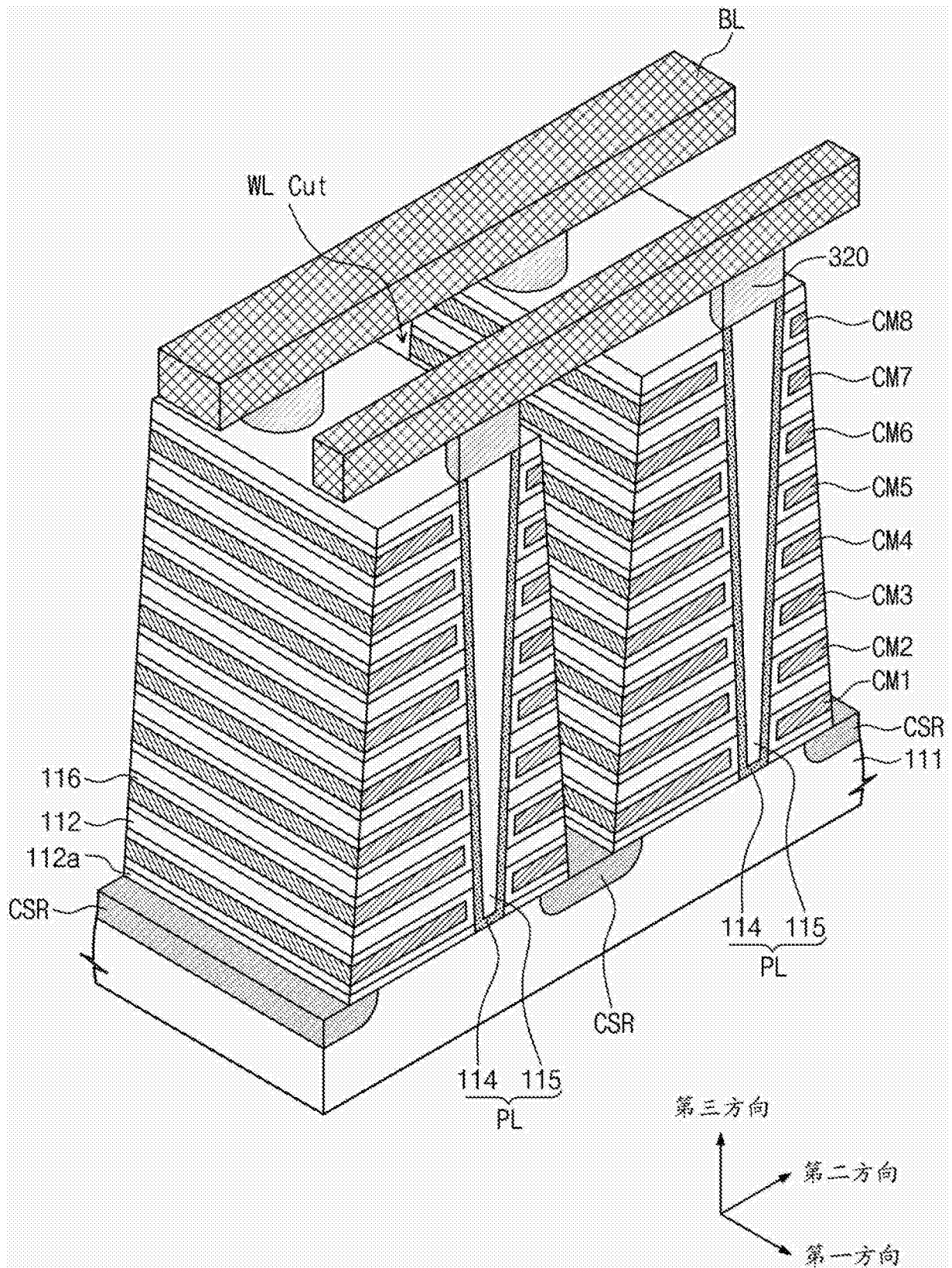


图40

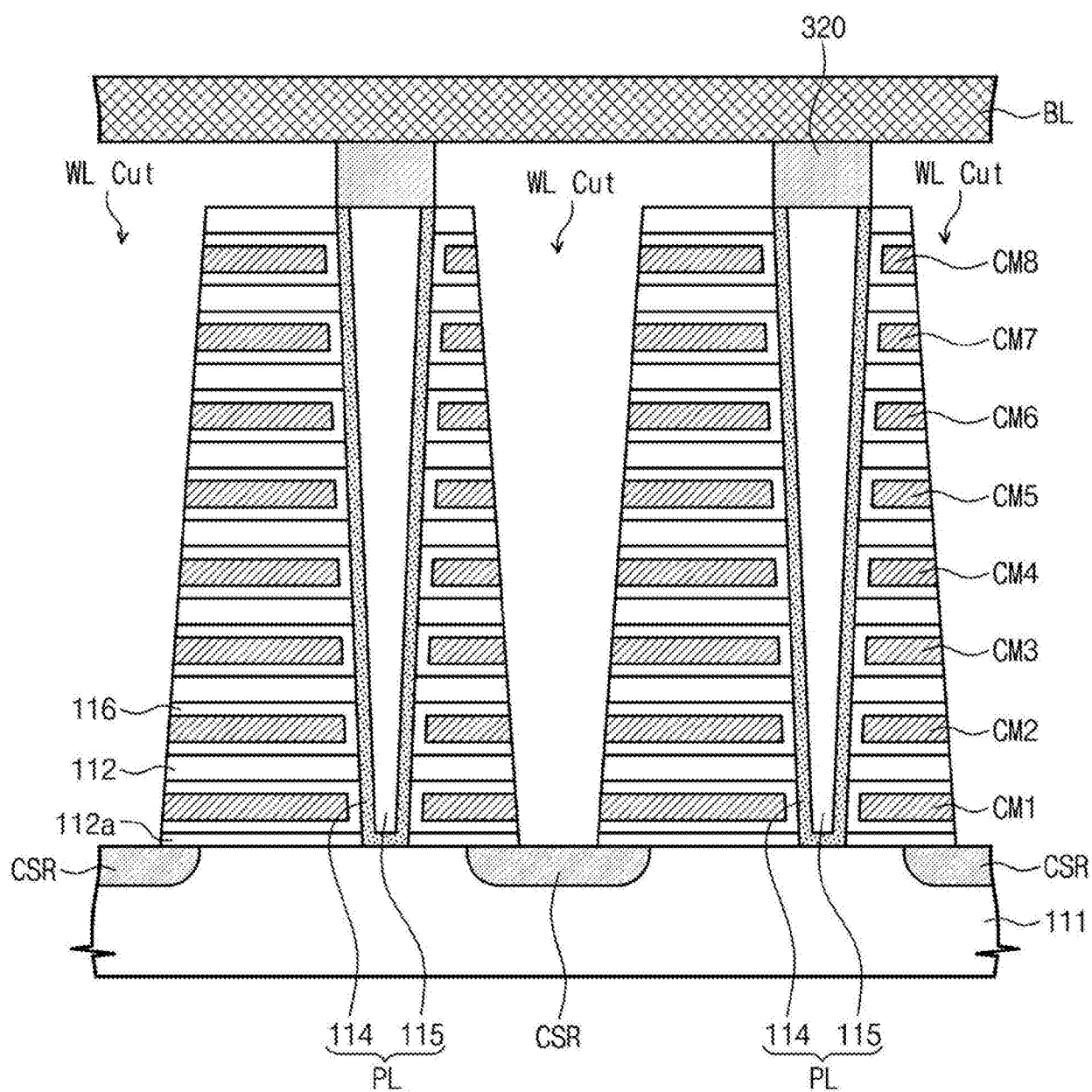


图41

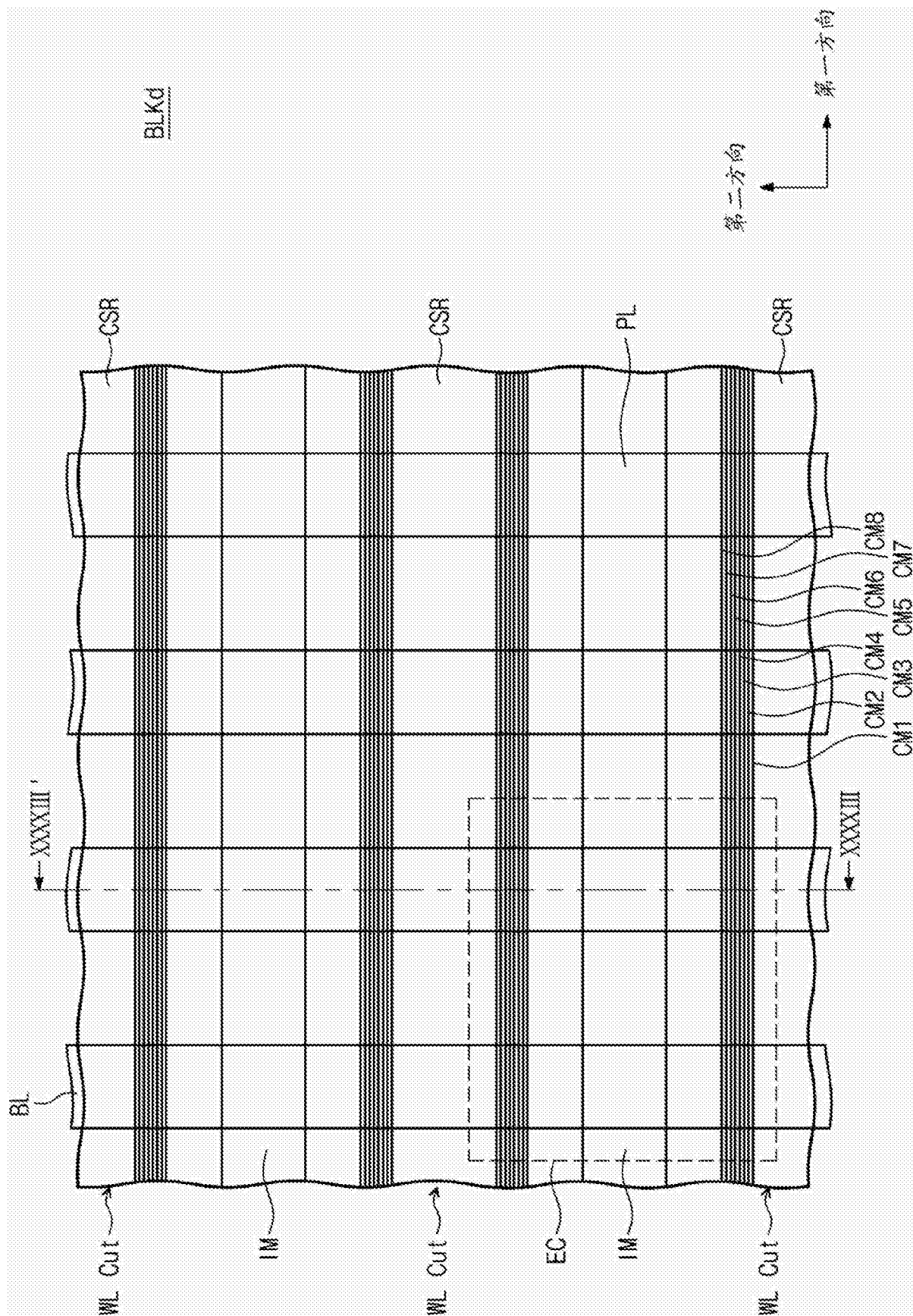


图42

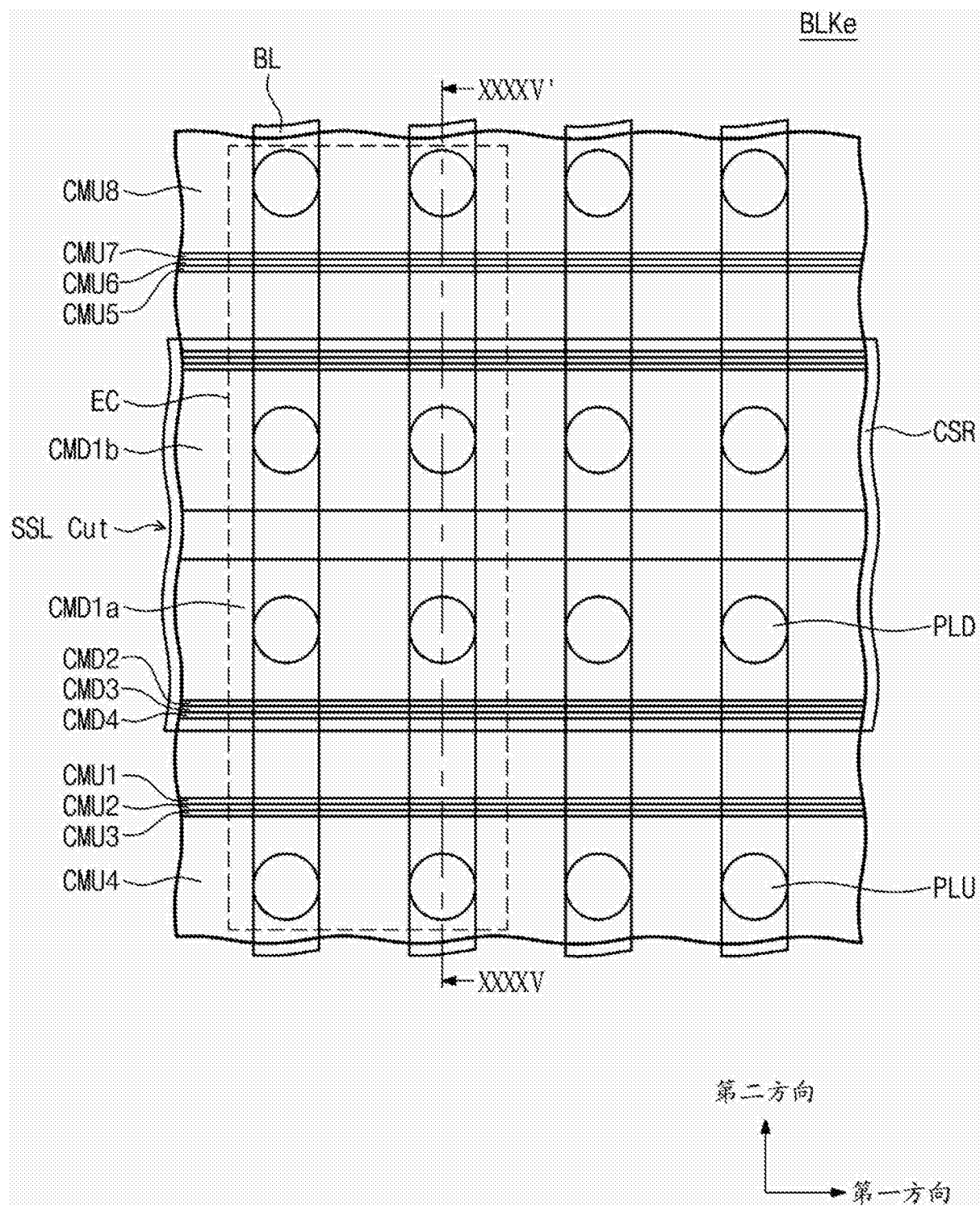


图44

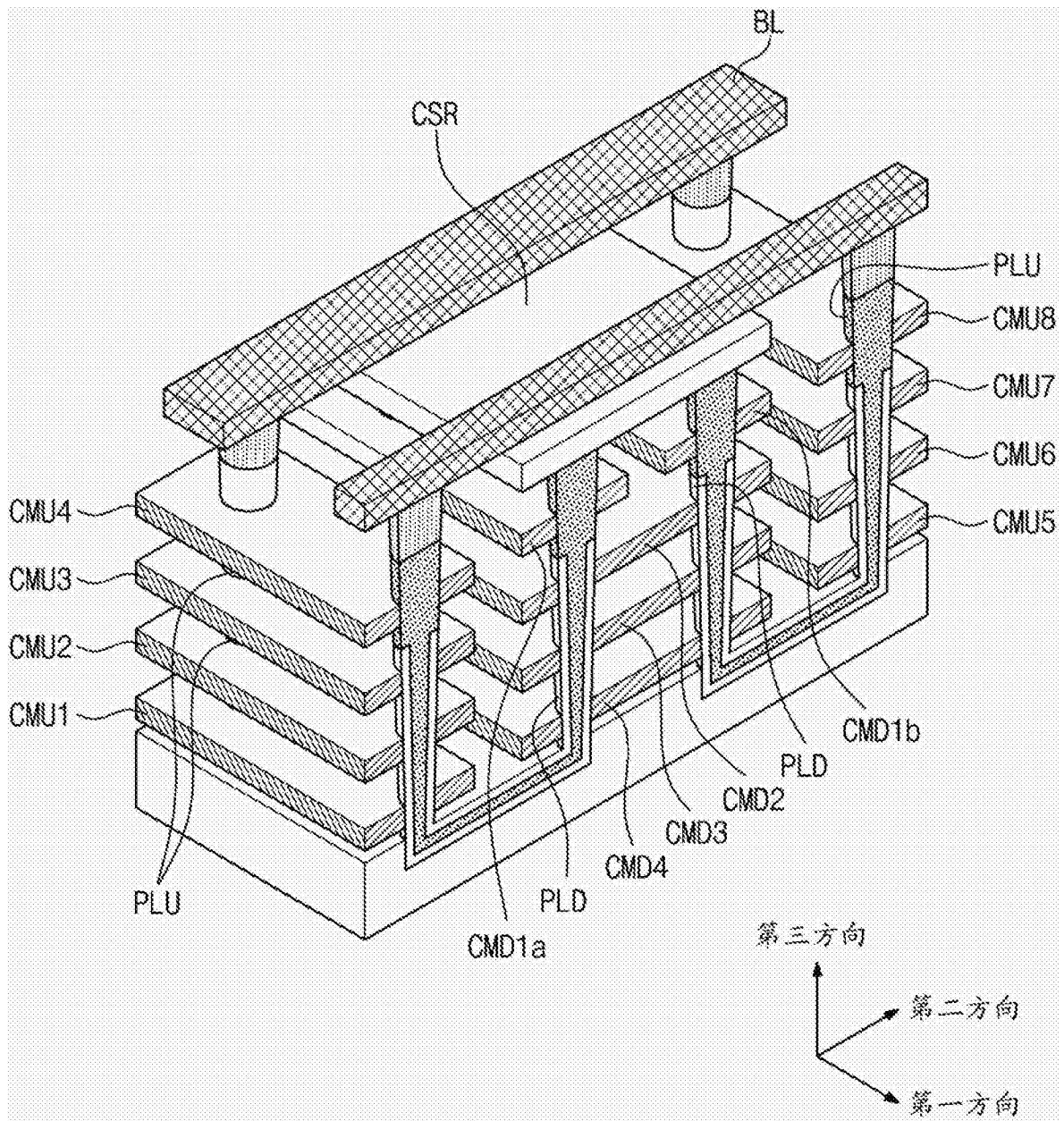


图45

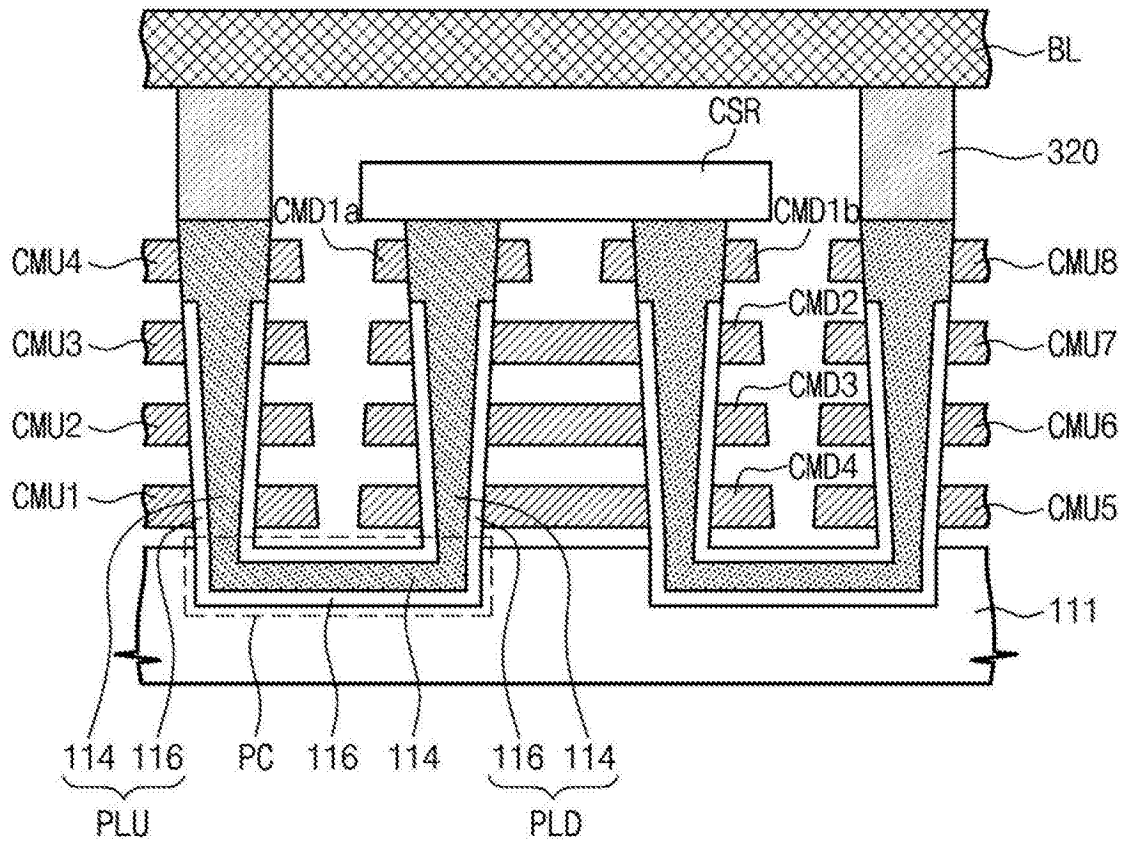


图46

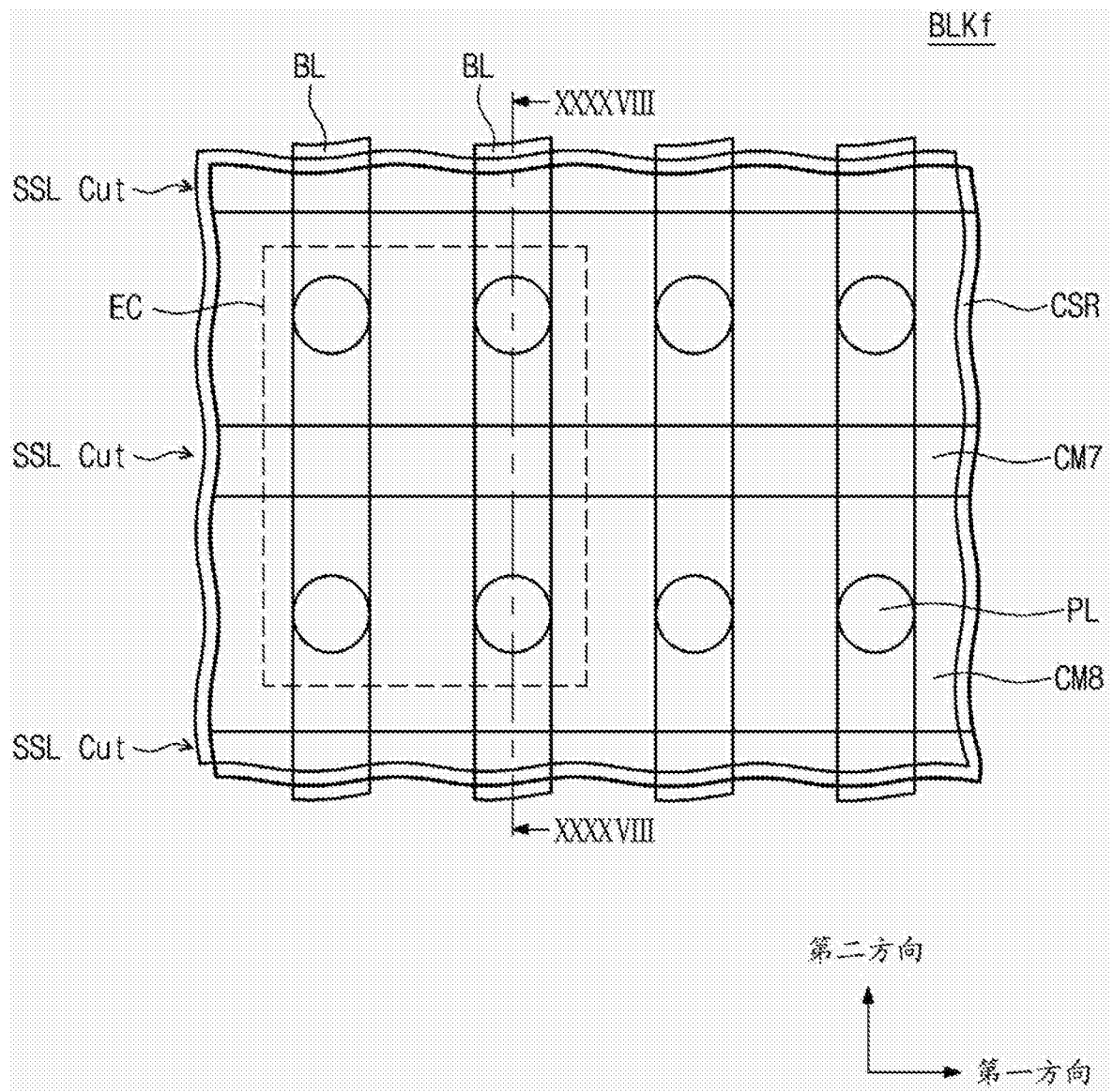


图47

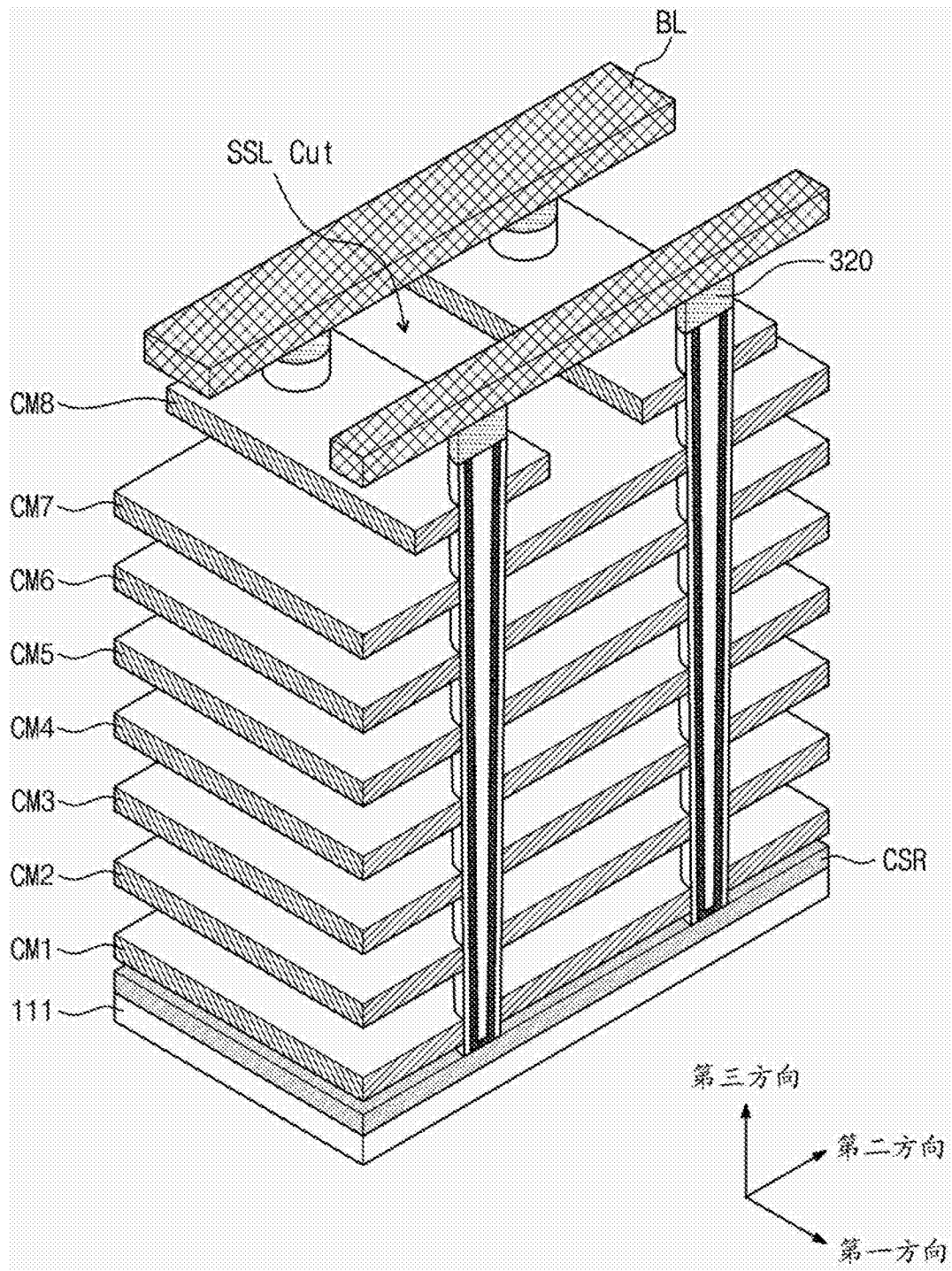


图48

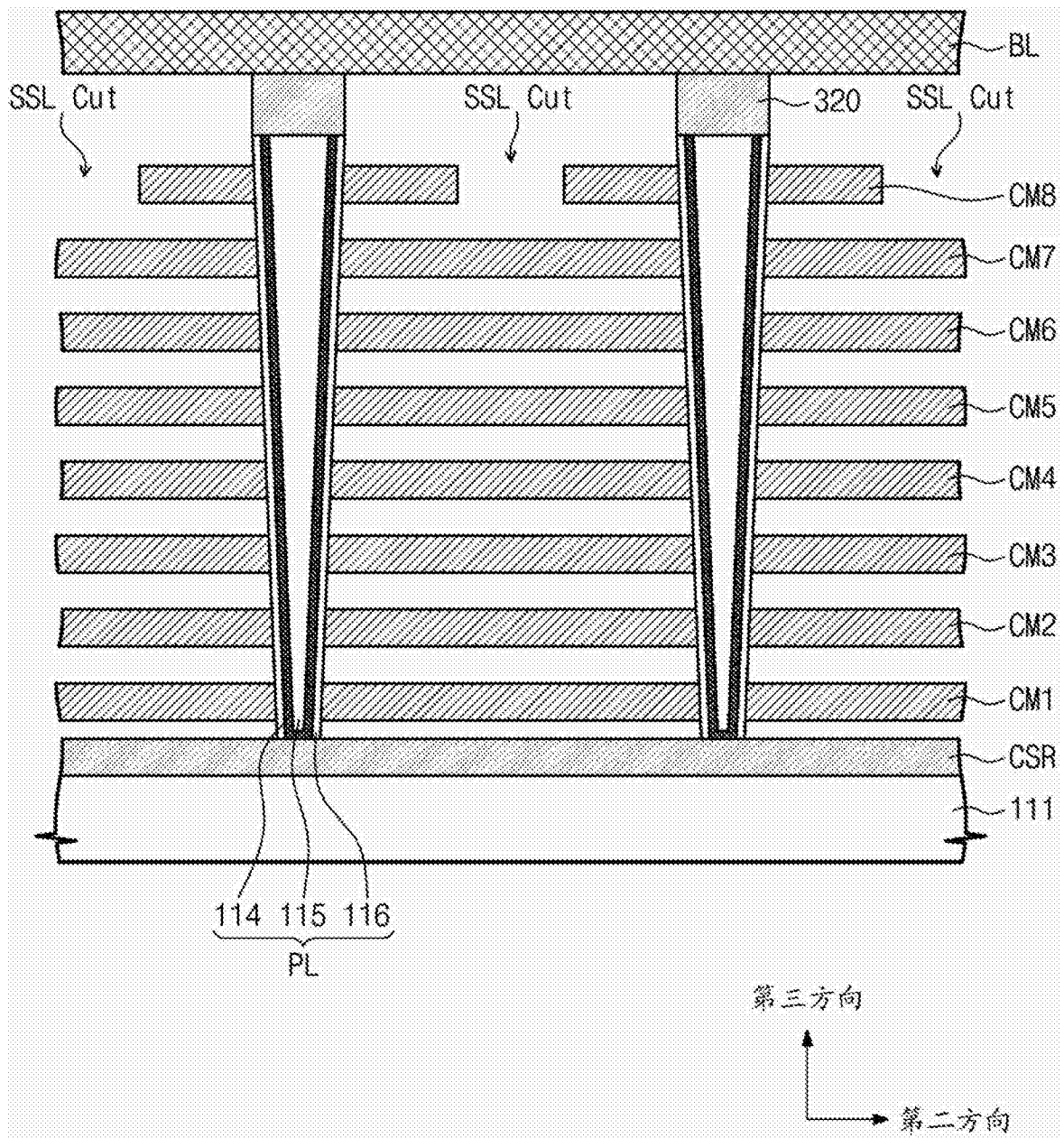


图49

BLKf1

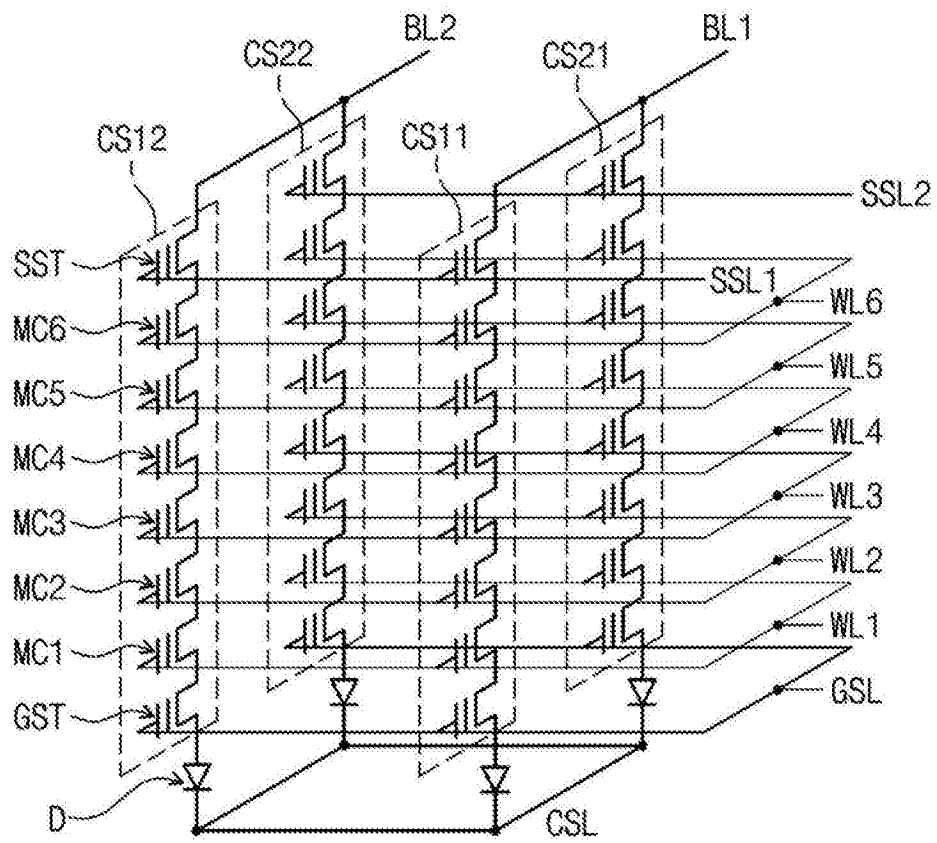


图50

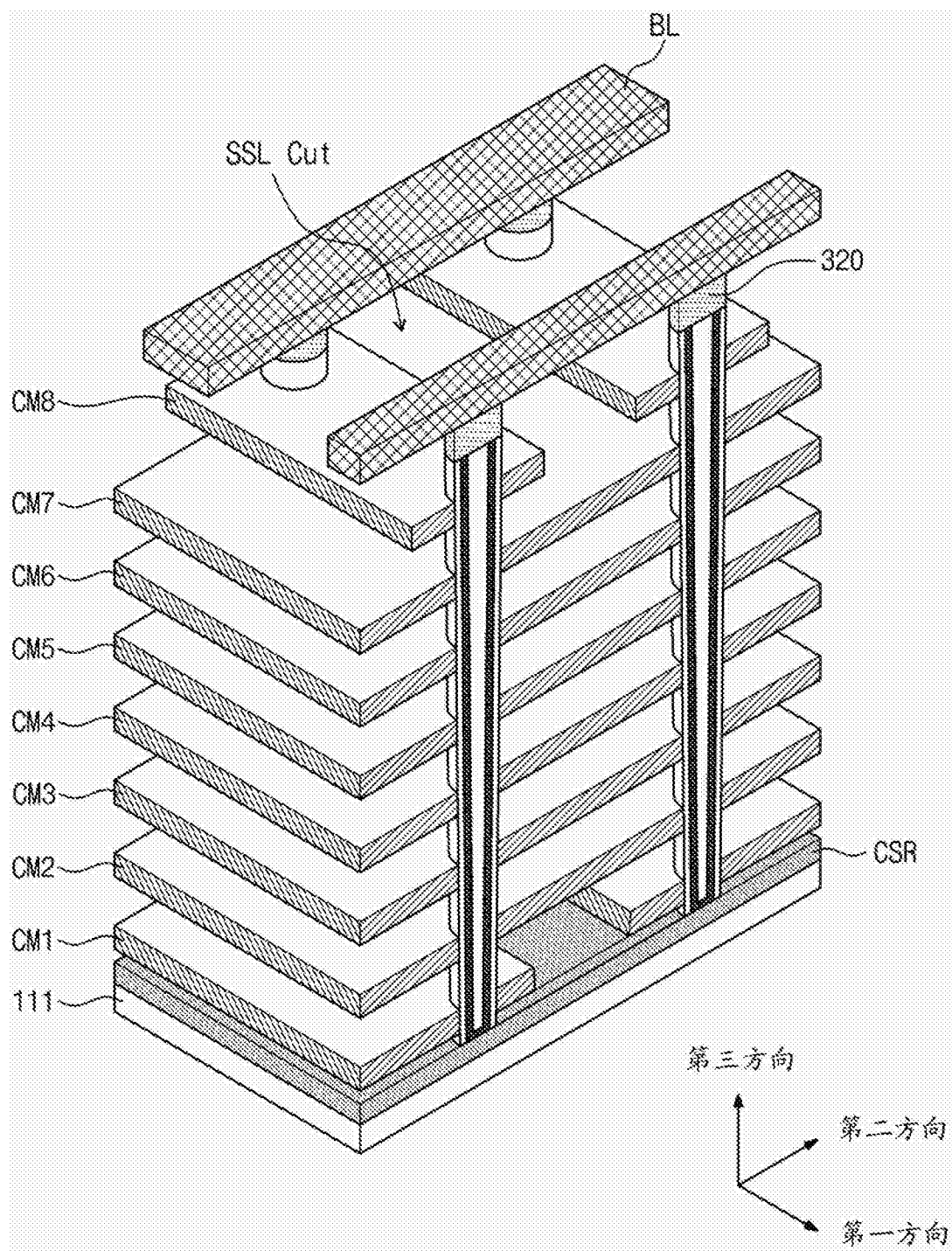


图51

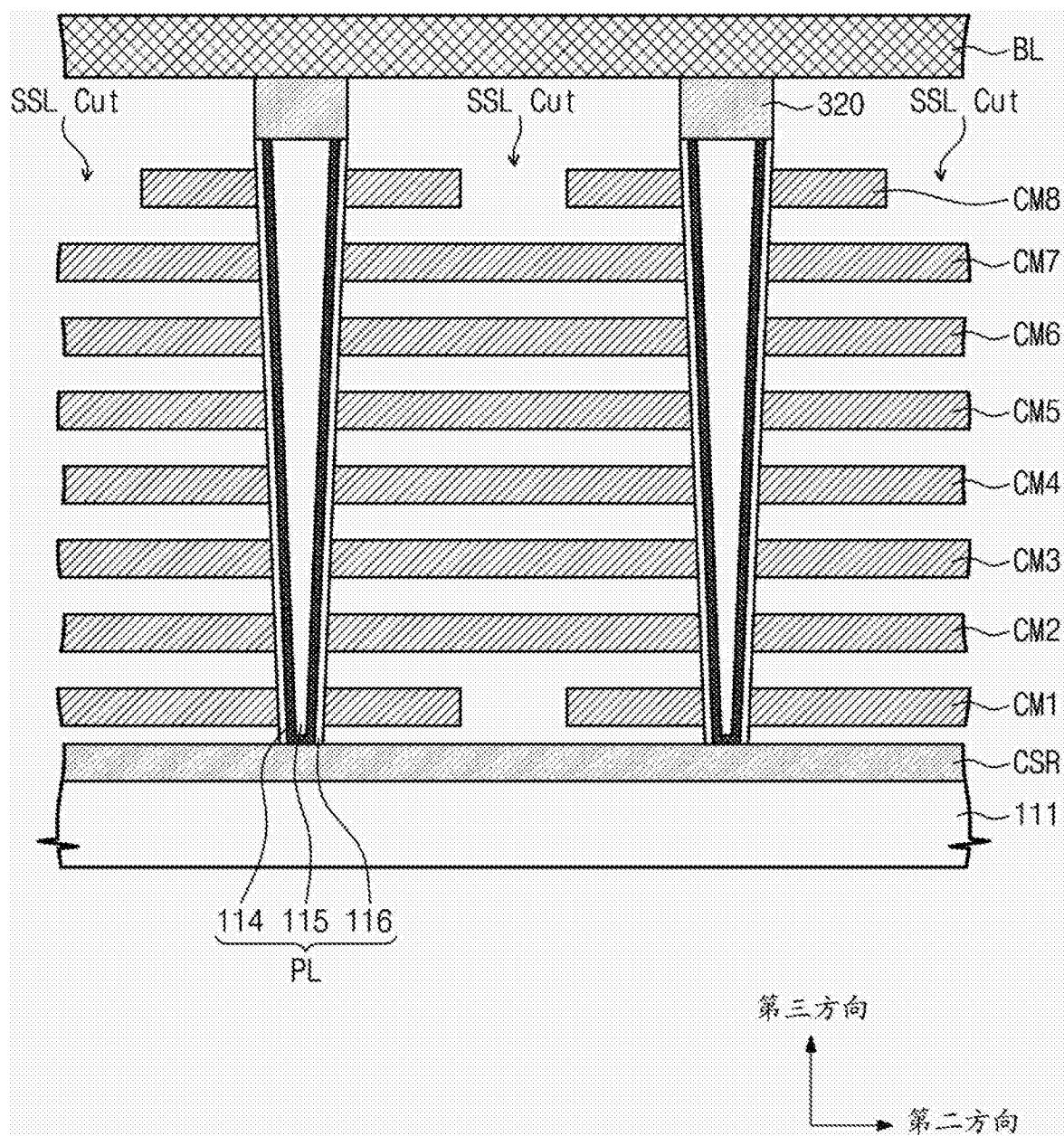


图52

BLKf2

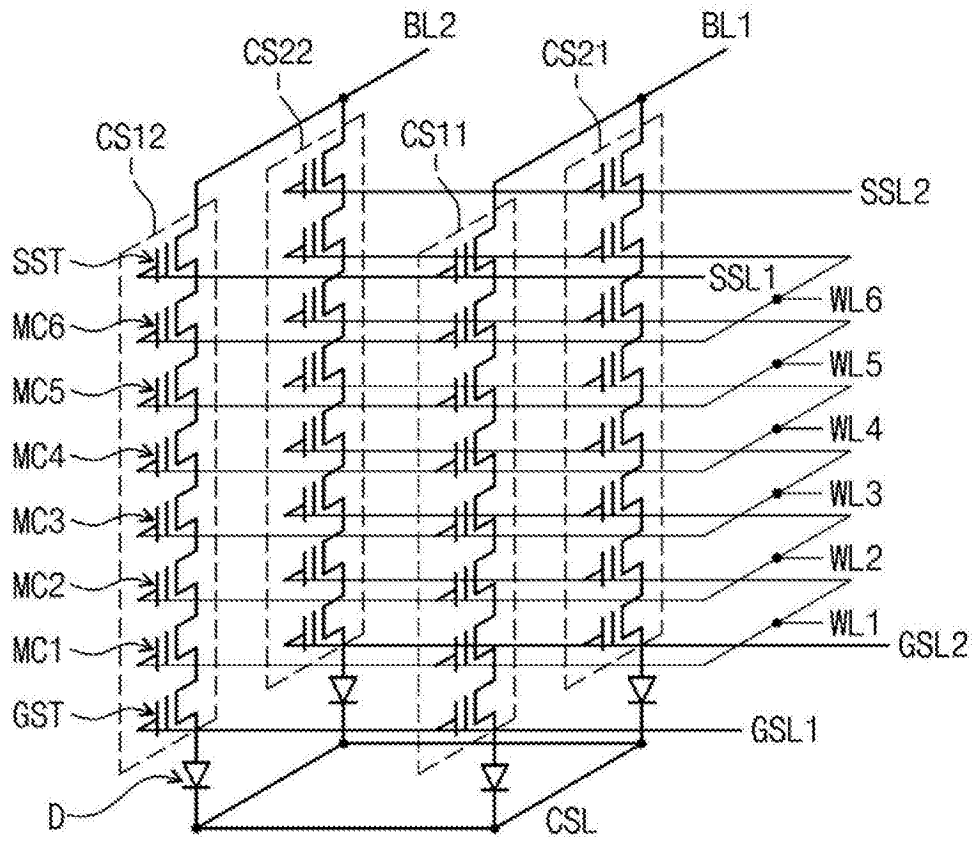


图53

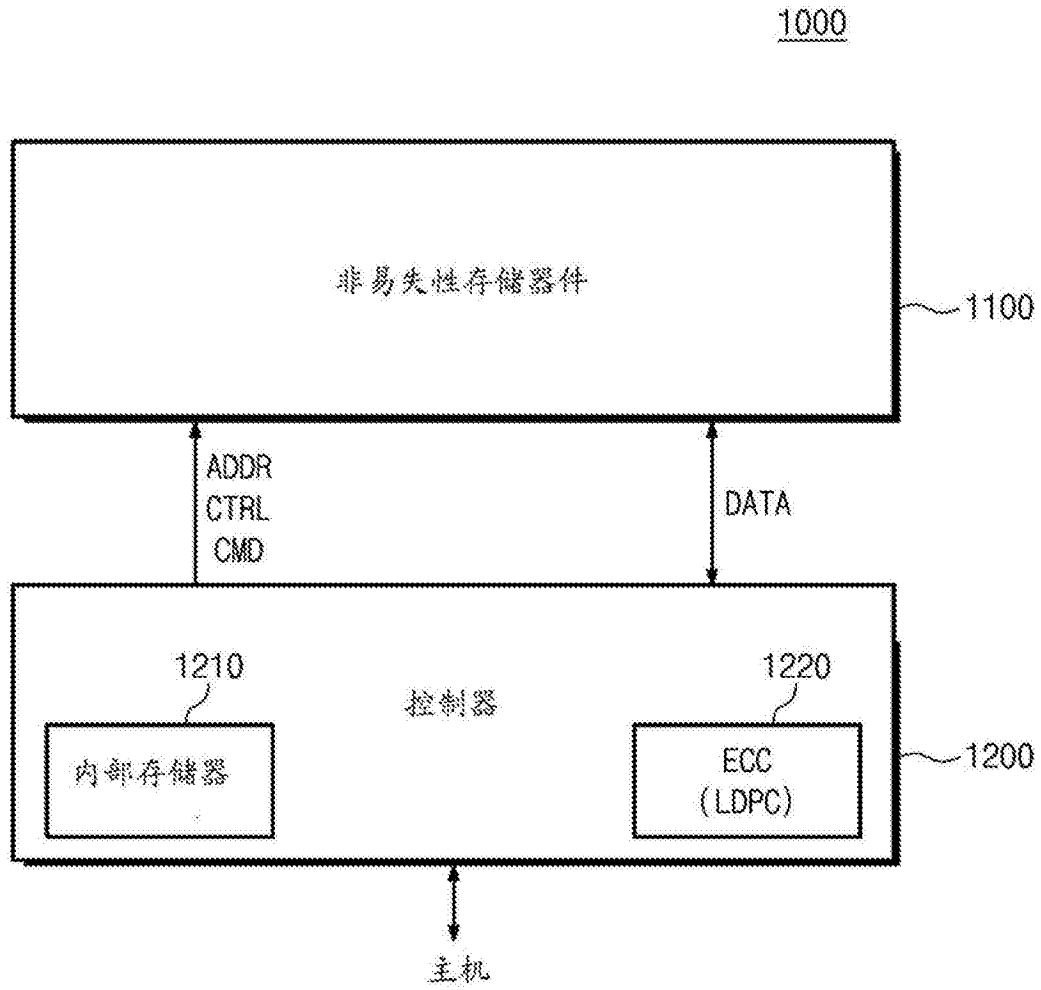


图54

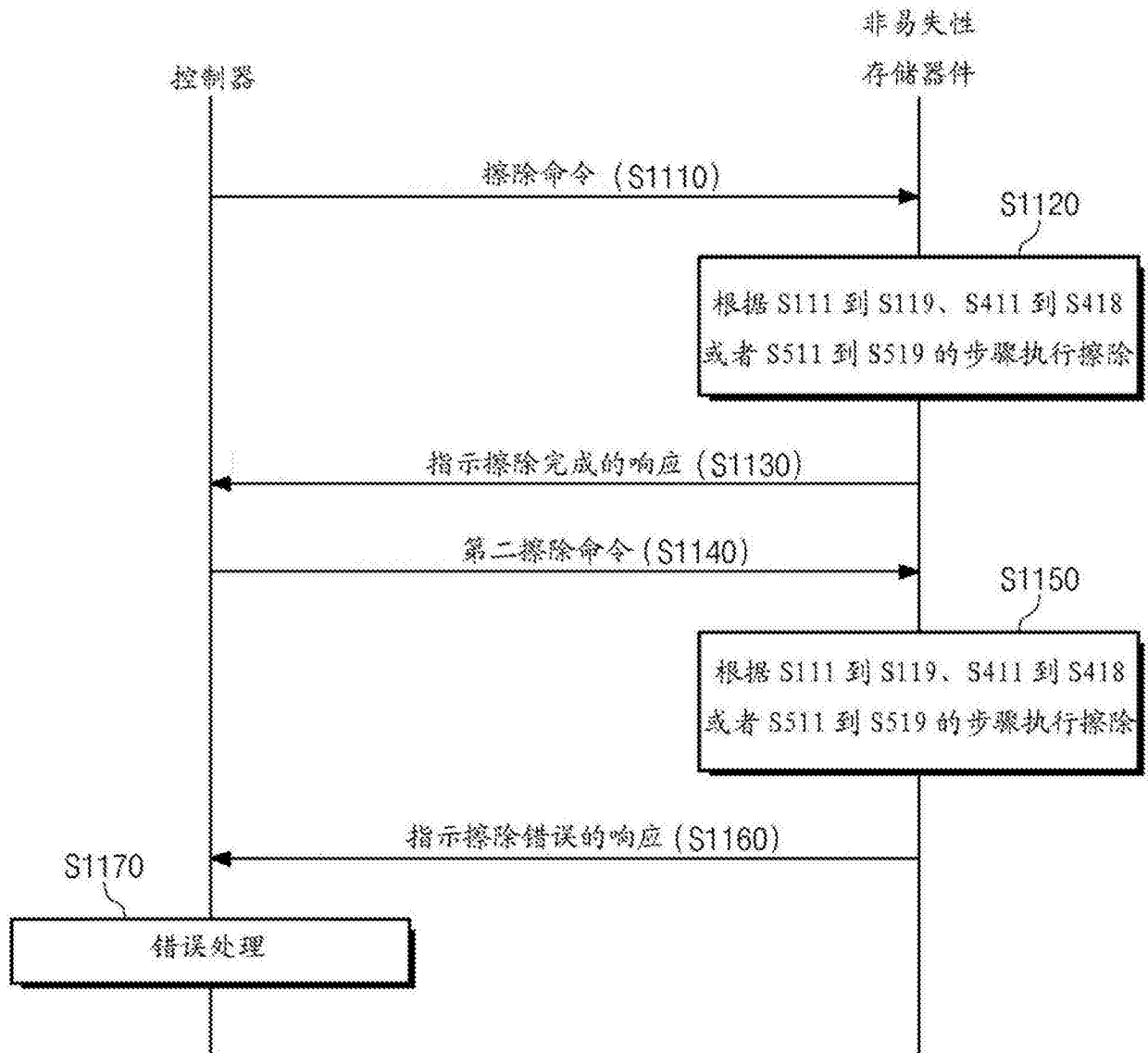


图55

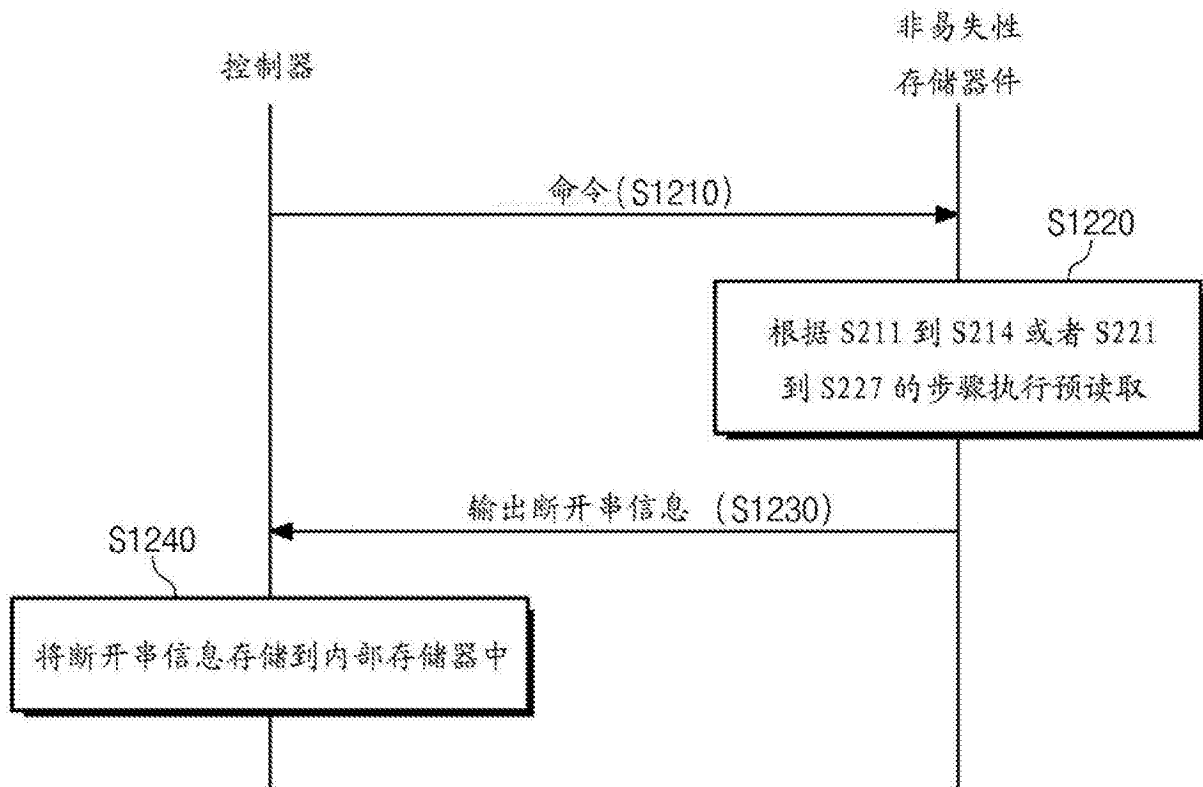


图56

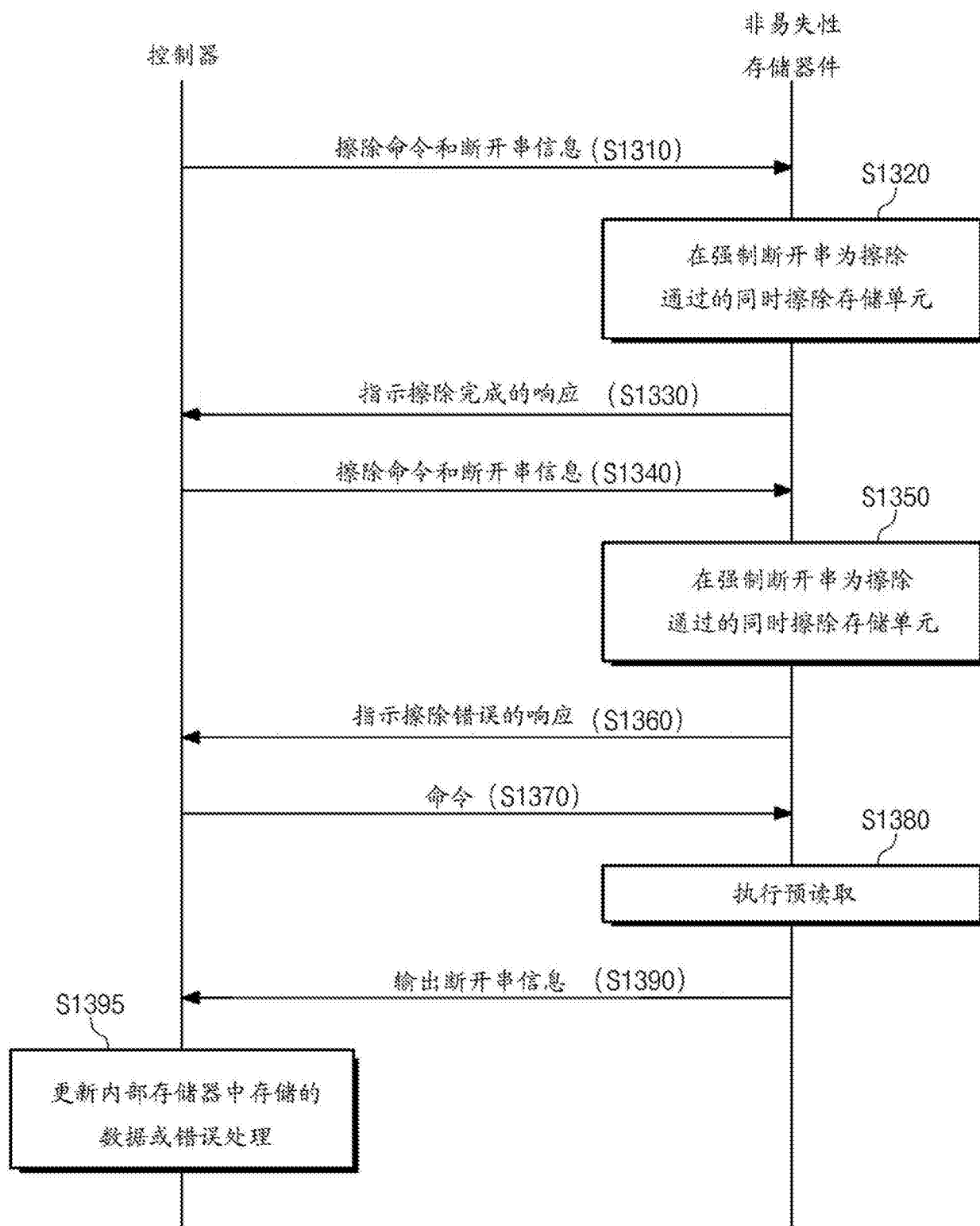


图57

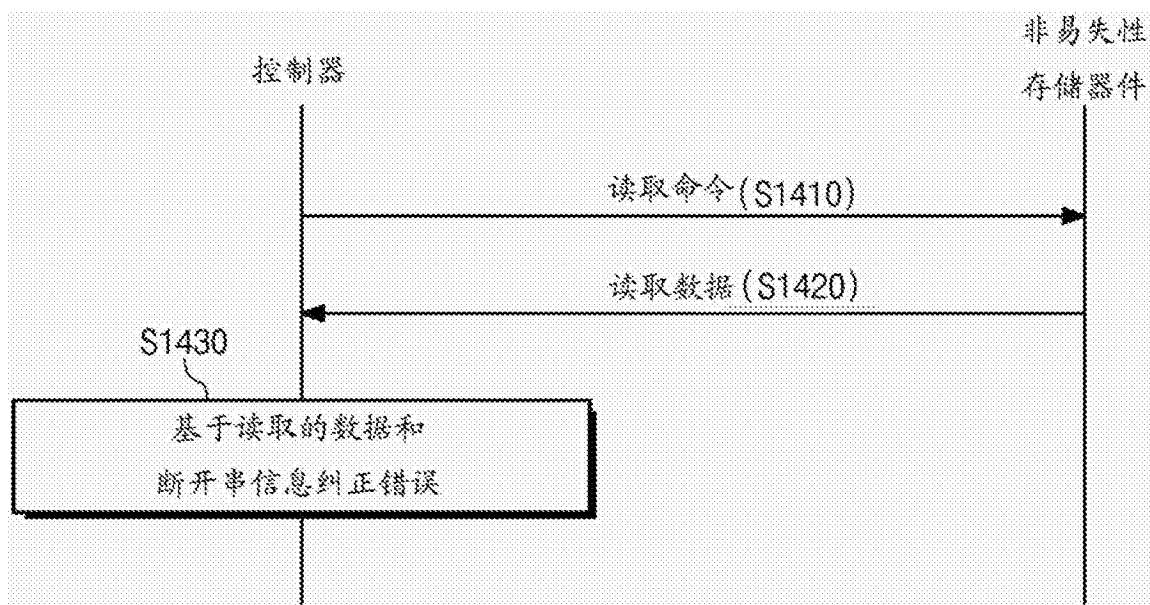


图58

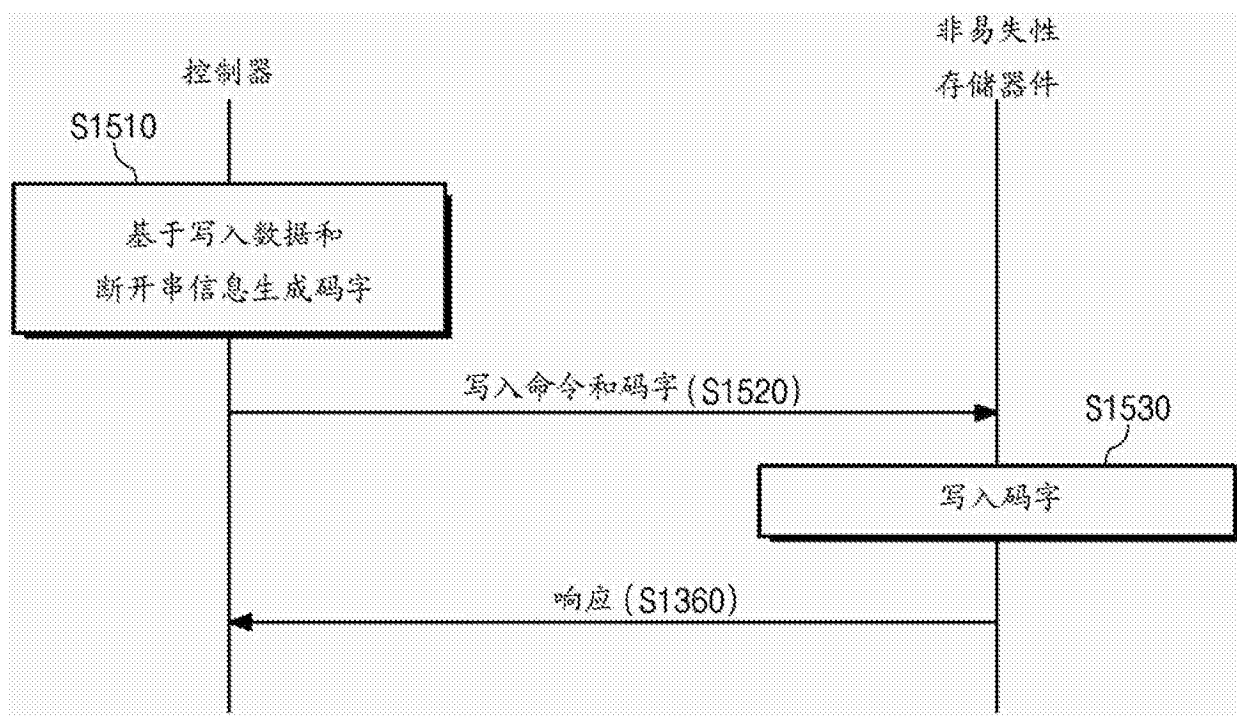


图59

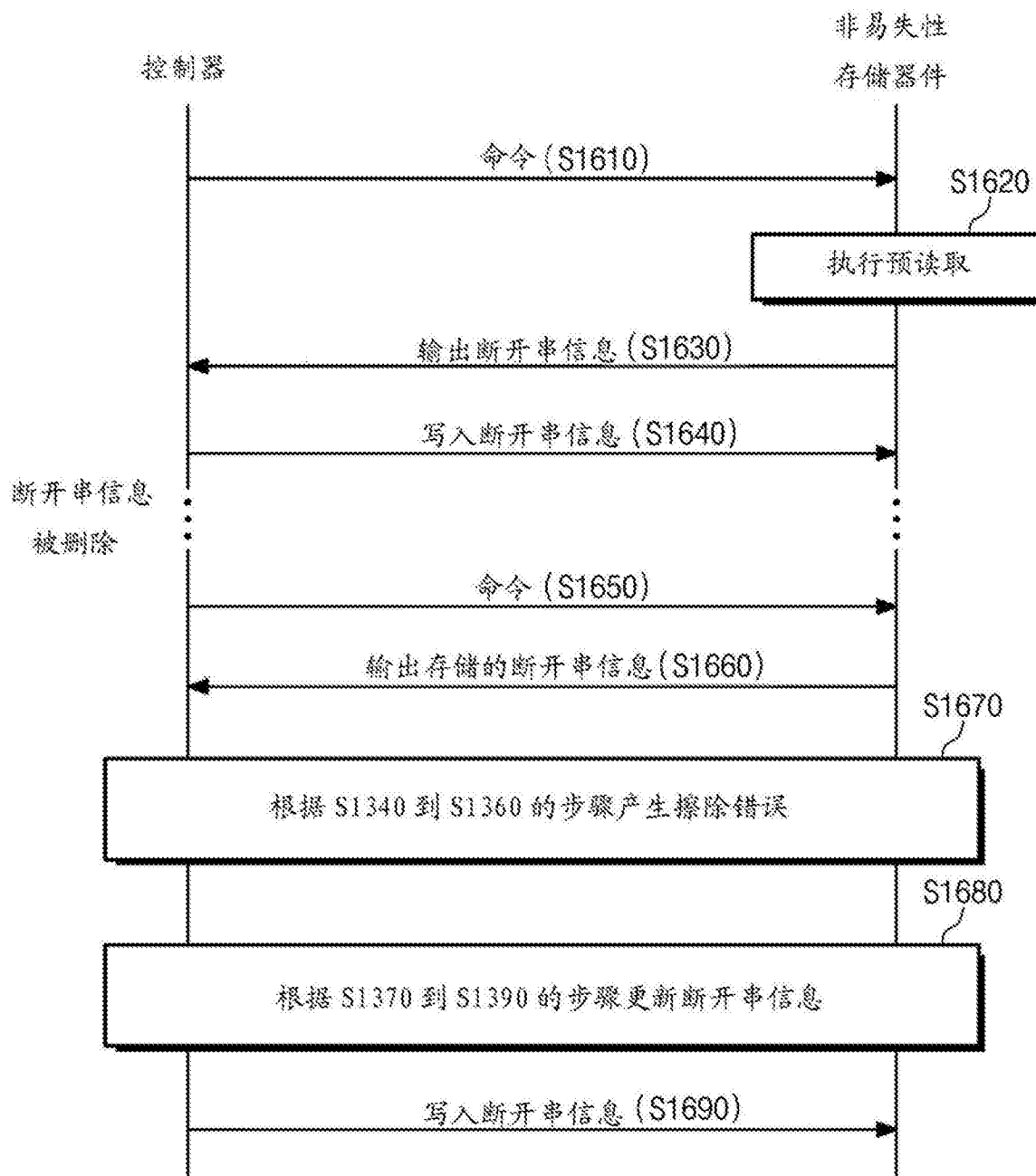


图60

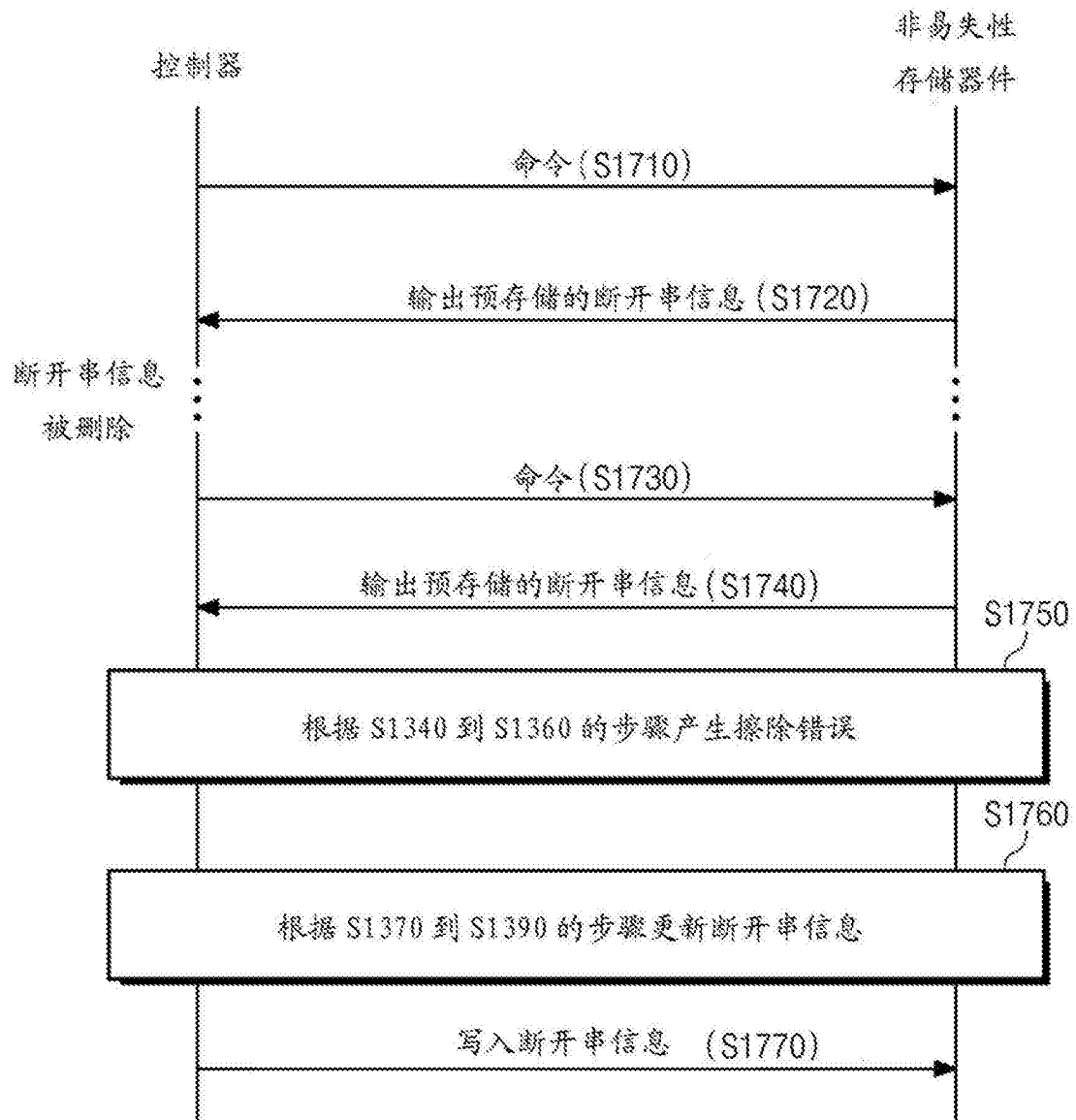


图61

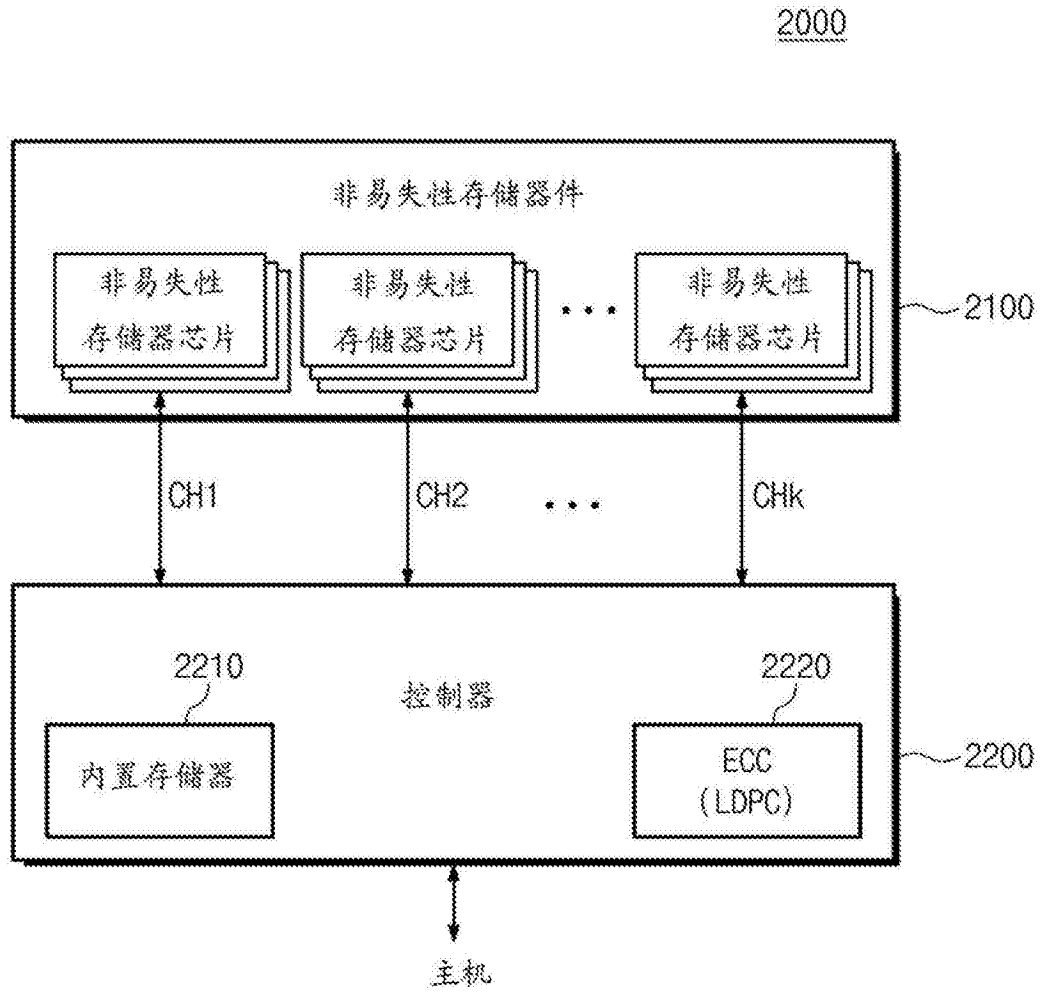


图62

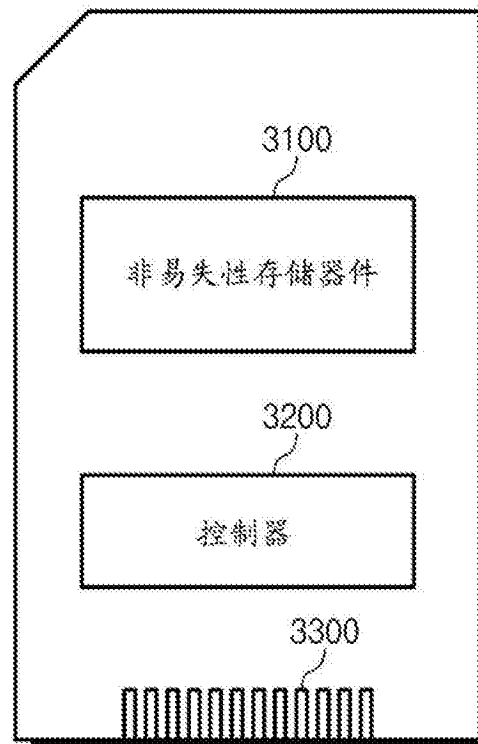
3000

图63

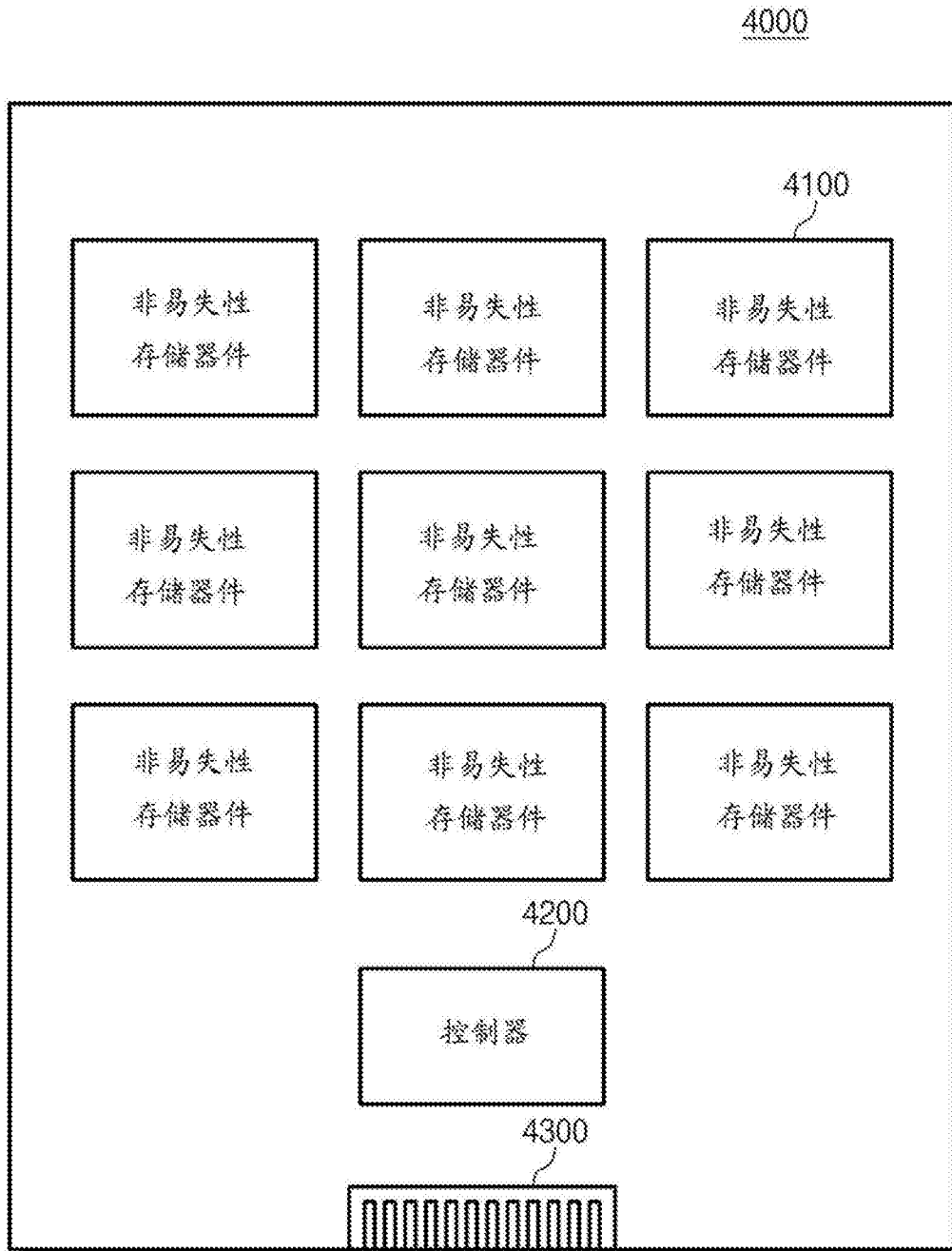


图64

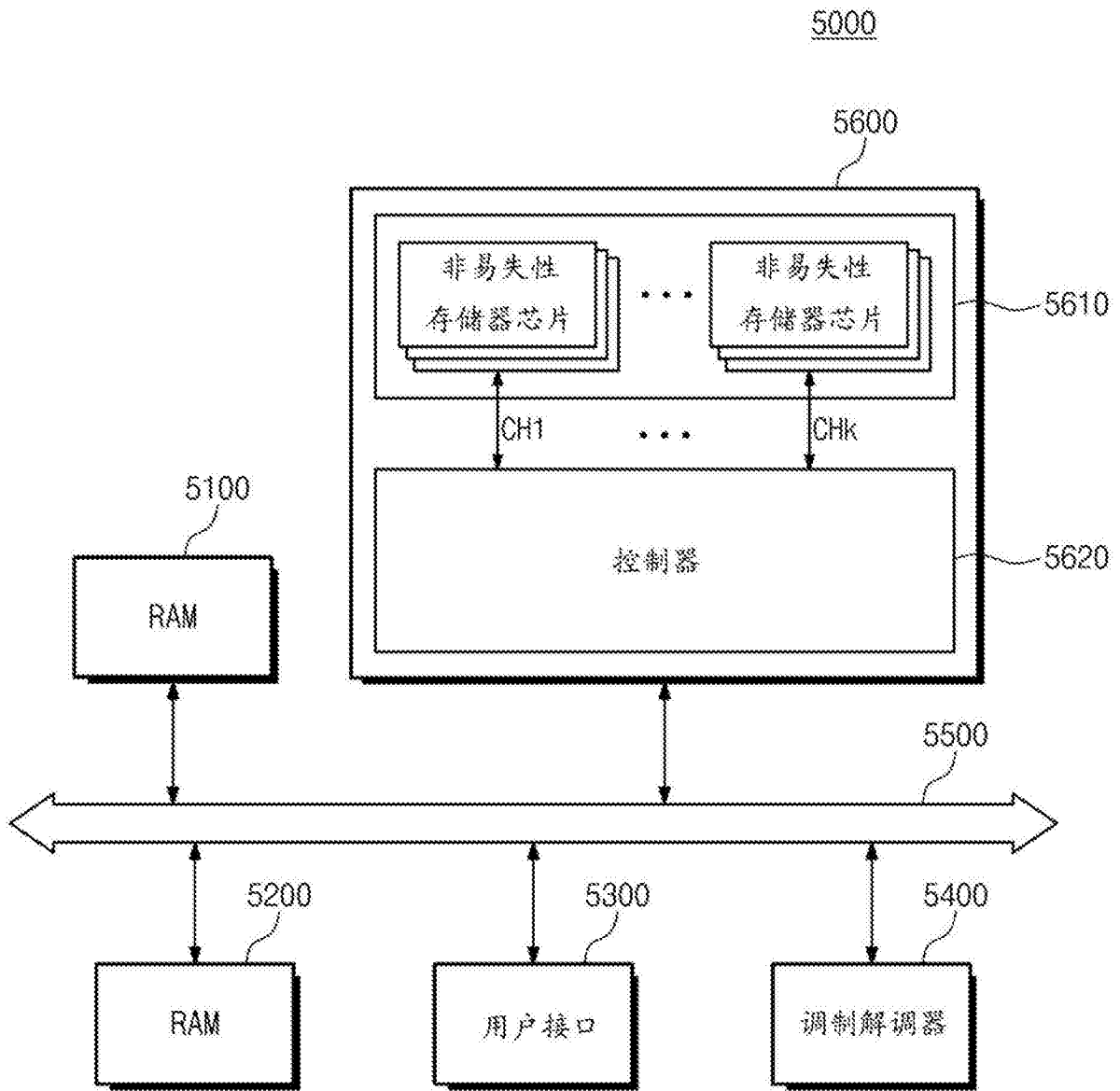


图65

6000

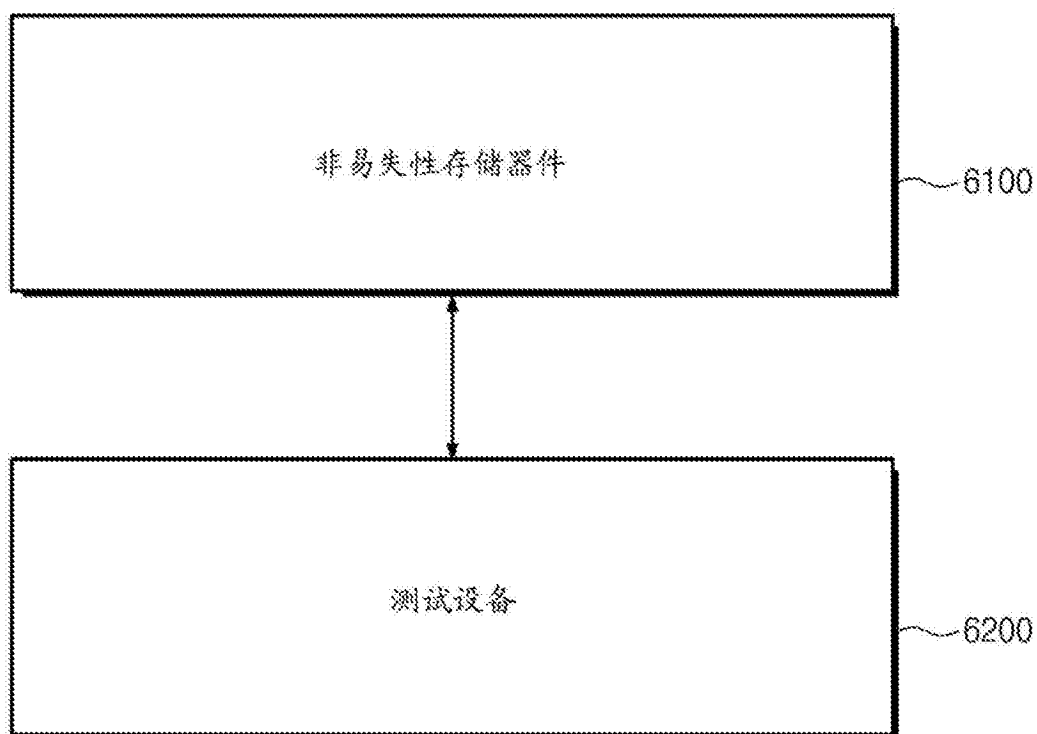


图66

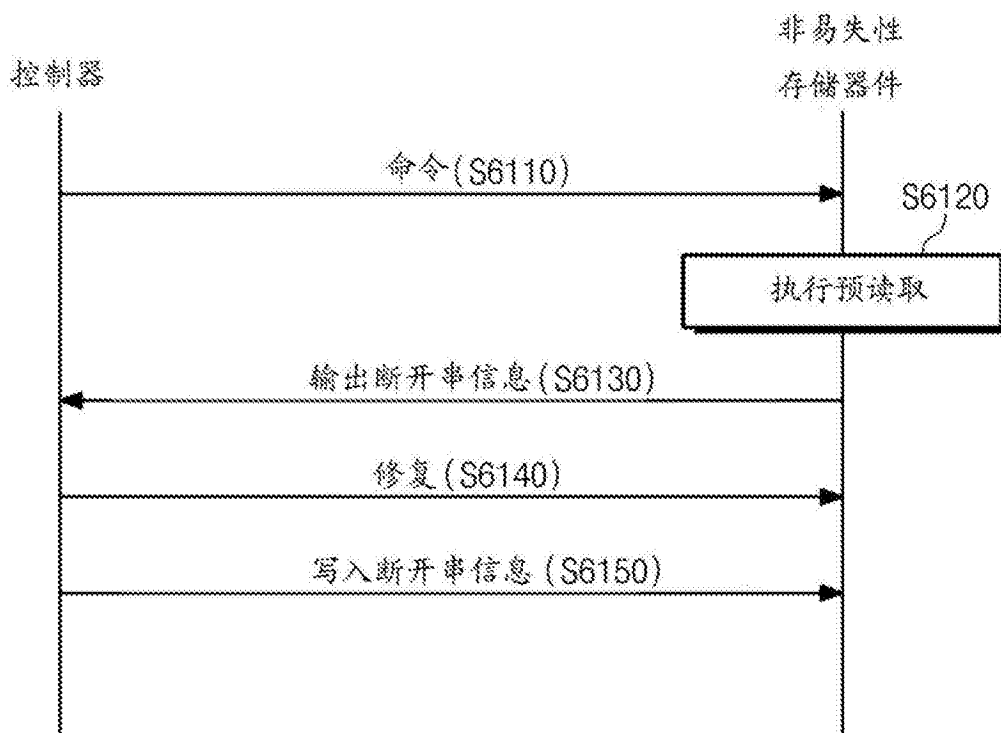


图67