



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H03F 3/00 (2006.01)

H03M 1/12 (2006.01)

(11) 공개번호 10-2007-0008132

(43) 공개일자 2007년01월17일

(21) 출원번호 10-2005-0063117

(22) 출원일자 2005년07월13일

심사청구일자 2005년07월13일

(71) 출원인 고려대학교 산학협력단  
서울 성북구 안암동5가1 고려대학교 내

(72) 발명자 김수원  
서울 서초구 반포동 1278번지 반포아파트 87동 302호  
김길수  
서울 송파구 잠실본동 201-3

(74) 대리인 현중철

전체 청구항 수 : 총 5 항

(54) 선형빨셈기를 이용한 저전력 전압 증폭기 및 이를 이용한아날로그-디지털 변환기

(57) 요약

선형빨셈기를 이용한 저전력 전압 증폭기 및 이를 이용한 아날로그-디지털 변환기가 개시된다. 그 저전력 전압 증폭기는 두 개의 입력단자를 가지며, 두 입력단자의 신호의 차를 출력하되, 두 입력단자 중 하나는 전원전압과 연결되고 다른 하나는 제1입력신호와 연결되는 선형빨셈기; 제2입력신호와 연결되는 게이트 단자, 접지와 연결되는 드레인단자, 및 출력신호와 연결되는 소스단자를 구비하며, 벌크노드가 그 소스단자에 연결되는 제1PMOS 트랜지스터; 및 선형빨셈기의 출력단자와 연결되는 게이트 단자, 전원전압과 연결되는 소스 단자 및 제1PMOS 트랜지스터의 소스단자와 연결되는 드레인 단자를 구비하며, 벌크노드가 그 소스 단자와 연결되며, 제1PMOS트랜지스터의 소스-게이트 전압과 동일한 소스-게이트 전압을 갖는 제2PMOS 트랜지스터를 포함함을 특징으로 한다. 본 발명에 의하면, 전력소모와 차지하는 면적을 효과적으로 줄일 수 있다. 특히 상기 저전력 전압증폭기를 이용한 아날로그-디지털 변환기에 의하면, 파이프라인 아날로그-디지털 변환기의 각 단계 종래의 연산증폭기를 이용한 잔여증폭기 대신 본 발명에 의한 선형빨셈기를 이용한 전압증폭기를 이용할 경우, 전력소모와 칩 면적을 효과적으로 줄일 수 있다.

대표도

도 3

특허청구의 범위

청구항 1.

두 개의 입력단자를 가지며, 상기 두 개의 입력단자에 입력되는 신호의 차를 출력하되, 상기 두 입력단자 중 하나는 전원전압과 연결되고 다른 하나는 제1입력신호와 연결되는 선형빨셈기;

제2입력신호와 연결되는 게이트 단자, 접지와 연결되는 드레인단자, 및 출력신호와 연결되는 소스단자를 구비하며, 벌크노드가 상기 소스단자에 연결되는 제1PMOS 트랜지스터; 및

상기 선형빨셈기의 출력단자와 연결되는 게이트 단자, 전원전압과 연결되는 소스 단자 및 상기 제1PMOS 트랜지스터의 소스단자와 연결되는 드레인 단자를 구비하며, 벌크노드가 상기 소스 단자와 연결되며, 상기 제1PMOS 트랜지스터와 정합관계로서 상기 제1PMOS트랜지스터의 소스-게이트 전압과 동일한 소스-게이트 전압을 갖는 제2PMOS 트랜지스터를 포함하는 선형빨셈기를 이용한 저전력 전압 증폭기.

## 청구항 2.

제1항에 있어서, 상기 선형빨셈기는

제1입력신호와 연결되는 게이트 단자, 접지와 연결되는 소스단자를 구비하며, 벌크노드가 상기 소스단자에 연결되는 제1NMOS 트랜지스터; 및

상기 제1NMOS 트랜지스터의 드레인 단자와 연결되는 소스단자, 전원전압과 연결되는 게이트 단자 및 전원전압과 연결되는 드레인 단자를 구비하며, 벌크노드가 상기 소스단자와 연결되며, 상기 제1NMOS 트랜지스터와 정합관계로서 상기 제1트랜지스터의 게이트-소스 전압과 동일한 게이트-소스전압을 갖는 제2NMOS 트랜지스터를 포함함을 특징으로 하는 선형빨셈기를 이용한 저전력 전압 증폭기.

## 청구항 3.

제1항 또는 제2항에 있어서, 상기 제1NMOS트랜지스터의 제1입력신호와 상기 제1PMOS트랜지스터의 제2입력신호는 동일하고, 상기 제2PMOS트랜지스터의 출력단자는 상기 제1NMOS트랜지스터의 제1입력신호와 상기 제1PMOS트랜지스터의 제2입력신호를 합한 전압더블러 회로임을 특징으로 하는 선형빨셈기를 이용한 저전력 전압 증폭기.

## 청구항 4.

아날로그 신호를 N비트의 디지털 신호로 변환하는 아날로그-디지털 변환기에 있어서,

상기 N비트의 디지털 신호는 N개의 단들이 직렬연결되고, 상기 각 비트는 하나의 단에 대응되며, 상기 각 단은

적어도 하나의 지연소자와, 상기 이전 단에의 출력신호를 샘플링 및 홀딩하는 S/H부;

상기 S/H부의 출력신호를 디지털 신호로 변환하여, 한 비트의 디지털 신호로 출력하는 AD변환기;

상기 AD변환기의 한 비트의 디지털 출력신호를 아날로그 신호로 변환하는 DA변환기;

상기 S/H부의 출력신호와 상기 DA변환기의 출력신호의 차를 출력하는 빨셈부; 및

상기 빨셈부의 출력을 증폭하는 제1항의 저전력 전압증폭기를 구비하는 것을 특징으로 하는 아날로그-디지털 변환기.

## 청구항 5.

제4항에 있어서, 상기 저전력 전압증폭기의 각 단은 지연소자를 이용하여 출력신호의 출력시간을 조절함을 특징으로 하는 아날로그-디지털 변환기.

## 명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전압 증폭기에 관한 것으로서, 특히 선형 뺄셈기를 이용한 저전력 전압 증폭기 및 이를 이용한 아날로그-디지털 변환기에 관한 것이다.

도 1은 파이프라인 방식의 아날로그-디지털 변환기의 구성을 블록도로 도시한 것이다. 파이프라인 방식의 아날로그-디지털 변환기의 각 단(stage)은 디지털 신호를 구성하는 하나의 비트를 나타내며, 각 단마다 잔여증폭기(X2)를 구비한다.

상기 아날로그-디지털 변환기가 고속동작과 고해상도 특성을 가지기 위해서는, 상기 파이프라인 방식의 아날로그-디지털 변환기의 각 단(stage)에 사용되는 잔여증폭기(X2)는 고성능의 연산증폭기(Operational Amplifier)가 필요하다. 이로 인해, 상기 고성능의 연산증폭기를 사용하는 잔여증폭기는 많은 전력소모와 큰 면적을 차지한다는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 첫 번째 기술적인 과제는 종래의 잔여증폭기가 많은 전력소모와 큰 면적을 차지한다는 문제점을 해결하기 위해, 잔여증폭기로 사용될 수 있는 선형뺄셈기를 이용한 저전력 전압 증폭기를 제공하는 것이다.

본 발명이 이루고자 하는 두 번째 기술적인 과제는 상기 저전력 전압 증폭기를 이용한 아날로그-디지털 변환기를 제공하는 것이다.

### 발명의 구성

본 발명은 상기 첫 번째 기술적 과제를 달성하기 위하여,

두 개의 입력단자를 가지며, 상기 두 개의 입력단자에 입력되는 신호의 차를 출력하되, 상기 두 입력단자 중 하나는 전원전압과 연결되고 다른 하나는 제1입력신호와 연결되는 선형뺄셈기; 제2입력신호와 연결되는 게이트 단자, 접지와 연결되는 드레인단자, 및 출력신호와 연결되는 소스단자를 구비하며, 벌크노드가 상기 소스단자에 연결되는 제1PMOS 트랜지스터; 및 상기 선형뺄셈기의 출력단자와 연결되는 게이트 단자, 전원전압과 연결되는 소스 단자 및 상기 제1PMOS 트랜지스터의 소스단자와 연결되는 드레인 단자를 구비하며, 벌크노드가 상기 소스 단자와 연결되며, 상기 제1PMOS 트랜지스터와 정합관계로서 상기 제1PMOS트랜지스터의 소스-게이트 전압과 동일한 소스-게이트 전압을 갖는 제2PMOS 트랜지스터를 포함하는 선형뺄셈기를 이용한 저전력 전압 증폭기를 제공한다.

본 발명의 일 실시예에 의하면, 상기 선형뺄셈기는 제1입력신호와 연결되는 게이트 단자, 접지와 연결되는 소스단자를 구비하며, 벌크노드가 상기 소스단자에 연결되는 제1NMOS 트랜지스터; 및 상기 제1NMOS 트랜지스터의 드레인 단자와 연결되는 소스단자, 전원전압과 연결되는 게이트 단자 및 전원전압과 연결되는 드레인 단자를 구비하며, 벌크노드가 상기 소스단자와 연결되며, 상기 제1NMOS 트랜지스터와 정합관계로서 상기 제1트랜지스터의 게이트-소스 전압과 동일한 게이트-소스전압을 갖는 제2NMOS 트랜지스터를 포함하는 것일 수 있다.

본 발명의 다른 실시예에 의하면, 상기 제1NMOS트랜지스터의 제1입력신호와 상기 제1PMOS트랜지스터의 제2입력신호는 동일하고, 상기 제2PMOS트랜지스터의 출력단자는 상기 제1NMOS트랜지스터의 제1입력신호와 상기 제1PMOS트랜지스터의 제2입력신호를 합한 전압더블러 회로일 수 있다.

본 발명은 상기 두 번째 기술적 과제를 달성하기 위하여, 아날로그 신호를 N비트의 디지털 신호로 변환하는 아날로그-디지털 변환기에 있어서, 상기 N비트의 디지털 신호는 N개의 단들이 직렬연결되고, 상기 각 비트는 하나의 단에 대응되며, 상기 각 단은 적어도 하나의 지연소자와, 상기 이전 단에의 출력신호를 샘플링 및 홀딩하는 S/H부; 상기 S/H부의 출력신호를 디지털 신호로 변환하여, 한 비트의 디지털 신호로 출력하는 AD변환기; 상기 AD변환기의 한 비트의 디지털 출력신호를 아날로그 신호로 변환하는 DA변환기; 상기 S/H부의 출력신호와 상기 DA변환기의 출력신호의 차를 출력하는 뺄셈부; 및 상기 뺄셈부의 출력을 증폭하는 상기 본 발명에 의한 저전력 전압증폭기를 구비하는 아날로그-디지털 변환기를 제공한다.

본 발명의 일 실시예에 의하면, 상기 저전력 전압증폭기의 각 단은 지연소자를 이용하여 출력신호의 출력시간을 조절하는 것일 수 있다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

본 발명은 기본적으로 일반적인 선형뺄셈기를 이용하여 저전력 전압증폭기를 제공한다. 따라서 일반적인 선형뺄셈기를 먼저 설명하기로 한다. 도 2는 일반적인 선형뺄셈기의 회로를 도시한 것이다. 도 2를 참조하면, 트랜지스터  $M_1$ 과  $M_2$ 는 정합 관계가 되도록 설계한다. 그리고 두 트랜지스터( $M_1$ ,  $M_2$ ) 모두 포화영역에서 동작한다고 가정한다. 두 트랜지스터의 벌크(bulk) 노드를 각각의 트랜지스터의 소스(source) 노드에 연결하여 벌크 효과를 방지한다. 이 때 트랜지스터  $M_1$ 의 게이트(gate)-소스(source) 전압( $V_{GS1}$ )과 트랜지스터  $M_2$ 의 게이트-소스 전압( $V_{GS2}$ )을 동일하게 되도록 설계하면, 상기 선형뺄셈기의 입력전압과 출력전압과의 관계는 다음과 같이 나타낼 수 있다.

$$V_{GS1} = V_{in} - V_{out}$$

또한,  $V_{GS2} = V_{ref}$  이고,  $V_{GS1} = V_{GS2}$ 의 관계에 있으므로

$$V_{out} = V_{in} - V_{ref}$$

따라서, 도 2는 수식 2에 의해 표시된 바와 같이 두 개의 입력전압( $V_{in}$ )과  $V_{ref}$ 의 차를 나타내는 출력전압( $V_{ref}$ )을 도시하고 있으며, 이는 선형 뺄셈기로 동작한다.

도 3은 본 발명에 의한 선형뺄셈기를 이용한 저전력 전압 증폭기의 바람직한 일 실시예에 대한 회로를 도시한 것이다. 도 3은 상술한 도 2의 선형뺄셈기를 이용한 것으로서, 선형뺄셈기(30), 제1PMOS트랜지스터( $M_3$ ) 및 제2PMOS트랜지스터( $M_4$ )를 구비한다.

도 3을 참조하면, 상기 선형뺄셈기(30)는 두 개의 입력단자를 가지며, 상기 두 개의 입력단자에 입력되는 신호의 차를 출력한다. 상기 두 입력단자 중 하나는 전원전압( $V_{DD}$ )과 연결되고 다른 하나는 제1입력신호( $V_{in}$ )와 연결된다.

상기 제1PMOS트랜지스터( $M_3$ )는 제2입력신호( $V_{in2}$ )와 연결되는 게이트 단자, 접지와 연결되는 드레인단자, 및 출력신호와 연결되는 소스단자를 구비하며, 벌크노드가 상기 소스단자에 연결된다.

상기 제2PMOS트랜지스터( $M_4$ )는 상기 선형뺄셈기(30)의 출력단자와 연결되는 게이트 단자, 전원전압과 연결되는 소스 단자 및 상기 제1PMOS 트랜지스터의 소스단자와 연결되는 드레인 단자를 구비하며, 벌크노드가 상기 소스 단자와 연결되며, 상기 제1PMOS 트랜지스터와 정합관계로서 상기 제1PMOS트랜지스터의 소스-게이트 전압( $V_{in1}$ )과 동일한 소스-게이트 전압( $V_{in2}$ )을 갖는다.

상기 선형뺄셈기(30)는 제1NMOS트랜지스터( $M_1$ ) 및 제2NMOS트랜지스터( $M_2$ )를 구비한다. 상기 제1NMOS트랜지스터( $M_1$ )는 제1입력신호( $V_{in1}$ )와 연결되는 게이트 단자, 접지와 연결되는 소스단자를 구비하며, 벌크노드가 상기 소스단자에 연결된다.

상기 제2NMOS트랜지스터(M2)는 상기 제1NMOS 트랜지스터의 드레인 단자와 연결되는 소스단자, 전원전압(VDD)과 연결되는 게이트 단자 및 전원전압과 연결되는 드레인 단자를 구비하며, 벌크노드가 상기 소스단자와 연결되며, 상기 제1NMOS 트랜지스터(M1)와 정합관계로서 상기 제1트랜지스터(M1)의 게이트-소스 전압( $V_{in1}$ )과 동일한 게이트-소스 전압( $V_{in1}$ )을 갖는다.

본 발명에 의한 선형빨셈기를 이용한 저전력 전압증폭기의 동작을 설명하기로 한다. 도 3을 참조하면, 트랜지스터 M1과 트랜지스터 M2는 정합관계가 되도록 설계한다. 또한 트랜지스터 M3와 트랜지스터 M4도 정합관계가 되도록 설계한다. 따라서 트랜지스터 M1의 게이트-소스전압( $V_{GS1}$ )과 트랜지스터 M2의 게이트-소스 전압( $V_{GS2}$ )은 동일하다. 또한 트랜지스터 M3의 게이트-소스전압( $V_{GS3}$ )과 트랜지스터 M4의 게이트-소스 전압( $V_{GS4}$ )도 동일하다.

그리고 상기 네 개의 트랜지스터는 모두 포화영역에서 동작한다고 가정한다. 또한 트랜지스터 M1, M2, M3, M4의 벌크노드를 각각의 트랜지스터의 소스 노드에 연결하여 벌크효과를 방지한다. 따라서 도 3에 도시된 본 발명에 의한 저전력 전압 증폭기는 다음과 같은 관계가 성립한다.

$$V_{GS2} = V_{DD} - V_{out1}$$

도 3에 도시된 바와 같이, 트랜지스터 M1의 입력전압( $V_{in1}$ )을 트랜지스터 M1의 게이트-소스 전압( $V_{GS1}$ )과 같도록, 즉  $V_{in1} = V_{GS1}$  이 되도록 하고,  $V_{GS1} = V_{GS2}$  인 관계를 이용하면 트랜지스터 M1과 M2로 이루어지는 첫 번째 단의 출력  $V_{out1}$ 은 수학적 4와 같이 나타낼 수 있다.

$$V_{out1} = V_{DD} - V_{in1}$$

마찬가지로, 두 번째 단의 출력( $V_{out}$ )은 다음과 같이 나타낼 수 있다.

$$V_{SG3} = V_{out} - V_{in2}$$

$$V_{SG4} = V_{DD} - V_{out1}$$

$$= V_{DD} - (V_{DD} - V_{in1})$$

$$= V_{in1}$$

또한  $V_{SG3} = V_{SG4}$  이므로 수학적 5에서

$$V_{out} = V_{SG3} + V_{in2}$$

$$= V_{in1} + V_{in2}$$

여기서 트랜지스터 M1의 입력전압( $V_{in1}$ )과 트랜지스터 M3의 입력전압( $V_{in2}$ )이 같을 경우, 즉  $V_{in1} = V_{in2}$  일 경우, 본 발명에 의한 선형빨셈기를 이용한 저전력 증폭기는 전압 더블러로 이용될 수 있다.

$$V_{out} = V_{in1} + V_{in2}$$

$$= 2V_{in} \quad (V_{in1} = V_{in2} = V_{in})$$

또한 만일 트랜지스터 M1의 입력전압( $V_{in1}$ )이 트랜지스터 M3의 입력전압( $V_{in2}$ )보다 2배일 경우에는 3배 증폭되는 전압 증폭기로 사용될 수 있다. 이는 트랜지스터 M1의 입력전압과 트랜지스터 M3의 입력전압의 상대적인 크기에 따라 증폭되는 비율은 다양하게 결정될 수 있다.

도 4는 본 발명에 의한 저전력 전압증폭기를 이용한 아날로그-디지털 변환기의 구성을 블록도로 도시한 것으로서, 아날로그 입력신호를 N비트의 디지털 출력신호로 변환한다. 상기 N비트의 디지털 신호는 N개의 단(stage)들이 직렬연결되고, 상기 각 비트는 하나의 단에 대응된다. 상기 각 단(40)은 적어도 하나의 지연소자와, 상기 이전 단계의 출력신호를 샘플링 및 홀딩하는 S/H부(400), 상기 S/H부(400)의 출력신호를 디지털 신호로 변환하여, 한 비트의 디지털 신호로 출력하는 AD변환기(410), 상기 AD변환기(410)의 한 비트의 디지털 출력신호를 아날로그 신호로 변환하는 DA변환기(420), 상기 S/H부(410)의 출력신호와 상기 DA변환기(420)의 출력신호의 차를 출력하는 뺄셈부(430) 및 상기 뺄셈부(430)의 출력을 증폭하는 상술한 본 발명에 의한 저전력 전압증폭기(440)를 구비한다. 상기 저전력 전압증폭기의 각 단은 지연소자를 이용하여 출력신호의 출력시간을 조절함이 바람직하다.

본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 발명의 효과

상술한 바와 같이 본 발명에 따른 선형뺄셈기를 이용한 저전력 전압 증폭기에 의하면, 전력소모와 차지하는 면적을 효과적으로 줄일 수 있다. 특히 상기 저전력 전압증폭기를 이용한 아날로그-디지털 변환기에 의하면, 파이프라인 아날로그-디지털 변환기의 각 단계 종래의 연산증폭기를 이용한 잔여증폭기 대신 본 발명에 의한 선형뺄셈기를 이용한 전압증폭기를 이용할 경우, 전력소모와 칩 면적을 효과적으로 줄일 수 있다.

### 도면의 간단한 설명

도 1은 파이프라인 방식의 아날로그-디지털 변환기의 구성을 블록도로 도시한 것이다.

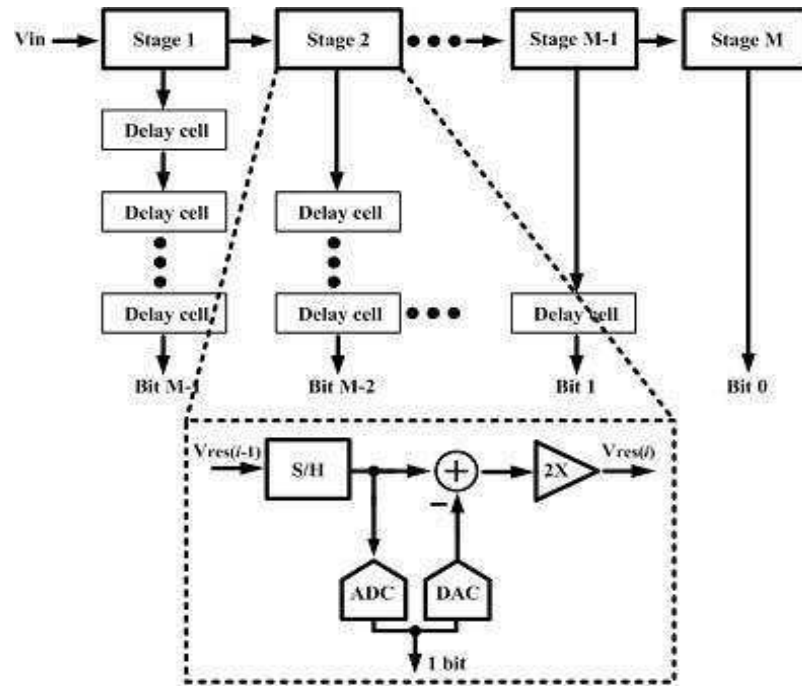
도 2는 일반적인 선형뺄셈기의 회로를 도시한 것이다.

도 3은 본 발명에 의한 선형뺄셈기를 이용한 저전력 전압 증폭기의 바람직한 일실시예에 대한 회로를 도시한 것이다.

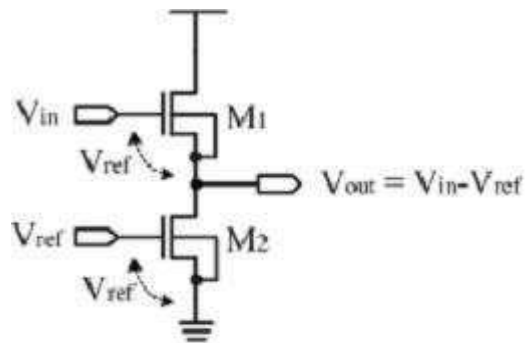
도 4는 본 발명에 의한 저전력 전압증폭기를 이용한 아날로그-디지털 변환기의 구성을 블록도로 도시한 것이다.

### 도면

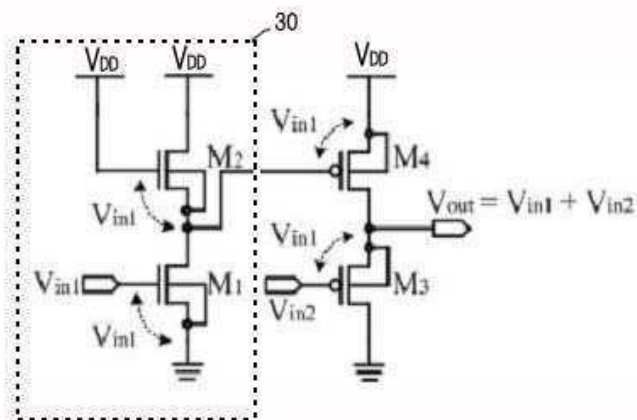
도면1



도면2



도면3



도면4

