

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4809715号
(P4809715)

(45) 発行日 平成23年11月9日(2011.11.9)

(24) 登録日 平成23年8月26日(2011.8.26)

(51) Int.Cl.

F 1

H01L 31/10 (2006.01)
H01L 27/14 (2006.01)H01L 31/10
H01L 27/14A
Z

請求項の数 16 (全 33 頁)

(21) 出願番号 特願2006-136438 (P2006-136438)
 (22) 出願日 平成18年5月16日 (2006.5.16)
 (65) 公開番号 特開2006-352098 (P2006-352098A)
 (43) 公開日 平成18年12月28日 (2006.12.28)
 審査請求日 平成21年4月30日 (2009.4.30)
 (31) 優先権主張番号 特願2005-148583 (P2005-148583)
 (32) 優先日 平成17年5月20日 (2005.5.20)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 菅原 裕輔
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 西 和夫
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 荒尾 達也
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山田 大幹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】光電変換装置及びその作製方法、並びに半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1の領域と第2の領域とを有する光電変換装置であって、
基板上に設けられた第1の電極と、
前記第1の電極上に設けられた一導電型の第1の半導体層と、
前記第1の半導体層上に設けられた第2の半導体層と、
前記第2の半導体層上に設けられた、前記一導電型とは逆の導電型の第3の半導体層と

前記第3の半導体層上に設けられた第2の電極と、を有し、

前記第1の半導体層と前記第2の半導体層は、第1の部分と、第2の部分と、をそれぞれ有し、

前記第1の領域は、前記第1の電極と、前記第1の半導体層の第1の部分と、前記第2の半導体層の第1の部分と、からなり、

前記第2の領域は、前記第1の半導体層の第2の部分と、前記第2の半導体層の第2の部分と、前記第3の半導体層と、前記第2の電極と、からなることを特徴とする光電変換装置。

【請求項 2】

第1の領域と第2の領域とを有する光電変換装置であって、

基板上に設けられた第1の電極と、

前記第1の電極上に設けられた一導電型の第1の半導体層と、

10

20

前記第1の半導体層上に設けられた第2の半導体層と、

前記第2の半導体層上に設けられた、前記一導電型とは逆の導電型の第3の半導体層と

前記第3の半導体層上に設けられた絶縁膜と、

前記絶縁膜を介して前記第3の半導体層と電気的に接続する第2の電極と、を有し、

前記第1の半導体層と前記第2の半導体層は、第1の部分と、第2の部分と、をそれぞれ
れ有し、

前記第1の領域は、前記第1の電極と、前記第1の半導体層の第1の部分と、前記第2
の半導体層の第1の部分と、からなり、

前記第2の領域は、前記第1の半導体層の第2の部分と、前記第2の半導体層の第2の
部分と、前記第3の半導体層と、前記絶縁膜と、前記第2の電極と、からなることを特徴
とする光電変換装置。

【請求項3】

請求項1又は請求項2において、

前記第2の半導体層の第1の部分は、前記第2の半導体層の第2の部分よりも薄いこと
を特徴とする光電変換装置。

【請求項4】

請求項1乃至請求項3のいずれか1項において、

前記第1の電極は、アルミニウムからなる第1の導電膜と、第2の導電膜とを順に積層
した構造を有し、

前記第2の導電膜は、前記第1の導電膜を覆うように設けられ、且つ前記第1の半導体
層と接していることを特徴とする光電変換装置。

【請求項5】

請求項1乃至請求項3のいずれか1項において、

前記第1の電極は、第1の導電膜と、アルミニウムからなる第2の導電膜とを順に積層
した構造を有し、

前記第1の導電膜は、前記第1の半導体層と接していることを特徴とする光電変換装置
。

【請求項6】

請求項1乃至請求項5のいずれか1項において、

前記基板は、可撓性基板であることを特徴とする光電変換装置。

【請求項7】

請求項1乃至請求項6のいずれか1項において、

前記基板と、前記第1の半導体層及び前記第1の電極との間に、カラーフィルタを有す
ることを特徴とする光電変換装置。

【請求項8】

基板上に、第1の電極を形成し、

前記第1の電極上に、一導電型の第1の半導体膜と、第2の半導体膜と、前記一導電型
とは逆の導電型の第3の半導体膜を順次形成し、

前記第3の半導体膜の上に、導電膜を形成し、

前記第1の半導体膜、前記第2の半導体膜、前記第3の半導体膜及び前記導電膜は前記
第1の電極の端部を覆い、かつ、前記第1の半導体膜の一部を前記第1の電極に接するよ
うに前記第1の電極の一部を露出させて、それぞれ第1の島状半導体膜、第2の島状半導
体膜、第3の島状半導体膜及び島状導電膜を形成し、

前記第1の電極と前記第1の半導体膜に重なる前記島状導電膜の一部を少なくとも除去
して第2の電極を形成し、

前記第2の電極をマスクとして、前記第2の島状半導体膜の一部及び前記第3の島状半
導体膜の一部を除去することを特徴とする光電変換装置の作製方法。

【請求項9】

請求項8において

10

20

30

40

50

前記露出した第1の電極、前記第1の島状半導体膜、前記第2の島状半導体膜、前記第3の島状半導体膜、及び前記第2の電極を覆って、絶縁膜を形成し、かつ前記絶縁膜には前記露出した第1の電極及び前記第2の電極それぞれに達する第1の溝及び第2の溝が形成され、

前記絶縁膜上に、前記第1の溝及び前記第2の溝それぞれを介して前記第1の電極及び前記第2の電極それぞれに電気的に接続する第3の電極及び第4の電極を形成することを特徴とする光電変換装置の作製方法。

【請求項10】

基板上に、第1の電極を形成し、

前記第1の電極上に、一導電型の第1の半導体膜と、第2の半導体膜と、前記一導電型とは逆の導電型の第3の半導体膜を順次形成し、

前記第3の半導体膜の上に、第1の絶縁膜を形成し、

前記第1の半導体膜、前記第2の半導体膜、前記第3の半導体膜及び前記第1の絶縁膜は前記第1の電極の端部を覆い、かつ、前記第1の半導体膜の一部を前記第1の電極に接するように前記第1の電極の一部を露出させて、それぞれ第1の島状半導体膜、第2の島状半導体膜、第3の島状半導体膜及び第1の島状絶縁膜を形成し、

前記第1の電極と前記第1の半導体膜に重なる前記第1の島状絶縁膜の一部を少なくとも除去して第2の島状絶縁膜を形成し、

前記第2の島状絶縁膜をマスクとして、前記第2の島状半導体膜の一部及び前記第3の島状半導体膜の一部を除去することを特徴とする光電変換装置の作製方法。

【請求項11】

請求項10において、

前記第2の島状絶縁膜に第1の溝を形成し、

前記第2の島状絶縁膜上に、前記第1の溝を介して前記第3の島状半導体膜と電気的に接続する第2の電極を形成し、

前記露出した第1の電極、前記第1の島状半導体膜、前記第2の島状半導体膜、前記第3の島状半導体膜、前記第2の島状絶縁膜、及び前記第2の電極を覆って、第3の絶縁膜を形成し、かつ前記第3の絶縁膜には前記露出した第1の電極及び前記第2の電極それぞれに達する第2の溝及び第3の溝が形成され、

前記第3の絶縁膜上に、前記第2の溝及び前記第3の溝それぞれを介して前記第1の電極及び前記第2の電極それぞれに電気的に接続する第3の電極及び第4の電極を形成することを特徴とする光電変換装置の作製方法。

【請求項12】

請求項8乃至請求項11のいずれか1項において、

前記第1の電極は、アルミニウムからなる第1の導電膜と、第2の導電膜とを順に積層し、

前記第2の導電膜は、前記第1の導電膜を覆い、且つ前記第1の島状半導体膜と接するように設けることを特徴とする光電変換装置の作製方法。

【請求項13】

請求項8乃至請求項11のいずれか1項において、

前記第1の電極は、第1の導電膜と、アルミニウムからなる第2の導電膜とを順に積層し、

前記第1の導電膜は、前記第1の島状半導体膜と接するように設けることを特徴とする光電変換装置の作製方法。

【請求項14】

請求項8乃至請求項13のいずれか1項において、

前記基板は、可撓性基板であることを特徴とする光電変換装置の作製方法。

【請求項15】

請求項8乃至請求項14のいずれか1項において、

前記基板と、前記第1の島状半導体膜及び前記第1の電極との間に、カラーフィルタを

10

20

30

40

50

設けることを特徴とする光電変換装置の作製方法。

【請求項 1 6】

請求項 1 乃至請求項 7 のいずれか 1 項に記載の光電変換装置を具備することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、光電変換装置に関し、特に薄膜半導体素子で構成された光電変換装置及びその作製方法に関する。また、光電変換装置を用いた電子機器に関する。

【背景技術】

【0 0 0 2】

一般的に電磁波の検知用途に用いられる光電変換装置は数多く知られており、例えば紫外線から赤外線にかけて感度を有するものは総括して光センサと呼ばれている。その中でも波長 400 nm ~ 700 nm の可視光線領域に感度を持つものは特に可視光センサと呼ばれ、人間の生活環境に応じて照度調整やオン / オフ制御などが必要な機器類に数多く用いられている。

【0 0 0 3】

特に表示装置では表示装置の周囲の明るさを検出し、その表示輝度を調整することが行なわれている。なぜなら周囲の明るさを検出し、適度な表示輝度を得ることによって、無駄な電力を減らし、視認性を向上させることが可能であるからである。例えば、携帯電話やパーソナルコンピュータにそのような輝度調整用の光センサが用いられている（例えば特許文献 1 参照）。

【0 0 0 4】

また周囲の明るさだけではなく、表示装置、特に液晶表示装置のバックライトの輝度を光センサにより検出し、表示画面の輝度を調節することも行われている（例えば特許文献 2 及び特許文献 3 参照）。

【0 0 0 5】

また、プロジェクタを用いた表示装置においては、光センサを用いて、そのコンバージェンス調整を行なっている。コンバージェンス調整とは RGB の各色の映像がずれを生じないように、映像を調整することである。光センサを用いて、各色の映像の位置を検出して、正しい位置に映像を配置している（例えば特許文献 4 参照）。

【0 0 0 6】

従来用いられてきた光電変換装置を図 2 に示す。図 2 において、基板 1001 上に電極 1002 が形成され、電極 1002 上には光電変換層となる p 型半導体層 1003、真性半導体層（i 型半導体層ともいう）1004 及び n 型半導体層 1005 が形成されている。n 型半導体層 1005 上には電極 1006 が形成される。さらに電極 1002、電極 1006 を覆う絶縁膜 1007 が形成される。さらに絶縁膜 1007 上に、電極 1002 に接続される第 1 の引き出し電極 1012、及び電極 1006 に接続される第 2 の引き出し電極 1013 が形成されている。

【0 0 0 7】

ところが図 2 の構造を有する光電変換装置において、長時間動作させるとリーク電流が発生することがわかった。このリーク電流の発生は、光電変換層、特に i 型半導体層 1004 の角の部分（段差の部分）にクラック 1021 が形成されてしまい、その部分がリークパスとなってしまうことに起因する。

【0 0 0 8】

図 2 に従来の構造の電子顕微鏡写真を示す。図 2 では、i 型半導体層の角の部分（段差のある部分）にクラックが発生していることが分かる。このクラックに電界が集中すると、リーク電流の発生など不良の原因になってしまう。

【特許文献 1】特開 2003 - 60744 号公報

【特許文献 2】特許第 3171808 号

10

20

30

40

50

【特許文献3】特許第3193315号

【特許文献4】特開2003-47017号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明においては、光電変換層の角の部分における電界集中を防ぎ、リーク電流の発生を抑制した光電変換装置を作製することを課題とする。

【課題を解決するための手段】

【0010】

本発明の光電変換装置では、光電変換層の上層及び中層の一部を除去することにより、10 角の部分における電界の集中を防ぎ、リーク電流を抑制することが可能になる。

【0011】

本発明は、基板上に、第1の電極と、前記第1の電極上に、一導電型の第1の半導体層と、第2の半導体層と、前記一導電型とは逆の導電型の第3の半導体層とを有する光電変換層とを有し、前記第1の電極の端部の一部は前記第1の半導体層に覆われていることを特徴とする光電変換装置に関するものである。

【0012】

本発明において、前記第1の半導体層は、前記第1の電極の端部を覆っており、前記第3の半導体層上に、絶縁膜と、前記絶縁膜上に、前記絶縁膜を介して前記第3の半導体層に電気的に接続する第2の電極とを有し、前記光電変換層の、前記絶縁膜に覆われていない領域は、前記第2の半導体層及び第3の半導体層の一部が除去されている。20

【0013】

また本発明は、基板上に第1の電極と、前記第1の電極上に一導電型の第1の半導体層と、前記第1の半導体層上に第2の半導体層と、を有する第1の構造と、前記基板上に前記第1の半導体層と、前記第1の半導体層上に前記第2の半導体層と、前記第2の半導体層上に、前記第1の半導体層とは逆の導電型の第3の半導体層と、前記第3の半導体層上に第2の電極と、を有する第2の構造とを有し、前記第1の電極と前記第1の半導体層の接触部と、前記第3の半導体層と前記第2の電極の接触部は離れていることを特徴とする光電変換装置に関するものである。

【0014】

また本発明は、基板上に、第1の電極を形成し、前記第1の電極上に、一導電型の第1の半導体膜と、第2の半導体膜と、前記一導電型とは逆の導電型の第3の半導体膜を形成し、前記第1の電極の端部の一部は前記第1の半導体層に覆われていることを特徴とする光電変換装置の作製方法に関するものである。

【0015】

また本発明は、基板上に、第1の電極を形成し、前記第1の電極上に、一導電型の第1の半導体膜と、第2の半導体膜と、前記一導電型とは逆の導電型の第3の半導体膜を形成し、前記第3の半導体膜上に第2の電極を形成し、前記基板、前記第1の半導体膜、前記第2の半導体膜、前記第3の半導体膜及び前記第2の電極は、前記基板上に前記第1の電極と、前記第1の電極上に一導電型の第1の半導体層と、前記第1の半導体層上に第2の半導体層と、を有する第1の構造と、前記基板上に前記第1の半導体層と、前記第1の半導体層上に前記第2の半導体層と、前記第2の半導体層上に、前記第1の半導体層とは逆の導電型の第3の半導体層と、前記第3の半導体層上に第2の電極と、を有する第2の構造とを有し、前記第1の電極と前記第1の半導体層の接触部と、前記第3の半導体層と前記第2の電極の接触部は離れていることを特徴とする光電変換装置の作製方法に関するものである。40

【0016】

また本発明は、基板上に、第1の電極を形成し、前記第1の電極上に、一導電型の第1の半導体膜と、第2の半導体膜と、前記一導電型とは逆の導電型の第3の半導体膜を形成し、前記第3の半導体膜の上に、第1の導電膜を形成し、前記第1の半導体膜、前記第2の導電膜を形成する。50

の半導体膜、前記第3の半導体膜及び前記第1の導電膜を用いて、それぞれ第1の島状半導体膜、第2の島状半導体膜、第3の島状半導体膜及び第1の島状導電膜を形成し、かつ前記第1の電極の一部を露出させ、前記第1の島状導電膜を用いて第2の導電膜を形成し、前記第2の島状導電膜をマスクとして、前記第2の島状半導体膜の一部及び前記第3の島状半導体膜の一部を除去し、前記第1の島状半導体膜は、光電変換層の第1の半導体層とし、前記一部が除去された第2の島状半導体膜は、光電変換層の第2の半導体層とし、前記一部が除去された第3の島状半導体膜は、光電変換層の第3の半導体層とし、前記露10出した第1の電極、前記光電変換層の第1の半導体層、前記光電変換層の第2の半導体層及び前記光電変換層の第3の半導体層を覆って、絶縁膜を形成し、かつ前記絶縁膜中には前記露出した第1の電極及び前記第2の導電膜それぞれに達する第1の溝及び第2の溝が形成され、前記絶縁膜上に、前記第1の溝及び前記第2の溝それを介して前記第1の電極及び前記第2の導電膜それぞれに電気的に接続する第2の電極及び第3の電極を形成することを特徴とする光電変換層の作製方法に関するものである。

【0017】

また本発明は、基板上に、光電変換素子と、前記光電変換素子の出力値を增幅する増幅回路を有し、前記光電変換素子は、第1の電極と、前記第1の電極上に、一導電型の第1の半導体層と、第2の半導体層と、前記一導電型とは逆の導電型の第3の半導体層とを有する光電変換層と、前記第3の半導体層上に、絶縁膜と、前記絶縁膜上に、前記絶縁膜を介して前記第3の半導体層に電気的に接続する第2の電極と、を有し、前記第1の半導体層は、前記第1の電極の端部を覆っており、前記光電変換層の、前記絶縁膜に覆われていない領域は、前記第2の半導体層及び第3の半導体層の一部が除去されており、前記増幅回路は、複数の薄膜トランジスタを有し、前記複数の薄膜トランジスタのそれぞれは、ソース領域、ドレイン領域及びチャネル形成領域を含む島状半導体領域と、ゲート絶縁膜と、ゲート電極と、前記ソース領域に電気的に接続されたソース電極と、前記ドレイン領域に電気的に接続されたドレイン電極と、を有することを特徴とする半導体装置に関するものである。20

【0018】

本発明において、前記基板は、可撓性基板である。

【0019】

本発明において、前記可撓性基板は、ポリエチレンナフタレート(PE-N)フィルム、ポリエチレンテレフタレート(PE-T)フィルム、ポリブチレンナフタレート(PBN)フィルム、ポリイミド(PI)フィルム、ポリアミド(PA)フィルムのいずれか一つである。30

【0020】

本発明において、前記基板は、ガラス基板である。

【0021】

本発明において、前記基板と前記前記第1の半導体層との間に、カラーフィルタを有するものである。

【0022】

本発明において、前記ソース電極及び前記ドレイン電極のそれぞれは、積層膜の構造を有している。40

【0023】

本発明において、前記積層膜は、チタン(Ti)膜と、シリコン(Si)を微量に含むアルミニウム(Al)膜と、チタン(Ti)膜を積層した膜である。

【0024】

本発明において、前記ソース電極及び前記ドレイン電極のそれぞれは、単層膜である。

【0025】

本発明において、前記単層膜は、チタン(Ti)、タングステン(W)、タンタル(Ta)、モリブデン(Mo)、ネオジウム(Nd)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オ50

スミウム(Os)、イリジウム(Ir)、白金(Pt)から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層膜、或いは、これらの窒化物、例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデンからなる単層膜である。

【発明の効果】

【0026】

本発明の光電変換装置は、リーク電流を抑制することができる。従って本発明により、信頼性が高く消費電力が小さい光電変換装置を得ることが可能になる。またこのような光電変換装置を組み込んだ電気機器は信頼性を高くすることができる。

【発明を実施するための最良の形態】

【0027】

本発明の光電変換装置を、図1、図4(A)～図4(C)、図5(A)～図5(B)、図6(A)～図6(B)を用いて説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0028】

本発明の光電変換装置の作製工程を以下に示す。まず基板101上に第1の導電膜151を形成する(図4(A)参照)。

【0029】

基板101として可撓性基板を用い、具体的にはポリエチレンナフタレート(PEN)のフィルムを用いる。ポリエチレンナフタレートの他にも、ポリエチレンテレフタレート(PET)、ポリブチレンナフタレート(PBN)、ポリイミド(PI)、ポリアミド(PA)等のフィルムを用いてもよい。また基板101としてガラス基板を用いてもよい。

【0030】

また第1の導電膜151として、チタン(Ti)、タングステン(W)、タンタル(Ta)、モリブデン(Mo)、ネオジウム(Nd)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、アルミニウム(Al)、金(Au)、銀(Ag)、銅(Cu)から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層膜、或いは、これらの窒化物、例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデンからなる単層膜を用いることができる。

【0031】

また第1の導電膜151としては透明導電膜材料を用いてもよい。このような透明導電膜材料として、シリコン(Si)を含む酸化インジウム酸化スズ合金(Siを含むインジウム錫酸化物ともいう)を用いてもよい。またSiを含む酸化インジウム酸化スズ合金以外にも、酸化亜鉛(ZnO)、酸化スズ(SnO₂)、酸化インジウム、酸化インジウムに、さらに2～20wt%の酸化亜鉛(ZnO)を混合したターゲットを用いて形成された酸化インジウム酸化亜鉛合金を用いてもよい。またGa₂O₃をドープしたZnO(GZO)、Al₂O₃をドープしたZnO(AZO)、SiO₂をドープしたZnO(SZO)を用いてもよい。GZO、AZO、SZOはシリコンを酸化させないという点で有用である。

【0032】

次に第1の導電膜151を用いて、電極102を形成する(図4(B)参照)。

【0033】

電極102を形成したら、p型半導体膜152を形成する。本実施例ではp型半導体膜152として、例えばp型アモルファス半導体膜を形成する。p型アモルファス半導体膜として、13属の不純物元素、例えばボロン(B)を含んだアモルファスシリコン膜をプラズマCVD法にて成膜する。

10

20

30

40

50

【0034】

p型半導体膜152を形成したら、さらに導電型を付与する不純物を含まない半導体膜(真性半導体膜、またはi型半導体膜という)153及びn型半導体膜154を順に形成する。本実施の形態では、p型半導体膜152を10~50nm、i型半導体膜153を200~1000nm、n型半導体膜154を20~200nmの膜厚で形成する。

【0035】

i型半導体膜153としては、例えばプラズマCVD法でアモルファスシリコン膜を形成すればよい。またn型半導体膜154としては、15属の不純物元素、例えばリン(P)を含むアモルファスシリコン膜を形成してもよいし、アモルファスシリコン膜を形成後、15属の不純物元素を導入してもよい。

10

【0036】

なおp型半導体膜152、i型半導体膜153及びn型半導体膜154は、逆の順番で積層されてもよく、すなわちn型半導体膜、i型半導体膜及びp型半導体膜の順で積層してもよい。

【0037】

またp型半導体膜152、i型半導体膜153及びn型半導体膜154として、アモルファス半導体膜だけではなく、セミアモルファス半導体膜を用いてもよい。

【0038】

なおセミアモルファス半導体膜とは、非晶質半導体と結晶構造を有する半導体(単結晶、多結晶を含む)膜の中間的な構造の半導体を含む膜である。このセミアモルファス半導体膜は、自由エネルギー的に安定な第3の状態を有する半導体膜であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を0.5~20nmとして非単結晶半導体膜中に分散させて存在せしめることが可能である。セミアモルファス半導体膜は、そのラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしており、またX線回折ではSi結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。また、未結合手(ダングリングボンド)を終端化させるために水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。本明細書では便宜上、このような半導体膜をセミアモルファス半導体(SAS)膜と呼ぶ。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なセミアモルファス半導体膜が得られる。なお微結晶半導体膜(マイクロクリスタル半導体膜)もセミアモルファス半導体膜に含まれる。

20

【0039】

またSAS膜はシリコンを含む気体をグロー放電分解することにより得ることができる。代表的なシリコンを含む気体としては、SiH₄であり、その他にもSi₂H₆、SiH₂Cl₂、SiHC₁₃、SiCl₄、SiF₄などを用いることができる。また水素や、水素にヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素を加えたガスで、このシリコンを含む気体を希釈して用いることで、SAS膜の形成を容易なものとすることができます。希釈率は2倍~1000倍の範囲でシリコンを含む気体を希釈することが好ましい。またさらに、シリコンを含む気体中に、CH₄、C₂H₆などの炭化物気体、GeH₄、GeF₄などのゲルマニウム化気体、F₂などを混入させて、エネルギー bandwidth幅を1.5~2.4eV、若しくは0.9~1.1eVに調節しても良い。

30

【0040】

次にn型半導体膜154上に、スパッタ法等で第2の導電膜155を形成する(図4(C)参照)。なお第2の導電膜155は第1の導電膜151と同様の材料で形成すればよい。

40

【0041】

次いで、p型半導体膜152、i型半導体膜153、n型半導体膜154及び第2の導電膜155をマスクを用いて、それぞれ島状の半導体膜、すなわちp型半導体層103、i型半導体層161、n型半導体層162、及び島状の導電膜である第3の導電膜156

50

を得る（図5（A）参照）。

【0042】

次に第3の導電膜156をさらに用いて、電極106を形成する（図5（B）参照）。

【0043】

電極106をマスクとして、n型半導体層162の一部及びi型半導体層161の一部をエッティングし、i型半導体層104及びn型半導体層105を形成する（図6（A）参照）。このときp型半導体層103をエッティングしないように、エッティング時間を調節する。半導体膜成膜の際、i型半導体膜153を厚く成膜しているので、エッティングはi型半導体層161の途中で止まる。すなわち、i型半導体層161はエッティングの際にp型半導体層103に対するマスクとしてはたらくので、p型半導体層103をエッティングすることなく、n型半導体層162をエッティングすることが可能である。このエッティングにより、電極106に覆われていないn型半導体層162及びi型半導体層161の一部が除去される。以上からp型半導体層103、i型半導体層104及びn型半導体層105からなる光電変換層171が形成される。
10

【0044】

次に電極106、光電変換層171及び電極102上に、溝165及び166を有する絶縁膜107をスクリーン印刷法等で形成する。もしくは絶縁膜を全面に形成してから、レーザスクライプ法等で溝165及び166を形成してもよい（図6（B）参照）。

【0045】

さらに溝165及び166に引き出し電極112及び113を形成する（図1）。引き出し電極112及び113は導電性ペーストを用いてスクリーン印刷法にて形成する。導電性ペーストとしては、銀（Ag）、金（Au）、銅（Cu）、ニッケル（Ni）等の金属材料を含む導電性ペースト、または導電性カーボンペーストを用いることができる。また引き出し電極112及び113はインクジェット法で形成してもよい。
20

【0046】

図1に示す光電変換装置は、基板101上に電極102、p型半導体層103、i型半導体層104が形成されている第1の部分と、基板101上にp型半導体層103、i型半導体層104、n型半導体層105、電極106が形成されている第2の部分を有しているものと考えることができる。上述したようにp型半導体膜とn型半導体膜の積層の順は逆にしてもよい。電極102とp型半導体層103の接触部、及びn型半導体層105と電極106の接触部が離れていることにより、光電変換層171、特にi型半導体層104の段差のある部分（角の部分）でクラックが起こったとしてもその影響を除去することができる。これによりリーク電流が発生することが抑制でき、信頼性の高い光電変換装置を得ることが可能となる。
30

【実施例1】

【0047】

本実施例では、図23（A）～図23（B）を用いて、本発明の光電変換装置と従来の光電変換装置の比較を行う。

【0048】

本実施例では、光電変換装置を高温（温度60℃）多湿（湿度90～95%）バイアス-5Vでの条件でのTHB試験を行い評価を行った。
40

【0049】

図23（A）は図2に示す従来の光電変換装置のTHB試験、図23（B）は図1に示す本発明の光電変換装置のTHB試験の結果を示す。なお、図23（A）及び図23（B）において、横軸は V_L （V）、縦軸は各電圧における頻度である。なお V_L とはリーク電流が発生する電圧を示している。

【0050】

試験時間240時間では、図2に示す従来の光電変換装置と図1に示す本発明の光電変換装置双方の結果に V_r リークのシフトが見られた。しかし図2に示す従来の光電変換装置と図1に示す本発明の光電変換装置では、 V_r リークの発生頻度に差が見られた。
- 1
50

5 V 以上へのシフトを不良とした場合(図23中点線で囲んだ領域)、240時間の試験で従来の光電変換装置は不良が11 / 24個であったのに対し、本発明の光電変換装置では不良が2 / 24個であった。

【0051】

本実施例により、本発明の光電変換装置は従来の光電変換装置よりもリーク電流の発生頻度が低いという結果が得られた。すなわち本発明により、信頼性の高い光電変換装置を得ることができるものである。

【実施例2】

【0052】

本実施例では、光電変換層に重なる電極を積層膜にした例を、図3(A)～図3(B)及び図16(A)～図16(B)を用いて説明する。なお、実施の形態で説明したものと同じものは同じ符号を用いている。

【0053】

本実施例では、図1の電極102を三層の積層膜で形成した例を図3(A)～図3(B)及び図16(A)～図16(B)に示す。まず図3(A)において、配線131はチタン(Ti)、配線132はアルミニウム(Al)、配線133はチタン(Ti)である。また配線131を透明電極とする場合、例えば、酸化インジウム酸化スズ合金(インジウム錫酸化物ともいう)、シリコン(Si)を含む酸化インジウム酸化スズ合金(Siを含むインジウム錫酸化物ともいう)を用いてもよい。また透明電極として、酸化亜鉛(ZnO)、酸化スズ(SnO₂)、酸化インジウム、酸化インジウムに、さらに2～20wt%の酸化亜鉛(ZnO)を混合したターゲットを用いて形成された酸化インジウム酸化亜鉛合金を用いてもよい。またGa₂O₃をドープしたZnO(GZO)、Al₂O₃をドープしたZnO(AZO)、SiO₂をドープしたZnO(SZO)を用いてもよい。GZO、AZO、SZOはシリコンを酸化させないという点で有用である。

【0054】

図3(A)の配線構造を得るには、下層導電膜としてチタン膜、中層導電膜としてアルミニウム膜を成膜する。中層導電膜上にマスクを形成し、このマスクを用いて下層導電膜及び中層導電膜をエッチングして、配線131及び132を得る。その後に上層導電膜としてチタン膜を成膜し、エッチングして配線133を形成する。配線133を形成した後に配線133に重なるようにして光電変換層171を形成する。

【0055】

図3(A)の構造ではアルミニウムでなる配線132の側面を配線133が覆っているので、光電変換層171へのアルミニウム原子の拡散も防止できる。

【0056】

図3(B)の構造は、まず下層導電膜としてチタン膜を成膜、エッチングして配線134を形成する。その後配線134上に中層導電膜をアルミニウム、上層導電膜をチタンで形成し、同一のマスクを用いてエッチングして配線135及び配線136を得る。さらに配線134に重なるようにして光電変換層171を形成する。なお、配線135及び136、並びに光電変換層171は、配線134を形成した後ではどちらを先に形成しても構わない。光電変換層171形成後に配線135及び136を形成する場合は、光電変換層171を覆ってマスクを形成して光電変換層171を保護しつつ、配線135及び136を形成すればよい。

【0057】

図3(B)の構造では、配線135と光電変換層171との間には、絶縁膜107が存在しているので、アルミニウム原子が光電変換層171の半導体層に拡散することはない。

【0058】

図16(A)においては、下層導電膜であるチタン膜を用いて配線141を形成し、中層導電膜としてアルミニウムを成膜し、中層導電膜をエッチングして配線142を形成する。次に光電変換層171を形成後、配線142を覆って上層導電膜としてチタン膜を成

10

20

30

40

50

膜し、そのチタン膜を用いて配線 143 を形成する。

【0059】

図 16 (A)において、配線 143 は i 型半導体層 104 と接していてもよいし、接していないともよく、n 型半導体層 105 に接していなければよい。ただし配線 143 が配線 142 の側面を覆うように形成しているので、光電変換層 171 へのアルミニウム原子の拡散も防止できることが可能になる。

【0060】

図 16 (B)では、図 3 (A)及び図 16 (A)における下層導電膜を除去して、中層導電膜及び上層導電膜により配線を形成した例を示す。

【0061】

図 16 (B)において、配線 144 はアルミニウム膜を用いて形成され、配線 145 はチタン膜を用い、配線 144 の側面を覆うように形成する。これにより光電変換層 171 にアルミニウム原子が拡散することを防ぐことができる。

10

【0062】

特に、図 16 (B)と図 3 (A)を比較すると、図 3 (A)では最上層の配線 133 が配線 131 及び 132 の端部を乗り越えて形成されるので、段差が大きくなるが、図 16 (B)では、最上層の配線 145 は配線 144 の端部しか乗り越えないで、段差が小さくなり、断線をより抑制できるという効果を奏する。

【0063】

なおこの積層膜の構造は三層や二層に限らず、四層以上で形成しても構わない。ただし光電変換層の最上層（本実施例では n 型半導体層）に接してしまうと、p 型半導体層と n 型半導体層がショートしてしまい光電変換層として機能しなくなってしまうので、光電変換層の最上層に接しないように形成する。またアルミニウムを含む配線を形成する場合は、光電変換層 171 にアルミニウム原子が拡散しないように配線を形成する。

20

【0064】

配線 131～136、141～145 は、TFT のソース配線またはドレイン配線が延長してきたものであってもよい。例えば後述の実施例のように、光電変換層を有する光電変換素子の出力を增幅する回路を TFT により形成する場合、TFT のソース配線またはドレイン配線を配線 131～133 として用いることが可能である。

【0065】

30

また本実施例は、実施の形態及び実施例 1 のいかなる記載に応用することが可能である。

【実施例 3】

【0066】

本実施例では図 1 と異なる構造を持つ光電変換装置について、図 7 (A)～図 7 (B)を用いて説明する。

【0067】

図 7 (A)に示す光電変換装置は、図 1 の電極 106 の代わりに絶縁膜 175 を形成する。実施の形態の図 6 (A)に示す、n 型半導体層 162 の一部及び i 型半導体層 161 の一部をエッチングする工程において、電極 106 と同様、絶縁膜 175 がマスクとして機能とする。このようにして絶縁膜 175 に覆われていない n 型半導体層 162 及び i 型半導体層 161 の一部が除去され、p 型半導体層 103、i 型半導体層 104 及び n 型半導体層 105 からなる光電変換層 171 が形成される。

40

【0068】

次に、絶縁膜 175 に溝を形成し、スクリーン印刷法にて、n 型半導体層 105 に接する電極 177 を形成する。次いで絶縁膜 107 で全体を覆う。または絶縁膜 175、光電変換層 171 及び電極 102 上に、溝を有する絶縁膜 107 をスクリーン印刷法等で形成し、導電性ペーストを用いてスクリーン印刷法にて引き出し電極 112 及び 113 を形成する。もしくは絶縁膜を全面に形成してから、レーザスクライプ法等で溝を形成し、その後引き出し電極 112 及び 113 を形成してもよい。

50

【0069】

また図7（B）に示す光電変換装置は、図6（A）までは実施の形態の記載に基づいて形成し、その後溝を有する絶縁膜191をスクリーン印刷法等で形成し、導電性ペーストを用いてスクリーン印刷法にて電極192を形成する。もしくは絶縁膜191を全面に形成してから、レーザスクライプ法等で溝を形成し、その後電極192を形成してもよい。

【0070】

次いで、実施の形態の記載と同様に、絶縁膜107を形成し、引き出し電極112及び113を形成する。

【0071】

なお本実施例は、実施の形態及び実施例1～実施例2のいかなる記載に応用することが可能である。10

【実施例4】**【0072】**

本実施例では本発明の光電変換装置にカラーフィルタを形成した例を、図8（A）～図8（B）を用いて説明する。

【0073】

図8（A）及び図8（B）に、図1に示した光電変換装置にカラーフィルタを形成した例を示す。図8（A）の光電変換装置では、基板101の、光電変換層171が形成されていない側の表面にカラーフィルタ181が形成される。

【0074】

カラーフィルタ181を設けることにより、赤（R）、緑（G）、青（B）それぞれの光を選択的に吸収することができる。20

【0075】

またカラーフィルタを基板101と光電変換層171との間に形成した例を図8（B）に示す。

【0076】

図8（B）においては、基板101上にカラーフィルタ183を形成し、さらにカラーフィルタ183と、光電変換層171及びカラーフィルタと電極102との間に、パシベーション膜184を形成する。

【0077】

図8（B）のような構造では、基板101側から入る光がたとえ斜めであってもカラーフィルタを通過するので、入射する光を有效地に利用することができる。30

【0078】

また本実施例は、実施の形態及び実施例1～実施例3のいかなる記載に応用することが可能である。

【実施例5】**【0079】**

本実施例を本発明の光電変換装置を用いた半導体装置の例を、図9（A）～図9（B）、図10（A）～図10（B）、図11、図12（A）～図12（D）、図13（A）～図13（D）、図14（A）～図14（C）を用いて説明する。40

【0080】

図9（A）及び図9（B）では、本発明の光電変換装置を用いた半導体装置、例えば2端子の可視光センサチップの例を示す。図9（A）及び図9（B）に示す可視光センサチップは、基板210、下地絶縁膜212、ゲート絶縁膜213を有する。受光する光は基板210、下地絶縁膜212、およびゲート絶縁膜213を通過するため、これらの材料は全て透光性の高い材料を用いることが望ましい。

【0081】

PIN型の光電変換素子225は、実施の形態の記載に基づいて形成すればよく、本実施例ではその概略を示す。図9（A）に示される光電変換素子225は、配線204と、光電変換層221であるp型半導体層221p、n型半導体層221n、p型半導体層2

p 型半導体層 n 型半導体層の間に挟まれた真性 (i 型) 半導体層 n 型半導体層、及び端子電極を有する。

【0082】

配線 204 は、高融点金属膜と低抵抗金属膜（アルミニウム合金または純アルミニウムなど）との積層構造とする。ここでは、配線 204 は、チタン膜（Ti 膜）とアルミニウム膜（Al 膜）と Ti 膜とを順に積み重ねた三層構造とする。配線 204 の端部をテーパー状にすると、配線 204 と光電変換層 221 の最上層、本実施例では n 型半導体層 221n との距離が長くなり、リーク電流を防ぐ効果が増大する。

【0083】

また配線 204 は単層の導電膜で形成してもよく、このような単層の導電膜として、チタン膜（Ti 膜）が好ましい。またチタン膜に変えて、タングステン（W）、タンタル（Ta）、モリブデン（Mo）、ネオジウム（Nd）、コバルト（Co）、ジルコニウム（Zr）、亜鉛（Zn）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層膜、或いは、これらの窒化物、例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデンからなる単層膜を用いることができる。

【0084】

また図 9 (B) に示す光電変換素子 225 は、配線 204 上に保護電極 218 を有している。さらに、TFT231 のソース電極又はドレイン電極 202 上に保護電極 272、TFT230 のソース電極又はドレイン電極 203 上に保護電極 273、端子電極 201 上に保護電極 271、接続電極 205 上に保護電極 220 が形成されている。

【0085】

図 9 (B) に示す光電変換素子 225 では、光電変換層 221 をエッティングする際に、配線 204 は、配線 204 を覆っている保護電極 218 によって保護される。保護電極 218 の材料は、光電変換層 221 をエッティングするガス（またはエッチャント）に対して光電変換層よりもエッティング速度の小さい導電材料であることが好ましい。加えて、保護電極 218 の材料は、光電変換層 221 と反応して合金とならない導電材料であることが好ましい。また保護電極 271、272、273 及び 220 についても、保護電極 218 と同様の材料で形成すればよい。

【0086】

また光電変換層 221 と配線 204、並びに光電変換層 221、配線 204 及び保護電極 218 との位置関係は、実施例 2 の記載を参照にして、図 3 (A) ~ 図 3 (B) 及び図 16 (A) ~ 図 16 (B) のようにしてもよい。

【0087】

また、PIN 型の光電変換素子 225 の出力値を增幅するために同一基板上に設けられた增幅回路は、n チャネル型薄膜トランジスタ（Thin Film Transistor or (TFT) ）230 及び 231 によるカレントミラー回路 232 で構成されている。

【0088】

また、図 10 (A) 及び図 10 (B) に 2 端子の可視光センサの等価回路図を示す。図 10 (A) は增幅回路であるカレントミラー回路を n チャネル型 TFT を用いた等価回路図であり、図 9 (A) 及び図 9 (B) の等価回路図になっている。

【0089】

增幅回路を p チャネル型 TFT で形成する場合は図 10 (B) に示す等価回路図となる。このように增幅回路を p チャネル型 TFT で形成する場合は、図 9 (A) 及び図 9 (B) に示す n チャネル型 TFT 230 及び 231 を p チャネル型 TFT 302 及び 303 で形成すればよい。

【0090】

図 10 (B) において、端子電極 226 及び 253 は図 10 (A) と同一であるが、それぞれ図 10 (B) に示すように、p チャネル型 TFT 302 及び 303、及び光電変換

10

20

30

40

50

素子 301 に接続すればよい。p チャネル型 TFT302 は、光電変換素子 301 のアノード側の電極と電気的に接続される。光電変換素子 301 は、p チャネル型 TFT302 と接続するアノード側の電極上に n 型半導体層、真性半導体層 (i 型半導体層)、p 型半導体層を順次積層した後、第 1 の電極 (カソード側の電極) を形成すればよい。また、積層順序を逆にした光電変換素子としてもよく、カソード側の電極上に p 型半導体層、真性半導体層 (i 型半導体層)、n 型半導体層を順次積層した後、p チャネル型 TFT302 と接続するアノード側の電極を形成し、第 1 の電極と接続するカソード側の端子電極を形成してもよい。

【0091】

図 10 (A) 及び図 10 (B) では 2 個の TFT を図示しているが、実際に例えれば出力値を 5 倍とするためには、例えば図 10 (A) の構造では、n チャネル型 TFT230 (チャネル長 (L) 及びチャネル幅 (W) がそれぞれ 8 μm、50 μm) を 2 個、n チャネル型 TFT231 (チャネル長 (L) 及びチャネル幅 (W) がそれぞれ 8 μm、50 μm) を 10 個設ければよい。

【0092】

さらに、出力値を 100 倍するために n チャネル型 TFT230 を 1 個及び n チャネル型 TFT231 を 100 個設ける例を、図 11 に示す。なお図 11 において図 9 (A) ~ 図 9 (B) 及び図 10 (A) と同じものは同じ符号で示している。図 11 において、n チャネル型 TFT231 は 100 個の n チャネル型 TFT231a、231b、231c、231d、…から構成されている。これにより光電変換素子 225 で発生した光電流が 100 倍に増幅されて出力される。

【0093】

さらに出力値を増幅させるために増幅回路は、n チャネル型 TFT または p チャネル型 TFT を適宜組み合わせた演算増幅器 (オペアンプ) で構成してもよいが、5 端子となる。また、オペアンプで増幅回路を構成し、レベルシフタを用いることによって、電源数を削減して 4 端子とすることもできる。

【0094】

また図 9 (A) 及び図 9 (B) においては、n チャネル型 TFT230 及び 231 は 1 つのチャネル形成領域を含む構造 (本明細書では「シングルゲート構造」という) のトップゲート型 TFT の例を示しているが、チャネル形成領域が複数ある構造 (本明細書では「マルチゲート構造」という) にしてオン電流値のバラツキを低減させてもよい。また、オフ電流値を低減するため、n チャネル型 TFT230 及び 231 に低濃度ドレイン (Lightly Doped Drain (LDD)) 領域を設けてもよい。LDD 領域とは、チャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域のことであり、LDD 領域を設けると、ドレイン領域近傍の電界を緩和してホットキャリア注入による劣化を防ぐという効果がある。また、ホットキャリアによるオン電流値の劣化を防ぐため、n チャネル型 TFT230 及び 231 を、ゲート絶縁膜を介して LDD 領域をゲート電極と重ねて配置させた構造 (本明細書では「GOLD (Gate - drain Overlapped LDD) 構造」と呼ぶ) としてもよい。

【0095】

GOLD 構造を用いた場合、LDD 領域をゲート電極と重ねて形成しなかった場合よりも、さらにドレイン領域近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果がある。このような GOLD 構造とすることで、ドレイン領域近傍の電界強度が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効である。

【0096】

また図 10 (B) における p チャネル型 TFT302 及び 303 についても、n チャネル型 TFT230 及び 231 と同様の構造、すなわちシングルゲート構造やマルチゲート構造にしてもよく、必要であれば LDD 領域を設けてもよい。

【0097】

10

20

30

40

50

また、配線 214 は配線 204 に接続する配線であって増幅回路の TFT230 のチャネル形成領域上方にも延在してゲート電極にもなっている。

【0098】

また、配線 215 は n 型半導体層 221n に接続する配線であって TFT231 のドレイン配線（ドレイン電極とも呼ぶ）またはソース配線（ソース電極とも呼ぶ）と接続している。また、216 及び 217 は絶縁膜、205 は接続電極である。受光する光は絶縁膜 216 及び 217 を通過するため、これらの材料は全て透光性の高い材料を用いることが望ましい。なお、絶縁膜 217 は、CVD 法により形成される酸化珪素膜（SiO_x）を用いることが好ましい。絶縁膜 217 を CVD 法で形成する酸化珪素膜とすると固着強度が向上する。

10

【0099】

また、端子電極 250 は、配線 214 及び 215 と同一工程で形成され、端子電極 201 は配線 204 及び接続電極 205 と同一工程で形成されている。

【0100】

また、端子電極 226 は n 型半導体層 221n に接続されており、半田 264 でプリント配線基板 260 の電極 261 に実装されている。また、端子電極 253 は端子電極 226 と同一工程で形成され、半田 263 でプリント配線基板 260 の電極 262 に実装されている。

【0101】

また、図 12(A)～図 12(D)、図 13(A)～図 13(D) 及び図 14(A)～図 14(C) を用いて上記構造を得るための作製工程を以下に示す。

20

【0102】

まず、基板（第 1 の基板 210）上に素子を形成する。ここでは基板 210 として、ガラス基板の一つである AN100 を用いる。

【0103】

次いで、プラズマ CVD 法で下地絶縁膜 212 となる窒素を含む酸化珪素膜（膜厚 100 nm）を形成し、さらに大気にふれることなく、半導体膜 281、例えば水素を含む非晶質珪素膜（膜厚 54 nm）を積層形成する（図 12(A)）。また、下地絶縁膜 212 は酸化珪素膜、窒化珪素膜、窒素を含む酸化珪素膜を積層したものを用いてもよい。例えば、下地絶縁膜 212 として、酸素を含む窒化珪素膜を 50 nm、さらに窒素を含む酸化珪素膜を 100 nm 積層した膜を形成してもよい。なお、窒素を含む酸化珪素膜や窒化珪素膜は、ガラス基板からのアルカリ金属などの不純物拡散を防止するプロッキング層として機能する。

30

【0104】

次いで、上記非晶質珪素膜を公知の技術（固相成長法、レーザ結晶化方法、触媒金属を用いた結晶化方法など）により結晶化させて、結晶構造を有する半導体膜（結晶性半導体膜）、例えば多結晶珪素膜を形成する。ここでは、触媒元素を用いた結晶化方法を用いて多結晶珪素膜を得る。重量換算で 10 ppm のニッケルを含む酢酸ニッケル水溶液をスピナーで塗布する。なお、塗布に代えてスパッタ法でニッケル元素を全面に散布する方法を用いてもよい。次いで、加熱処理を行い結晶化させて結晶構造を有する半導体膜（ここでは多結晶珪素膜）を形成する。ここでは熱処理（500℃、1 時間）の後、結晶化のための熱処理（550℃、4 時間）を行って多結晶珪素膜を得る。

40

【0105】

次いで、多結晶珪素膜表面の酸化膜を希フッ酸等で除去する。その後、結晶化率を高め、結晶粒内に残される欠陥を補修するためのレーザ光（XeCl：波長 308 nm）の照射を大気中、または酸素雰囲気中で行う。

【0106】

レーザ光には波長 400 nm 以下のエキシマレーザ光や、YAG レーザの第 2 高調波又は第 3 高調波を用いる。ここでは、繰り返し周波数 10～1000 Hz 程度のパルスレーザ光を用い、当該レーザ光を光学系にて 100～500 mJ/cm² に集光し、90～95%

50

5 %のオーバーラップ率をもって照射し、シリコン膜表面を走査させればよい。本実施例では、繰り返し周波数30Hz、エネルギー密度470mJ/cm²でレーザ光の照射を大気中で行なう。

【0107】

なお、大気中、または酸素雰囲気中で行うため、レーザ光の照射により表面に酸化膜が形成される。なお、本実施例ではパルスレーザを用いた例を示したが、連続発振のレーザを用いてもよく、半導体膜の結晶化に際し、大粒径に結晶を得るためにには、連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd:YVO₄レーザ（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用すればよい。

10

【0108】

連続発振のレーザを用いる場合には、出力10Wの連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または橢円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、10～2000cm/s程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射すればよい。

【0109】

次いで、上記レーザ光の照射により形成された酸化膜に加え、オゾン水で表面を120秒処理して合計1～5nmの酸化膜からなるバリア層を形成する。このバリア層は、結晶化するために添加した触媒元素、例えばニッケル（Ni）を膜中から除去するために形成する。ここではオゾン水を用いてバリア層を形成したが、酸素雰囲気下の紫外線の照射で結晶構造を有する半導体膜の表面を酸化する方法や酸素プラズマ処理により結晶構造を有する半導体膜の表面を酸化する方法やプラズマCVD法やスパッタ法や蒸着法などで1～10nm程度の酸化膜を堆積してバリア層を形成してもよい。また、バリア層を形成する前にレーザ光の照射により形成された酸化膜を除去してもよい。

20

【0110】

次いで、バリア層上にスパッタ法にてゲッタリングサイトとなるアルゴン元素を含む非晶質珪素膜を10nm～400nm、ここでは膜厚100nmで成膜する。ここでは、アルゴン元素を含む非晶質珪素膜は、シリコンターゲットを用いてアルゴンを含む雰囲気下で形成する。プラズマCVD法を用いてアルゴン元素を含む非晶質珪素膜を形成する場合、成膜条件は、モノシランとアルゴンの流量比（SiH₄:Ar）を1:99とし、成膜圧力を6.665Paとし、RFパワー密度を0.087W/cm²とし、成膜温度を350とする。

30

【0111】

その後、650に加熱された炉に入れて3分の熱処理を行い触媒元素を除去（ゲッタリング）する。これにより結晶構造を有する半導体膜中の触媒元素濃度が低減される。炉に代えてランプアニール装置を用いてもよい。

【0112】

40

次いで、バリア層をエッティングストップとして、ゲッタリングサイトであるアルゴン元素を含む非晶質珪素膜を選択的に除去した後、バリア層を希フッ酸で選択的に除去する。なお、ゲッタリングの際、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、酸化膜からなるバリア層をゲッタリング後に除去することが望ましい。

【0113】

なお、触媒元素を用いて半導体膜の結晶化を行わない場合には、上述したバリア層の形成、ゲッタリングサイトの形成、ゲッタリングのための熱処理、ゲッタリングサイトの除去、バリア層の除去などの工程は不要である。

【0114】

次いで、得られた結晶構造を有する半導体膜（例えば結晶性珪素膜）の表面にオゾン水

50

で薄い酸化膜を形成した後、第1のフォトマスクを用いてレジストからなるマスクを形成し、所望の形状にエッチング処理して島状に分離された半導体膜（本明細書では「島状半導体領域」という）283及び284を形成する（図12（B）参照）。島状半導体領域283及び284を形成した後、レジストからなるマスクを除去する。

【0115】

次いで、必要があればTFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行う。ここでは、ジボラン（ B_2H_6 ）を質量分離しないでプラズマ励起したイオンドープ法を用いる。

【0116】

次いで、フッ酸を含むエッチャントで酸化膜を除去すると同時に島状半導体膜の表面を洗浄した後、ゲート絶縁膜213となる珪素を主成分とする絶縁膜を形成する。ここでは、プラズマCVD法により115nmの厚さで窒素を含む酸化珪素膜（組成比Si = 32%、O = 59%、N = 7%、H = 2%）で形成する。

【0117】

次いで、ゲート絶縁膜213上に金属膜を形成した後、第2のフォトマスクを用いて、ゲート電極285及び286、配線215及び214、端子電極250を形成する（図12（C）参照）。この金属膜として、例えば窒化タンタル（TaN）及びタンクスチタン（W）をそれぞれ30nm、370nm積層した膜を用いる。

【0118】

また、ゲート電極285及び286、配線215及び214、端子電極250として、上記以外にもチタン（Ti）、タンクスチタン（W）、タンタル（Ta）、モリブデン（Mo）、ネオジウム（Nd）、コバルト（Co）、ジルコニウム（Zr）、亜鉛（Zn）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、アルミニウム（Al）、金（Au）、銀（Ag）、銅（Cu）から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層膜、或いは、これらの窒化物、例えば、窒化チタン、窒化タンクスチタン、窒化タンタル、窒化モリブデンからなる単層膜を用いることができる。

【0119】

次いで、島状半導体領域283及び284へのドーピングを行って、TFT230のソース領域またはドレイン領域291、及びTFT231のソース領域またはドレイン領域293の形成を行う（図12（D）参照）。さらにTFT231ではソース領域及びドレイン領域の間にチャネル形成領域292、TFT232ではソース領域及びドレイン領域の間にチャネル形成領域294が形成される。

【0120】

次いで、CVD法により酸化珪素膜を含む第1の層間絶縁膜（図示しない）を50nm形成した後、それぞれの島状半導体領域283及び284に添加された不純物元素を活性化処理する工程を行う。この活性化工程は、ランプ光源を用いたラピッドサーマルアニール法（RTA法）、或いはYAGレーザまたはエキシマレーザを裏面から照射する方法、或いは炉を用いた熱処理、或いはこれらの方法のうち、いずれかと組み合わせた方法によって行う。

【0121】

次いで、水素及び酸素を含む窒化珪素膜を含む第2の層間絶縁膜216を、例えば10nmの膜厚で形成する。

【0122】

次いで、第2の層間絶縁膜216上に絶縁物材料から成る第3の層間絶縁膜217を形成する（図13（A）参照）。第3の層間絶縁膜217はCVD法で得られる絶縁膜を用いることができる。本実施例においては密着性を向上させるため、第3の層間絶縁膜217として、900nmの膜厚で形成した窒素を含む酸化珪素膜を形成する。

【0123】

次に、熱処理（300～550℃で1～12時間の熱処理、例えば窒素雰囲気中410

10

20

30

40

50

で1時間)を行い、島状半導体領域283及び284を水素化する。この工程は第2の層間絶縁膜216に含まれる水素により島状半導体領域283及び284のダングリングボンドを終端させるために行うものである。ゲート絶縁膜213の存在に関係なく島状半導体領域を水素化することができる。

【0124】

また第3の層間絶縁膜217として、シロキサンを用いた絶縁膜、及びそれらの積層構造を用いることも可能である。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造で構成される。置換基として、少なくとも水素を含む化合物(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フッ素を用いてもよい。または置換基として、少なくとも水素を含む化合物と、フッ素とを用いてもよい。

10

【0125】

第3の層間絶縁膜217としてシロキサンを用いた絶縁膜またはそれらの積層構造を用いた場合は、第2の層間絶縁膜216を形成後、島状半導体領域283及び284を水素化するための熱処理を行い、次に第3の層間絶縁膜217を形成することもできる。

【0126】

次いで、第3のフォトマスクを用いてレジストからなるマスクを形成し、第1の層間絶縁膜、第2の層間絶縁膜216及び第3の層間絶縁膜217またはゲート絶縁膜213を選択的にエッチングしてコンタクトホールを形成する。そして、レジストからなるマスクを除去する。

【0127】

なお、第3の層間絶縁膜217は必要に応じて形成すればよく、第3の層間絶縁膜217を形成しない場合は、第2の層間絶縁膜216を形成後に第1の層間絶縁膜、第2の層間絶縁膜216及びゲート絶縁膜213を選択的にエッチングしてコンタクトホールを形成する。

20

【0128】

次いで、スパッタ法で金属積層膜を成膜した後、第4のフォトマスクを用いてレジストからなるマスクを形成し、選択的に金属膜をエッチングして、配線204、接続電極205、端子電極201、TFT230のソース電極またはドレイン電極203、及びTFT231のソース電極又はドレイン電極202を形成する。そして、レジストからなるマスクを除去する。なお、本実施例の金属積層膜は、膜厚100nmのTi膜と、膜厚350nmのSiを微量に含むAl膜と、膜厚100nmのTi膜との3層を積層したものとする。

30

【0129】

また配線204、接続電極205、端子電極201、TFT230のソース電極またはドレイン電極203、及びTFT231のソース電極又はドレイン電極202は単層の導電膜により形成してもよい。このような導電膜として、チタン膜(Ti膜)が好ましい。またチタン膜に変えて、タンクスチン(W)、タンタル(Ta)、モリブデン(Mo)、ネオジウム(Nd)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層膜、或いは、これらの窒化物、例えば、窒化チタン、窒化タンクスチン、窒化タンタル、窒化モリブデンからなる単層膜を用いることができる。配線204、接続電極205、端子電極201、TFT230のソース電極またはドレイン電極203、及びTFT231のソース電極又はドレイン電極202を単層膜とすることにより、作製工程において成膜回数を減少させることができる。

40

【0130】

さらに、配線204、接続電極205、端子電極201、TFT230のソース電極またはドレイン電極203、及びTFT231のソース電極又はドレイン電極202それぞれの上に、保護電極218、220、271、273、272を形成した例を図13(C)に示す。

50

【0131】

保護電極 218 は、後の工程で光電変換層をエッティングする際に、配線 204 を保護することができる。そのため保護電極 218 の材料は、光電変換層をエッティングするガス（またはエッチャント）に対して光電変換層よりもエッティング速度の小さい導電材料であることが好ましい。加えて、保護電極 218 の材料は、光電変換層と反応して合金とならない導電材料（チタン（Ti）またはモリブデン（Mo）など）であることが好ましい。

【0132】

また、保護電極 218、220、271、273、272 を用いると、配線 204、接続電極 205、端子電極 201、TFT230 のソース電極またはドレイン電極 203、及び TFT231 のソース電極又はドレイン電極 202 が積層膜、例えばチタン（Ti）膜、アルミニウム（Al）膜及びチタン（Ti）膜の三層を積層した膜で形成された場合に、2 層目の Al 膜が露呈されている側面も覆い、光電変換層へのアルミニウム原子の拡散も防止できるという利点がある。10

【0133】

以上の工程で、多結晶珪素膜を用いたトップゲート型 TFT230 及び 231 を作製することができる。この TFT230 及び 231 によりカレントミラー回路 232 が形成される。

【0134】

次に、光電変換層 241 を形成する。光電変換層 241 は実施の形態及び実施例 1～実施例 3 の記載に基づいて形成すればよい。20

【0135】

光電変換層 241 は、p 型半導体層 241p、i 型半導体層 241i 及び n 型半導体層 241n を含んでいる。p 型半導体層 241p、i 型半導体層 241i 及び n 型半導体層 241n それぞれは、例えば非晶質珪素膜で形成すればよい。本実施例では、p 型半導体層 241p を 10～50 nm、i 型半導体層 241i を 200～1000 nm、n 型半導体層 241n を 20～200 nm の膜厚で形成する。

【0136】

光電変換層 241 上に絶縁膜 242 を形成する。絶縁膜 242 は実施例 3 で説明した絶縁膜 175 と同様に形成すればよい。

【0137】

次に絶縁膜 242 をマスクとして、光電変換層 241 をエッティングする。このとき上層の n 型半導体層はエッティングするが、下層の p 型半導体層 241p をエッティングしないようにエッティング時間を調節する。中層の i 型半導体層でエッティングが止まるように、i 型半導体層 241i は厚く形成されている。光電変換層 241 のエッティングが終わったら絶縁膜 242 は除去する。30

【0138】

このエッティング工程により、n 型半導体層 241n と i 型半導体層 241i の一部が除去されて、それぞれ 221n 及び 221i に示す形状となる（図 14（A）参照）。なお p 型半導体層 241p はエッティングされないので、同じ形状（221p）で残ることとなる。以上より p 型半導体層 221p、i 型半導体層 221i 及び n 型半導体層 221n を含む光電変換層 221 が形成されることとなる。40

【0139】

次いで、全面に絶縁物材料（例えば珪素を含む無機絶縁膜）からなる封止層 224 を厚さ（1 μm～30 μm）で形成して図 14（B）の状態を得る。ここでは絶縁物材料膜として CVD 法により、膜厚 1 μm の窒素を含む酸化珪素膜を形成する。CVD 法による絶縁膜を用いることによって密着性の向上を図っている。

【0140】

次いで、封止層 224 をエッティングして開口部を設けた後、スパッタ法により端子電極 226 及び 253 を形成する。端子電極 226 及び 253 は、チタン膜（Ti 膜）（100 nm）と、ニッケル膜（Ni 膜）（300 nm）と、金膜（Au 膜）（50 nm）との50

積層膜とする。こうして得られる端子電極 226 及び端子電極 253 の固着強度は 5 N を超え、端子電極として十分な固着強度を有している。

【0141】

以上の工程で、半田接続が可能な端子電極 226 及び端子電極 253 が形成され、図 14 (C) に示す構造が得られる。

【0142】

次いで、個々に切断して複数の光センサチップを切り出す。1枚の大面積基板（例えば 600 cm × 720 cm）からは大量の光センサチップ（2 mm × 1.5 mm）を製造することができる。

【0143】

切り出した1つの光センサチップ（上面図では 2 mm × 1.5 mm）の断面図を図 15 (A) に示し、その下面図を図 15 (B)、上面図を図 15 (C) に示す。図 15において、図 13 及び図 14 と同一である箇所には同じ符号を用いている。なお、図 15 (A)において、基板 210 と、光電変換素子が形成されている素子形成領域 311 と、端子電極 226 及び端子電極 253 とを含む総膜厚は、0.8 ± 0.05 mm である。

10

【0144】

また、光センサチップの総膜厚を薄くするために、基板 210 を C M P 处理等によって削って薄くした後、ダイサーで個々に切断して複数の光センサチップを切り出してもよい。

【0145】

また、図 15 (B)において、端子電極 226 及び 253 の一つの電極サイズは、0.6 mm × 1.1 mm であり、電極間隔は 0.4 mm である。また、図 15 (C)において受光部 312 の面積は 1.57 mm² である。また、增幅回路部には、約 100 個の TFT が設けられている。

20

【0146】

最後に、得られた光センサチップをプリント配線基板 260 の実装面に実装する。なお、端子電極 226 と電極 261、並びに端子電極 253 と電極 262 との接続には、それぞれ半田 264 及び 263 を用い、予めプリント配線基板 260 の電極 261 及び 262 上にスクリーン印刷法などによって形成しておき、半田と端子電極を接した状態にしてから半田リフロー処理を行って実装する。半田リフロー処理は、例えば不活性ガス雰囲気中、255 ~ 265 程度の温度で約 10 秒行う。また、半田の他に金属（金、銀等）で形成されるバンプ、又は導電性樹脂で形成されるバンプ等を用いることができる。また、環境問題を考慮して鉛フリー半田を用いて実装してもよい。

30

【0147】

以上の工程を経て、実装された光センサチップを図 9 (A) 及び図 9 (B) に示している。本発明の光センサ（出力値を 100 倍にする増幅回路を備えた回路一体型光センサ）は、照度 100 ルクスにおいて約 10 μA の光電流を得ることができる。また、本発明の光センサの感度波長範囲は 350 ~ 750 nm であり、ピーク感度波長は 580 nm である。また、暗電流 (V_r = 5 V) は 1000 pA である。

【0148】

40

なお本実施例は、実施の形態及び実施例 1 ~ 実施例 4 のいかなる記載と組み合わせることも可能である。

【実施例 6】

【0149】

本実施例では、本発明により得られた光電変換装置を様々な電子機器に組み込んだ例について説明する。本発明が適用される電子機器として、コンピュータ、ディスプレイ、携帯電話、テレビなどが挙げられる。それらの電子機器の具体例を図 17、図 18 (A) ~ 図 18 (B)、図 19 (A) ~ 図 19 (B)、図 20 及び図 21 (A) ~ 図 21 (B) に示す。

【0150】

50

図17は携帯電話であり、本体(A)601、本体(B)602、筐体603、操作キー604、音声入力部605、音声出力部606、回路基板607、表示パネル(A)608、表示パネル(B)609、蝶番610、透光性材料部611、光センサ612を有している。本発明は光センサ612に適用することができる。

【0151】

光センサ612は透光性材料部611を透過した光を検知し、検知した外部光の照度に合わせて表示パネル(A)608及び表示パネル(B)609の輝度コントロールを行ったり、光センサ612で得られる照度に合わせて操作キー604の照明制御を行う。これにより携帯電話の消費電流を抑えることができる。

【0152】

図18(A)及び図18(B)に携帯電話の別の例を示す。図18(A)及び図18(B)において、621は本体、622は筐体、623は表示パネル、624は操作キー、625は音声出力部、626は音声入力部、627及び628は光センサ部である。

【0153】

図18(A)に示す携帯電話では、本体621に設けられた光センサ部627により外部の光を検知することにより表示パネル623及び操作キー624の輝度を制御することが可能である。

【0154】

また図18(B)に示す携帯電話では、図18(A)の構成に加えて、本体621の内部に光センサ部628を設けている。光センサ部628により、表示パネル623に設けられているバックライトの輝度を検出することも可能となる。

【0155】

図19(A)はコンピュータであり、本体631、筐体632、表示部633、キーボード634、外部接続ポート635、ポインティングマウス636等を含む。

【0156】

また図19(B)は表示装置でありテレビ受像器などがこれに当たる。本表示装置は、筐体641、支持台642、表示部643などによって構成されている。

【0157】

図19(A)のコンピュータに設けられる表示部633、及び図19(B)に示す表示装置の表示部643として、液晶パネルを用いた場合の詳しい構成を図20に示す。

【0158】

図20に示す液晶パネル662は、筐体661に内蔵されており、基板651a及び651b、基板651a及び651bに挟まれた液晶層655、偏光フィルタ652a及び652b、及びバックライト653等を有している。また筐体661には光センサ部654が形成されている。

【0159】

本発明を用いて作製された光センサ部654はバックライト653からの光量を感知し、その情報がフィードバックされて液晶パネル662の輝度が調節される。

【0160】

図21(A)及び図21(B)は、本発明の光電変換装置をカメラ、例えばデジタルカメラに組み込んだ例を示す図である。図21(A)は、デジタルカメラの前面方向から見た斜視図、図21(B)は、後面方向から見た斜視図である。図21(A)において、デジタルカメラには、リリースボタン701、メインスイッチ702、ファインダ窓703、フラッシュ704、レンズ705、鏡胴706、筐体707が備えられている。

【0161】

また、図21(B)において、ファインダ接眼窓711、モニター712、操作ボタン713a及び713bが備えられている。

【0162】

リリースボタン701は、半分の位置まで押下されると、焦点調整機構および露出調整機構が作動し、最下部まで押下されるとシャッターが開く。

10

20

30

40

50

【0163】

メインスイッチ702は、押下又は回転によりデジタルカメラの電源のON/OFFを切り替える。

【0164】

ファインダ窓703は、デジタルカメラの前面のレンズ705の上部に配置されており、図21(B)に示すファインダ接眼窓711から撮影する範囲やピントの位置を確認するための装置である。

【0165】

フラッシュ704は、デジタルカメラの前面上部に配置され、被写体輝度が低いときにリリースボタンが押下されてシャッターが開くと同時に補助光を照射する。

10

【0166】

レンズ705は、デジタルカメラの正面に配置されている。レンズは、フォーカシングレンズ、ズームレンズ等により構成され、図示しないシャッター及び絞りと共に撮影光学系を構成する。また、レンズの後方には、CCD(Charge Coupled Device)等の撮像素子が設けられている。

【0167】

鏡胴706は、フォーカシングレンズ、ズームレンズ等のピントを合わせるためにレンズの位置を移動するものであり、撮影時には、鏡胴を繰り出すことにより、レンズ705を手前に移動させる。また、携帯時は、レンズ705を沈銅させてコンパクトにする。なお、本実施例においては、鏡胴を繰り出すことにより被写体をズーム撮影することができる構造としているが、この構造に限定されるものではなく、筐体707内での撮影光学系の構成により鏡胴を繰り出さずともズーム撮影が可能なデジタルカメラでもよい。

20

【0168】

ファインダ接眼窓711は、デジタルカメラの後面上部に設けられており、撮影する範囲やピントの位置を確認する際に接眼するために設けられた窓である。

【0169】

操作ボタン713a及び713bは、デジタルカメラの背面に設けられた各種機能ボタンであり、セットアップボタン、メニューボタン、ディスプレイボタン、機能ボタン、選択ボタン等により構成されている。

【0170】

30

本発明の光電変換装置を図21(A)及び図21(B)に示すカメラに組み込むと、光電変換装置が光の有無及び強さを感じることができ、これによりカメラの露出調整等を行うことができる。

【0171】

また本発明の光電変換装置はその他の電子機器、例えばプロジェクションテレビ、ナビゲーションシステム等に応用することが可能である。すなわち光を検出する必要のあるものであればいかなるものにも用いることが可能である。

【0172】

なお本実施例は、実施の形態及び実施例1～実施例5のいかなる記載と組み合わせることも可能である。

40

【産業上の利用可能性】**【0173】**

本発明により、段差のある部分における電界の集中を防ぎ、リーク電流を抑制することが可能である光電変換装置を作製することができる。また本発明の光電変換装置を組み込むことにより、信頼性の高い電気機器を得ることが可能である。

【図面の簡単な説明】**【0174】**

【図1】本発明の光電変換装置の断面図。

【図2】従来の光電変換装置の断面図。

【図3】本発明の光電変換装置の断面図。

50

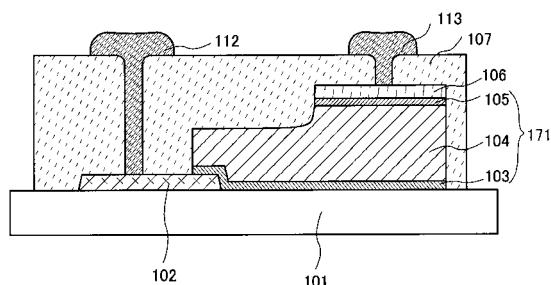
- 【図4】本発明の光電変換装置の作製工程を示す断面図。
- 【図5】本発明の光電変換装置の作製工程を示す断面図。
- 【図6】本発明の光電変換装置の作製工程を示す断面図。
- 【図7】本発明の光電変換装置の断面図。
- 【図8】本発明の光電変換装置の断面図。
- 【図9】本発明の光電変換装置を実装した装置の断面図。
- 【図10】本発明の光電変換装置を組み込んだ装置の等価回路図。
- 【図11】本発明の光電変換装置を組み込んだ装置の等価回路図。
- 【図12】本発明の光電変換装置を実装した装置の作製工程を示す断面図。
- 【図13】本発明の光電変換装置を実装した装置の作製工程を示す断面図。
- 【図14】本発明の光電変換装置を実装した装置の作製工程を示す断面図。
- 【図15】本発明の光電変換装置を実装した装置の側面図及び上面図。
- 【図16】本発明の光電変換装置の断面図。
- 【図17】本発明の光電変換装置を組み込んだ電気機器の例を示す図。
- 【図18】本発明の光電変換装置を組み込んだ電気機器の例を示す図。
- 【図19】本発明の光電変換装置を組み込んだ電気機器の例を示す図。
- 【図20】本発明の光電変換装置を組み込んだ電気機器の例を示す図。
- 【図21】本発明の光電変換装置を組み込んだ電気機器の例を示す図。
- 【図22】従来の構造の電子顕微鏡写真。
- 【図23】本発明の光電変換装置と従来の光電変換装置の比較を示す図。 20
- 【符号の説明】
- 【0175】
- | | |
|-----|--------|
| 101 | 基板 |
| 102 | 電極 |
| 103 | p型半導体層 |
| 104 | i型半導体層 |
| 105 | n型半導体層 |
| 106 | 電極 |
| 107 | 絶縁膜 |
| 112 | 引き出し電極 |
| 113 | 引き出し電極 |
| 131 | 配線 |
| 132 | 配線 |
| 133 | 配線 |
| 134 | 配線 |
| 135 | 配線 |
| 136 | 配線 |
| 141 | 配線 |
| 142 | 配線 |
| 143 | 配線 |
| 144 | 配線 |
| 145 | 配線 |
| 151 | 第1の導電膜 |
| 152 | p型半導体膜 |
| 153 | i型半導体膜 |
| 154 | n型半導体膜 |
| 155 | 導電膜 |
| 156 | 導電膜 |
| 161 | i型半導体層 |
| 162 | n型半導体層 |
- 30
- 40
- 50

1 6 5	溝	
1 6 6	溝	
1 7 1	光電変換層	
1 7 5	絶縁膜	
1 7 7	電極	
1 8 1	カラーフィルタ	
1 8 3	カラーフィルタ	
1 8 4	パシベーション膜	
1 9 1	絶縁膜	
1 9 2	電極	10
2 0 1	端子電極	
2 0 2	ドレイン電極	
2 0 3	ドレイン電極	
2 0 4	配線	
2 0 5	接続電極	
2 1 0	基板	
2 1 2	下地絶縁膜	
2 1 3	ゲート絶縁膜	
2 1 4	配線	
2 1 5	配線	20
2 1 6	絶縁膜	
2 1 7	絶縁膜	
2 1 8	保護電極	
2 2 0	保護電極	
2 2 1	光電変換層	
2 2 1 p	p型半導体層	
2 2 1 i	i型半導体層	
2 2 1 n	n型半導体層	
2 2 4	封止層	
2 2 5	光電変換素子	30
2 2 6	端子電極	
2 3 0	nチャネル型TFT	
2 3 1	nチャネル型TFT	
2 3 1 a	nチャネル型TFT	
2 3 1 b	nチャネル型TFT	
2 3 1 c	nチャネル型TFT	
2 3 1 d	nチャネル型TFT	
2 3 2	カレントミラー回路	
2 4 1	光電変換層	
2 4 1 p	p型半導体層	40
2 4 1 i	i型半導体層	
2 4 1 n	n型半導体層	
2 4 2	絶縁膜	
2 5 0	端子電極	
2 5 3	端子電極	
2 6 0	プリント配線基板	
2 6 1	電極	
2 6 2	電極	
2 6 3	半田	
2 6 4	半田	50

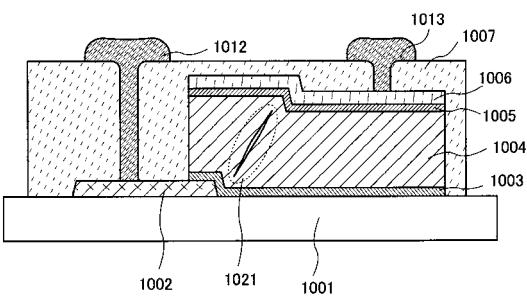
2 7 1	保護電極	
2 7 2	保護電極	
2 7 3	保護電極	
2 8 1	半導体膜	
2 8 3	島状半導体領域	
2 8 4	島状半導体領域	
2 8 5	ゲート電極	
2 8 6	ゲート電極	
2 9 1	ソース領域またはドレイン領域	
2 9 2	チャネル形成領域	10
2 9 3	ソース領域またはドレイン領域	
2 9 4	チャネル形成領域	
3 0 1	光電変換素子	
3 0 2	p チャネル型 TFT	
3 0 3	p チャネル型 TFT	
3 1 1	素子形成領域	
3 1 2	受光部	
6 0 1	本体 (A)	
6 0 2	本体 (B)	
6 0 3	筐体	20
6 0 4	操作キー	
6 0 5	音声入力部	
6 0 6	音声出力部	
6 0 7	回路基板	
6 0 8	表示パネル (A)	
6 0 9	表示パネル (B)	
6 1 0	蝶番	
6 1 1	透光性材料部	
6 1 2	光センサ	
6 2 1	本体	30
6 2 2	筐体	
6 2 3	表示パネル	
6 2 4	操作キー	
6 2 5	音声出力部	
6 2 6	音声入力部	
6 2 7	光センサ部	
6 2 8	光センサ部	
6 3 1	本体	
6 3 2	筐体	
6 3 3	表示部	40
6 3 4	キーボード	
6 3 5	外部接続ポート	
6 3 6	ポインティングマウス	
6 4 1	筐体	
6 4 2	支持台	
6 4 3	表示部	
6 5 1 a	基板	
6 5 2 a	偏光フィルタ	
6 5 2 b	偏光フィルタ	
6 5 3	バックライト	50

- 6 5 4 光センサ部
 6 5 5 液晶層
 6 6 1 筐体
 6 6 2 液晶パネル
 7 0 1 リリースボタン
 7 0 2 メインスイッチ
 7 0 3 ファインダ窓
 7 0 4 フラッシュ
 7 0 5 レンズ
 7 0 6 鏡胴
 7 0 7 筐体
 7 1 1 ファインダ接眼窓
 7 1 2 モニター
 7 1 3 a 操作ボタン
 7 1 3 b 操作ボタン
 1 0 0 1 基板
 1 0 0 2 電極
 1 0 0 3 p型半導体層
 1 0 0 4 i型半導体層
 1 0 0 5 n型半導体層
 1 0 0 6 電極
 1 0 0 7 絶縁膜
 1 0 1 2 引き出し電極
 1 0 1 3 引き出し電極
 1 0 2 1 クラック

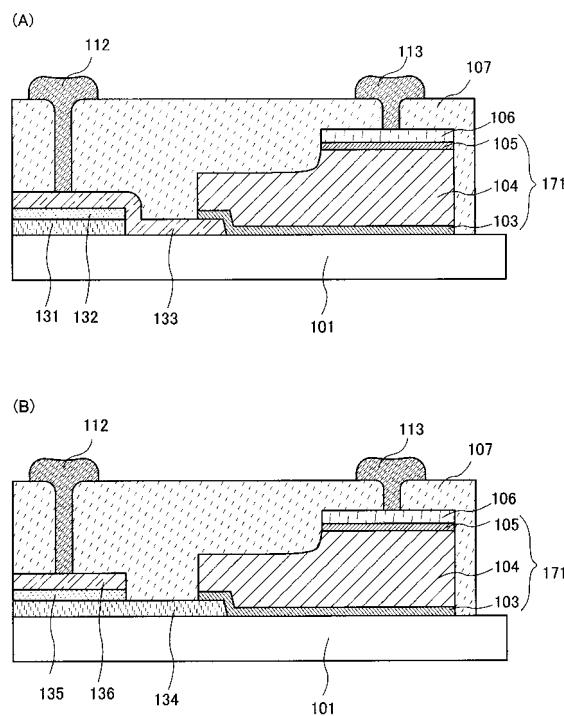
【図1】



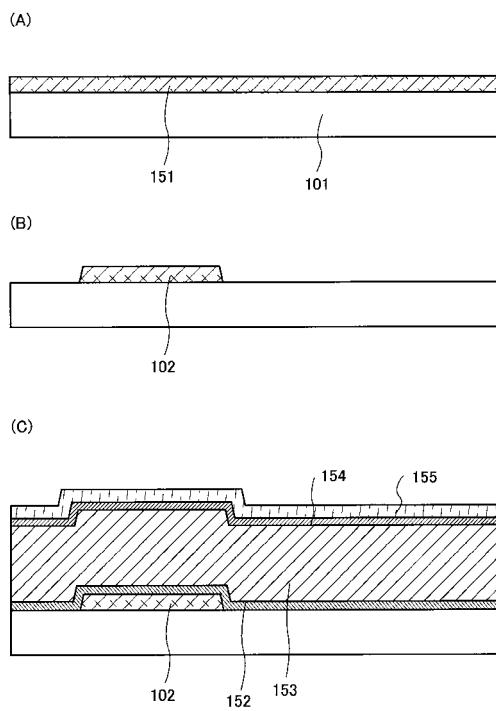
【図2】



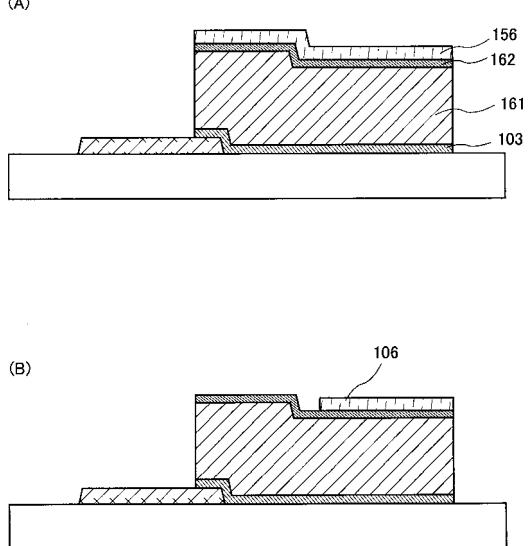
【図3】



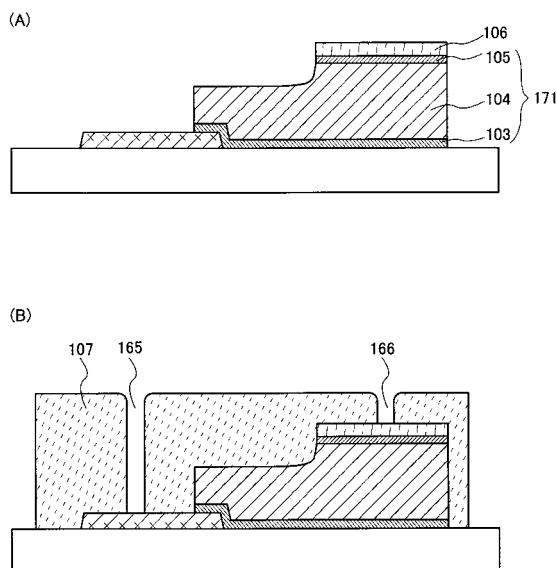
【図4】



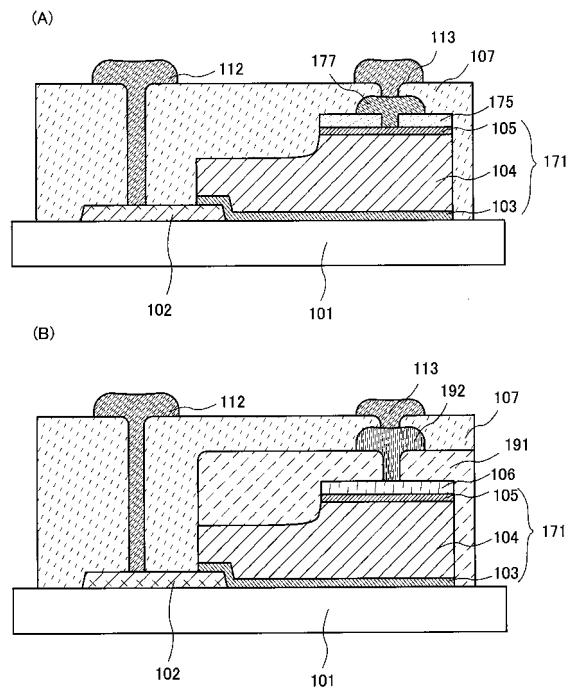
【図5】



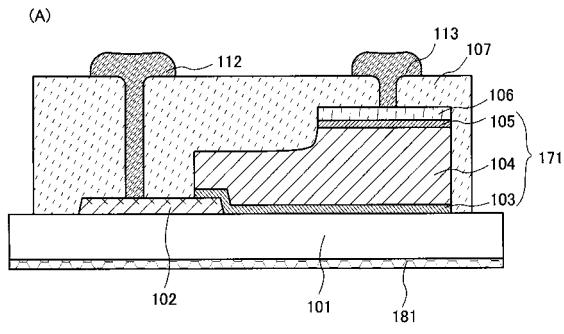
【図6】



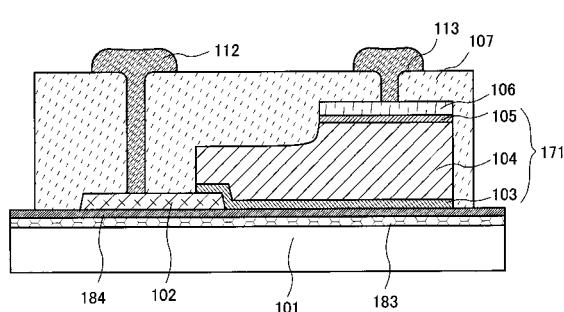
【図7】



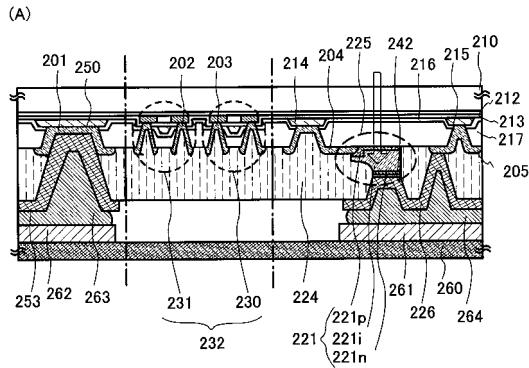
【 図 8 】



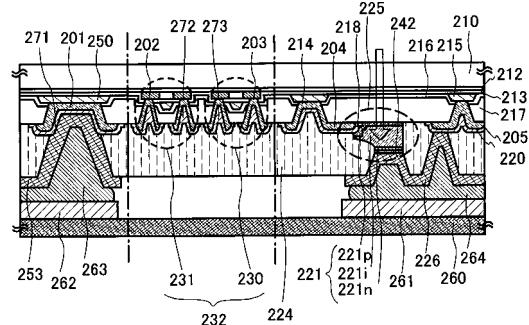
(B)



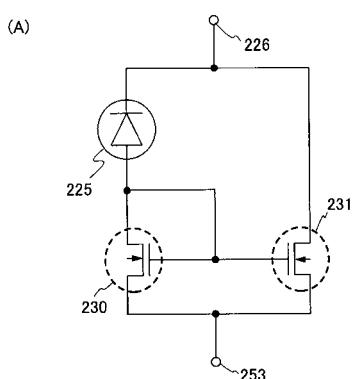
【 义 9 】



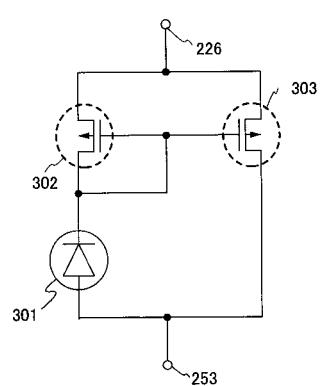
(B)



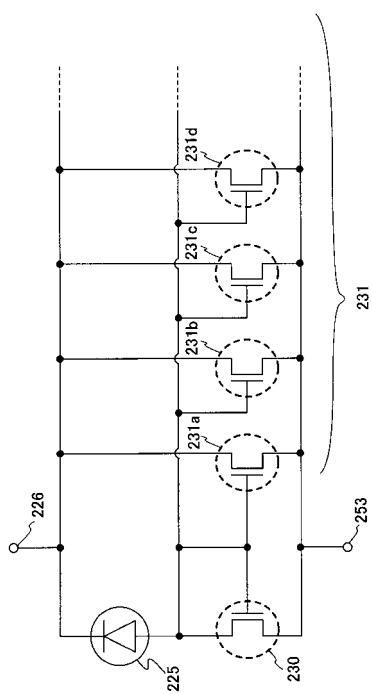
【図10】



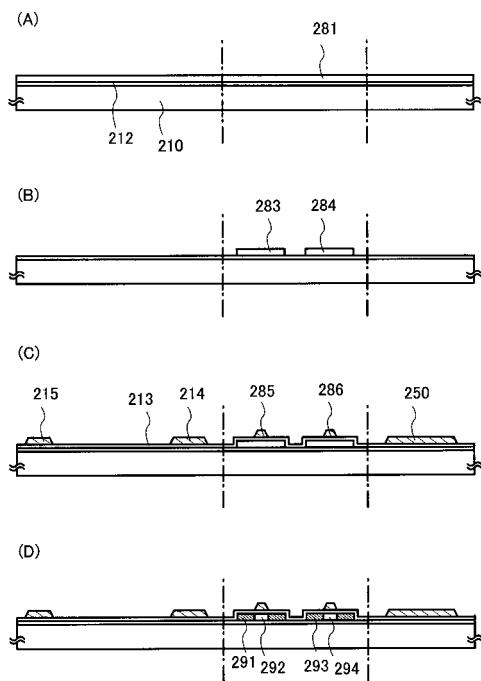
(B)



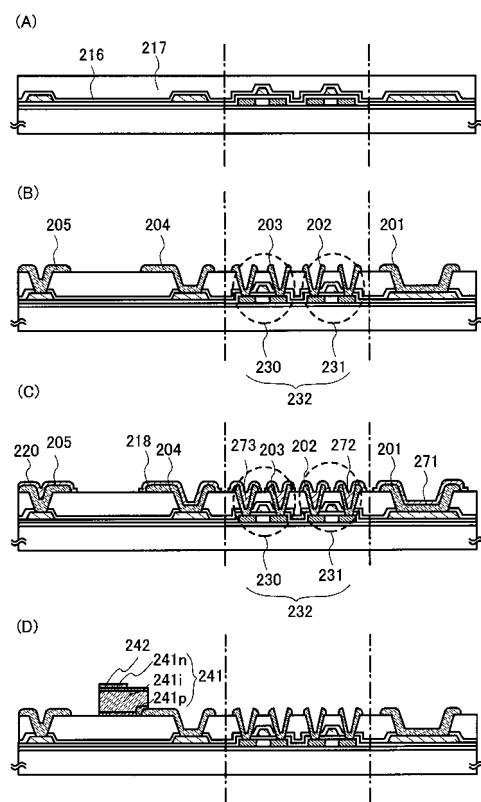
【図 1 1】



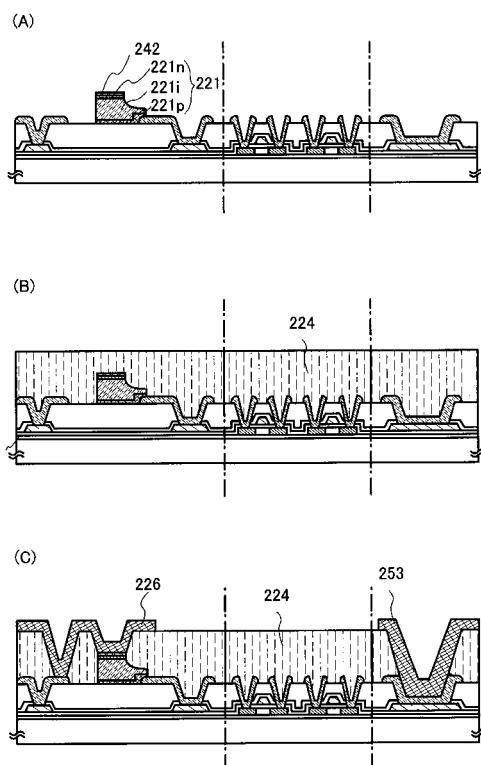
【図12】



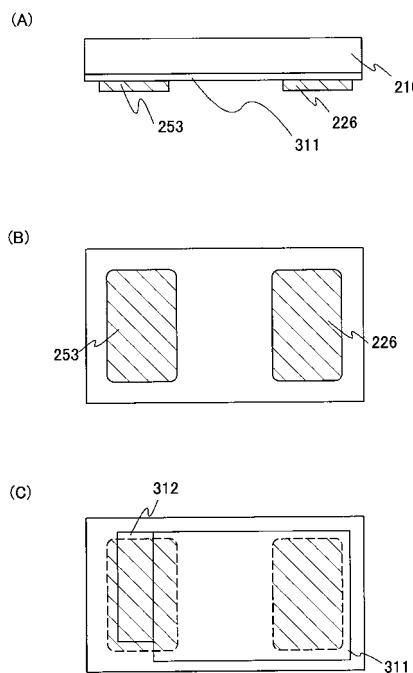
【図13】



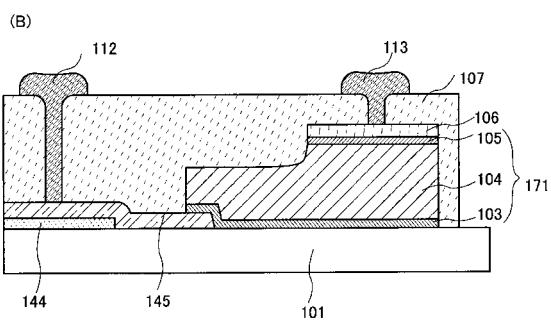
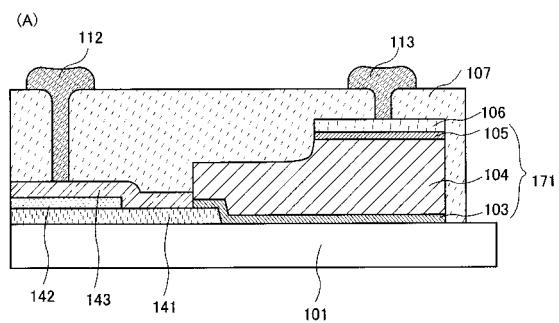
【図14】



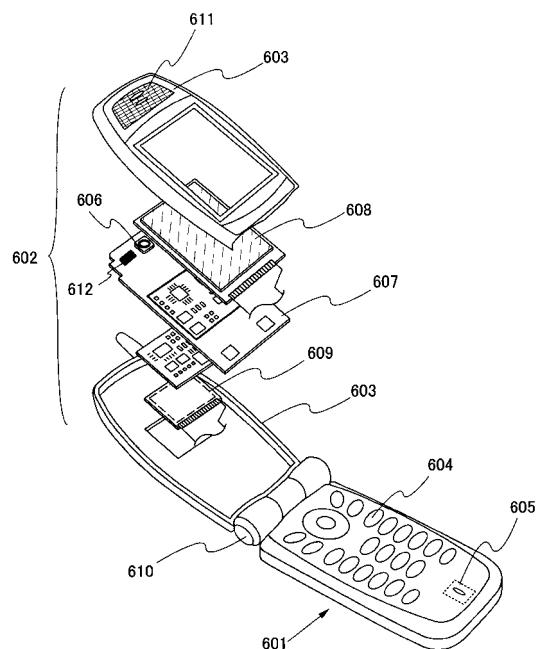
【図15】



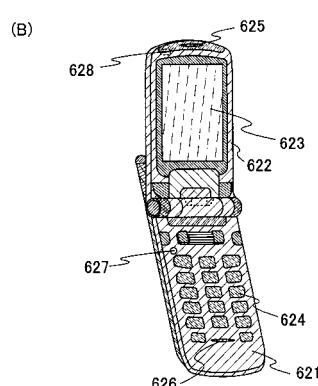
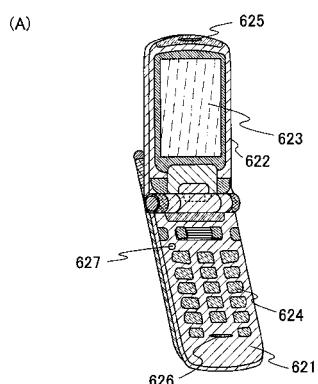
【図16】



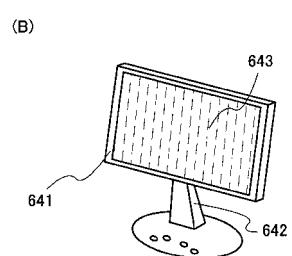
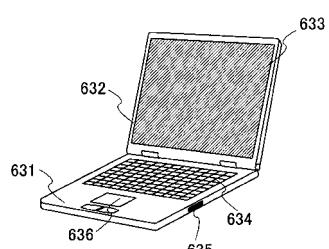
【図17】



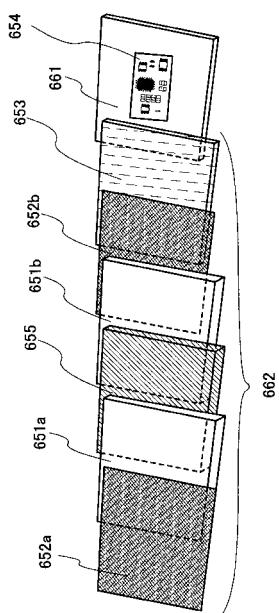
【図18】



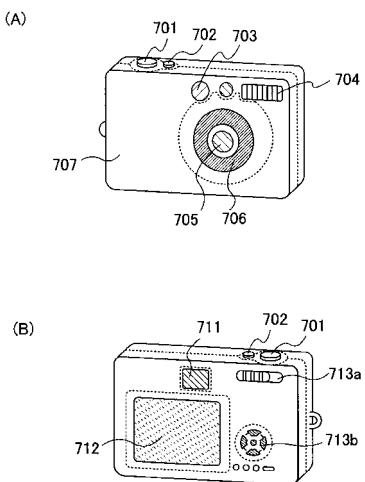
【図19】



【図20】

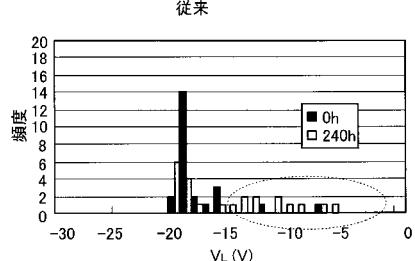


【図21】



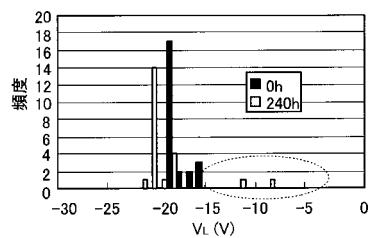
【図23】

(A) 従来

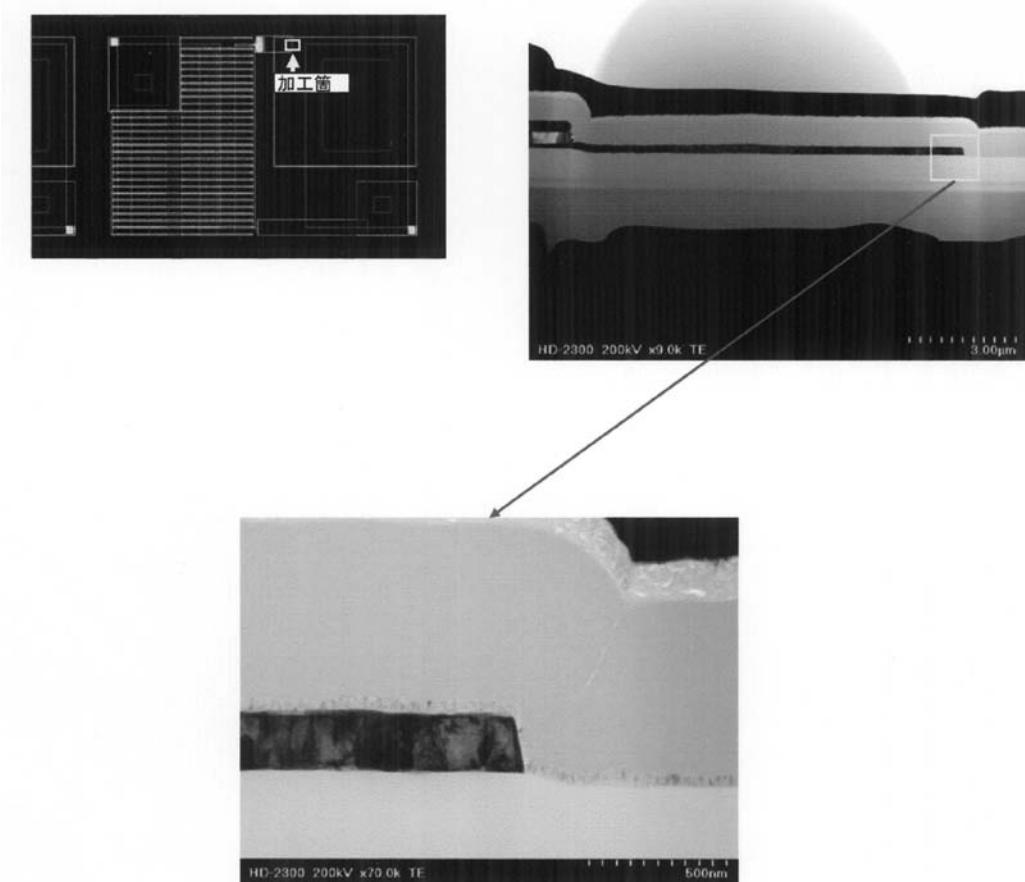


(B)

本発明



【図 2 2】



フロントページの続き

(72)発明者 高橋 秀和

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 楠本 直人

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 濱田 聖司

(56)参考文献 特開平2-1184(JP,A)

特開平8-116044(JP,A)

特開昭63-314863(JP,A)

特開2005-136394(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 31/10 - 31/119