

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 1 月 8 日 (08.01.2015)



(10) 国际公布号
WO 2015/000205 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
H01L 29/06 (2006.01)
- (21) 国际申请号: PCT/CN2013/080893
- (22) 国际申请日: 2013 年 8 月 6 日 (06.08.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310274977.8 2013 年 7 月 2 日 (02.07.2013) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 殷华湘 (YIN, Huaxiang); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 马小龙 (MA, Xiaolong); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 徐唯佳 (XU, Weijia); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 徐秋霞 (XU, Qiuxia); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 朱慧珑 (ZHU, Hui-

long); 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。

- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号国际财经中心 D 座 11 层, Beijing 100089 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: METHOD FOR MANUFACTURING CASCADED STACKED NANOWIRE MOS TRANSISTOR

(54) 发明名称: 级联堆叠纳米线 MOS 晶体管制作方法

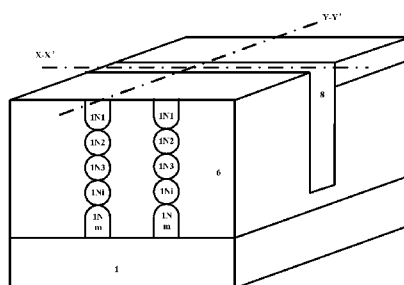


图9 /Fig9

(57) Abstract: A stacked nanowire MOS transistor and a manufacturing method therefor. The stacked nanowire MOS transistor comprises multiple nanowire stacks, multiple gate stacks, multiple source and drain regions, and multiple channel regions. The nanowire stacks extend along a first direction (Y-Y') on a substrate (1). The gate stacks extend along a second direction (X-X') and cross each nanowire stack. The source and drain regions are located on two sides of each gate stack along the second direction (X-X'). The channel regions are formed by the nanowire stacks among the multiple source and drain regions. The multiple nanowire stacks are formed by multiple cascaded nanowires. By performing etch-backs, performing side etching on the channels and performing filling many times, cascaded nanometer stacks with good quality are formed and the effective width of electric conduction channels are fully increased by using low cost, and the total electric conduction area is improved, thereby improving a driving current.

(57) 摘要: 一种堆叠纳米线 MOS 晶体管及其制作方法, 包括: 多个纳米线堆叠, 在衬底 (1) 上沿第一方向 (Y-Y') 延伸; 多个栅极堆叠, 沿第二方向 (X-X') 延伸并且跨越了每个纳米线堆叠; 多个源漏区, 位于每个栅极堆叠沿第二方向 (X-X') 两侧; 多个沟道区, 由位于多个源漏区之间的纳米线堆叠构成; 其中多个纳米线堆叠为级联的多个纳米线构成的堆叠。通过多次回刻、侧向刻蚀沟槽并填充, 形成质量良好的级联的纳米堆叠, 以较低的成本充分增大导电沟道有效宽度, 并且提高了有效导电总面积, 从而提高驱动电流。



WO 2015/000205 A1

WO 2015/000205 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

级联堆叠纳米线MOS晶体管制作方法

本申请要求了2013年7月2日提交的、申请号为201310274977.8、发明名称为“级联堆叠纳米线MOS晶体管制作方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及一种半导体器件制造方法，特别是涉及一种新型的级联堆叠纳米线MOS晶体管制作方法。

背景技术

在当前的亚20nm技术中，三维多栅器件（FinFET或Tri-gate）是主要的器件结构，这种结构增强了栅极控制能力、抑制了漏电与短沟道效应。

例如，双栅SOI结构的MOSFET与传统的单栅体Si或者SOI MOSFET相比，能够抑制短沟道效应（SCE）以及漏致感应势垒降低（DIBL）效应，具有更低的结电容，能够实现沟道轻掺杂，可以通过设置金属栅极的功函数来调节阈值电压，能够得到约2倍的驱动电流，降低了对有效栅氧厚度（EOT）的要求。而三栅器件与双栅器件相比，栅极包围了沟道区顶面以及两个侧面，栅极控制能力更强。进一步地，全环绕纳米线多栅器件更具有优势。

环栅纳米线器件虽然有更好的栅控作用，能更有效的控制短沟道效应，在亚14纳米技术的缩减过程中更具优势，但是一个关键问题是由于微小的导电沟道，在等效硅平面面积内不能提供更多的驱动电流。

例如，对于等效线宽 $1\mu\text{m}$ 的器件而言，环栅纳米线器件的尺寸要满足： $d \cdot n + (n-1) \cdot s = 1\mu\text{m}$ ，并且 $\pi \cdot d \cdot n > 1\mu\text{m}$ 。其中， d 为单个纳米线（NW）的直径， n 为纳米线的数目， s 为纳米线之间的间距。因此，对于直径 d 分别为3、5、7、10nm的情形而言，纳米线间距 s 必须分别小于6.4、10.6、15、21.4nm。也即，如果要获得等同于体硅 $1\mu\text{m}$ 的栅宽，纳米线器件的平行排列要非常的紧密。依据现有的FinFET曝光和刻蚀技术（Fin间距在60纳米左右），制作这种极小间距的纳米线立体排列结构是很难实现的。

在垂直方向上实现堆叠环栅纳米线结构是提高晶体管驱动电流的有效方法，但在实现工艺（制作方法上）十分困难，与传统工艺兼容并减少工艺成本面临重大挑战。例如，一种现有的实现堆叠纳米线的是利用Si/SiGe多层异质外延并进行选择腐蚀，也即在埋氧层（BOX）上依次交替异质外延多个Si与SiGe的层叠，然后通过例如湿法腐蚀等方法选择性去除SiGe，从而留下Si纳米线的堆叠。这种方法严重受制于外延薄层质量的影响，极大的增加了工艺成

本。另一方面，在单位 footprint 面积下，传统结构（纳米线堆叠之间有栅极填充，也即每个纳米线四周均被 HK/MG 的栅极堆叠环绕）的堆叠纳米线有效总电流较小，而在同一投影面积下，非堆叠纳米线的鳍片（翅片，Fin）的导通有效截面积（垂直于 Fin 或者纳米线延伸方向截得，也即垂直于沟道方向）更大。

因此，需要寻找一种充分增大导电沟道有效宽度提高驱动电流的新型纳米线器件结构及其制造方法。

发明内容

由上所述，本发明的目的在于克服上述技术困难，提出一种新型纳米线器件结构及其制造方法，充分增大导电沟道有效宽度从而提高驱动电流。

为此，本发明提供了一种堆叠纳米线MOS晶体管制作方法，包括：在衬底上形成沿第一方向延伸的多个鳍片；在每个鳍片中形成由多个纳米线级联构成的纳米线堆叠；在纳米线堆叠上形成沿第二方向延伸的栅极堆叠结构；在栅极堆叠结构两侧形成源漏区，源漏区之间的纳米线构成沟道区。

其中，在每个鳍片中形成由多个纳米线级联构成的纳米线堆叠的步骤进一步包括：步骤a，侧向刻蚀鳍片，在鳍片沿第二方向的侧面形成凹槽；步骤b，沉积保护层，填充凹槽；以及重复步骤a和步骤b，形成多个纳米线。

其中，相邻的纳米线在平行于衬底表面的平面内相切或者相交。其中，相邻的纳米线的相交部分的尺寸小于纳米线自身尺寸的5%。

其中，凹槽和/或纳米线截面的形状包括矩形、梯形、倒梯形、圆形、椭圆形、 Σ 形、D形、C形及其组合。

其中，侧向刻蚀鳍片的步骤包括具有横向刻蚀深度的各向同性的等离子体干法刻蚀，或者各向同性刻蚀与各向异性刻蚀的组合方法。

其中，侧向刻蚀鳍片的步骤包括利用不同晶向上选择腐蚀的湿法腐蚀方法。

其中，形成多个纳米线之后进一步包括：去除保护层，露出多个纳米线；对纳米线堆叠进行表面处理、圆化工艺。

其中，栅极堆叠结构为适用于后栅工艺的假栅极堆叠结构，并且形成源漏区之后进一步包括：沉积层间介质层；刻蚀去除假栅极堆叠结构，留下栅极沟槽；在栅极沟槽中沉积栅极堆叠结构。

本发明还提供了由上述方法制造的一种堆叠纳米线MOS晶体管，包括：多个纳米线堆叠，在衬底上沿第一方向延伸；多个栅极堆叠，沿第二方向延伸并且跨越了每个纳米线堆叠；多

个源漏区，位于每个栅极堆叠沿第二方向两侧；多个沟道区，由位于多个源漏区之间的纳米线堆叠构成；其中多个纳米线堆叠为级联的多个纳米线构成的堆叠。

其中，相邻的纳米线在平行于衬底表面的平面内相切或者相交。

其中，相邻的纳米线的相交部分的尺寸小于纳米线自身尺寸的5%。

其中，纳米线截面的形状包括矩形、梯形、倒梯形、圆形、椭圆形、 Σ 形、D形、C形及其组合。

依照本发明的堆叠纳米线MOS晶体管及其制作方法，通过多次回刻、侧向刻蚀沟槽并填充，形成了质量良好的级联的纳米线堆叠，以较低的成本充分增大导电沟道有效宽度，并且提高了有效导电总截面面积，从而提高驱动电流。

附图说明

以下参照附图来详细说明本发明的技术方案，其中：

图1至图8为依照本发明的堆叠纳米线MOS晶体管制造方法各步骤的剖面示意图；以及图9为依照本发明的FinFET器件结构的立体示意图。

具体实施方式

以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果，公开了充分增大导电沟道有效宽度从而提高驱动电流的堆叠纳米线MOS晶体管及其制作方法。需要指出的是，类似的附图标记表示类似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构或制造工序。这些修饰除非特别说明并非暗示所修饰器件结构或制造工序的空间、次序或层级关系。

图9所示为依照本发明制造的堆叠纳米线MOS晶体管的立体示意图，其中堆叠纳米线MOS晶体管，包括衬底上沿第一方向延伸的多个纳米线堆叠，沿第二方向延伸并且跨越了每个纳米线堆叠的多个金属栅极，沿第一方向延伸的纳米线堆叠两侧的多个源漏区，位于多个源漏区之间的纳米线堆叠构成的多个沟道区，其中金属栅极环绕沟道区。以下将先参照图1至图8来描述制造方法的各个剖视图，最后将回头进一步详细描述图9的器件结构。

特别地，以下某图的左部所示是沿图9中垂直于沟道方向（沿第二方向，也即X-X'轴）的剖视图，某图的右部所示是沿图9中平行于沟道方向（沿第一方向，也即Y-Y'方向）的剖视图。

参照图1，形成沿第一方向（图9中X-X'轴线）延伸的多个鳍片结构，其中第一方向为未来器件沟道区延伸方向。提供衬底1，衬底1依照器件用途需要而合理选择，可包括单晶

体硅 (Si)、单晶体锗 (Ge)、应变硅 (Strained Si)、锗硅 (SiGe), 或是化合物半导体材料, 例如氮化镓 (GaN)、砷化镓 (GaAs)、磷化铟 (InP)、锑化铟 (InSb), 以及碳基半导体例如石墨烯、SiC、碳纳管等等。出于与 CMOS 工艺兼容的考虑, 衬底 1 优选地为体 Si。光刻/刻蚀衬底 1, 在衬底 1 中形成多个沿第一方向平行分布的沟槽 1G 以及沟槽 1G 之间剩余的衬底 1 材料所构成的鳍片 1F。沟槽 1G 的深宽比优选地大于 5:1。优选地, 在多个鳍片结构的顶部沉积硬掩模层 HM, 其材质可以是氧化硅、氮化硅、氮氧化硅及其组合, 并且优选地为氮化硅。

参照图 2, 刻蚀每个鳍片结构 1F, 形成级联的纳米线堆叠 1N1~1Nm。优选地, 通过干法或者湿法刻蚀, 以 HM 为掩模, 沿垂直于第一方向的第二方向 (图 9 中 Y-Y' 轴线) 侧向刻蚀每个鳍片结构 1F 的侧面, 在 1F 的侧面形成连续的向内 (从 1F 的侧面表层垂直地朝向中心) 凹陷 1R, 使得剩余的 1F 成为级联的纳米线堆叠, 从上至下依次包括多个纳米线 1N1、1N2……1Nm, 其中 m 为大于 1 的自然数 (依照器件性能需要, m 可以选择为 2~20)。相邻的纳米线 1Ni 与 1Nj 之间 (i、j 为不同的自然数) 具有连接处, 例如通过各自纳米线的顶点 (纳米线截面为圆形时为两圆之间的切点, 截面为矩形、菱形或其他多边形时为两者之间的重合顶点) 相连, 也即相邻的纳米线之间具有相互接触的切面。可选地, 连接处依照刻蚀工艺不同也可以具有一定尺寸 (沿第二方向), 例如一定的厚度/高度/宽度 (沿第一方向的长度与纳米线的长度相同), 但是优选地连接处的厚度/高度/宽度小于纳米线自身最大尺寸 (厚度/高度/宽度) 的 5% (从而在剖视图中示出为近似理想的切点), 例如其尺寸仅为 1nm 量级或者更小。刻蚀 1F 形成纳米线 1N 堆叠的刻蚀工艺可以是各向同性的氟基或氯基等离子体干法刻蚀, 或者 TMAH 湿法腐蚀, 选择刻蚀温度等工艺参数以提高对于侧面的刻蚀。优选地, 刻蚀工艺是反应离子刻蚀 (RIE), 刻蚀气体包括氟基或氯基气体, 例如 NF_3 、 SF_6 、 CF_4 、 CH_2F_2 、 CH_3F 、 CHF_3 、 Cl_2 等及其组合。依照刻蚀工艺参数不同, 可以控制凹进 1R 的形状为矩形、梯形、倒梯形、 Σ 形 (多段折线相连)、C 形 (超过 1/2 曲面, 曲面可以是圆面、椭圆面、双曲面)、D 形 (1/2 曲面, 曲面可以是圆面、椭圆面、双曲面), 从而使得纳米线 1N1~1Nm 的截面为圆形、椭圆形、矩形、菱形、梯形、倒梯形、C 形、D 形、 Σ 形以及其他多边形或曲面。获得的纳米线堆叠中, 最顶部 (1N1) 和最低部的纳米线 (1Nm) 可以是上述截面的一部分, 例如半圆。

在本发明一个优选实施例中, 刻蚀纳米线堆叠 1N 的工艺步骤具体包括:

沉积临时保护层 (或者后续的 STI2) 并回刻露出部分鳍片。沿第一方向在鳍片 1F 顶部中侧向刻蚀形成第一凹槽 (未示出), 暴露出鳍片 1F 位于 STI2 上方的顶部 (未来形成顶层沟道区的那部分)。第一凹槽的侧壁形状可以是矩形、梯形、倒梯形、 Σ 形 (多段折线相连)、C 形 (超过 1/2 曲面, 曲面可以是圆面、椭圆面、双曲面)、D 形 (1/2 曲面, 曲面可以是圆面、椭圆面、双曲面)。依照材料不同, 刻蚀方法可以是氟基或氯基等离子体干法刻蚀, 或者 TMAH

湿法腐蚀。

在整个器件上沉积第一保护层，其材质包括氧化硅、氮化硅、非晶硅、非晶锗、非晶碳等及其组合，优选地为与保护层或者 STI 2 材质相区别，从而避免后续刻蚀过程中被意外地去除。

各向异性刻蚀第一保护层，露出顶部纳米线以及 STI 2。各向异性刻蚀方法例如是碳氟氢基气体等离子刻蚀，并且调整刻蚀气体成分使得例如氧化硅的 STI 2 基本不被刻蚀，而仅刻蚀氮化硅的第一保护层。

回刻 STI2，暴露鳍片 1F 的中部。对于氧化硅材质的 STI2，可以采用 HF 基腐蚀液湿法去除，也可以采用氟基等离子体各向异性干法刻蚀，向下刻蚀 STI2 以暴露出鳍片 1F 的中部，该中部将用作稍后器件的沟道区，具体为纳米线堆叠的中部层，最底部将被刻蚀而作为器件的隔离区。

随后，重复以上步骤，依次刻蚀形成第二凹槽、沉积第二保护层、各向异性刻蚀第二保护层、回刻 STI2 露出鳍片 1F 的中部、刻蚀形成第三凹槽、沉积第三保护层、各向异性刻蚀第三保护层……，最终形成图 2 所示的结构。优选地，进行表面处理、圆化等工艺，使得由干法刻蚀形成的纳米线 1N1、1N2……1Nm 等的剖面形态向圆形转变，以提高栅极、沟道区的对称度，从而提高器件性能的均匀性。表面处理、圆化等工艺例如是采用表面氧化后再湿法微腐蚀的方法，表面氧化工艺包括炉温氧化或者强氧化剂溶液氧化等。表面处理、圆化等工艺还可以选择氢气高温烘烤等。表面处理、圆化等工艺还可选择各向同性腐蚀硅等。

在本发明另一个优选实施例中，刻蚀纳米线堆叠 1N 的工艺步骤具体包括：

在鳍片顶部 HM 层的掩蔽下，先用高各向异性的刻蚀条件（例如含 HBr 较多、功率较大、气压低等）垂直刻蚀，并用聚合物（例如常用的低 k 材料）钝化硅材质鳍片的侧墙，然后用高各向同性的刻蚀条件（例如含 HBr 较少、含 Cl 较多、功率较小、气压高等）进行各向同性刻蚀，在垂直与水平方向同时刻蚀，上部的硅侧墙由于聚合物保护不会横向刻蚀，如此反复形成级联的纳米线（NW）结构。通过调整两步刻蚀的转换时机与刻蚀条件可以使得级联的各个 NW 相切或者相交，形成图 2 所示的堆叠结构。

参照图 3，在纳米线堆叠 1N 之间的沟槽 1G 中通过 PECVD、HDPCVD、RTO（快速热氧化）等工艺沉积填充材质例如为氧化硅、氮氧化硅、碳氧化硅、low-k 等的绝缘隔离介质层，从而构成了浅沟槽隔离（STI）2。优选地，随后采用 CMP、回刻等工艺平坦化 STI 2 直至暴露硬掩模层 HM。

参照图 4，回刻 STI2，暴露纳米线堆叠 1N 的大部分，例如仅留下底部的若干（例如 1 个或 2 个）纳米线 1Nj~1Nm 埋设在 STI 2 内。对于氧化硅材质的 STI2，可以采用 HF 基腐蚀液

湿法去除，也可以采用氟基等离子体干法刻蚀，向下刻蚀 STI2 以暴露出纳米线堆叠，该暴露的纳米线堆叠将用作稍后器件的沟道区，最底部将被刻蚀而作为器件的隔离区。优选地，随后通过湿法腐蚀去除硬掩模层 HM。

参照图 5，在多个纳米线堆叠 1N 之间的再次暴露的沟槽 1G 中，填充假栅极堆叠层。首先在 STI2 以及纳米线堆叠 1N 上通过 LPCVD、PECVD、HDPCVD、RTO、化学氧化等方法沉积形成氧化硅材质的垫氧化层 3，用于保护纳米线堆叠 1N 不在后续刻蚀过程中被过刻蚀。在垫氧化层 3 上通过 PECVD、HDPCVD、MOCVD、MBE、ALD、蒸发、溅射等沉积方法形成假栅极层 4，材质可以是多晶硅、非晶硅、微晶硅、非晶碳、多晶锗、非晶锗等等及其组合。以上各层的厚度不必按照图示的比例，而是根据具体的器件尺寸以及电学性能需求而合理设定。假栅极堆叠 3/4 完全环绕包围了各个纳米线 1N1~1Nm 等等。

参照图 6，刻蚀假栅极堆叠层 3/4，形成沿第二方向跨越纳米线堆叠 1N 的假栅极堆叠结构。例如，采用现有公知的图形化方法，刻蚀假栅极堆叠 3/4 直至暴露纳米堆叠（顶部的 1N1），去除纳米堆叠 1N 的第一方向两侧的部分层 3/4，仅在纳米堆叠 1N 之上留下多个假栅极堆叠结构（图中仅显示一个）。

参照图 7，在纳米线堆叠 1N 沿第一方向的两侧形成源漏区 1S/1D。在本发明一个优选实施例中，刻蚀纳米线堆叠 1N，直至暴露衬底 1，通过 UHVCVD、MOCVD、ALD、MBE、常压外延等选择性外延形成抬升的源漏区 1S 和 1D，其材质可以与衬底 1 相同均为 Si；或者对于 PMOS 而言，源漏区可以是 SiGe、SiSn、GeSn、Si 等及其组合，从而向沟道区 1C 施加压应力，提高空穴迁移率；而对于 NMOS 而言，源漏区可以是 Si:C、Si:H、SiGe:C、Si 等及其组合，从而向沟道区 1C 施加张应力，提高电子迁移率。优选地，在外延同时原位掺杂或者在外延之后注入掺杂并退火激活，使得源漏区 1S/D 具有与衬底 1 不同的掺杂类型、浓度，以控制器件的电学特性。源漏区 1S/D 的顶部可以高于纳米线堆叠 1N 的顶部。优选地，可以在纳米线 1N 沿第一方向的侧面形成侧墙 5，并利用侧墙 5 形成轻掺杂的源漏扩展区与重掺杂的源漏区（均未分别示出）。

参照图 8，采用后栅工艺，完成后续制造。在整个器件上形成层间介质层（ILD）6，湿法刻蚀去除假栅极堆叠 3/4，在 ILD 6 中留下栅极沟槽（未示出），在栅极沟槽中依次沉积高 k 材料的栅极绝缘层 7 以及金属材料的栅极导电层 8，构成栅极堆叠结构。CMP 平坦化栅极堆叠结构直至暴露 ILD 6。此后，依照标准工艺，在 ILD 10 中刻蚀源漏接触孔（未示出）直达源漏区 1S/D，在源漏接触孔中沉积金属氮化物的阻挡层以及金属材料的导电层，形成源漏接触塞（未示出）。

最后形成的器件结构的立体图如图 9 所示，包括：衬底上沿第一方向延伸的多个纳米线

堆叠，沿第二方向延伸并且跨越了每个纳米线堆叠的多个金属栅极，沿第一方向延伸的纳米线堆叠两侧的多个源漏区，位于多个源漏区之间的纳米线堆叠构成多个沟道区，其中纳米线堆叠为级联的多个纳米线构成的堆叠，相邻的纳米线相切。或者。相邻纳米线具有连接部，并且连接部的尺寸小于纳米线自身尺寸的 5%。上述这些结构的材料和几何形状已在方法描述中详述，因此在此不再赘述。

依照本发明的堆叠纳米线MOS晶体管及其制作方法，通过多次回刻、侧向刻蚀沟槽并填充，形成了质量良好的级联的纳米线堆叠，以较低的成本充分增大导电沟道有效宽度，并且提高了有效导电总截面面积，从而提高驱动电流。

尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对器件结构做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

权 利 要 求

- 1、一种堆叠纳米线MOS晶体管制作方法，包括：
在衬底上形成沿第一方向延伸的多个鳍片；
在每个鳍片中形成由多个纳米线级联构成的纳米线堆叠；
在纳米线堆叠上形成沿第二方向延伸的栅极堆叠结构；
在栅极堆叠结构两侧形成源漏区，源漏区之间的纳米线构成沟道区。
- 2、如权利要求1的方法，其中，在每个鳍片中形成由多个纳米线级联构成的纳米线堆叠的步骤进一步包括：
步骤a，侧向刻蚀鳍片，在鳍片沿第二方向的侧面形成凹槽；
步骤b，沉积保护层，填充凹槽；以及
重复步骤a和步骤b，形成多个纳米线。
- 3、如权利要求2的方法，相邻的纳米线在平行于衬底表面的平面内相切或者相交。
- 4、如权利要求3的方法，其中，相邻的纳米线的相交部分的尺寸小于纳米线自身尺寸的5%。
- 5、如权利要求2的方法，其中，凹槽和/或纳米线截面的形状包括矩形、梯形、倒梯形、圆形、椭圆形、 Σ 形、D形、C形及其组合。
- 6、如权利要求2的方法，侧向刻蚀鳍片的步骤包括具有横向刻蚀深度的各向同性的等离子体干法刻蚀，或者各向同性刻蚀与各向异性刻蚀的组合方法。
- 7、如权利要求2的方法，侧向刻蚀鳍片的步骤包括利用不同晶向上选择腐蚀的湿法腐蚀方法。
- 8、如权利要求2的方法，其中，形成多个纳米线之后进一步包括：去除保护层，露出多个纳米线；对纳米线堆叠进行表面处理、圆化工艺。
- 9、如权利要求1的方法，其中，栅极堆叠结构为适用于后栅工艺的假栅极堆叠结构，并且形成源漏区之后进一步包括：沉积层间介质层；刻蚀去除假栅极堆叠结构，留下栅极沟槽；在栅极沟槽中沉积栅极堆叠结构。
- 10、一种堆叠纳米线MOS晶体管，包括：
多个纳米线堆叠，在衬底上沿第一方向延伸；
多个栅极堆叠，沿第二方向延伸并且跨越了每个纳米线堆叠；
多个源漏区，位于每个栅极堆叠沿第二方向两侧；
多个沟道区，由位于多个源漏区之间的纳米线堆叠构成；

其中多个纳米线堆叠为级联的多个纳米线构成的堆叠。

11、如权利要求10所述堆叠纳米线MOS晶体管，其中，相邻的纳米线在平行于衬底表面的平面内相切或者相交。

12、如权利要求11所述堆叠纳米线MOS晶体管，其中，相邻的纳米线的相交部分的尺寸小于纳米线自身尺寸的5%。

13、如权利要求10所述堆叠纳米线MOS晶体管，其中，纳米线截面的形状包括矩形、梯形、倒梯形、圆形、椭圆形、 Σ 形、D形、C形及其组合。

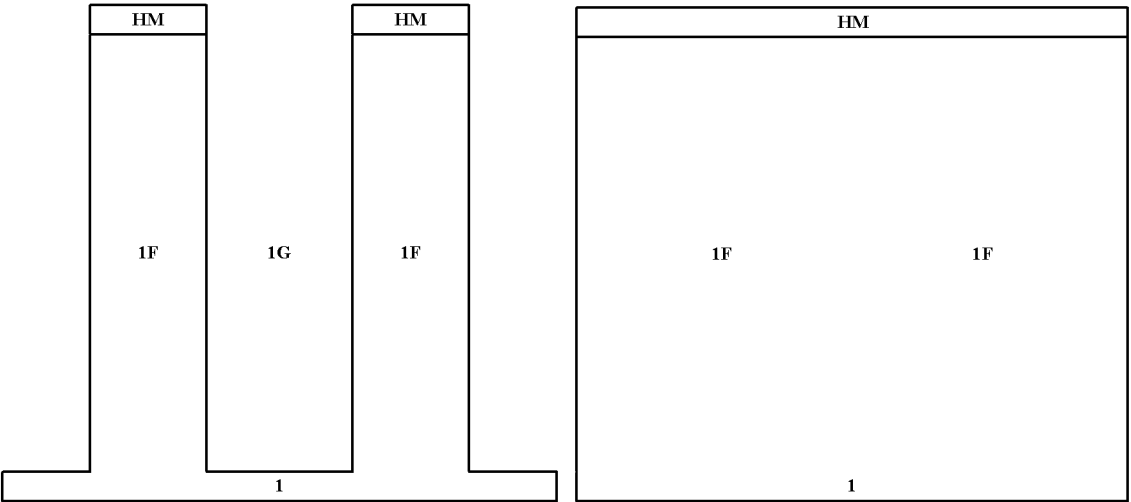


图 1

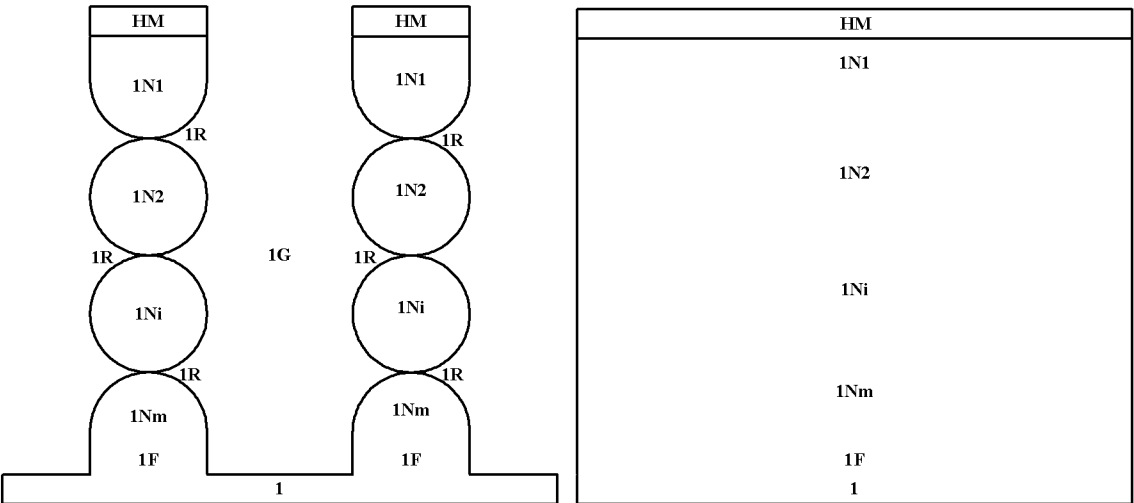


图 2

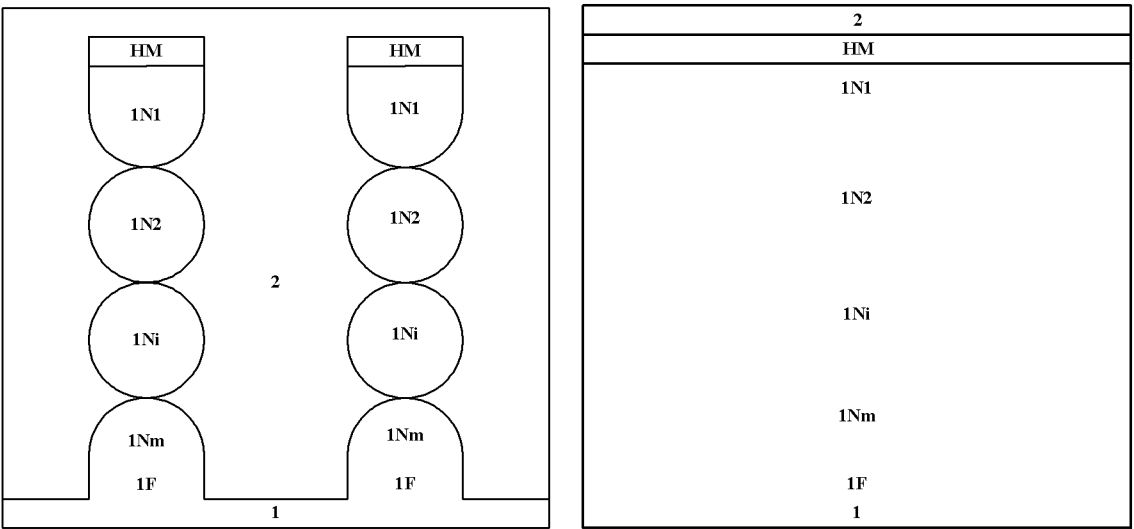


图 3

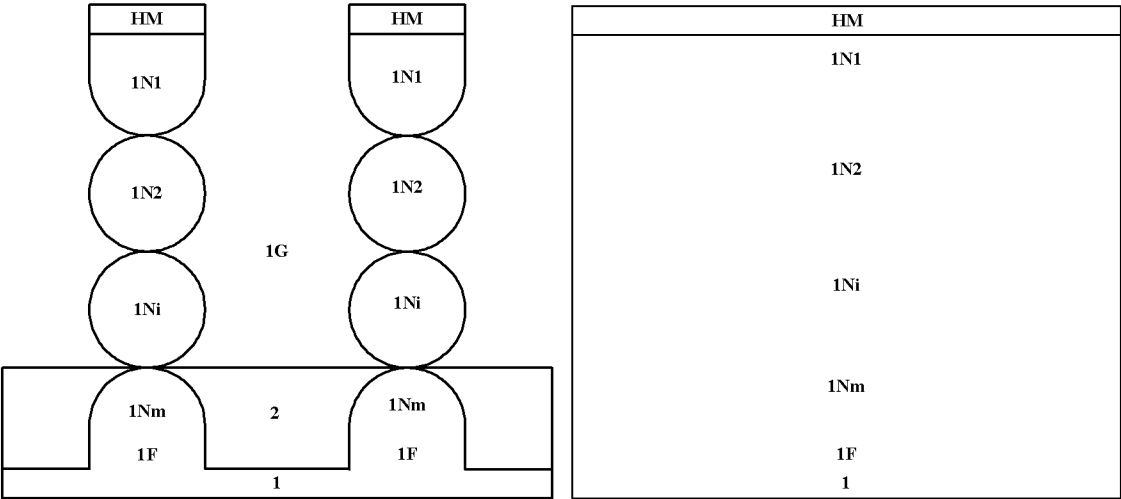


图 4

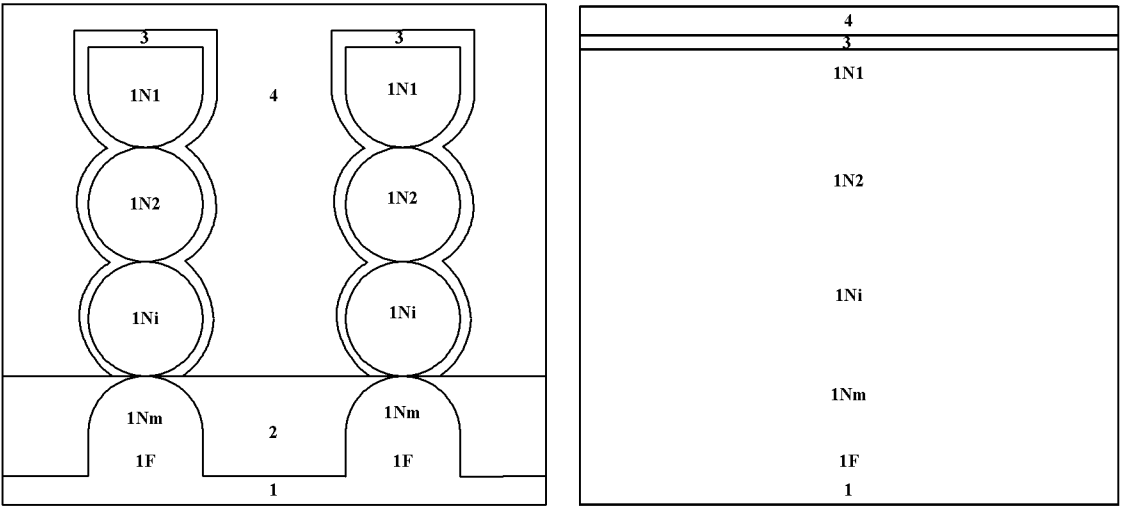


图 5

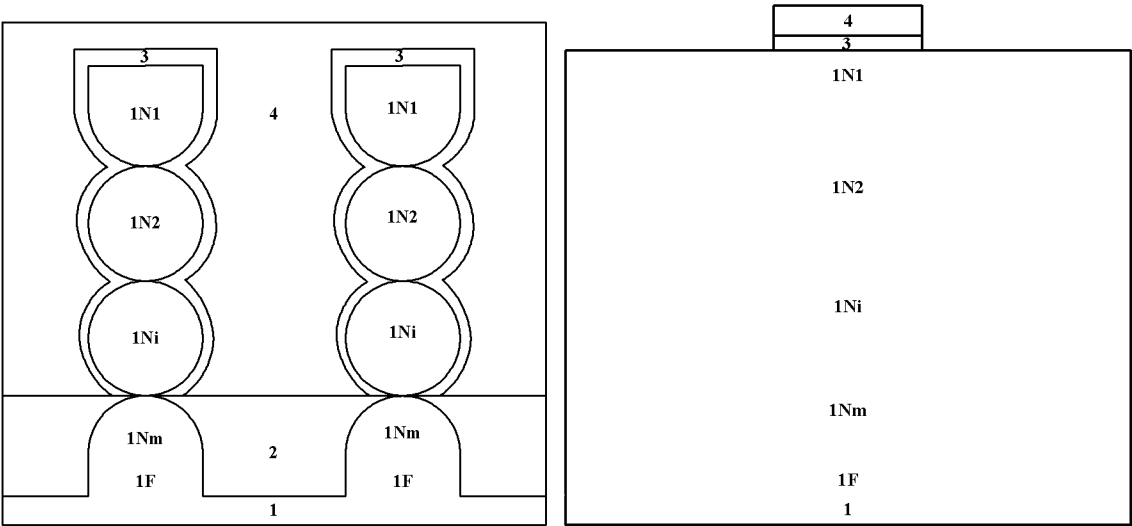


图 6

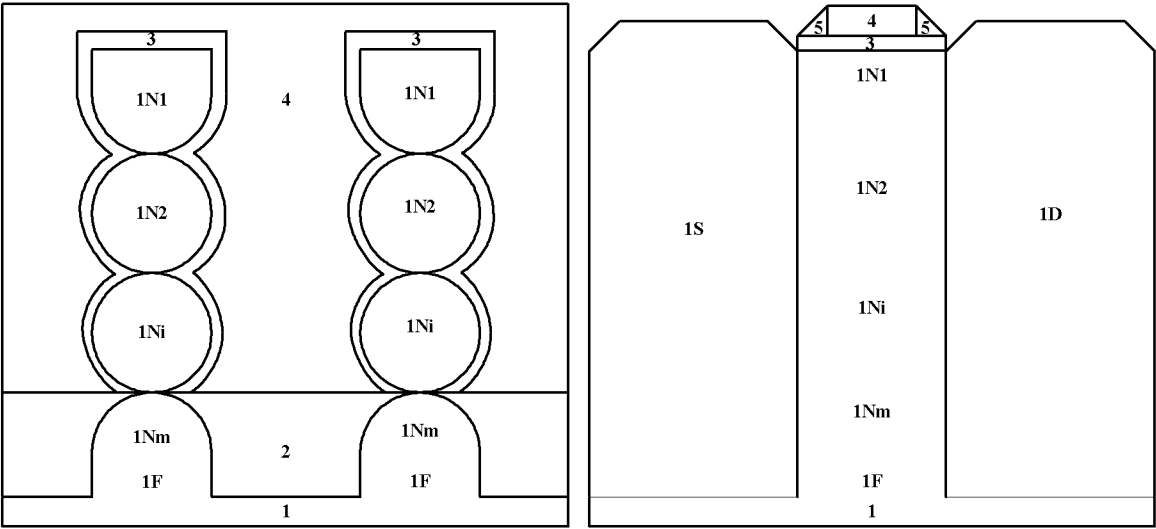


图 7

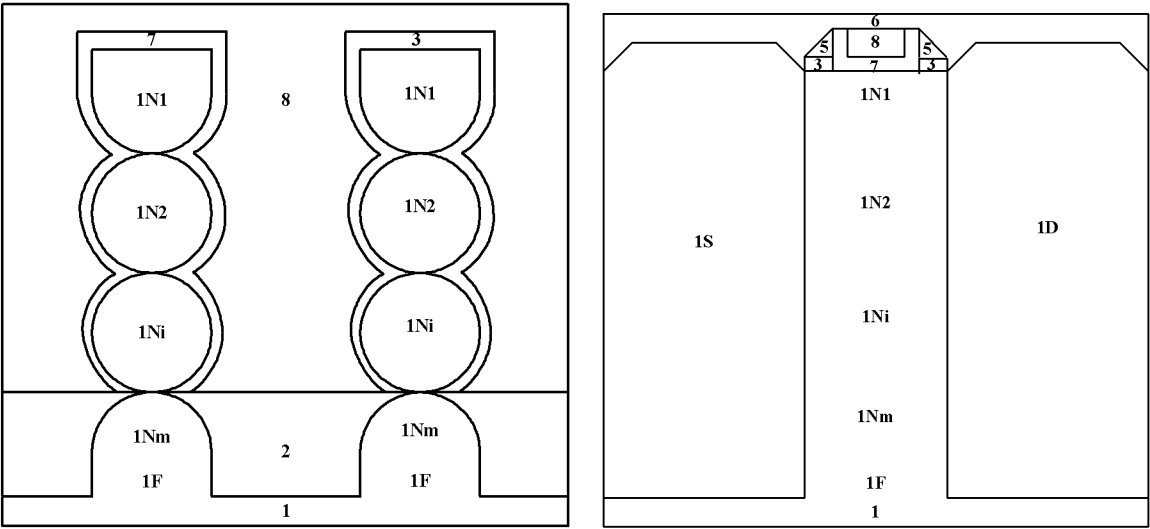


图 8

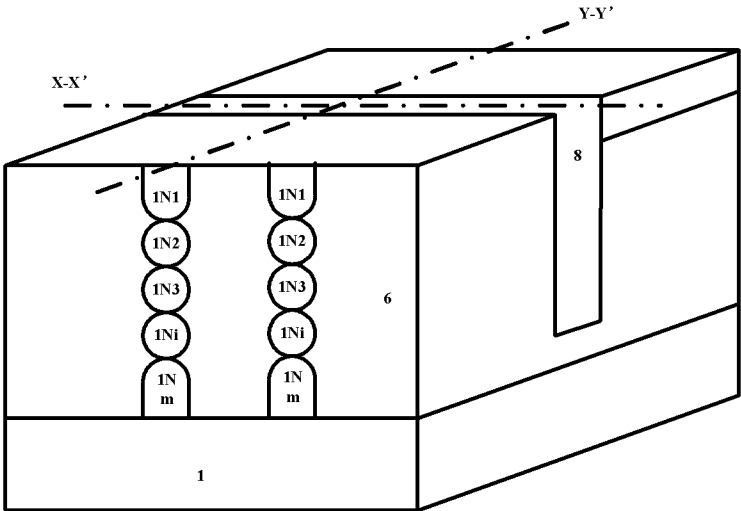


图9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/080893

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21; H01L 29

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPODOC; CNKI; IEEE; CPRS: source, region, drain, gate, insulate, film, nanometer, line, metal, oxide, semiconductor, stacks, cascading, active, fin, etch

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 7851790 B2 (INTEL CORP.) 14 December 2010 (14.12.2010) description, columns 2-8, figures 2A and 2J	1, 2, 5-9
A		3, 4, 10-13
X	CN 102569409 A (SHANGHAI HUALI MICRO-ELECTRONICS CO LTD) 11 July 2012 (11.07.2012) description, paragraphs [0047]-[0053], figures 1-9	10, 13
Y		1, 2, 5-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
19 March 2014 (19.03.2014)

Date of mailing of the international search report
27 March 2014 (27.03.2014)

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer
GAO, YingRan
Telephone No. (86-10) 62411596

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/080893

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 7851790 B2	14.12.2010	US 2010164102 A1	01.07.2010
CN 102569409 A	11.07.2012	None	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/080893

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

H01L 29/06 (2006.01) i

H01L 29/78 (2006.01) i

国际检索报告

国际申请号

PCT/CN2013/080893

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L21, H01L29

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))WPI;EPODOC;CNKI;IEEE;CPRS: 源区 漏区 栅绝缘膜 栅极 纳米线 金属氧化物半导体 堆叠 级联 有源区 鳍 蚀刻 刻蚀 MOS SOURCE DRAIN GATE INSULATOR NANOWIRE STACKS CASCADING FIN ETCH

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US 7851790 B2 (英特尔公司) 14.12 月 2010 (14.12.2010) 说明书 2-8 栏, 图 2A-2J	1, 2, 5-9
A		3, 4, 10-13
X	CN 102569409 A (上海华力微电子有限公司) 11.7 月 2012 (11.07.2012) 说明书【0047】-【0053】, 图 1-9	10, 13
Y		1, 2, 5-9



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

19.3 月 2014 (19.03.2014)

国际检索报告邮寄日期

27.3 月 2014 (27.03.2014)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

高莺然

电话号码: (86-10) 62411596

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/080893

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US 7851790 B2	14.12.2010	US 2010164102 A1	01.07.2010
CN 102569409 A	11.07.2012	无	

A. 主题的分类

H01L21/336 (2006.01) i

H01L29/06 (2006.01) i

H01L29/78 (2006.01) i