

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 11 月 5 日(05.11.2015)



(10) 国際公開番号

WO 2015/166857 A1

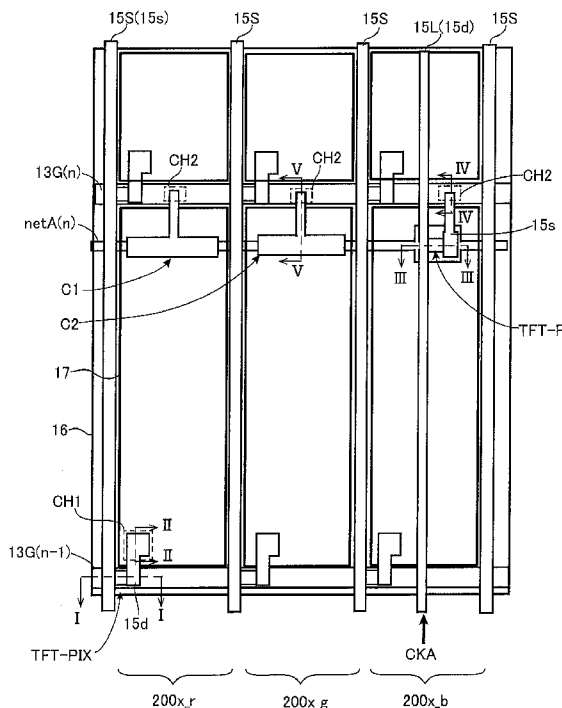
- (51) 国際特許分類:
G02F 1/1368 (2006.01) G09G 3/20 (2006.01)
G09F 9/30 (2006.01) G09G 3/36 (2006.01)
G09F 9/35 (2006.01)
- (21) 国際出願番号: PCT/JP2015/062235
- (22) 国際出願日: 2015 年 4 月 22 日(22.04.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-092767 2014 年 4 月 28 日(28.04.2014) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 野間 健史(NOMA Takeshi). 田中 耕平(TANAKA Kohhei). 西山 隆之(NISHIYAMA Takayuki). 米林 諒(YONEBAYASHI Ryo).
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et al.); 〒5300004 大阪府大阪市北区堂島浜 2 丁目 2 番 2 8 号堂島アクシスビル インテリクス特許法律事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: ACTIVE MATRIX SUBSTRATE AND DISPLAY DEVICE HAVING SAME

(54) 発明の名称: アクティブマトリクス基板、及びそれを備えた表示装置

[図8]



(57) Abstract: Provided is a technique for inhibiting parasitic capacitance in a drive circuit, and more reliably switching a gate line to a selective state. This active matrix substrate is provided with a drive circuit for switching the gate line (13G) to a selective state in a pixel area prescribed by source lines (15S) and gate lines (13G). The drive circuit has: a plurality of switching elements including an output switching element (TFT-F) for outputting a selective voltage to the gate line; and internal wiring (netA) connecting the gate terminal of the output switching element (TFT-F) to at least one other switching element. In a pixel area in which the internal wiring and/or another switching element is situated, the active matrix substrate is provided with inhibitors (C1, C2) for inhibiting parasitic capacitance in the drive circuit.

(57) 要約: 駆動回路における寄生容量を抑制し、ゲート線をより確実に選択状態に切り替える技術を提供する。アクティブマトリクス基板は、ソース線(15S)とゲート線(13G)とで規定される画素領域において、ゲート線(13G)を選択状態に切り替える駆動回路を備える。駆動回路は、ゲート線に選択電圧を出力する出力用スイッチング素子(TFT-F)を含む複数のスイッチング素子と、出力用スイッチング素子(TFT-F)のゲート端子と少なくとも1つの他のスイッチング素子とが接続された内部配線(netA)とを有する。アクティブマトリクス基板は、内部配線、及び他のスイッチング素子の少なくとも一方が配置される画素領域において、駆動回路における寄生容量を抑制する抑制部(C1, C2)を備える。



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))
KM, ML, MR, NE, SN, TD, TG).

明 細 書

発明の名称：

アクティブマトリクス基板、及びそれを備えた表示装置

技術分野

[0001] 本発明は、アクティブマトリクス基板、及びそれを備えた表示装置に関する。

背景技術

[0002] 特表２００４－５３８５１１号公報には、列アドレス導体の一端側から延伸して各行アドレス導体で終端する導線と、終端位置から画素エレメントを通り、列アドレス導体の延伸方向の他端側まで延伸する相補的な導線が設けられたアクティブマトリクス表示装置が開示されている。相補的な導線は、共通の導線を介して参照信号源に接続され、導線の一端側から行アドレス導体を選択信号が供給される。

発明の開示

[0003] 特表２００４－５３８５１１号公報は、相補的な導線を行アドレス導体から画素エレメントを通して列アドレス導体の他端側まで引き回すため、行アドレス導体の延伸方向の一端側から行アドレス導体を選択信号を供給する場合と比べて狭額縁化を図ることができる。しかしながら、行アドレス導体を引き回すことによって行アドレス導体の寄生容量が大きくなる。

[0004] また、アクティブマトリクス基板には、ゲート線ごとに、複数のスイッチング素子を含む駆動回路が設けられる。駆動回路において、ゲート線を選択電圧を出力する出力用スイッチング素子は、そのゲート端子が駆動回路における内部配線に接続されている。ゲート線を選択状態に切り替える際の内部配線の電位の上昇によって、出力用スイッチング素子を介してゲート線を選択電圧が出力され、ゲート線が充電される。そのため、駆動回路における内部配線やスイッチング素子が寄生容量を持つと、内部配線の電位が上昇せず、ゲート線を選択状態に切り替えることができなくなる。

[0005] 本発明は、駆動回路における寄生容量を抑制し、ゲート線をより確実に選択状態に切り替える技術を提供することを目的とする。

[0006] 本発明に係るアクティブマトリクス基板は、複数のソース線と、前記複数のソース線と交差する複数のゲート線とを備え、前記複数のソース線と前記複数のゲート線とで規定される複数の画素領域の各々に画素電極を有するアクティブマトリクス基板であって、前記複数の画素領域における一部の画素領域に設けられ、供給される制御信号に応じてゲート線を選択状態に切り替える駆動回路をゲート線ごとに有する駆動部と、前記一部の画素領域において、前記駆動回路における寄生容量を抑制する抑制部と、を備え、前記駆動回路は、複数のスイッチング素子と、前記複数のスイッチング素子のうち、一のゲート線を選択状態に切り替える選択電圧を出力する出力用スイッチング素子のゲート端子と、少なくとも1つの他のスイッチング素子と、前記一のゲート線とに接続された内部配線とを有し、前記抑制部は、前記駆動回路における前記内部配線、及び前記他のスイッチング素子の少なくとも一方が配置される画素領域に設けられる。

[0007] 本発明の構成によれば、駆動回路における寄生容量を抑制し、ゲート線をより確実に選択状態に切り替えることができる。

図面の簡単な説明

[0008] [図1]図1は、第1実施形態に係る液晶表示装置の概略構成を示した模式図である。

[図2]図2は、図1に示すアクティブマトリクス基板の概略構成を示す模式図である。

[図3]図3は、図1に示すアクティブマトリクス基板とアクティブマトリクス基板と接続されている各部の概略構成を示す模式図である。

[図4]図4は、第1実施形態におけるクロック信号の波形を例示した図である。

[図5]図5は、図3に示すゲートドライバの等価回路の一例を示す図である。

[図6]図6は、図5に示すゲートドライバによってゲート線を駆動するタイミ

ングチャートである。

[図7A]図7 Aは、図5に示すゲートドライバの表示領域内の配置例を示す模式図である。

[図7B]図7 Bは、図5に示すゲートドライバの表示領域内の配置例を示す模式図である。

[図8]図8は、図7 Bに示すT F TーFが配置されている画素の構成例を示す模式図である。

[図9A]図9 Aは、図8に示すT F TーP I Xの部分をIーI線で切断した断面図である。

[図9B]図9 Bは、図8に示すコンタクトC H 1をI IーI I線で切断した断面図である。

[図9C]図9 Cは、図8に示すT F TーFの部分をI I IーI I I線で切断した断面図である。

[図9D]図9 Dは、図8に示すコンタクトC H 2をI VーI V線で切断した断面図である。

[図9E]図9 Eは、図8における電極部C 2の部分をVーV線で切断した断面図を示す。

[図10]図1 0は、図7 Bに示すT F TーFが配置された、第2実施形態における画素の構成例を示す模式図である。

[図11]図1 1は、図1 0に示す破線枠1 6 0の部分をV IーV I線で切断した断面図である。

[図12]図1 2は、図9 Eにおいてn e t Aと重なるシールド層に開口部を設けた断面図である。

[図13]図1 3は、図7 Bに示すT F TーAが配置された、第3実施形態における画素の構成例を示す模式図である。

[図14]図1 4は、図1 3に示すT F TーAをV I IーV I I線で切断した断面図である。

[図15]図1 5は、図7 Bに示すT F TーAが配置された、第4実施形態にお

ける画素の構成例を示す模式図である。

[図16]図16は、ソース端子とドレイン端子とを平行に配置したTFTと、ソース端子とドレイン端子とを櫛歯状に配置したTFTの寄生容量について説明する図である。

[図17]図17は、第4実施形態におけるゲート線の構成例を説明する図である。

発明を実施するための形態

[0009] 本発明の一実施形態に係るアクティブマトリクス基板は、複数のソース線と、前記複数のソース線と交差する複数のゲート線とを備え、前記複数のソース線と前記複数のゲート線とで規定される複数の画素領域の各々に画素電極を有するアクティブマトリクス基板であって、前記複数の画素領域における一部の画素領域に設けられ、供給される制御信号に応じてゲート線を選択状態に切り替える駆動回路をゲート線ごとに有する駆動部と、前記一部の画素領域において、前記駆動回路における寄生容量を抑制する抑制部と、を備え、前記駆動回路は、複数のスイッチング素子と、前記複数のスイッチング素子のうち、一のゲート線を選択状態に切り替える選択電圧を出力する出力用スイッチング素子のゲート端子と、少なくとも1つの他のスイッチング素子と、前記一のゲート線とに接続された内部配線とを有し、前記抑制部は、前記駆動回路における前記内部配線、及び前記他のスイッチング素子の少なくとも一方が配置される画素領域に設けられる（第1の構成）。

[0010] 第1の構成によれば、アクティブマトリクス基板の一部の画素領域に駆動部を備える。駆動部は、供給される制御信号に応じてゲート線を選択状態に切り替える駆動回路をゲート線ごとに有する。駆動回路は、複数のスイッチング素子と内部配線とを有する。内部配線は、ゲート線に選択電圧を出力する出力用スイッチング素子のゲート端子と、少なくとも1つの他のスイッチング素子と、一のゲート線とに接続されている。内部配線の寄生容量が大きくなると、ゲート線を選択状態に切り替える際に内部配線の電位が上昇せず、出力用スイッチング素子を介してゲート線に選択電圧を出力することがで

きない。上記第1の構成では、内部配線、及び他のスイッチング素子の少なくとも一方が配置される画素領域に抑制部が設けられるため、内部配線及び他のスイッチング素子の少なくとも一方の寄生容量が抑制される。そのため、抑制部を設けない場合と比べ、ゲート線を選択状態に切り替える際に、内部配線の電位を上昇させることができ、ゲート線をより確実に選択状態に切り替えることができる。

[0011] 第2の構成は、第1の構成において、前記駆動回路は、前記アクティブマトリクス基板において、前記画素電極と前記ゲート線が設けられた層との間に設けられ、前記一部の画素領域における前記画素電極と前記駆動回路との間に導電層を備え、前記抑制部は、前記駆動回路における前記内部配線と、前記他のスイッチング素子の少なくとも一方と前記導電層とが重なる位置に設けられることとしてもよい。

[0012] 第2の構成によれば、一部の画素領域において、画素電極と駆動回路との間に導電層が設けられるため、画素電極と駆動回路の間の干渉を防止することができる。また、この構成により、駆動回路の内部配線と他のスイッチング素子の少なくとも一方と導電層とが重なる位置に抑制部が設けられる。そのため、導電層と内部配線及び他のスイッチング素子の少なくとも一方との間の寄生容量を抑制することができる。

[0013] 第3の構成は、第2の構成において、前記内部配線は、前記一のゲート線と同層に形成され、前記抑制部は、前記駆動回路における前記内部配線が配置される画素領域において、前記導電層と前記内部配線との間に、コンタクトを介して前記一のゲート線と接続された電極部を備えることとしてもよい。

[0014] 第3の構成によれば、内部配線が配置される画素領域において、導電層と内部配線との間に電極部が設けられ、電極部はコンタクトを介して一のゲート線に接続される。電極部によって内部配線と導電層との間の寄生容量が抑制されるので、内部配線の電位を上昇させることができる。また、電極部と内部配線とによって容量が形成されるので、内部配線の電位を増幅させるこ

とができる。

[0015] 第4の構成は、第2又は第3の構成の前記抑制部は、前記駆動回路における前記内部配線が配置される画素領域の前記導電層において、前記内部配線と重なる位置に開口部を有することとしてもよい。

[0016] 第4の構成によれば、導電層において内部配線と重なる位置に開口部が設けられる。そのため、内部配線と導電層との間の寄生容量が抑制され、内部配線の電位を上昇させることができる。

[0017] 第5の構成は、第2又は第3の構成において、前記抑制部は、前記駆動回路における前記他のスイッチング素子が配置される画素領域の前記導電層において、前記他のスイッチング素子と重なる位置に開口部を有することとしてもよい。

[0018] 第5の構成によれば、導電層において、ドレイン端子が内部配線に接続された他のスイッチング素子と重なる位置に開口部が設けられる。そのため、他のスイッチング素子と導電層との間の寄生容量が抑制され、内部配線の電位を上昇させることができる。

[0019] 第6の構成は、第1から第5のいずれかの構成の前記他のスイッチング素子において、互いに面積が異なるドレイン端子とソース端子とが設けられ、前記抑制部は、前記ドレイン端子と前記ソース端子のうち面積が小さい方の端子と前記内部配線とを接続する接続部を有することとしてもよい。

[0020] 第6の構成によれば、他のスイッチング素子におけるドレイン端子とソース端子のうち、面積が小さい方の端子が接続部によって内部配線と接続される。そのため、同等の面積を有するドレイン端子とソース端子が設けられたスイッチング素子と比べ、内部配線との間の寄生容量を低減することができる。

[0021] 本発明の一実施形態に係る表示装置は、第1から第6のいずれかのアクティブマトリクス基板と、カラーフィルタを有する対向基板と、前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶層と、を有する（第7の構成）。

[0022] 以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

[0023] <第1実施形態>

(液晶表示装置の構成)

図1は、本実施形態に係る液晶表示装置の概略構成を示した模式図である。液晶表示装置1は、表示パネル2、ソースドライバ3、表示制御回路4、及び電源5を有する。表示パネル2は、アクティブマトリクス基板20aと、対向基板20bと、これら基板に挟持された液晶層（図示略）とを有する。図1において図示を省略しているが、アクティブマトリクス基板20aと対向基板20bとを挟むように、一对の偏光板が設けられている。対向基板20bには、ブラックマトリクスと、赤（R）、緑（G）、青（B）の3色のカラーフィルタと、共通電極（いずれも図示略）が形成されている。

[0024] 図1に示すように、アクティブマトリクス基板20aは、フレキシブル基板に形成されたソースドライバ3と電氣的に接続されている。表示制御回路4は、表示パネル2、ソースドライバ3、及び電源5と電氣的に接続されている。表示制御回路4は、ソースドライバ3と、アクティブマトリクス基板20aに設けられた後述の駆動回路（以下、ゲートドライバと称する）とに制御信号を出力する。電源5は、表示パネル2、ソースドライバ3、及び表示制御回路4と電氣的に接続されており、各々に電源電圧信号を供給する。

[0025] (アクティブマトリクス基板の構成)

図2は、アクティブマトリクス基板20aの概略構成を示す模式図である。アクティブマトリクス基板20aにおいて、X軸方向の一端から他端までM（M：自然数）本のゲート線13G（1）～13G（M）が一定の間隔で略平行に形成されている。以下、ゲート線を区別しないときは、ゲート線13Gと称する。アクティブマトリクス基板20aには、各ゲート線13Gと交差するように複数のソース線15Sが形成されている。ゲート線13Gとソース線15Sとで囲まれる領域が1つの画素を形成し、各画素は、カラーフィルタのいずれかの色に対応している。

[0026] 図3は、アクティブマトリクス基板20aと、アクティブマトリクス基板20aと接続されている各部の概略構成を示す模式図である。図3では、便宜上、ソース線15Sの図示を省略している。図3の例に示すように、ゲートドライバ11は、表示領域201におけるゲート線13Gとゲート線13Gの間に配置されている。この例では、ゲート線13Gごとに1つのゲートドライバ11が設けられる。各ゲートドライバ11は、表示領域201の領域201a、領域201b、領域201c、及び領域201dのいずれかに配置されている。領域201a、領域201b、領域201c、及び領域201dには、4本のゲート線13G単位に1つのゲートドライバ11が配置される。同じ領域に配置されたゲートドライバ11は、配線15Lを介して相互に接続されている。

[0027] 図3に示すアクティブマトリクス基板20aにおいて、ソースドライバ3が設けられている辺の額縁領域202には、端子部12gが設けられている。端子部12gは、表示制御回路4及び電源5と接続されている。端子部12gは、表示制御回路4及び電源5から出力される制御信号や電源電圧信号等の信号を受け取る。端子部12gに入力された制御信号及び電源電圧信号等の信号は、配線15Lを介して各ゲートドライバ11に供給される。ゲートドライバ11は、供給される信号に応じて、接続されているゲート線13Gに対し、選択状態と非選択状態の一方を示す電圧信号を出力する。以下の説明において、ゲート線13Gが選択されている状態をゲート線13Gの駆動と呼ぶ。

[0028] また、アクティブマトリクス基板20aにおける額縁領域202には、ソースドライバ3とソース線15S（図2参照）とを接続する端子部12sが設けられている。ソースドライバ3は、表示制御回路4から入力される制御信号に応じて、各ソース線15S（図2参照）にデータ信号を出力する。

[0029] 表示制御回路4は、制御信号として、一水平期間ごとにHレベルとLレベルとを繰り返す信号（以下、クロック信号）と、クロック信号のHレベルと同じ電位の信号（以下、リセット信号）とを端子部12gへ供給する。

[0030] 図4は、クロック信号の波形を例示した図である。本実施形態では、クロック信号として、互いの位相が反転する2相のクロック信号CKA、及びCKBが端子部12gへ供給される。なお、この例において、2相のクロック信号を用いるが、例えば、2水平走査期間毎にHレベルとLレベルとを繰り返す、位相が1/4周期ずつずれた4相のクロック信号や、4水平走査期間毎にHレベルとLレベルとを繰り返す、位相が1/8周期ずつずれた8相のクロック信号等、位相が異なる複数のクロック信号を用いてもよい。

[0031] 次に、本実施形態におけるゲートドライバ11の構成について説明する。図5は、ゲート線13G(n)を駆動するゲートドライバ11(以下、ゲートドライバ11(n))の等価回路の一例を示す図である。

[0032] 図5に示すように、ゲートドライバ11(n)は、スイッチング素子として、アルファベットA~Kで示す薄膜トランジスタ(TFT:Thin Film Transistor)(以下、TFT-A~TFT-K)と、キャパシタCbstとを有する。

[0033] 図5において、TFT-Bのソース端子と、TFT-A、TFT-C、及びTFT-Dのドレイン端子と、TFT-Fのゲート端子と、キャパシタCbstの一方の電極とが接続されている内部配線をnetAと称する。また、TFT-Iのソース端子と、TFT-H、TFT-J、及びTFT-Kのドレイン端子と、TFT-Dのゲート端子とが接続されている内部配線をnetBと称する。

[0034] TFT-Aのドレイン端子はnetAと接続され、ゲート端子にリセット信号CLRが供給され、ソース端子に電源電圧信号VSSが供給される。

[0035] TFT-Bのゲート端子とドレイン端子とが接続され、ゲート端子とドレイン端子はゲート線13G(n-1)と接続されている。また、TFT-Bのソース端子は、netAに接続されている。TFT-Bは、セット信号Sとして、ゲート線13G(n-1)の電位を受け取る。なお、ゲート線13G(1)を駆動するゲートドライバ11におけるTFT-Bは、セット信号Sとして、表示制御回路4から出力されるゲートスタートパルス信号を受け

取る。

- [0036] キャパシタ C_{bst} は、一方の電極が $net\ A\ (n)$ と接続され、他方の電極がゲート線 $1\ 3\ G\ (n)$ と接続されている。
- [0037] $TFT-C$ のゲート端子は、ゲート線 $1\ 3\ G\ (n+1)$ と接続され、ドレイン端子は $net\ A\ (n)$ と接続され、ソース端子に電源電圧信号 VSS が供給される。
- [0038] $TFT-D$ は、ゲート端子が $net\ B\ (n)$ と接続され、ドレイン端子が $net\ A\ (n)$ と接続され、ソース端子に電源電圧信号 VSS が供給される。
- [0039] $TFT-E$ は、ドレイン端子がゲート線 $1\ 3\ G\ (n)$ と接続され、ゲート端子にリセット信号 CLR が供給され、ソース端子に電源電圧信号 VSS が供給される。
- [0040] $TFT-F$ は、ゲート端子が $net\ A\ (n)$ と接続され、ソース端子がゲート線 $1\ 3\ G\ (n)$ に接続され、ドレイン端子にクロック信号 CKA が供給される。 $TFT-F$ は、ゲート線 $1\ 3\ G\ (n)$ を選択状態に切り替える選択電圧をゲート線 $1\ 3\ G\ (n)$ に出力する出力バッファとして機能する。出力バッファは、他の TFT と比べて負荷が大きいためチャネル幅を大きくする必要がある。図5に示す等価回路においては、 $TFT-F$ を1つの TFT で表しているが、本実施形態では、 $TFT-F$ は、複数の TFT を接続して構成される。 $TFT-F$ の具体的な構成例は後述する。
- [0041] $TFT-G$ は、ドレイン端子がゲート線 $1\ 3\ G\ (n)$ と接続され、ゲート端子にクロック信号 CKB が供給され、ソース端子に電源電圧信号 VSS が供給される。
- [0042] $TFT-H$ は、ドレイン端子が $net\ B\ (n)$ に接続され、ゲート端子にクロック信号 CKA が供給され、ソース端子に電源電圧信号 VSS が供給される。
- [0043] $TFT-I$ は、ゲート端子とドレイン端子とが接続され、ゲート端子とドレイン端子にクロック信号 CKB が供給される。 $TFT-I$ のソース端子は

net B (n) に接続されている。

[0044] TFT-J は、ゲート端子がゲート線 13G (n-1) と接続され、ドレイン端子が net B (n) と接続され、ソース端子に電源電圧信号 VSS が供給される。TFT-J は、セット信号 S として、ゲート線 13G (n-1) の電位を受け取る。なお、ゲート線 13G (1) を駆動するゲートドライバ 11 における TFT-J は、セット信号 S として、表示制御回路 4 から出力されるゲートスタートパルス信号を受け取る。

[0045] TFT-K は、ドレイン端子が net B (n) と接続され、ゲート端子にリセット信号 CLR が供給され、ソース端子に電源電圧信号 VSS が供給される。

[0046] 次に、ゲートドライバ 11 の動作について説明する。図 6 は、ゲートドライバ 11 (n) がゲート線 13G (n) を駆動する際のタイミングチャートである。

[0047] ゲートドライバ 11 (n) には、表示制御回路 4 から供給されるクロック信号 CKA、CKB が入力される。なお、図 6 では図示を省略しているが、一垂直走査期間毎に一定期間 H (High) レベルとなるリセット信号 CLR が表示制御回路 4 から各ゲートドライバ 11 に入力される。リセット信号 CLR が入力されると、ゲートドライバ 11 (n) における net A (n)、net B (n)、及びゲート線 13G の電位は L (Low) レベルに遷移する。

[0048] 時刻 t1 から t2 において、クロック信号 CKA の L レベルの電位と、クロック信号 CKB の H レベルの電位とがゲートドライバ 11 (n) に入力される。これにより、TFT-I がオン状態となり、TFT-H がオフ状態となるため net B (n) は H レベルの電位に充電される。また、TFT-D がオン状態となり、net A (n) は電源電圧 VSS (L レベル) に充電される。また、TFT-G がオン状態、TFT-F がオフ状態となるため、ゲート線 13G (n) は L レベルの電位に充電される。

[0049] 次に、時刻 t2 において、クロック信号 CKA の H レベルの電位と、クロック信号 CKB の L レベルの電位とがゲートドライバ 11 (n) に入力され

る。これにより、 $TFT-I$ がオフ状態となり、 $TFT-H$ がオン状態となるため $net B(n)$ はLレベルの電位に充電される。また、 $TFT-D$ がオフ状態となり、 $net A(n)$ は電源電圧 VSS （Lレベル）の電位に維持される。このとき、 $TFT-G$ がオフ状態、 $TFT-F$ がオフ状態となるため、ゲート線 $13G(n)$ はLレベルの電位に維持される。

[0050] 時刻 t_3 において、ゲート線 $13G(n-1)$ が駆動され、クロック信号 CKA のLレベルの電位と、クロック信号 CKB のHレベルの電位とがゲートドライバ $11(n)$ に入力される。 $TFT-I$ がオン状態、 $TFT-H$ がオフ状態となるが、 $TFT-J$ のゲート端子に、セット信号 S としてゲート線 $13G(n-1)$ のHレベルの電位が入力され、 $TFT-J$ はオン状態となる。 $TFT-I$ よりも $TFT-J$ の方が TFT の充電能力を高く設定することで、 $net B(n)$ はLレベルの電位に維持される。

[0051] また、 $TFT-B$ のゲート端子及びドレイン端子に、セット信号 S として、ゲート線 $13G(n-1)$ のHレベルの電位が入力され、 $TFT-B$ はオン状態となる。 $TFT-D$ はオフ状態のため、 $net A(n)$ は（Hレベルの電位－ $TFT-B$ の閾値電圧）の電位にプリチャージされ、 $TFT-F$ はオン状態となる。このとき、 $TFT-G$ はオン状態となるため、ゲート線 $13G(n)$ はLレベルの電位に維持される。

[0052] 続いて、時刻 t_4 において、ゲート線 $13G(n-1)$ が非選択状態となり、クロック信号 CKA のHレベルの電位と、クロック信号 CKB のLレベルの電位とがゲートドライバ $11(n)$ に入力される。

[0053] $TFT-I$ はオフ状態、 $TFT-H$ はオン状態となり、 $TFT-J$ のゲート端子に、セット信号 S としてゲート線 $13G(n-1)$ のLレベルの電位が入力され、 $TFT-J$ はオフ状態となる。これにより、 $net B(n)$ はLレベルの電位に維持される。

[0054] また、 $TFT-B$ のゲート端子及びドレイン端子に、セット信号 S として、ゲート線 $13G(n-1)$ のLレベルの電位が入力され、 $TFT-B$ はオフ状態となる。また、 $TFT-A$ 、 $TFT-C$ 、 $TFT-D$ もオフ状態とな

り、 $net A(n)$ はフローティング状態となる。このとき、 $TFT-F$ のドレイン端子にクロック信号 CKA の H レベルの電位が入力されることにより、ゲート線 $13G(n)$ に H レベルの電位が入力され、キャパシタ $Cbst$ によって、 $net A(n)$ の電位が突き上げられ、H レベルより高い電位まで上昇する。 $TFT-G$ はオフ状態となるため、ゲート線 $13G(n)$ は選択状態に切り替えられる。

[0055] $net A(n)$ の電位は、キャパシタ $Cbst$ の容量と、 $net A(n)$ の寄生容量と、 $net A(n)$ に接続された TFT の容量とに依存する。つまり、 $net A(n)$ の電位の上昇効率 T は、以下の式 (1) で表される。

$$T = (C + C1) / (C + C2 + C3) \cdots (1)$$

C : キャパシタ $Cbst$ の容量

$C1$: $TFT-F$ の寄生容量

$C2$: $net A$ の寄生容量

$C3$: $net A$ に接続された TFT の寄生容量

[0056] 上記式 (1) に示すように、 $net A$ の寄生容量や $net A$ に接続された TFT の寄生容量が大きくなるほど、 $net A$ の電位の上昇効率は小さくなり、 $net A$ の電位は低くなる。そのため、本実施形態では、アクティブマトリクス基板 $20a$ において、 $net A$ の寄生容量及び $net A$ に接続された TFT の寄生容量の少なくとも一方を抑制する抑制部が設けられている。本実施形態における抑制部の具体的な構成については後述する。

[0057] 時刻 $t5$ において、ゲート線 $13G(n+1)$ が駆動され、クロック信号 CKA の L レベルの電位と、クロック信号 CKB の H レベルの電位とがゲートドライバ $11(n)$ に入力される。 $TFT-I$ はオン状態、 $TFT-H$ と $TFT-J$ はオフ状態となるため、 $net B(n)$ は H レベルの電位に充電される。

[0058] このとき、ゲート線 $13G(n+1)$ の H レベルの電位が $TFT-C$ のゲート端子に入力され、 $TFT-C$ はオン状態となる。また、 $TFT-D$ はオン状態、 $TFT-B$ はオフ状態となり、 $net A(n)$ は L レベルの電位に

充電される。そして、 $TFT-F$ はオフ状態、 $TFT-G$ はオン状態となるため、ゲート線 $13G(n)$ はLレベルの電位に充電され、非選択状態に切り替えられる。

[0059] 時刻 t_5 以降、クロック信号 CKA 、 CKB の電位に応じて $netB(n)$ の電位はHレベルとLレベルとを繰り返す。 $netA(n)$ は、時刻 t_5 以降、Lレベルの電位に維持され、ゲート線 $13G(n)$ はLレベルの電位に維持される。

[0060] このようにして、液晶表示装置1は、ゲートドライバ群 $11A \sim 11D$ によって、ゲート線 $13G(1) \sim 13G(M)$ を順次駆動し、ソースドライバ3によって各ソース線 $15S$ にデータ信号を供給することにより表示パネル2に画像を表示する。

[0061] 次に、本実施形態におけるゲートドライバ11の配置例について説明する。図7A及び図7Bは、ゲート線 $13G(n)$ を駆動するゲートドライバ $11(n)$ の配置例を示す模式図である。なお、図7A及び図7Bでは、便宜上、アルファベット $A \sim K$ のみ記載し、“ $TFT-$ ”の表記を省略しているが、 $A \sim K$ は、図5に示した $TFT-A \sim TFT-K$ に対応している。また、図7Aと図7Bは、図7A及び図7Bにおける列200において連続しているものとする。

[0062] 図7A及び図7Bに示すように、ゲートドライバ $11(n)$ を構成する各素子は、ゲート線 $13G(n-2) \sim 13G(n+1)$ の各ゲート線の間に配置されている。ゲートドライバ $11(n)$ は、ゲート線 $13G(n-1)$ 、 $13G(n)$ 、及び $13G(n+1)$ と接続されている。

[0063] ゲートドライバ $11(n)$ における $TFT-A \sim TFT-K$ 及びキャパシタ $Cbst$ は、ゲート線 $13G(n)$ とゲート線 $13G(n-1)$ の間の画素 $P1X$ に分散して配置されている。この例では、便宜上、 $TFT-A \sim TFT-K$ 及びキャパシタ $Cbst$ は、一部の画素を除いて隣接するように配置されているが、対向基板20bにおけるカラーフィルタの R 、 G 、 B の色のうち、特定の色に対応する画素 $P1X$ に各々配置してもよい。

- [0064] また、図 7 B において、出力バッファとして機能する T F T - F は、3 つの T F T が並列に接続されて構成される例を示しているが、接続される T F T の数はこれに限らず、2 つ以上の T F T が接続されていればよい。また、T F T - F 以外の他の T F T 及びキャパシタ C b s t についても、必要に応じて複数の T F T 及びキャパシタを接続して構成してもよい。
- [0065] また、図 7 A 及び図 7 B において図示を省略するが、ゲートドライバ 1 1 (n) は、配線 1 5 L を介して、ゲート線 1 3 G (n + 4) を駆動するゲートドライバ 1 1、及びゲート線 1 3 G (n - 4) を駆動するゲートドライバ 1 1 と接続されている。
- [0066] 図 7 A において、電源電圧信号 V S S を供給する配線 1 5 L は、T F T - J、K、H が配置された列とは異なる他の列において、端子部 1 2 g (図 3 参照) からソース線 1 5 S と略平行となるように配線され、T F T - J、T F T - K、及び T F T - H が配置された画素まで引き回されている。また、図 7 B においても、電源電圧信号 V S S を供給する配線 1 5 L は、T F T - E、G が配置された列とは異なる他の列において、端子部 1 2 g (図 3 参照) からソース線 1 5 S と略平行となるように配線され、T F T - E、及び T F T - G が配置された画素まで引き回されている。
- [0067] 図 7 B において、3 つの T F T - F の各ドレイン端子にはクロック信号 C K A が供給される。各 T F T - F にクロック信号 C K A を供給する配線 1 5 L は、T F T - F が配置された列に隣接する列において、端子部 1 2 g (図 3 参照) からソース線 1 5 S と略平行となるように配線され、各 T F T - F が配置された画素まで引き回されている。
- [0068] このように、同じ制御信号が供給される複数の T F T に対して共通の配線 1 5 L を設けることにより、T F T ごとに、各制御信号の配線 1 5 L を設ける場合と比べて配線数を減らすことができる。
- [0069] ここで、図 7 B における 3 つの T F T - F が配置される画素の構成について具体的に説明する。以下の例では、3 つの T F T - F の各々が、カラーフィルタ (図示略) の B の色に対応する画素に配置されているものとする。

[0070] 図8は、図7Bにおける3つのTFT-Fのうちの1つのTFT-Fが配置されている画素の構成例を示す模式図である。図8において、列200x__rは、カラーフィルタ（図示略）のRの色に対応する画素が配列され、列200x__gは、Gの色に対応する画素が配列されて、列200x__bは、Bの色に対応する画素が配列されている。

[0071] 列200x__bの画素には、TFT-Fが配置され、列200x__rと200x__gの各画素には、TFT-Fと接続されたnet A (n) が配線されている。図8では、便宜上、1つのTFT-Fの配置例を示しているが、他のTFT-Fも同様に、Bの色に対応する画素に配置され、net A (n) を介して相互に接続される。

[0072] 列200x__r, 200x__g, 200x__bの各画素において、ゲート線13Gとソース線15Sとが交差する近傍には、画像表示用のTFT（以下、TFT-PIX）が配置されている。TFT-PIXと画素電極17とはコンタクトCH1を介して接続されている。

[0073] TFT-Fのソース端子15sは、コンタクトCH2を介してゲート線13G (n) と接続されている。TFT-Fに対してクロック信号CKAを供給する配線15Lの一部は、TFT-Fのドレイン端子15dとして機能する。

[0074] ここで、図8に示す画素の断面構造について、図9A～9Dを用いて説明する。図9Aは、図8に示すTFT-PIXの部分をI-I線で切断した断面図であり、図9Bは、図8に示すコンタクトCH1をII-II線で切断した断面図である。また、図9Cは、図8に示すTFT-Fの部分をIII-III線で切断した断面図であり、図9Dは、図8に示すコンタクトCH2をIV-IV線で切断した断面図である。

[0075] 図9A、9C、及び9Dに示すように、基板20上にゲート層13が形成されることで、ゲート線13Gと、TFT-Fのゲート端子と、net A (n) とが形成される。

[0076] 図9A及び図9Cに示すように、ゲート層13の上層において、TFT-

P I Xが形成される部分とT F T－Fが形成される部分には、ゲート絶縁膜21を介して酸化物半導体からなる半導体層14が形成され、半導体層14の上部で離間するようにソース層15が形成されている。これにより、図9A～図9Cに示すように、ソース線15S、T F T－P I XとT F T－Fの各々のソース端子15s及びドレイン端子15d、及び配線15Lが形成される。

[0077] 図9Dに示すように、コンタクトCH2において、ゲート層13の表面まで貫通するコンタクトホールH2がゲート絶縁膜21に形成されている。ソース層15は、コンタクトホールH2においてゲート層13と接するようにゲート絶縁膜21上に形成されている。これにより、コンタクトCH2において、T F T－Fのソース端子15sとゲート線13G(n)とが接続される。

[0078] また、図9A～図9Dに示すように、ソース層15の上層には、ソース層15を覆うように保護膜22と保護膜23とが積層されている。保護膜22は、例えばS i O 2等の無機絶縁膜で構成されている。保護膜23は、例えばポジ型の感光性樹脂膜等の有機絶縁膜で構成されている。さらに、図9A～図9Dに示すように、保護膜23の上層にはシールド層16が形成されている。シールド層16は、例えばI T O等の透明導電膜で構成されている。そして、シールド層16の上層には、例えばS i O 2等の無機絶縁膜で構成されている層間絶縁層24が形成されている。層間絶縁層24の上層には、図9C及び図9Dに示すように、I T O等の透明導電膜からなる画素電極17が形成されている。

[0079] 図9Bに示すように、コンタクトCH1においては、T F T－P I Xのドレイン端子15の上部において、層間絶縁層24とシールド層16と保護膜22、23とを貫通するコンタクトホールH1が形成されている。画素電極17は、コンタクトホールH1においてドレイン端子15dと接するように層間絶縁層24の上層に形成されている。

[0080] シールド層16の形成によって、画素電極17とシールド層16との間に

容量が形成され、容量によって画素電極 17 の電位が安定化される。また、画素電極 17 と、TFT-F 及び配線 15L との間にシールド層 16 が形成されているため、TFT-F 及び配線 15L と画素電極 17 との間の干渉が低減される。なお、この例では、画素電極 17 は、ゲートドライバ 11 における TFT や、net A 及び net B 等の内部配線が形成された部分と重なる位置にも設けられているが、これらが形成された部分は光を透過しないため、画素電極 17 が設けられていなくてもよい。

[0081] しかしながら、図 8 に示すように、TFT-F に接続された net A (n) の配線は、TFT-F が配置されていない列 200x__r 及び 200x__g の画素に配置されており、net A (n) とシールド層 16 との間に寄生容量が生じる。上述したように、net A (n) の寄生容量が大きくなると、net A (n) の電位の上昇効率が下がる。その結果、ゲート線 13G (n) を駆動するタイミングで、net A (n) を所定の電位まで上昇させることができず、TFT-F を介してゲート線 13G (n) に選択電圧を出力することができない。

[0082] そのため、本実施形態では、net A (n) が配置された列 200x__r 及び 200x__g の画素におけるシールド層 16 と net A (n) との間に、ソース層 15 と同じ材料で構成された電極部 C1、C2 (抑制部) を形成する。これにより、net A (n) とシールド層 16 との間の寄生容量を抑制する。

[0083] ここで、図 9E に、図 8 における電極部 C2 の部分を V-V 線で切断した断面図を示す。図 9E に示すように、net A が形成されているゲート層 13 の上には、ゲート絶縁膜 21 を介してソース層 15 が形成されている。ソース層 15 は、ゲート線 13G とコンタクトホール H2 を介して接続されている。

[0084] なお、上記の例では、TFT-F が配置された画素に隣接する画素に設けられた net A とシールド層 16 との間に、電極部が設けられる例を説明したが、net A が配置された他の画素において、シールド層 16 と net A

との間に電極部が設けられていてもよい。

[0085] このように、 $net\ A$ が配置される画素において、 $net\ A$ とシールド層16の間にソース層15が形成されることにより、 $net\ A$ とシールド層16との間の寄生容量が抑制される。また、 $net\ A$ の上にゲート絶縁膜21を介してソース層15を形成し、ソース層15をゲート層13に接続させることにより、 $net\ A$ を一方の電極、ソース層15を他方の電極とするキャパシタを形成することができる。そのため、電極部C1及びC2によって形成されるキャパシタを、図5及び図7Bに示すキャパシタ C_{bst} の一部として機能させることができる。

[0086] <第2実施形態>

上述した第1実施形態では、 $net\ A$ が配置される画素において、 $net\ A$ とシールド層16との間に電極部C1、C2を形成することにより、 $net\ A$ とシールド層16との間に生じる寄生容量を抑制する例について説明した。本実施形態では、第1実施形態とは異なる構成によって $net\ A$ とシールド層16との間の寄生容量を抑制する例を説明する。

[0087] 図10は、図7Bに示す3つのTFTFのうちの1つが配置される画素の構成例を示す模式図である。図10において、第1実施形態と同様の構成には第1実施形態と同じ符号を付している。

[0088] 本実施形態では、 $net\ A(n)$ の配線が配置される列 $200 \times \_r$ 及び $200 \times \_g$ の画素におけるシールド層16において、 $net\ A(n)$ と重なる破線枠160で示す部分に開口部（抑制部）が設けられている。

[0089] ここで、図11に、図10に示す破線枠160の部分をV1-V1線で切断した断面図を示す。図11に示すように、 $net\ A(n)$ が形成された画素におけるシールド層16において、 $net\ A(n)$ と重なる部分には開口部160hが形成されている。そのため、 $net\ A(n)$ とシールド層16とが重ならず、 $net\ A(n)$ とシールド層16との間の寄生容量が抑制される。

[0090] なお、上記では、図10を用いて、 $net\ A(n)$ が形成された画素のう

ち、一部の画素におけるシールド層 16 において開口部 160h を形成する例を説明したが、net A (n) が形成された他の画素におけるシールド層 16 においても同様に開口部 160h を形成してもよい。

[0091] また、第 2 実施形態において、上述した第 1 実施形態の構成をさらに適用してもよい。つまり、図 12 に示すように、net A (n) とシールド層 16 との間にソース層 15 を形成して電極部 C1, C2 を形成し、シールド層 16 において net A (n) と重なる部分に開口部 160h を設けるようにしてもよい。第 1 実施形態のように、net A (n) が形成された位置において、net A (n) とシールド層 16 との間にソース層 15 を形成することにより、net A (n) の寄生容量は抑制されるが、ゲート線 13G の寄生容量が増加する。そのため、図 12 のように、シールド層 16 において net A (n) と重なる部分に開口部 160h を設けることにより、net A (n) の寄生容量を抑制するとともに、ゲート線 13G の寄生容量を抑制することができる。

[0092] <第 3 実施形態>

上述した第 1 実施形態及び第 2 実施形態では、net A の寄生容量を抑制する例を説明したが、上記式 (1) に示すように、net A の電位の上昇効率は、net A に接続されている TFT の寄生容量が大きくなるほど小さくなる。そのため、本実施形態では、TFT-F 以外の TFT のうち、net A に接続されている TFT-A ~ TFT-D の少なくとも 1 つの寄生容量を抑制する例について説明する。

[0093] 図 13 は、図 7B に示す TFT-A が配置された画素の構成例を示す模式図である。図 13 において、上述した第 1 実施形態と同様の構成には第 1 実施形態と同じ符号を付している。

[0094] 図 13 に示すように、TFT-A のドレイン端子 15d は、コンタクト CH2 を介して net A (n) と接続されている。TFT-A のゲート端子 13g は、コンタクト CH2 を介してリセット信号 CLR が供給される配線 15L と接続されている。また、電源電圧信号 VSS が供給される配線 15L

の一部は、TF T-Aのソース端子15sとして機能する。

[0095] 本実施形態では、TF T-Aが配置される画素におけるシールド層16において、TF T-Aと重なる破線枠161で示す部分に開口部（抑制部）が設けられている。図14は、図13に示すTF T-AをV11-V11線で切断した断面図である。図14に示すように、TF T-Aが形成された画素におけるシールド層16において、TF T-Aと重なる部分には開口部161hが形成されている。開口部161hによって、TF T-Aにおけるソース端子15s及びドレイン端子15dとシールド層16とが重ならず、TF T-Aとシールド層16との間の寄生容量を抑制することができる。

[0096] 本実施形態では、TF T-Aとの寄生容量を抑制する構成について説明したが、net A(n)に接続されるTF T-B～TF T-Dが配置される画素におけるシールド層16において、これらTF Tと重なる部分に開口部を設けるようにしてもよい。このように構成することにより、net A(n)に接続された各TF Tの寄生容量を抑制することができ、net A(n)の電位の上昇効率を向上させることができる。

[0097] また、TF T-Fが配置される画素におけるシールド層16においても、同様に開口部を設けるようにしてもよい。TF T-Fのゲート端子はnet A(n)と同じゲート層13に形成され、ゲート層13の上には、TF T-Fのソース端子及びドレイン端子を形成するソース層15が設けられている。そのため、TF T-Fと重なるシールド層16において開口部を設けても、TF T-B～TF T-Dと比べて、net A(n)の寄生容量を抑制する効果は小さいが、TF T-Fに制御信号を供給する配線15Lの寄生容量を低減することができる。

[0098] <第4実施形態>

上述した第3実施形態では、net A(n)に接続されるTF Tが配置される画素におけるシールド層16において、TF Tと重なる部分に開口部161hを設けることにより、net A(n)に接続されるTF Tの寄生容量を抑制する例を説明した。本実施形態では、net A(n)に接続されるT

FTにおいて、相互に面積が異なるド레인端子とソース端子を設け、面積が小さい方の端子と $net A(n)$ とを接続することにより、 $net A(n)$ に接続されるFTの寄生容量を抑制する。

[0099] 以下、FT-Aが配置される画素を例にして $net A(n)$ に接続されるFTの寄生容量を抑制する構成を説明する。図15は、FT-Aが配置される画素の構成例を示す模式図である。図15において、第3実施形態と同様の構成には第3実施形態と同じ符号を付している。

[0100] 図15に示すように、本実施形態では、FT-Aは、ソース端子15sとド레인端子15dとが櫛歯状に配置されて構成されている。この例において、ソース端子15sはド레인端子15dよりも大きい面積を有する。

[0101] ソース端子15sの一方の端部は、画素内においてソース線15Sと略平行に延伸されている。ソース端子15sの延伸部分は電源電圧信号VSSが供給される配線15Lとして機能する。ド레인端子15dの一方の端部は、上段の画素に向かってソース線15Sと略平行に延伸されている。ド레인端子の延伸部分は $net A(n)$ に接続するための接続部151として機能する。接続部151は、コンタクトCH2を介して $net A(n)$ と接続される。

[0102] 図16の(a)に示すように、同等の面積を有する矩形状のソース端子15sとド레인端子15dとを平行に配置したチャネル幅Wを有するFTの場合、ド레인端子15dと $net A(n)$ とを接続すると、破線枠Pで示す部分がFTの寄生容量に寄与する領域となる。なお、ソース端子15sと $net A(n)$ とを接続した場合であっても、FTの寄生容量に寄与する領域は破線枠Pで示す領域と略同じ面積となる。

[0103] 一方、図16の(b)に示すように、チャネル幅がWとなるようにソース端子15sとド레인端子15dとを櫛歯状に配置したFTの場合、ド레인端子15dの一端に接続部151を設けると、破線枠Qで示す領域がFTの寄生容量に寄与する領域となる。つまり、図16の(b)に示すFTにおいて、面積が小さいド레인端子15dと $net A(n)$ とを接続す

ることにより、図16の(a)に示すTF Tの場合と比べ、TF Tの寄生容量に寄与する領域が小さくなる。その結果、TF Tの寄生容量が抑制され、 $net A(n)$ の寄生容量を抑制することができる。

[0104] 上記ではTF T-Aが配置される画素を例に $net A(n)$ の寄生容量を抑制する例を説明したが、 $net A(n)$ に接続されたTF T-A~TF T-D、TF T-Fの少なくとも1つについて図15のように構成されていればよい。

[0105] なお、図15及び図16の(b)に示すように、ソース端子とドレイン端子とを櫛歯状に配置したTF Tの場合、ソース端子とドレイン端子とを略平行に配置した図16の(a)に示すTF Tと比べてTF Tの面積が大きくなり、画素の開口率が低下する。そのため、TF T-Aが配置される画素を構成する一のゲート線13Gの幅を隣接する画素のゲート線13Gの幅よりも小さくしてもよい。具体的には、例えば、図17に示すように、ゲート線13G(n)及びゲート線13G(n-1)のうち、TF T-Aの近傍に配置されているゲート線13G(n)の幅 h_2 を、隣接する画素のゲート線13G(n)の幅 h_1 より小さくしてもよい。このように構成することにより、TF T-Aが配置される画素の開口率の低下を軽減することができる。

[0106] 以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形、又は組み合わせて実施することが可能である。以下、本発明の変形例について説明する。

[0107] <変形例>

(1) 上述した第3実施形態において、第1実施形態及び第2実施形態の少なくとも一方の抑制部の構成を組み合わせてもよい。このように構成することにより、 $net A$ の寄生容量を抑制するとともに、 $net A$ に接続されたTF Tの寄生容量を抑制することができる。その結果、 $net A$ の電位の上昇効率をより向上させることができる。

[0108] (2) 上述した第1実施形態から第3実施形態において、*net A*に接続されたTFTのソース端子とドレイン端子を第4実施形態と同様に櫛歯状に配置し、面積が小さい方の端子を*net A*に接続するように構成してもよい。このように構成することにより、*net A*の寄生容量を抑制するとともに、*net A*に接続されたTFTの寄生容量を抑制することができる。その結果、*net A*の電位の上昇効率をより向上させることができる。

請求の範囲

[請求項1] 複数のソース線と、前記複数のソース線と交差する複数のゲート線とを備え、前記複数のソース線と前記複数のゲート線とで規定される複数の画素領域の各々に画素電極を有するアクティブマトリクス基板であって、

前記複数の画素領域における一部の画素領域に設けられ、供給される制御信号に応じてゲート線を選択状態に切り替える駆動回路をゲート線ごとに有する駆動部と、

前記一部の画素領域において、前記駆動回路における寄生容量を抑制する抑制部と、を備え、

前記駆動回路は、

複数のスイッチング素子と、

前記複数のスイッチング素子のうち、一のゲート線を選択状態に切り替える選択電圧を出力する出力用スイッチング素子のゲート端子と、少なくとも1つの他のスイッチング素子と、前記一のゲート線とに接続された内部配線とを有し、

前記抑制部は、前記駆動回路における前記内部配線、及び前記他のスイッチング素子の少なくとも一方が配置される画素領域に設けられる、アクティブマトリクス基板。

[請求項2] 前記駆動回路は、前記アクティブマトリクス基板において、前記画素電極と前記ゲート線が設けられた層との間に設けられ、

前記一部の画素領域における前記画素電極と前記駆動回路との間に導電層を備え、

前記抑制部は、前記駆動回路における前記内部配線と、前記他のスイッチング素子の少なくとも一方と前記導電層とが重なる位置に設けられる、請求項1に記載のアクティブマトリクス基板。

[請求項3] 前記内部配線は、前記一のゲート線と同層に形成され、

前記抑制部は、前記駆動回路における前記内部配線が配置される画

素領域において、前記導電層と前記内部配線との間に、コンタクトを介して前記一のゲート線と接続された電極部を備える、請求項 2 に記載のアクティブマトリクス基板。

[請求項4] 前記抑制部は、前記駆動回路における前記内部配線が配置される画素領域の前記導電層において、前記内部配線と重なる位置に開口部を有する、請求項 2 又は 3 に記載のアクティブマトリクス基板。

[請求項5] 前記抑制部は、前記駆動回路における前記他のスイッチング素子が配置される画素領域の前記導電層において、前記他のスイッチング素子と重なる位置に開口部を有する、請求項 2 又は 3 に記載のアクティブマトリクス基板。

[請求項6] 前記他のスイッチング素子において、互いに面積が異なるドレイン端子とソース端子とが設けられ、

前記抑制部は、前記ドレイン端子と前記ソース端子のうち面積が小さい方の端子と前記内部配線とを接続する接続部を有する、請求項 1 から 5 のいずれか一項に記載のアクティブマトリクス基板。

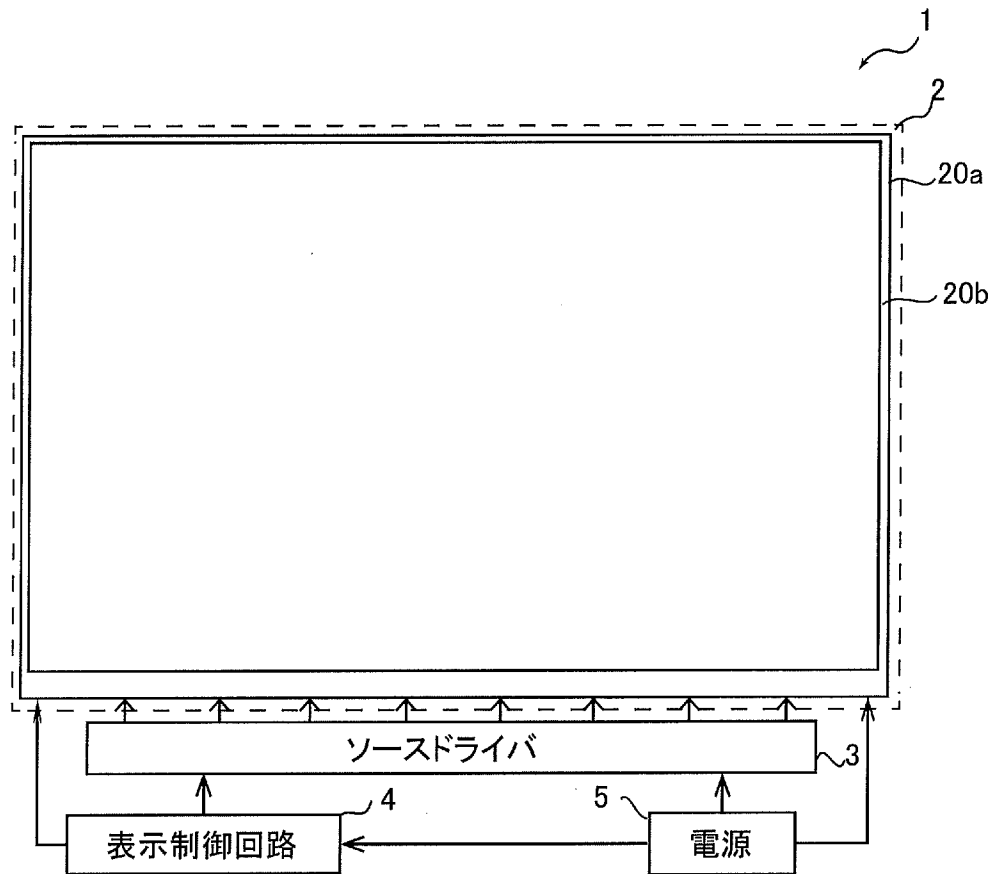
[請求項7] 請求項 1 から 6 のいずれか一項に記載のアクティブマトリクス基板と、

カラーフィルタを有する対向基板と、

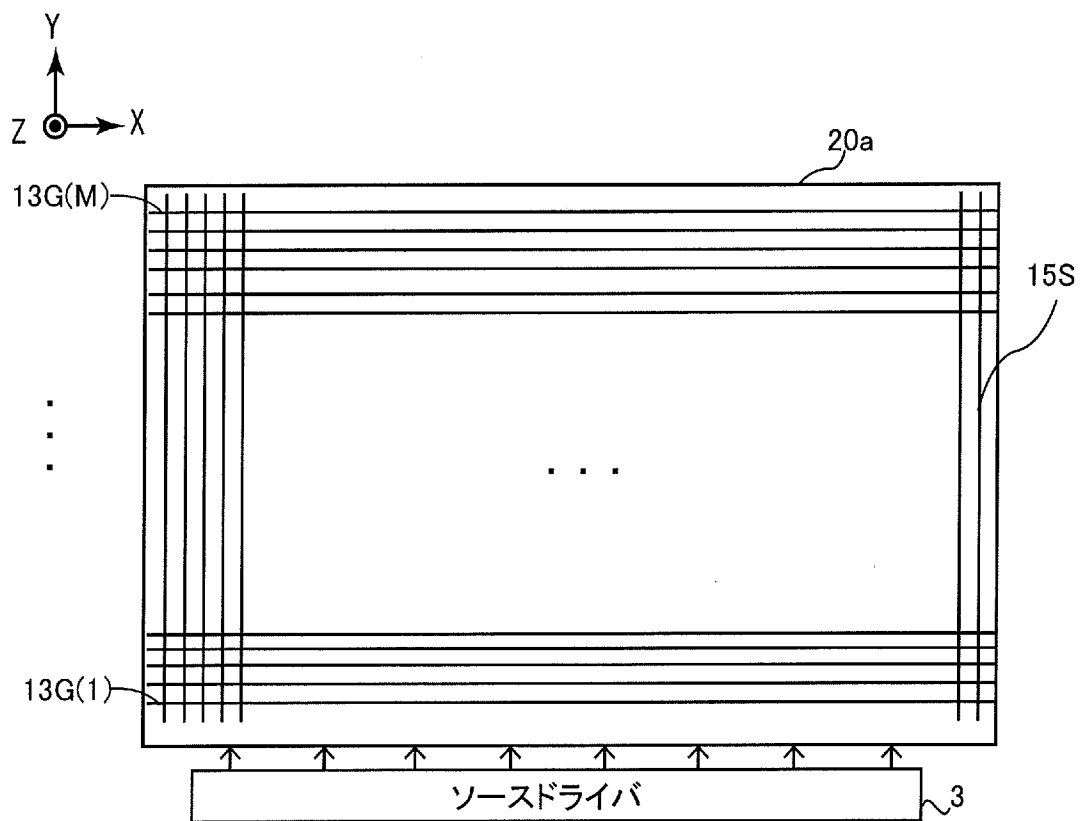
前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶層と、

を有する表示装置。

[図1]



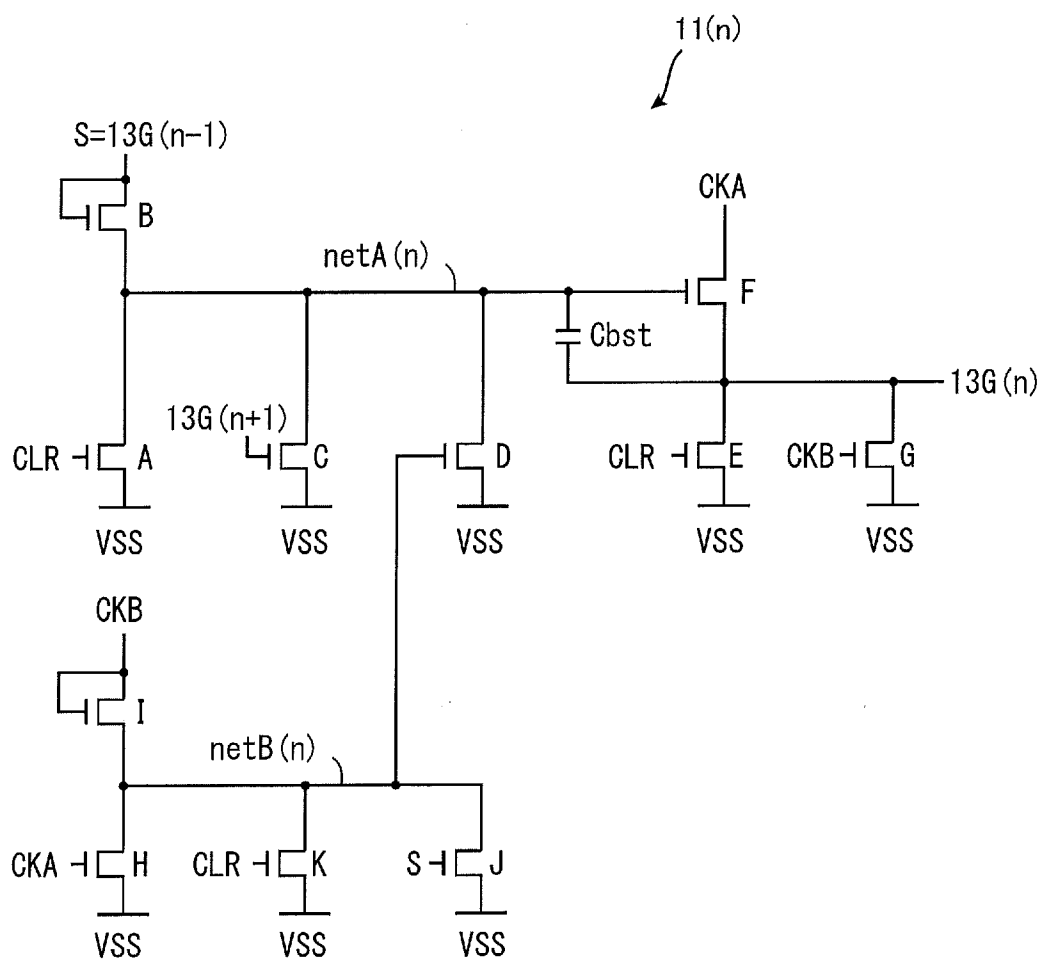
[図2]



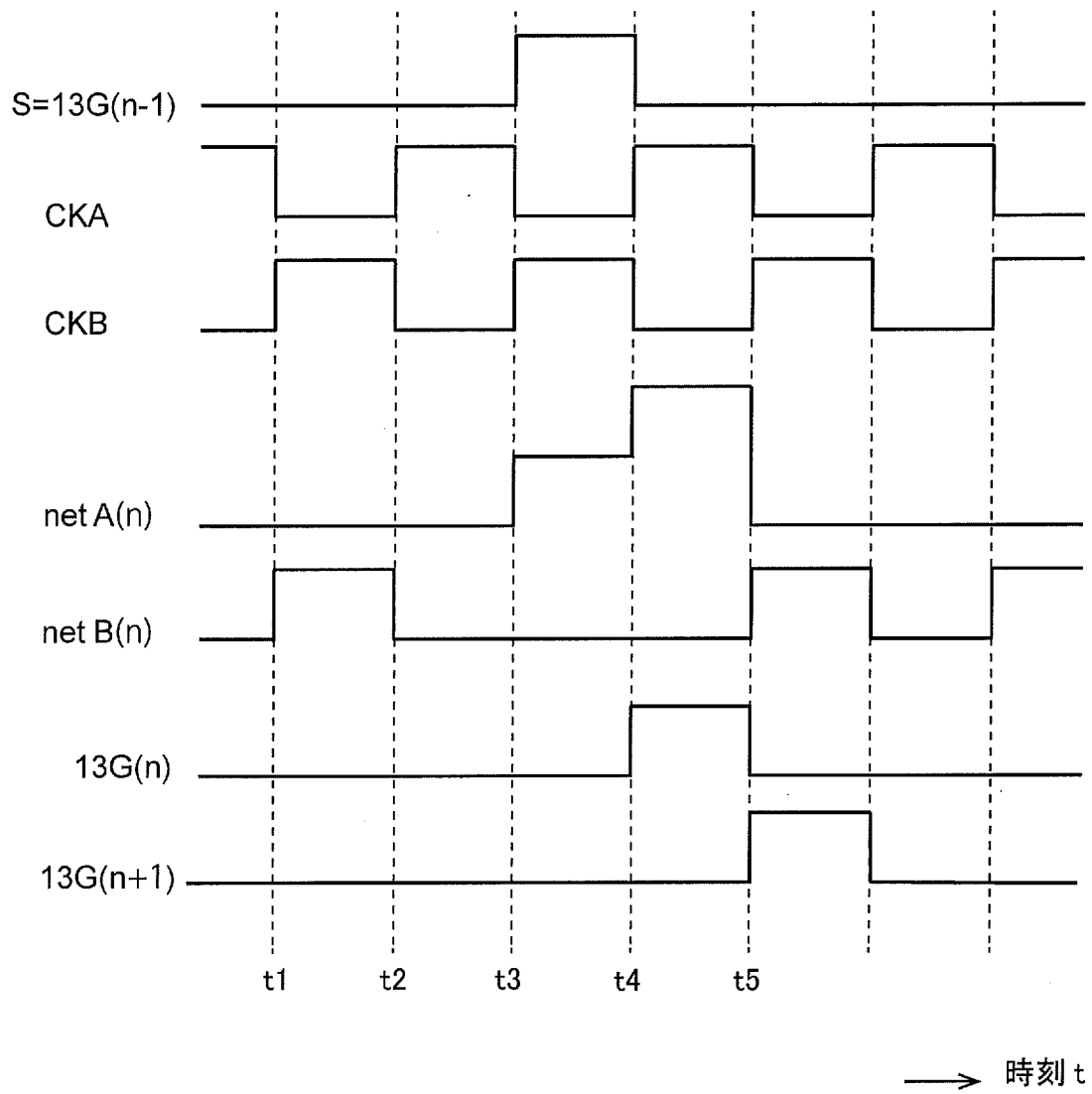
The diagram illustrates the internal structure of a display device. It features a matrix of pixels, each consisting of a switching element and a light-emitting element. The gate lines (13G) are driven by gate drivers (11), and the source lines (11) are driven by a source driver (3). The display is connected to a terminal part (12g) and a power supply (5) through a terminal part (12s). A display control circuit (4) is connected to the gate drivers and the power supply.

The diagram shows two digital signals, CK_A and CK_B, over time. CK_A is a square wave with a period of 1H. CK_B is a square wave with a period of 1H, shifted by 1/2H relative to CK_A. The horizontal axis represents time, and the vertical axis represents the signal level (high or low).

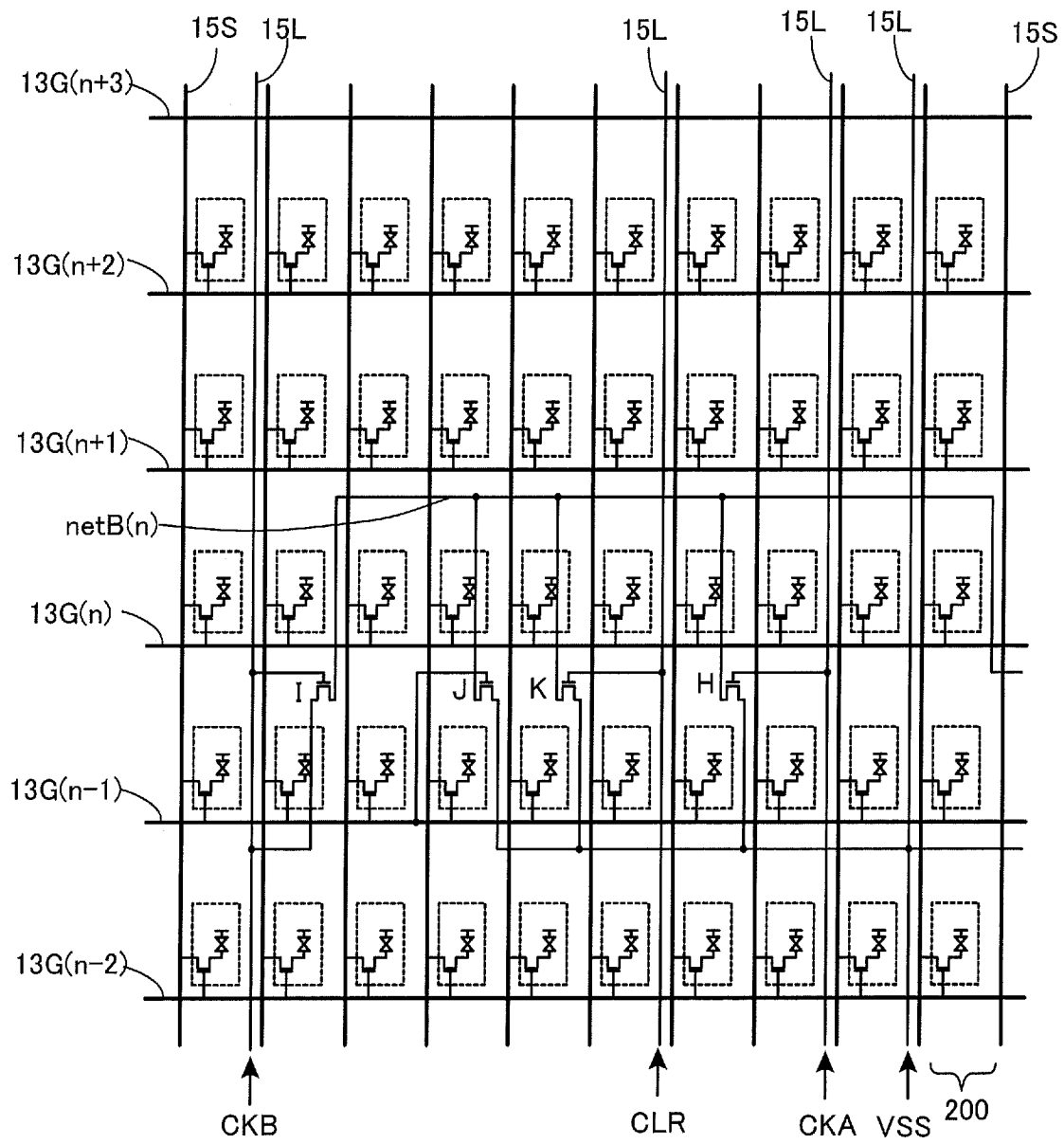
[図5]



[図6]

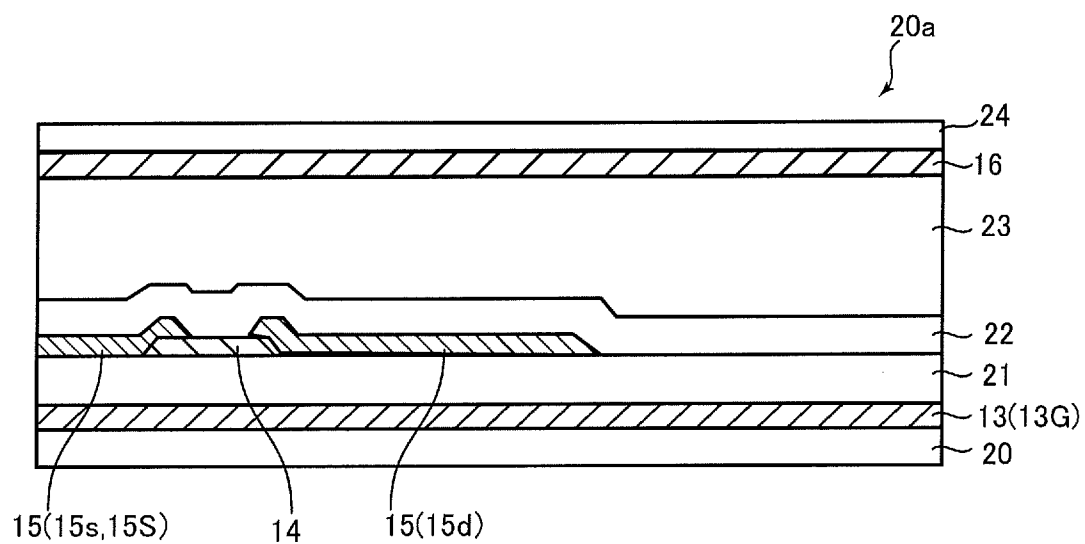


[図7A]

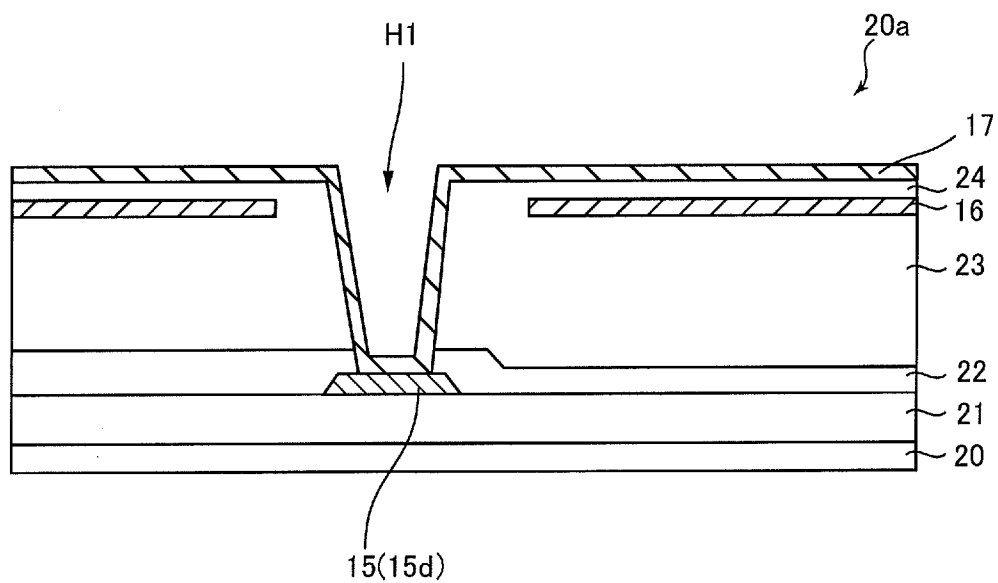


[illegible]

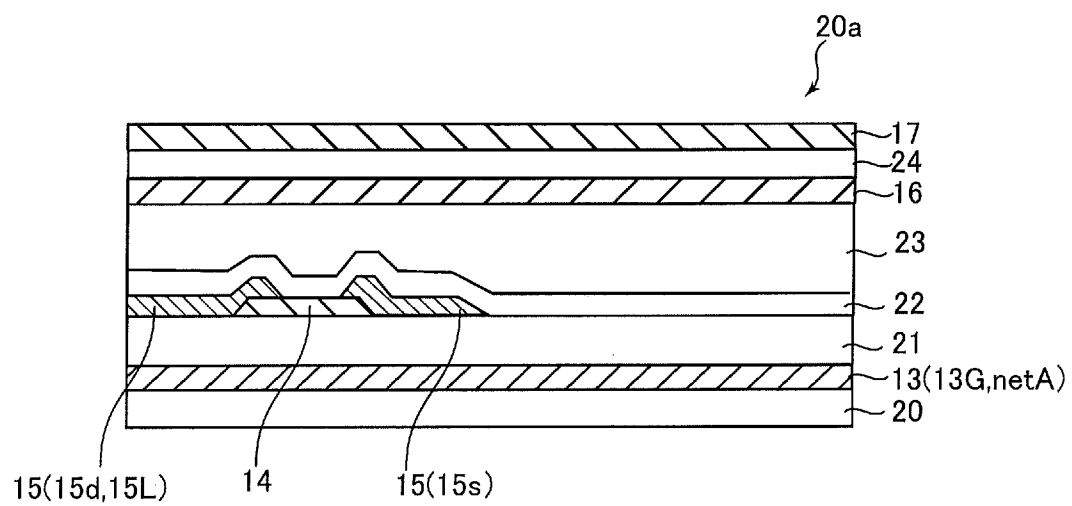
[図9A]



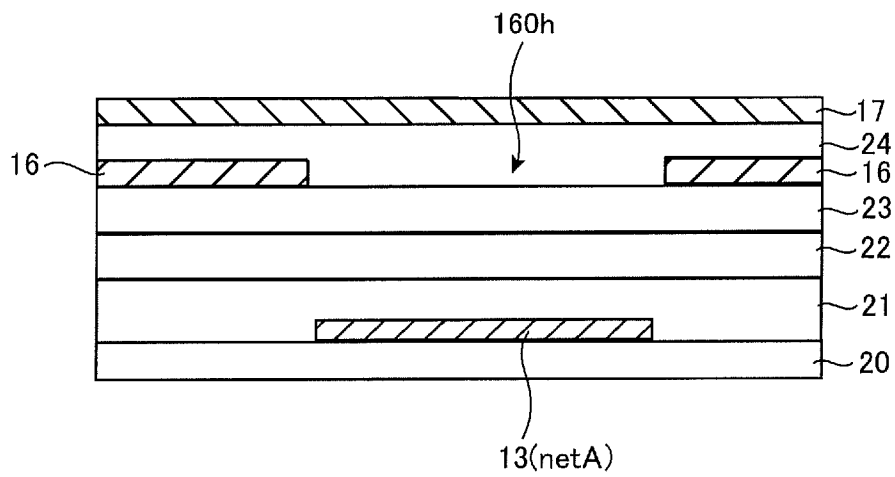
[図9B]



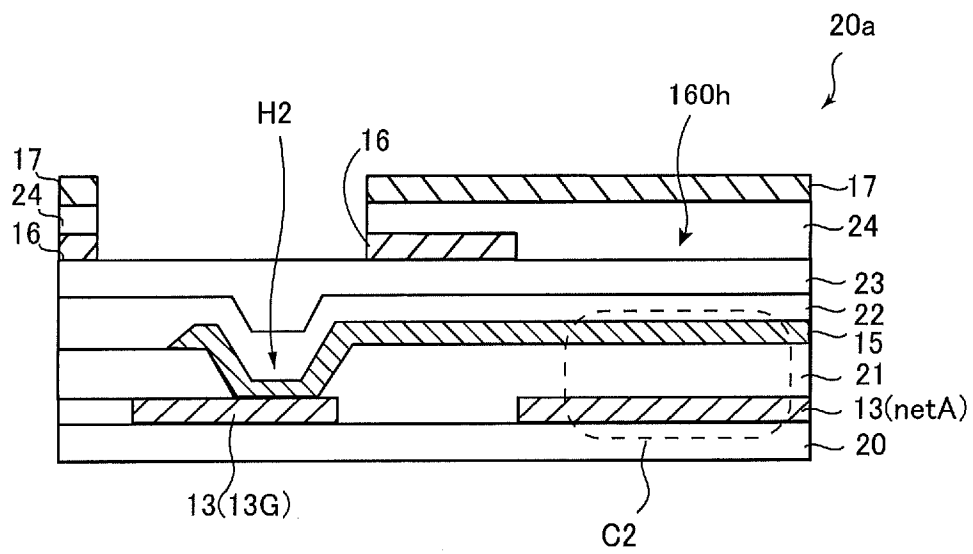
[図9C]



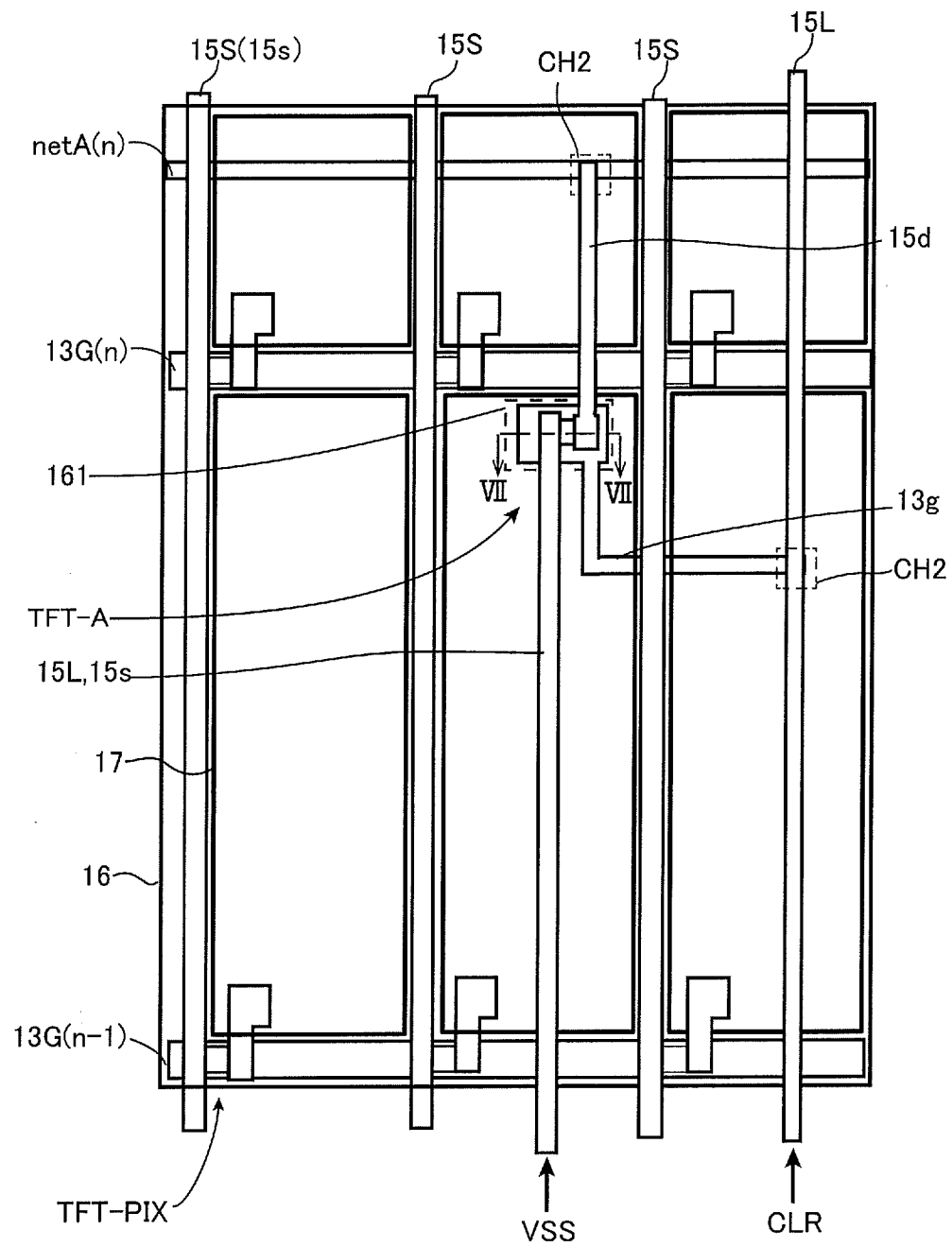
[図11]



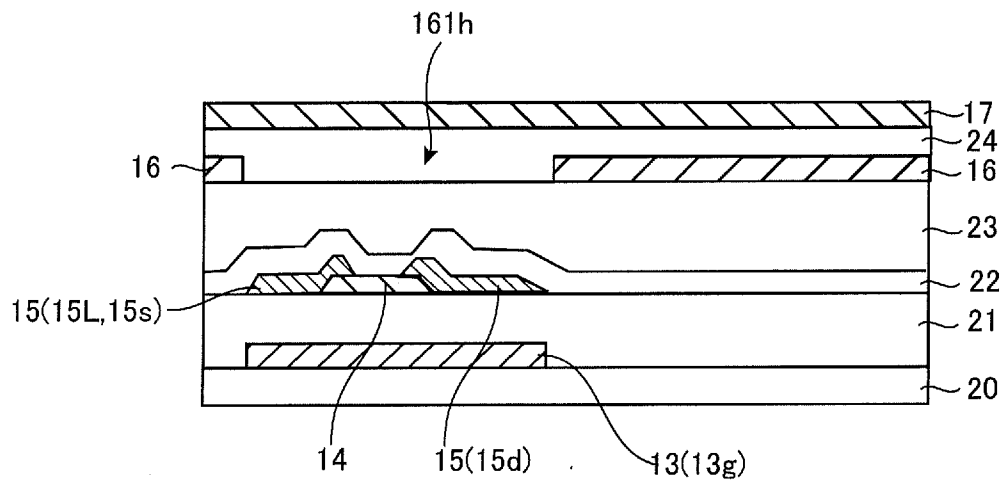
[図12]



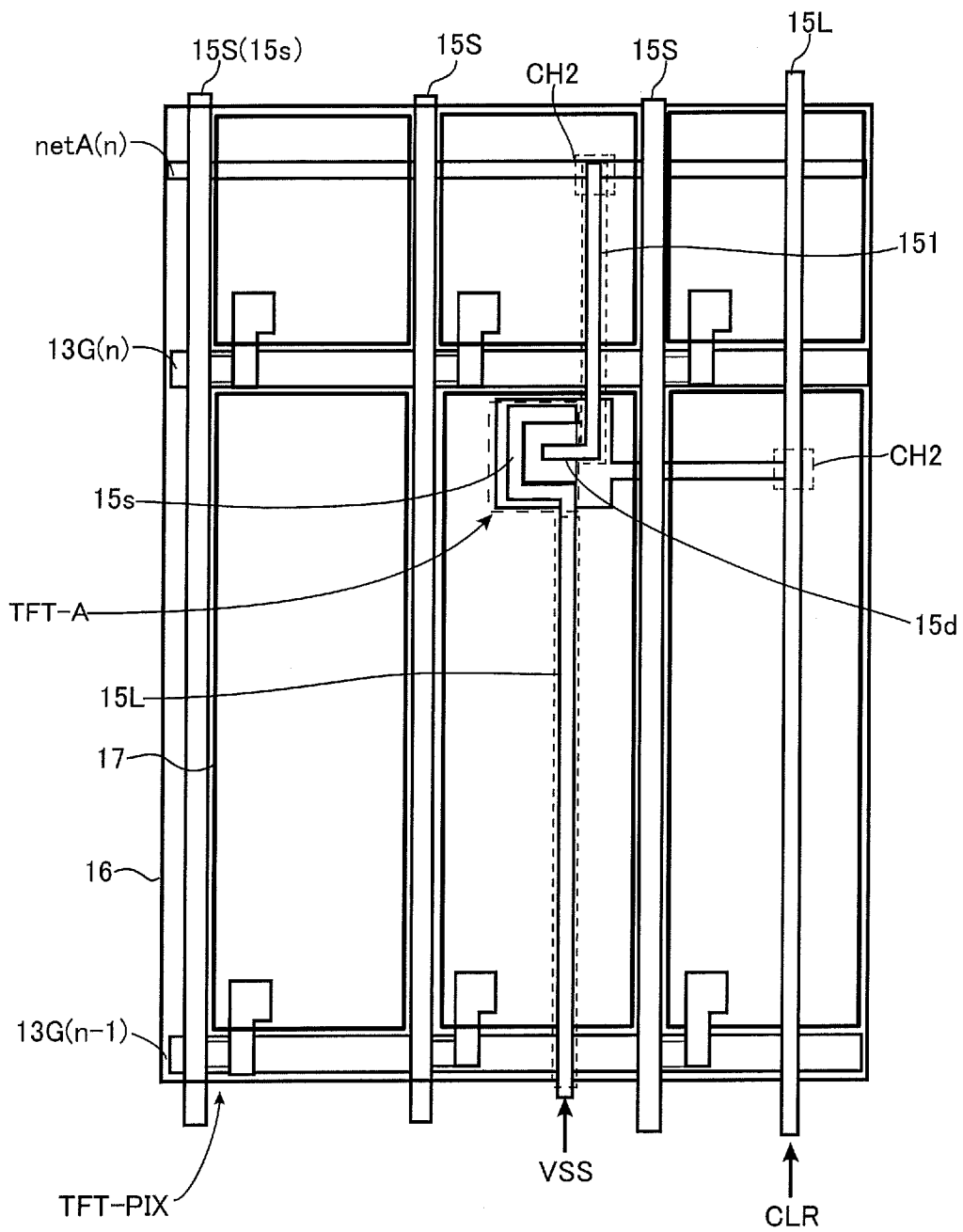
[図13]



[図14]

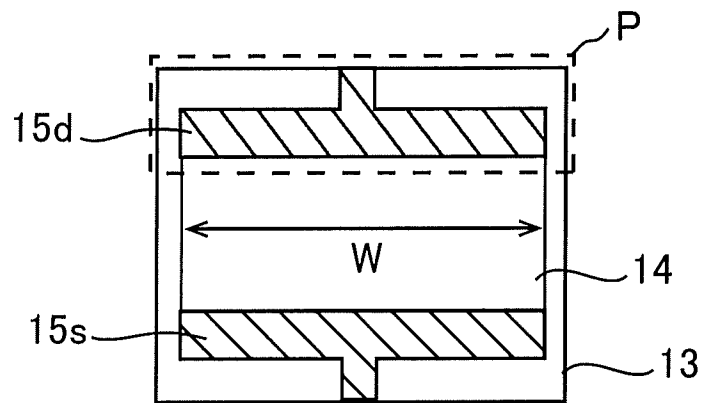


[図15]

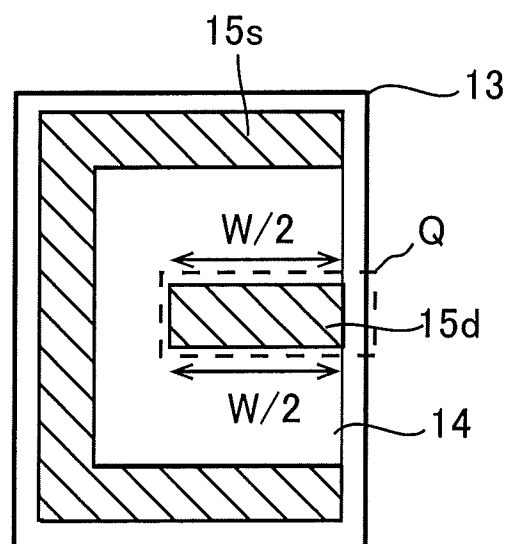


[図16]

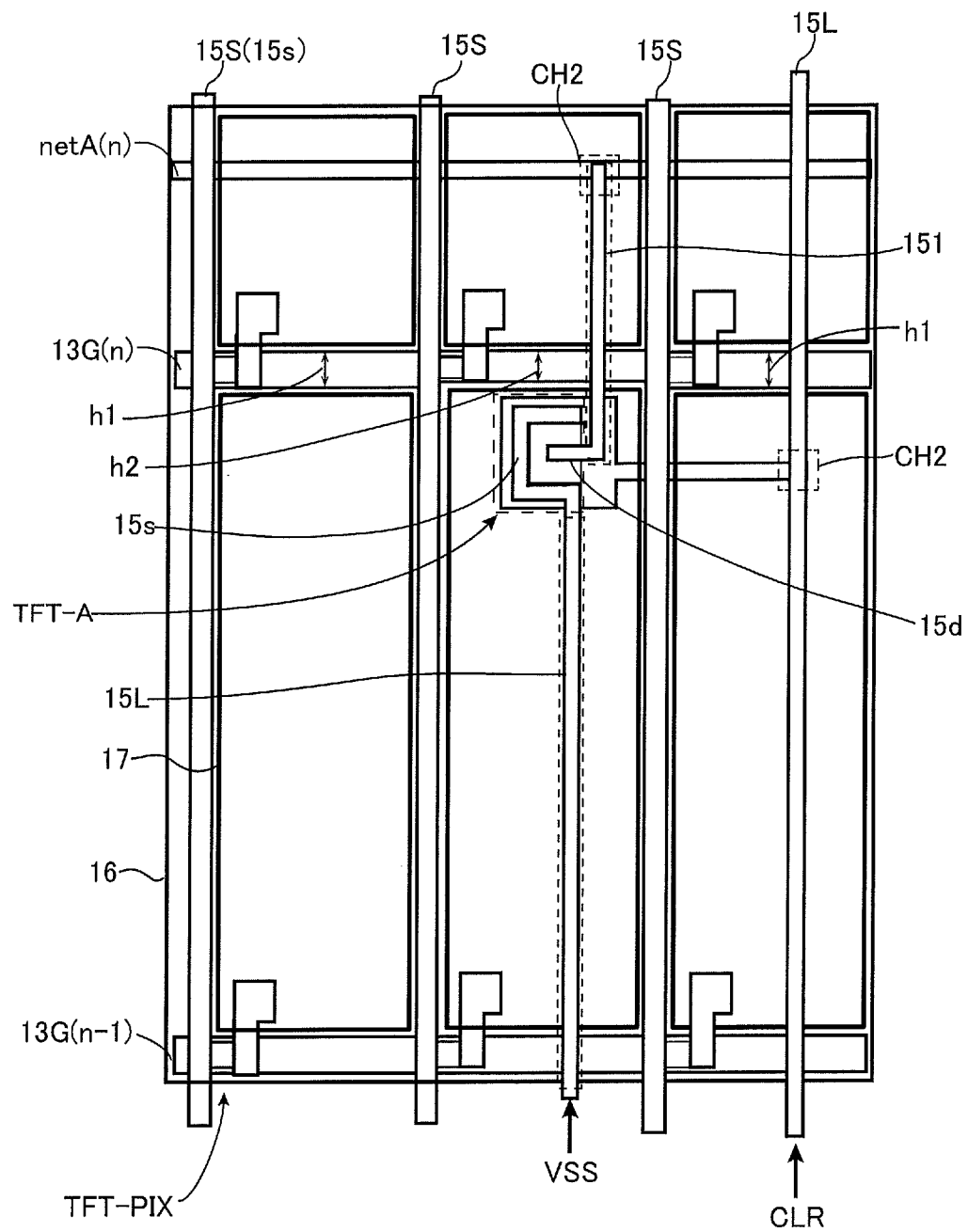
(a)



(b)



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/062235

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G09F9/30(2006.01)i, G09F9/35(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G09F9/30, G09F9/35, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-109372 A (Seiko Epson Corp.), 08 April 2004 (08.04.2004), entire text; fig. 1 to 8 & US 2004/0141137 A1 & KR 10-2004-0025584 A & CN 1490653 A	1-7
P, A	WO 2014/069529 A1 (Sharp Corp.), 08 May 2014 (08.05.2014), entire text; fig. 1 to 83 (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 July 2015 (06.07.15)

Date of mailing of the international search report
14 July 2015 (14.07.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G02F1/1368(2006.01)i, G09F9/30(2006.01)i, G09F9/35(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G02F1/1368, G09F9/30, G09F9/35, G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-109372 A（セイコーエプソン株式会社）2004.04.08, 全文, 第 1-8 図 & US 2004/0141137 A1 & KR 10-2004-0025584 A & CN 1490653 A	1-7
P, A	WO 2014/069529 A1（シャープ株式会社）2014.05.08, 全文, 第 1-83 図（ファミリーなし）	1-7

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 7 . 2 0 1 5

国際調査報告の発送日

1 4 . 0 7 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

鈴木 俊光

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

2 L

9 1 1 5