(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3634912号
(P3634912)
(45)発行日　平成17年3月30日(2005.3.30)　(24)登録日　平成17年1月7日(2005.1.7)

(51)Int.Cl.[7]　F I
G11B 20/14　G11B 20/14　341A
G11B 20/10　G11B 20/10　311

請求項の数 2　(全 6 頁)

(21)出願番号　特願平7-349745
(22)出願日　平成7年12月21日(1995.12.21)
(65)公開番号　特開平9-180377
(43)公開日　平成9年7月11日(1997.7.11)
審査請求日　平成13年4月2日(2001.4.2)

(73)特許権者　594064529
株式会社ソニー・ディスクテクノロジー
東京都品川区北品川６－７－３５
(74)代理人　100082762
弁理士　杉浦　正知
(72)発明者　会田　桐
神奈川県横浜市保土ヶ谷区神戸町１３４番地　株式会社ソニー・ディスクテクノロジー内
(72)発明者　斉藤　昭也
神奈川県横浜市保土ヶ谷区神戸町１３４番地　株式会社ソニー・ディスクテクノロジー内

審査官　小林　大介

最終頁に続く

(54)【発明の名称】ＥＦＭ信号送出装置およびＥＦＭ信号送出方法

(57)【特許請求の範囲】

【請求項１】

ＥＦＭ信号の基準クロックとなるパルス列を出力する発振手段と、

上記発振手段からのパルス列のタイミングで、メインデータを出力するデータ再生装置と、

サブコード生成情報に基づいて演算してサブコードを生成する演算手段と、

前以って上記演算手段により生成されたサブコードを記憶し、上記発振手段からのパルス列のタイミングで、対応するサブコードを出力する記憶手段と、

上記データ再生装置からのメインデータと上記記憶手段から出力されるサブコードとから、ＥＦＭ信号を生成する信号生成手段とを備え、

上記演算手段は、上記信号生成手段が上記ＥＦＭ信号を生成する前に動作が停止されていることを特徴とするＥＦＭ信号送出装置。

【請求項２】

前以ってサブコード生成情報に基づいて演算手段により演算してサブコードを生成するステップと、

生成されたサブコードを記憶手段に記憶するステップと、

メインデータを再生するステップと、

上記記憶手段から読み出されたサブコードと再生された上記メインデータとから、ＥＦＭ信号を生成するステップとからなり、

上記演算手段は、上記ＥＦＭ信号を生成する前に動作が停止されていることを特徴とする

ＥＦＭ信号送出方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、ＣＤ（コンパクトディスク）システムの原盤作製の際に使用される所謂ＥＦＭ（Ｅｉｇｈｔ　ｔｏ　Ｆｏｕｒｔｅｅｎ　Ｍｏｄｕｌａｔｉｏｎ）信号送出装置及び送出方法に関するものである。
【０００２】
【従来の技術】
一般に、ＣＤシステムにおいては、所望の情報を正確に記録するために、誤り訂正及び変調が行なわれている。
誤り訂正は、８ビットのデータを１シンボルとして、１フレームが３２個のシンボルから成る信号に関して、処理を行ない、パリティを付加している。
そして、変調は、所謂ＥＦＭ（Ｅｉｇｈｔ　ｔｏ　Ｆｏｕｒｔｅｅｎ　Ｍｏｄｕｌａｔｉｏｎ）方式が採用されており、ＥＦＭ信号送出装置によって、これにより誤り訂正により得られた各シンボルの８ビットのデータを、１４ビットのデータに変換するようになっている。これにより、各シンボルが１４ビット化された１フレームの信号が、メインデータとして、送出されるようになっている。
このようにして得られた各シンボルが１４ビット化されたメインデータは、さらに、曲の頭出しやプログラム再生等の機能を実現するために、１フレームにつき一つのサブコードと呼ばれる８ビットから成る１シンボルのデータが同様に１４ビット化されて付加される。
【０００３】
ここで、従来のＥＦＭ信号送出装置によれば、例えばＣＰＵ（中央演算ユニット）を有する演算回路によってサブコード生成が行なわれると同時に、メインデータ及びサブコードの１４ビット化作業とが行なわれるようになっている。
【０００４】
【発明が解決しようとする課題】
しかしながら、このようなＥＦＭ信号送出装置においては、サブコード生成と１４ビット化が同時に行なわれることから、ＥＦＭ信号の送出速度は、ＣＰＵがサブコードを生成（演算）する最大速度によって制限されることになる。
また、ＥＦＭ信号の出力と同時に、ＣＰＵによるサブコードの演算が行なわれることから、このＣＰＵの動作クロック等がノイズとなって、ＥＦＭ信号に混入することがあり、ＣＤ変調に悪影響を与えることになってしまうという問題があった。
【０００５】
本発明は、以上の点に鑑み、ＥＦＭ信号の出力が高速で且つ正確に行われるようにした、ＥＦＭ信号送出装置及び送出方法を提供することを目的としている。
【０００６】
【課題を解決するための手段】
この発明は、ＥＦＭ信号の基準クロックとなるパルス列を出力する発振手段と、
発振手段からのパルス列のタイミングで、メインデータを出力するデータ再生装置と、
サブコード生成情報に基づいて演算してサブコードを生成する演算手段と、
前以って演算手段により生成されたサブコードを記憶し、発振手段からのパルス列のタイミングで、対応するサブコードを出力する記憶手段と、
データ再生装置からのメインデータと記憶手段から出力されるサブコードとから、ＥＦＭ信号を生成する信号生成手段とを備え、
演算手段は、信号生成手段がＥＦＭ信号を生成する前に動作が停止されていることを特徴とするＥＦＭ信号送出装置である。
【０００７】
また、この発明は、前以ってサブコード生成情報に基づいて演算手段により演算してサブ

コードを生成するステップと、
生成されたサブコードを記憶手段に記憶するステップと、
メインデータを再生するステップと、
記憶手段から読み出されたサブコードと再生されたメインデータとから、ＥＦＭ信号を生成するステップとからなり、
演算手段は、ＥＦＭ信号を生成する前に動作が停止されていることを特徴とするＥＦＭ信号送出方法である。

【０００８】

上記構成によれば、サブコードが前以て演算手段により演算されることにより生成され、記憶手段に記憶されているので、ＥＦＭ信号生成の際には、信号生成手段により、データ再生装置からのメインデータと記憶手段から読み出されたサブコードから、ＥＦＭ信号が生成されることになる。
この場合、ＥＦＭ信号生成の際には、前以て演算手段により演算され、記憶手段に記憶されたサブコードを読み出すようにしているので、演算手段はサブコードの演算を行なっていない。

【０００９】

【発明の実施の形態】

以下、この発明の好適な実施形態を図１乃至図２を参照しながら、詳細に説明する。
尚、以下に述べる実施形態は、本発明の好適な具体例であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの態様に限られるものではない。

【００１０】

図１は、本発明によるＥＦＭ信号送出装置の一実施形態の構成を示している。図１において、ＥＦＭ信号送出装置１０は、発振器１１，データ再生装置１２，サブコードを生成する演算手段としてのＣＰＵ１３，ＥＦＭ信号を生成する信号生成手段としてＥＦＭ生成回路１４，サブコードを記憶する記憶手段としてのデュアルポートメモリ１５及びデュアルポートメモリ１５のメモリ格納位置を示すメモリポインタ１６とから構成されている。

【００１１】

発振器１１は、ＥＦＭ信号生成時の基準クロックとしてのパルス列を出力するものであり、その出力パルス列は、ＥＦＭ生成回路１４及びメモリポインタ１６に出力されるようになっている。

【００１２】

データ再生装置１２は、発振器１１からのパルス列が入力されることにより、図示しない記憶媒体から情報信号を読み出して、このパルス列のタイミングで、メインデータをＥＦＭ生成回路１４に出力するようになっている。

【００１３】

ＣＰＵ１３は、サブコード生成情報に基づいて演算を行なうことにより、サブコードを生成して、デュアルポートメモリ１５に出力するようになっている。

【００１４】

ＥＦＭ生成回路１４は、データ再生装置１２からのメインデータと、デュアルポートメモリ１５からのサブコードとから、発振器１１からのパルス列に基づいて、これらを合成し、変調（１４ビット化）して、ＥＦＭ信号を出力するようになっている。

【００１５】

デュアルポートメモリ１５は、二つのポートを備えており、一つのポートは前記ＣＰＵ１３に接続されると共に、他方のポートはＥＦＭ生成回路１４及びメモリポインタ１６に接続されている。これにより、ＣＰＵ１３からのサブコードを記憶し、メモリポインタ１６が指定する位置に記憶されたサブコードをＥＦＭ生成回路１４に出力するようになっている。

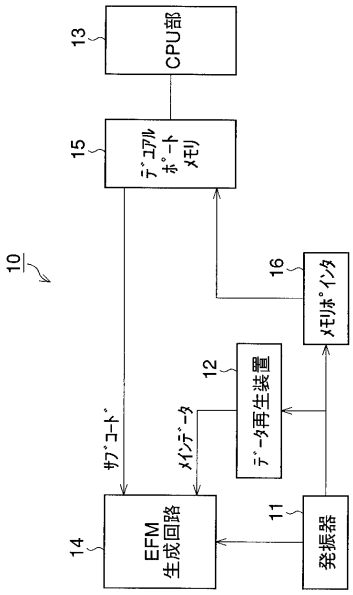
【００１６】

メモリポインタ１６は、発振器１１からのパルス列に基づいて、パルス列による基準クロ

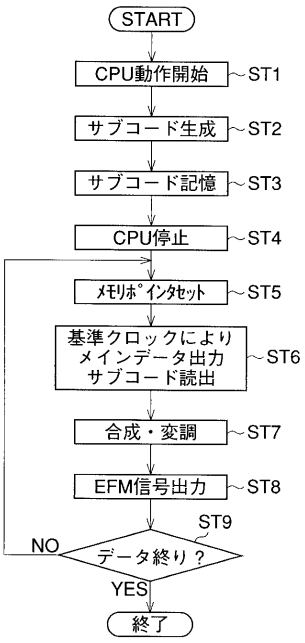
ック毎に、次のサブコードが記憶されたメモリ格納位置を指定するようになっている。
【００１７】
本実施形態によるＥＦＭ信号送出装置１０は、以上のように構成されており、図２に示したフローチャートに従って、以下のように動作する。
即ち、図２において、ステップＳＴ１にて、ＣＰＵ１３が動作開始する。そしてステップＳＴ２にて、ＣＰＵ１３は、図示しない手段により受け取ったサブコード生成情報に基づいて、演算を行ない、サブコードを生成し、デュアルポートメモリ１５に出力する。
ここで、サブコード生成情報は、サブコードの生成に必要なすべての情報が含まれており、生成されたサブコードは、ステップＳＴ３にて、デュアルポートメモリ１５に記憶される。
そして、サブコード生成が終了すると、ステップＳＴ４にて、ＣＰＵ１３は、その動作を停止する。
【００１８】
次に、ＥＦＭ信号の生成が行なわれるが、先づステップＳＴ５にて、メモリポインタ１６は、デュアルポートメモリ１５に記憶された最初のサブコードの先頭位置または次のサブコードの先頭位置を示すようにセットされる。
そして、ステップＳＴ６にて、発振器１１からのパルス列による基準クロック毎に、データ再生装置１２がメインデータをＥＦＭ生成回路１４に出力すると共に、デュアルポートメモリ１５が、メモリポインタ１６により指定された格納位置に記憶されたサブコードをＥＦＭ生成回路１４に出力する。
【００１９】
これにより、ステップＳＴ７にて、ＥＦＭ生成回路１４は、入力されたメインデータ及びサブコードを合成し、ＥＦＭ変調（１４ビット化）を行なって、ステップＳＴ８にて、生成されたＥＦＭ信号を出力する。
【００２０】
このようにして、基準クロック毎に、メモリポインタ１６が次のサブコードの先頭位置を示すようにセットされ、ＥＦＭ生成回路１４により、メインデータ及びサブコードの合成・変調が行なわれて、ＥＦＭ信号が出力されることになる。最後に、メインデータがなくなったときには、ステップＳＴ９にて、データ終了の判定が行なわれて、ＥＦＭ信号生成が終了する。
【００２１】
このように、以上の実施形態によれば、ＥＦＭ信号生成の際には、信号生成手段により、データ再生装置からのメインデータと記憶手段から読み出されたサブコードから、ＥＦＭ信号が生成されることになる。
従って、ＥＦＭ信号生成の際には、演算手段はサブコードの演算を行なっていないので、ＥＦＭ信号生成が、サブコードの演算を行なう演算手段の最大能力によって制限されるようなことはなく、高速で行われることになると共に、演算手段の動作クロック等が不要であることから、これらがノイズとなって、ＥＦＭ信号に混入するようなこともなく、ＣＤ変調による正確なＥＦＭ信号が得られることになる。
【００２２】
尚、上述した実施形態においては、ＣＤのＥＦＭ変調におけるＥＦＭ信号の生成に関して説明したが、これに限らずメインデータとサブコードを合成・変調するような任意の変調方式に本発明を適用することが可能である。
【００２３】
【発明の効果】
以上述べたように、本発明によれば、ＥＦＭ信号の出力が高速で且つ正確に行われるようにした、ＥＦＭ信号送出装置と送出方法が提供されることになる。
【図面の簡単な説明】
【図１】本発明を適用したＥＦＭ信号送出装置の一実施形態を示すブロック図である。
【図２】図１のＥＦＭ信号送出装置における動作を示すフローチャートである。

【符号の説明】
１０　　ＥＦＭ信号送出装置
１１　　発振器（発振手段）
１２　　データ再生装置
１３　　ＣＰＵ（演算手段）
１４　　ＥＦＭ生成回路（信号生成手段）
１５　　デュアルポートメモリ（記憶手段）
１６　　メモリポインタ

【図１】



【図２】



フロントページの続き

(56)参考文献 特開平０７－３３４３１７（ＪＰ，Ａ）
特開平０３－２５９４６１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11B 20/10
G11B 20/14
H03M 7/14