

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-108341

(P2007-108341A)

(43) 公開日 平成19年4月26日(2007.4.26)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09F 9/30 (2006.01)	G09F 9/30 338	5C094
G09F 9/00 (2006.01)	G09F 9/00 346A	5G435
G09G 3/20 (2006.01)	G09G 3/20 680G	
	G09G 3/20 622K	

審査請求 未請求 請求項の数 6 O L (全 11 頁) 最終頁に続く

(21) 出願番号	特願2005-297971 (P2005-297971)	(71) 出願人	302020207 東芝松下ディスプレイテクノロジー株式会社 東京都港区港南4-1-8
(22) 出願日	平成17年10月12日(2005.10.12)	(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100075672 弁理士 峰 隆司

最終頁に続く

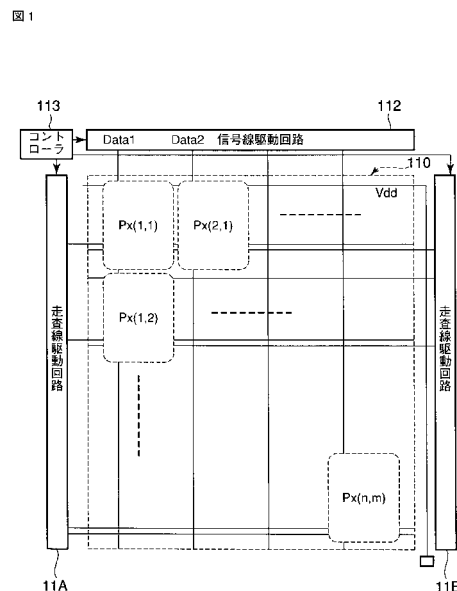
(54) 【発明の名称】 アクティブマトリックス型表示装置

(57) 【要約】

【課題】画素配列領域を中心として、素子アレイ基板の左右の縁の面積が略等しくなり、無駄な空間を無くすようにした。

【解決手段】行を成す複数の走査線と列を成す複数の信号線とが交差する画素配列領域には、走査線と信号線との交差点近傍にそれぞれ画素部が形成されている。走査線駆動回路が画素部に対して行方向へ順次走査信号を与え、信号線駆動回路が画素部の各列へ信号を供給する。ここで、前記走査線駆動回路は、前記走査線の一方側と他方側に分割され第1と第2の走査線駆動回路として設けられている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

行を成す複数の走査線と列を成す複数の信号線とが交差して形成された画素配列領域と、前記複数の走査線と複数の信号線との交差点近傍にそれぞれ形成された画素部と、画素配列領域の外の領域に、前記複数の走査線に接続されて前記複数の画素部に対して行方向へ順次走査信号を与えるように形成された走査線駆動回路と、前記画素配列領域の外の領域に、前記複数の信号線に接続され前記複数の画素部の各列へ信号を供給するように形成された信号線駆動回路とを有した、アクティブマトリクス型表示装置において、

前記走査線駆動回路は、前記走査線の一方側と他方側に分割され第1と第2の走査線駆動回路として設けられていることを特徴とするアクティブマトリクス型表示装置。

10

【請求項 2】

前記画素部は、

発光素子と、この発光素子を画像信号に対応する電流で駆動する駆動トランジスタと、この駆動トランジスタの動作電圧を設定する容量と、前記駆動トランジスタと前記信号線との間に接続された画素スイッチと、前記駆動トランジスタと前記発光素子との間に配置されて発光期間を設定する出力スイッチとを有し、

前記第1の走査線駆動回路から導出された第1の走査線は、前記画素スイッチの制御端子に接続され、

前記第2の走査線駆動回路から導出された第2の走査線は、前記出力スイッチの制御端子に接続されていることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

20

【請求項 3】

前記第1の走査線駆動回路とは反対側に位置する前記第1の走査線の端部、及び前記第2の走査線駆動回路とは反対側に位置する前記第2の走査線の端部には、それぞれパッドが設けられていることを特徴とする請求項2記載のアクティブマトリクス型表示装置。

【請求項 4】

前記第1の走査線駆動回路とは反対側に位置する前記第1の走査線の端部、及び前記第2の走査線駆動回路とは反対側に位置する前記第2の走査線の端部は、それぞれ高抵抗を示す半導体素子を介して基準電位に接続されていることを特徴とする請求項2記載のアクティブマトリクス型表示装置。

30

【請求項 5】

前記第1の走査線駆動回路が前記第1の走査線に出力する第1の駆動パルスと、前記第2の走査線駆動回路が前記第2の走査線に出力する第2の駆動パルスとの関係は、

前記出力スイッチがオフしている期間内に、前記画素スイッチがオンする期間が存在するように、前記第2のパルスが前記出力スイッチをオンからオフに制御した数 μ s後に、前記第1のパルスが前記画素スイッチをオフからオンし、前記第1のパルスが前記画素スイッチをオンからオフに制御した数 μ s後に、前記第2のパルスが前記出力スイッチをオフからオンに制御する関係であることを特徴とする請求項2記載のアクティブマトリクス型表示装置。

【請求項 6】

前記第1と第2の走査線駆動回路は、前記画素配列領域内の受け持ち領域が異なることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、画素配列領域に表示素子を含む画素部が、マトリクス状に配置されてなるアクティブマトリクス型表示装置に関するもので、特に、走査線駆動回路を改良したものである。

【背景技術】

【0002】

50

近年、自発光する有機エレクトロ・ルミネセンス (Electroluminescence 以下 EL と記す) を用いた有機 EL 表示装置が注目されている。有機 EL 表示装置では、その画素部に有機発光素子が用られており、液晶表示装置のように液晶を 2 枚のガラス基板の間に封止する必要がない。このために液晶表示装置に比べて、有機 EL 表示装置は全体パネルを比較的容易に屈曲できること、及び小型化、軽量化することが期待できる。

【0003】

上記の有機発光素子は、駆動回路を構成する駆動トランジスタにより駆動されるもので、駆動トランジスタのゲート-ソース間電圧を保持する駆動容量には、映像信号が第1のスイッチトランジスタを介して与えられる。これにより、駆動トランジスタからは、映像信号に対応した安定した電流を出力することができる。この出力電流は、第2のスイッチトランジスタを介して対応する発光素子に供給される。これにより、映像信号に応じた輝度で該発光素子が発光することになる。

10

【0004】

駆動トランジスタに対する映像信号は、電圧信号方式或は電流信号方式により与えられる。発光素子の駆動回路に関する技術として、電圧信号 (或は電圧書込み) 方式を示した米国特許 6, 229, 506 B1 (文献1), 電流信号 (或は電流書込み) 方式を示した米国特許 6, 373, 454 B1 (文献2) がある。

【特許文献1】米国特許 6, 229, 506 B1

【特許文献2】米国特許 6, 373, 454 B1

【発明の開示】

20

【発明が解決しようとする課題】

【0005】

上記したように駆動回路に第1のスイッチトランジスタを介して映像信号が与えられる期間 (書き込み期間と称される) と、前記駆動トランジスタの出力電流が、第2のスイッチトランジスタを介して発光素子に与えられる期間 (発光期間と称される) とがある。このために、前記第1のスイッチトランジスタと第2のスイッチトランジスタをそれぞれオンオフ制御するための第1の走査線と第2の走査線が必要である。

【0006】

従来が表示装置であると、上記の第1の走査線と第2の走査線は、画素配列領域の一方の側の領域に形成された走査線駆動回路に接続されている。

30

【0007】

ここで問題となるのは、表示装置を形成する素子アレイ基板上で、前記画素配列領域の一方の側部に前記走査線駆動回路が構成されており、画素配列領域の左右に存在する領域にアンバランスが生じることである。つまり画素配列領域を中心として、素子アレイ基板上の左右の縁の面積を見た場合、走査線駆動回路が形成される一方側の面積が大きく、他方側の面積が小さくなる。しかし、表示装置がケースに収納された場合、前記画素配列領域が窓から現われ、この窓の左右の縁は、均等の幅であることが要求される。この結果、走査線駆動回路が形成されていない他方では、ケース内に無駄な空間が生じている。

【0008】

このような傾向は、表示装置が小形化すればそれだけ顕著となる。素子アレイ基板上で走査線駆動回路が占める面積を無視できなくなるからである。

40

【0009】

そこでこの発明の目的とするところは、画素配列領域を中心として、素子アレイ基板上の左右の縁の面積が略等しくなり、無駄な空間を無くすることができるアクティブマトリクス型表示装置を提供することにある。また設計、製造が容易となり、性能上でも安定した性能を得られるようにしたアクティブマトリクス型表示装置を提供することにある。

【課題を解決するための手段】

【0010】

この発明は上記の問題を解決するために、行を成す複数の走査線と列を成す複数の信号線とが交差して形成された画素配列領域と、前記複数の走査線と複数の信号線との交差部

50

近傍にそれぞれ形成された画素部と、画素配列領域の外の領域に、前記複数の走査線に接続されて前記複数の画素部に対して行方向へ順次走査信号を与えるように形成された走査線駆動回路と、前記画素配列領域の外の領域に、前記複数の信号線に接続され前記複数の画素部の各列へ信号を供給するように形成された信号線駆動回路とを有したアクティブマトリクス型表示装置において、前記走査線駆動回路は、前記走査線の一方側と他方側に分割され第1と第2の走査線駆動回路として設けるようにしている。

【発明の効果】

【0011】

上記した手段により、画素配列領域を中心として、素子アレイ基板上の左右の縁の面積が略等しくなり、ケース収容状態で無駄な空間を無くすことができた。また走査線駆動回路が左右に分散され、素子間の余裕ができるために、設計、製造が容易となり、線幅に関しても、性能上で安定した性能を得られる優位な設計とできるようになった。

10

【発明を実施するための最良の形態】

【0012】

以下、この発明の実施の形態を図面を参照して説明する。

【0013】

図1はこの発明の表示装置において、素子アレイ基板上に形成される各領域を示している。110は、画素配列領域を示している。画素配列領域110内には、画素部 $P \times (1, 1)$ 、 $P \times (2, 1) \dots$ 、 $P \times (1, 2)$ 、 $\dots \dots$ 、 $P \times (n, m)$ がマトリクス状に配列されている。

20

【0014】

素子アレイ基板において、画素配列領域110の外側の領域（例えば図面上で左右の領域）には、第1の走査線駆動回路11Aと、第2の走査線駆動回路11Bとが構成されている。さらに画素配列領域110の外側の領域（例えば図面上で上の領域）には、信号線駆動回路112が構成されている。

【0015】

第1と第2の走査線駆動回路11Aと11Bとは、マトリクス状に配列された画素部 $P \times (1, 1)$ 、 $P \times (2, 1) \dots$ 、 $P \times (1, 2)$ 、 $\dots \dots$ 、 $P \times (n, m)$ を行毎に走査し、各画素部 $P \times (1, 1)$ 、 $P \times (2, 1) \dots$ 、 $P \times (1, 2)$ 、 $\dots \dots$ 、 $P \times (n, m)$ の信号受入れ状態、及び信号保持状態、発光素子の素子発光状態を設定する。信号線駆動回路112は、各画素部 $P \times (1, 1)$ 、 $P \times (2, 1) \dots$ 、 $P \times (1, 2)$ 、 $\dots \dots$ 、 $P \times (n, m)$ が信号受入れ状態となったときに、信号線Data1、Data2、...から書込み信号を出力する。

30

【0016】

113は、コントローラであり、信号線駆動回路112及び第1、第2の走査線駆動回路11A、11Bの動作を得るための各種（信号取込、信号出力など）タイミング信号、及びクロック信号を出力する。

【0017】

図2には、上記した画素部 $P \times (1, 1)$ を取り出して示している。画素部 $P \times (1, 1)$ 、 $P \times (2, 1) \dots$ 、 $P \times (1, 2)$ 、 $\dots \dots$ 、 $P \times (n, m)$ は同様な構成であるから、1つを代表して示し動作を説明する。

40

【0018】

201は電源ラインであり、電源電圧Vddが与えられる。電源ライン201に、駆動トランジスタ202のソース電極が接続されている。駆動トランジスタ202のソース・ゲート電極間には、容量204が接続されている。駆動トランジスタ202のゲート・ドレイン電極間には、スイッチトランジスタ205が接続されている。さらに駆動トランジスタ202のドレイン電極と信号線(Data1)との間には画素スイッチ206が接続されている。また駆動トランジスタ202のドレイン電極は、出力スイッチ203を介して有機発光素子(OLED1)のアノードに接続され、この有機発光素子(OLED1)のカソードは低電源ライン（或はアースライン）に接続される。これら駆動トランジスタ

50

202、スイッチトランジスタ205、出力スイッチ203、画素スイッチ206は、ここではp-チャンネルTFTにより構成される。

【0019】

駆動トランジスタ202のゲート・ドレイン電極間の容量204は、駆動電圧を保持することができる。画素スイッチ206は信号供給用として利用される。信号線(Data1)は、先の信号線駆動回路112により駆動される。

【0020】

先の画素スイッチ206、スイッチトランジスタ205のゲート電極には、第1の走査線Ysc1が接続され、出力スイッチ203のゲート電極には第2の走査線Ysc2が接続されている。第1の走査線Ysc1は、第1の走査線駆動回路11Aに接続されており、第2の走査線Ysc2は、第2の走査線駆動回路11Bに接続されている。

10

【0021】

画素部Px(1,1)を代表して説明したが、他の画素部の構成も同様な構成である。そして各画素部が位置する列に応じて対応する信号線が接続される。また画素部が位置する行に応じて対応する電源ライン201及び対応する第1、第2の走査線Ysc1~Ysc2が接続される。

【0022】

図3には、上記の表示装置の動作を説明するためのタイミングチャートを示している。図3(A)は、ビデオ信号の期間を示し、1H、2H、3H...は、それぞれ1水平期間に対応し、1Vが1垂直期間に対応する。図3(B)は、水平期間に同期した水平周期のパルスであり、図3(C)は、1垂直期間毎に1フィールド(または1フレーム)の先頭で発生されるスタートパルスである。図3(D)は、水平期間に同期して生成されるクロックパルスである。図3(E)は、信号線駆動回路112から1水平期間毎にある信号線に対し出力されるビデオ信号を示している。

20

【0023】

上記のタイミングパルス(図3(B)~(D))は、外部或はコントローラ112から各駆動回路に与えられるパルスである。図3(F)、図3(G)は、例えば第1行の画素部Px(1,1)~Px(n,1)の第1の走査線と第2の走査線に与えられる走査信号である。また図3(H)、図3(I)は、次の行、例えば第2行の画素部Px(1,2)~Px(n,2)の第1の走査線と第2の走査線に与えられる走査信号である。

30

【0024】

図3(F)、図3(G)と、図2の画素部Px(1,1)を参照して動作を説明すると以下ようになる。第1の走査線Ysc1の走査信号がオフレベルからオンレベルになると、画素スイッチ206、スイッチトランジスタ205がオンする。このとき、画素部Px(1,1)に対応する画像信号(Data1)が信号線駆動回路112から出力されると、この画像信号に対応した駆動電流が駆動トランジスタ202に流れ、このときのゲート・ソース電圧が容量204に与えられる。そして、第1の走査線Ysc1の走査信号がオンレベルからオフレベルになると、画素スイッチ206、スイッチトランジスタ205がオフし、容量204の電位が保持される。

【0025】

次に、第2の走査線Ysc2の走査信号がオフレベルからオンレベルになると、出力スイッチ203がオフからオンとなり、駆動トランジスタ202に流れる電流が、有機発光素子OLED1に流れ、この発光素子の発光が得られる。このときの電流量は、駆動トランジスタ202のゲート電極の電位に依存する。つまり、画像信号に比例した電流が有機発光素子OLED1に流れることになる。

40

【0026】

図4には、第1の走査線駆動回路11Aの内部の一部が示されている。ライン4B,4C,4Dには、それぞれ図3(B),図3(C),図3(D)の信号B,C,Dが供給される。401,402,403は、それぞれ第1行の画素部Px(1,1)~Px(n,1)、第2行の画素部Px(1,2)~Px(n,2)、第3行の画素部Px(1,3)

50

～ $P \times (n, 3)$ へ第 1 の走査信号を与える走査信号出力回路である。各走査信号出力回路 401、402、403 は同一構成であるから、1 つを代表して説明する。走査信号出力回路 401 は、シフトレジスタ 411、ナンド回路 412、レベルシフタ 413、バッファ 415 を有する。シフトレジスタ 411 は、ライン 4B の信号 B をクロックとして、ライン 4C の信号 C を転送する。信号 C は、垂直走査期間の先頭に得られるパルスである。シフトレジスタ 411 でシフトされ、出力された信号は、次の行のシフトレジスタ 421 に供給されるとともに、ナンド回路 412 の一方の入力部に供給される。ナンド回路 412 の他方の入力部には、信号 D が供給されている。この結果、ナンド回路 412 からは、図 3 (F) に示した第 1 の走査信号が得られる。この第 1 の走査信号は、レベルシフタ 413、バッファ回路 415 を介して第 1 の走査線路上に出力される。

10

【0027】

他の走査信号出力回路 402、403 も同様な動作であり、第 1 の走査信号の出力時点が、1 水平期間ずれているだけである。

【0028】

図 5 には、第 2 の走査線駆動回路 11B の内部の一部が示されている。ライン 4B、4C には、それぞれ図 3 (B)、図 3 (C) の信号 B、C が供給される。501、502、503 は、それぞれ第 1 行の画素部 $P \times (1, 1) \sim P \times (n, 1)$ 、第 2 行の画素部 $P \times (1, 2) \sim P \times (n, 2)$ 、第 3 行の画素部 $P \times (1, 3) \sim P \times (n, 3)$ 、第 1 の走査信号を与える走査信号出力回路である。各走査信号出力回路 501、502、503 は同一構成であるから、1 つを代表して説明する。走査信号出力回路 501 は、シフト

20

【0029】

上記した本発明の表示装置の構成によれば、画素配列領域 110 を中心として、素子アレイ基板上の左右の縁の面積が略等しくなり、ケース収容状態で無駄な空間を無くすることができた。また走査線駆動回路が左右に分散され、素子間の余裕ができるために、設計、製造が容易となり、線幅に関しても、性能上で安定した性能を得られる優位な設計とできる

30

【0030】

図 6 (A) には、本発明による表示装置を示し、図 6 (B) には、従来の表示装置の外観を示している。図 6 (A) に示すようにケース 600 に画素アレイ基板 120 を収容したとき、画素配列領域がケース 600 の窓 (開口部) 601 に対応するように配置される。またこの窓 601 の左右の幅 L_1 、 L_1 は、同一である。

【0031】

図 6 (B) に示すように、素子アレイ基板 660 上において、画素配列領域の片側のみに走査線駆動回路 661 を集中させた場合、画素配列領域を中心とする素子アレイ基板上の左右の縁の面積がアンバランスとなる。662 は、信号線駆動回路である。このような素子アレイ基板 660 をケース 650 に収容し、画素配列領域を窓 651 に対応させ、そして、窓 651 の左右の幅 L_2 、 L_2 を等しくした場合、ケース 650 内には、無駄な空間を形成する幅 L_3 が生じてしまう。また L_2 も L_1 よりも大きくならざるを得ない。

40

【0032】

これに対して、本発明の場合は窓 601 の左右に生じる幅 L_1 を小さくすることができると共に、全体のケース 600 全体の幅も小さくすることができる。また走査線駆動回路は、画素配列領域の左右に分散されたために、それぞれに構成される回路面積としては、ゆとりが得られ、電源線の線幅なども余裕を持って形成可能である。この結果、素子間の余裕ができ、設計、製造が容易となり、線幅に関しても、性能上で安定した性能を得られる優位な設計とできるようになった。

50

【0033】

この発明は上記の実施形態に限定されるものではない。第1の走査線 Y_{sc1} 、第2の走査線 Y_{sc2} の端部には、パッドを設けて、基準電位に高抵抗の半導体素子を介して接続してもよい。

【0034】

図7には、この発明の他の実施の形態を示している。ここでは、画素部 $P_x(1,1)$ 、 $P_x(1,2)$ を代表して示している。画素部 $P_x(1,1)$ は、図2で説明した通りである。画素部 $P_x(1,2)$ において、212は、駆動トランジスタ、213は出力スイッチ、214は容量、215はスイッチトランジスタ、216は画素スイッチであり、機能は、画素部 $P_x(1,1)$ と同じ機能である。画素部 $P_x(1,1)$ において、第1の走査線 Y_{sc1} の端部には、パッド711が設けられ、基準電位に高抵抗の半導体素子713を介して接続されている。第2の走査線 Y_{sc2} の端部にも、パッド712が設けられて、基準電位に高抵抗の半導体素子714を介して接続されている。画素部 $P_x(1,2)$ においても同様であり、第1の走査線 Y_{sc1} の端部には、パッド721が設けられ、基準電位に高抵抗の半導体素子723を介して接続されている。第2の走査線 Y_{sc2} の端部にも、パッド722が設けられて、基準電位に高抵抗の半導体素子724を介して接続されている。

10

【0035】

このように構成した場合、近接して構成される第1の走査線と、第2の走査線からの短絡試験を容易に行うことができる。すなわち、第1行の場合、パッド711と712間をテストで測定することで、短絡しているか否かを即座に検出できる。さらにまた、各パッドが高抵抗の半導体素子を介して基準電位（例えば接地電位）に接続される。この構成により、静電気が走査線に誘導された場合に、放出経路を得ることができ、回路の破損を防止することができる。

20

【0036】

この発明は上記の実施の形態に限定されるものではない。先の実施の形態では、第1の走査信号と第2の走査信号の位相関係は、図8(A)と図8(B)に示すような関係であった。しかし第1の走査信号と、第2の走査信号との関係が、図8(C)と図8(D)に示すような位相関係であってもよい。つまり、出力スイッチを画素スイッチがオン状態となる数 μs 前にオフ状態とし、また、画素スイッチがオフ状態となってから数 μs 経過後に出力スイッチをオン状態とすることができる。このよう位相関係を容易に得られるのは、第1、第2の走査線駆動回路が分離独立しており、独立した駆動制御が可能であるからである。

30

【0037】

また、上述の実施形態では、第1および第2の走査線駆動回路で共通のクロック信号を用いる場合について説明したが、これらの走査線駆動回路を分離配置することにより、クロック信号に異なる信号を用いた場合でも、クロック信号同士のカップリングをによる影響を低減することができる。

【0038】

さらにこの発明では、第1、第2の走査線駆動回路が分離独立していることから、画素配列領域を例えば上側半分の領域と、下側半分の領域とに分けて、一方の領域に書き込みを行うときに他方の領域には発光期間を設定するというような制御が容易にできる。

40

【0039】

なお、この発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【0040】

50

【図1】本発明に係るアクティブマトリクス型表示装置の素子アレイ基板の概略構成を示す説明図。

【図2】図1の走査線駆動回路内の画素部の回路構成例を示す図。

【図3】図2の回路の動作を説明するために示したタイミングチャート。

【図4】図1の第1の走査線駆動回路の例を示す回路図。

【図5】図1の第2の走査線駆動回路の例を示す回路図。

【図6】この発明の表示装置の効果を説明するために示す図。

【図7】この発明の更に他の実施の形態を示す図。

【図8】この発明のまた他の実施の形態における動作波形を示す説明図。

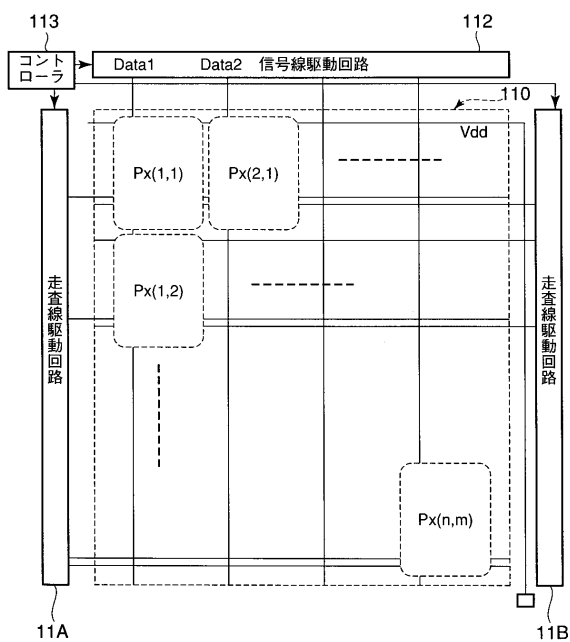
【符号の説明】

【0041】

110 ... 画素配列領域、11A, 11B ... 第1、第2の走査線駆動回路、112 ... 信号線駆動回路、201 ... 電源ライン、202 ... 駆動トランジスタ、203、205、206 ... スイッチトランジスタ、204 ... 容量、OLED1 ... 有機発光素子。

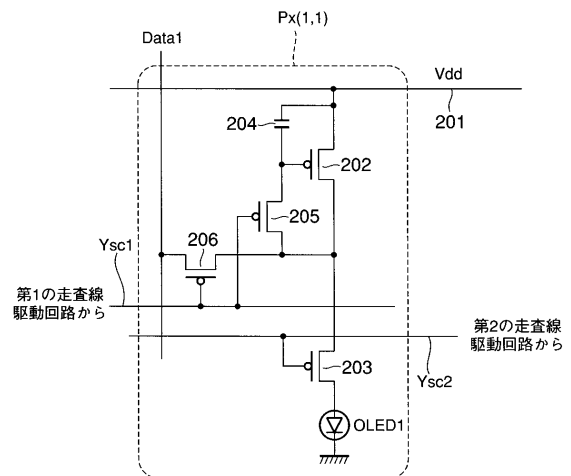
【図1】

図1



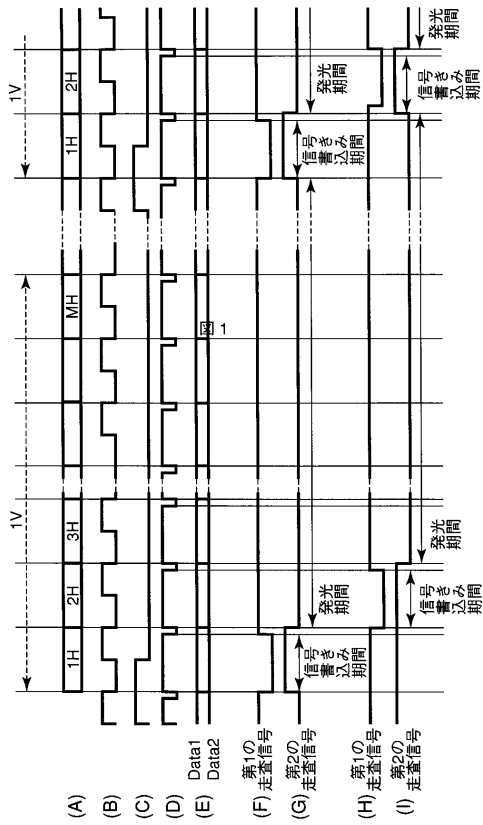
【図2】

図2



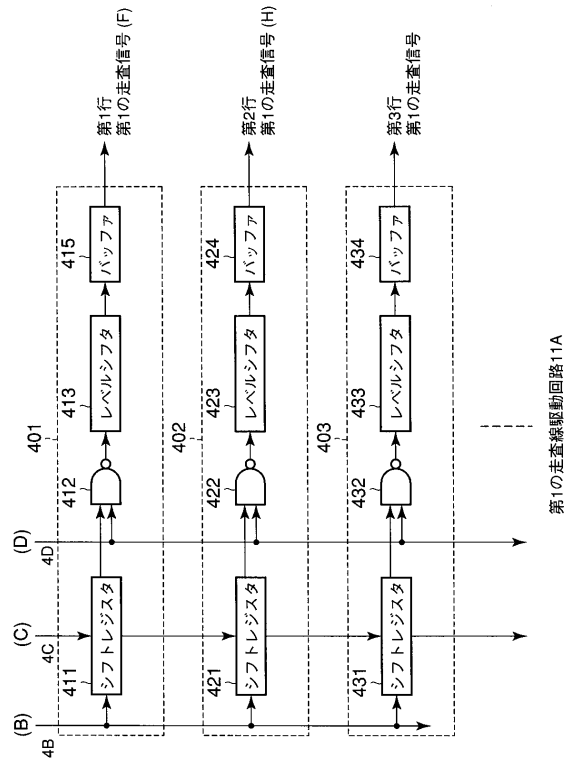
【 図 3 】

図 3



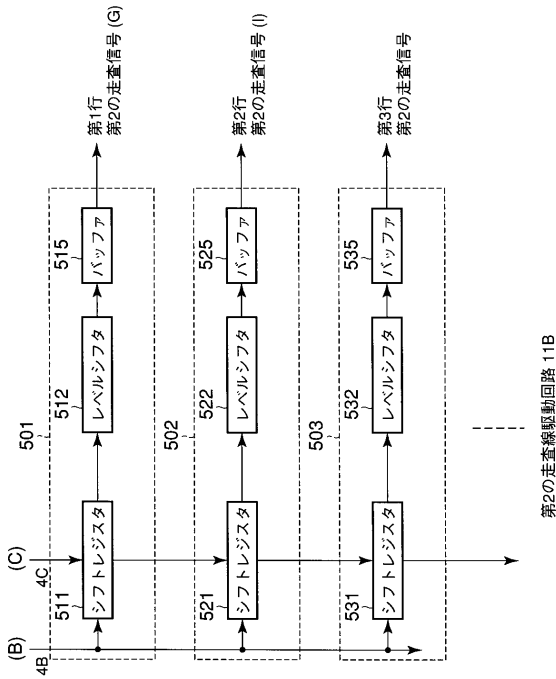
【 図 4 】

図 4



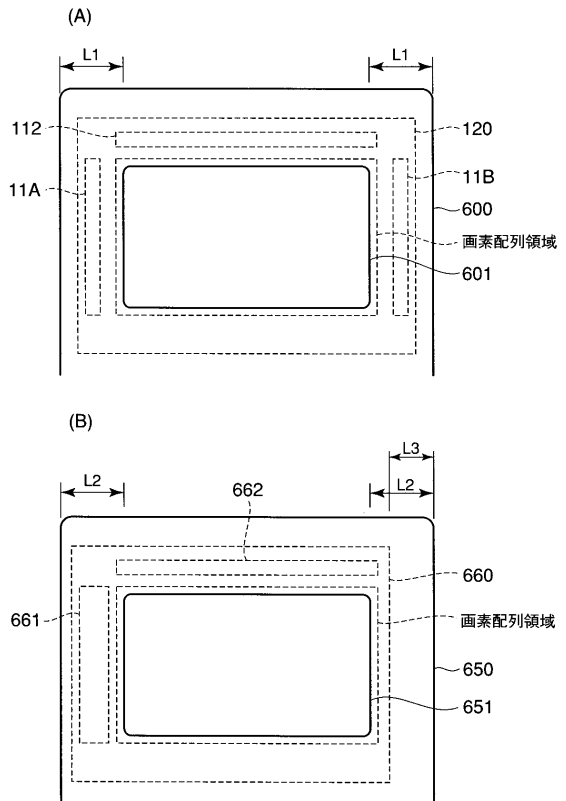
【 図 5 】

図 5



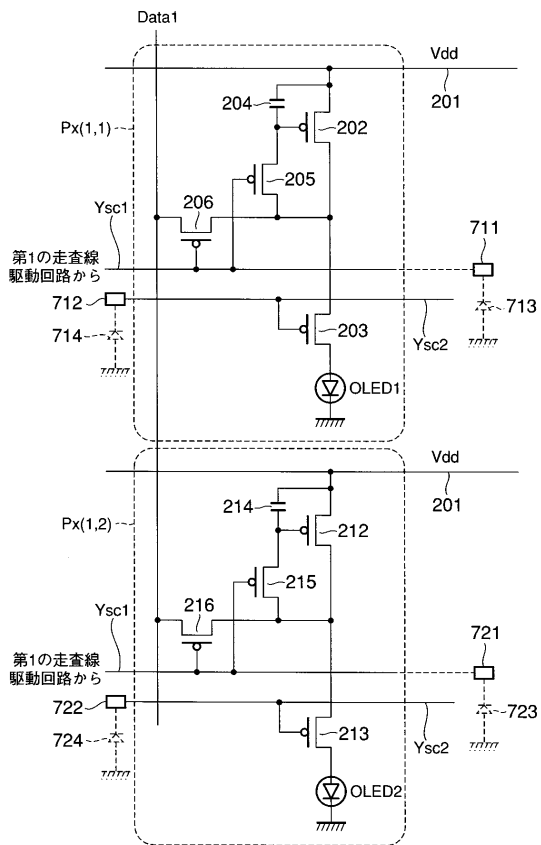
【 図 6 】

図 6



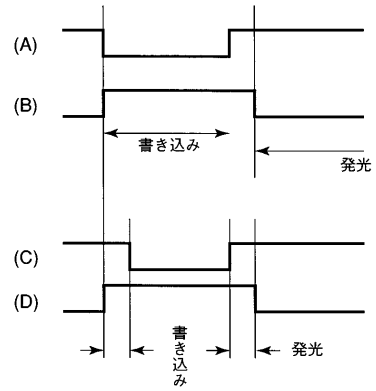
【 図 7 】

図 7



【 図 8 】

図 8



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 7 0 Q
	G 0 9 G 3/20	6 7 0 Z
	G 0 9 G 3/20	6 2 2 D

(74)代理人 100109830
弁理士 福原 淑弘

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100092196
弁理士 橋本 良郎

(72)発明者 仲戸川 博人
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 5C080 AA06 BB05 DD22 FF11 HH09 JJ02 JJ03 JJ04
5C094 AA43 AA55 BA23 BA27 CA19 DB01
5G435 AA17 BB05 EE37 HH13