(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3593371号
(P3593371)
(45)発行日　平成16年11月24日(2004.11.24)　(24)登録日　平成16年9月3日(2004.9.3)

(51)Int.Cl.[7]　F I
H01L 29/78　H01L 29/78　301W

請求項の数 1　(全 11 頁)

(21)出願番号　特願平6-326010
(22)出願日　平成6年12月27日(1994.12.27)
(65)公開番号　特開平8-181308
(43)公開日　平成8年7月12日(1996.7.12)
審査請求日　平成13年11月21日(2001.11.21)
審判番号　不服2002-16031(P2002-16031/J1)
審判請求日　平成14年8月22日(2002.8.22)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100068504
弁理士　小川　勝男
(72)発明者　吉田　功
東京都国分寺市東恋ケ窪１丁目２８０番地
株式会社日立製作所中央研究所内
(72)発明者　勝枝　嶺雄
東京都国分寺市東恋ケ窪１丁目２８０番地
株式会社日立製作所中央研究所内
(72)発明者　丸山　泰男
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所半導体事業部内

最終頁に続く

(54)【発明の名称】絶縁ゲート半導体装置

(57)【特許請求の範囲】
【請求項１】
第１導電形の半導体基板と、
前記半導体基板上に設けられた第１導電形の半導体層と、
前記半導体層の表面に交互に設けられた第２導電形のドレイン、ソース層と、
前記ドレイン、ソース層相互間に設けられた第１導電形のチャネル領域と、
前記チャネル領域上にゲート絶縁膜を介して設けられたゲート電極用導体層と、
前記ゲート電極用導体層を覆うようにして設けられた第１層間絶縁膜と、
前記第１層間絶縁膜上に設けられたゲート電極用導体層よりも低抵抗の第１金属導体層と、
前記第１金属導体層を覆うように設けられた第２層間絶縁膜と、
前記第２層間絶縁膜上に設けられた第２金属導体層と、
ドレイン層上の前記第１層間絶縁膜に対して設けられた開口部を介して前記ドレイン層に接続された第１金属導体層からなる第１層目ドレイン電極と、
ソース層上の前記第１層間絶縁膜に対して設けられた開口部を介して前記ソース層に接続された第１金属導体層からなる第１層目ソース電極と、
ゲート電極用導体層上の前記第１層間絶縁膜に対して設けられた開口部を介して前記ゲート電極用導体層に接続された第１金属導体層からなる第１層目ゲート電極とから構成される絶縁ゲート半導体装置において、
前記第１層目ドレイン電極上の第２層間絶縁膜に対して設けられた開口部を介して第１層

目ドレイン電極に接続されると共に端部が共通接続された第２金属導体層からなる第２層目ドレイン電極と、
前記第１層目ソース電極上の第２層間絶縁膜に対して設けられた開口部を介して第１層目ソース電極に接続されると共に端部がチャネル領域外に位置する延在部を有した第２金属導体層からなる第２層目ソース電極と、
前記第１層目ドレイン電極を挟んで隣接する前記第１層目ゲート電極同士を、前記ゲート電極用導体層と共に前記第２層目ドレイン電極の端部のチャネル領域外に延長させて接続部を構成し、この各接続部の中央上の第２層間絶縁膜に対して設けられた開口部を介して第１金属導体層からなる第１層目ゲート電極に接続されると共に隣接する第２層目ソース電極と交差せずに該第２層目ソース電極の前記延在部間を経て共通に接続される第２金属導体層からなる第２層目ゲート引出し電極導体層の中央に設けられたゲート取り出し用電極とを有し、
前記ゲート電極用導体層は金属シリサイドからなり、
前記ゲート電極用導体層と第１層目ゲート電極とを接続する前記第１層間絶縁膜に設けた前記開口部がゲートフィンガー部１本当たり複数設けられ、
さらに、前記第１および第２層目ソース電極と前記延在部直下との前記チャネル領域にかからない前記半導体層内に、前記半導体基板に達する前記半導体基板と同一の導電形で、高不純物濃度の貫通層が設けられ、前記貫通層主面に前記第１層目ソース電極が接続されていることを特徴とする絶縁ゲート半導体装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は絶縁ゲート半導体装置に係り、特に高周波／高出力用途に好適な絶縁ゲート半導体装置に関する。

【０００２】

【従来の技術】

従来、この種の絶縁ゲート半導体装置として、特公平６－５７５２号公報に記載されたような高周波／高出力用のＭＯＳ型電界効果トランジスタ（以下、ＭＯＳＦＥＴと称する）が知られている。
図６は、この従来の高周波／高出力用ＭＯＳＦＥＴの概略構成を示す図であり、（ａ）はパターン平面図、（ｂ）は同図（ａ）のＡ－Ａ’線に沿った活性領域の断面図である。また、図７は、図６（ａ）のＢ－Ｂ’線に沿ったゲート引出し電極部分の断面図である。
図６及び図７において、参照符号２１は高不純物濃度のｐ形シリコン基板、２２はｐ形エピタキシャル層、２３はゲート絶縁膜用のシリコン酸化膜、２４は例えばモリブデンの高融点金属とシリコンとの化合物すなわち金属シリサイドからなるゲート電極用導体層、２５は層間絶縁膜、２６はアルミニウムなどの金属からなるソース金属電極、２７は同じくドレイン金属電極、２８はゲート取り出し用ボンディング金属電極、２９はゲート電極用導体層２４よりも抵抗率の低い島状電極、３０は高不純物濃度のソース層３５とソース金属電極２６とのコンタクトホール、３１は高不純物濃度のドレイン層３６とドレイン金属電極２７とのコンタクトホール、３２はゲート取り出し用ボンディング金属電極２８とのコンタクトホール、３３はドレイン金属電極２７の一部が広く形成されたドレイン取り出し用ボンディング金属電極、３４はソース金属電極２６の一部が広く形成されたソース取り出し用ボンディング金属電極、３７は低不純物濃度のドレイン層である。尚、高不純物濃度のドレイン層３６とソース層３５は同一工程で同時に形成される不純物層である。

【０００３】

図６に示すように、各チャネル領域上の島状電極２９に覆われたストライプ状のゲート電極用導体層２４の一端は、それぞれチャネル領域外に延在してソース金属電極２６の下で１本に共通接続されてからゲート取り出し用ボンディング金属電極２８に接続されている。また、図７の断面図に示すように、ゲート引出し電極部分においては、ソース電極２６とゲート電極２４とは酸化膜２５を介して重なった構造となっている。

【０００４】
ところで一般に、自己整合的にソース・ドレイン領域を形成するためにゲート電極用導体にモリブデンやタングステンなどの高融点金属を用いる場合、これらの高融点金属材料は水との反応性が強く酸化しやすいので、酸化防止膜の工程を追加するなどの対策が必要になる。これに対して、図６及び図７に示した構成を有する高周波／高出力用ＭＯＳＦＥＴでは、ゲート電極用導体として抵抗率は高いが酸化性雰囲気で安定な高融点金属シリサイドを用いて対処している。そして、この高融点金属シリサイドによるゲート抵抗の上昇を少なくするため、ストライプ状のゲートフィンガー部の高融点金属シリサイド２４上に並列に抵抗率が低い島状電極２９を接続して低ゲート抵抗化を図り、高周波領域における周波数特性と出力特性の向上を達成している。

【０００５】
【発明が解決しようとする課題】
しかしながら、前述した構成の従来の絶縁ゲート半導体装置では、ゲート電極用導体層として抵抗率の高い高融点金属シリサイドを用いている影響を少しでも低減するために、抵抗率が低い島状電極２９をゲートフィンガー部に並列接続しているが、ゲート取り出し用ボンディング金属電極２８から各島状電極２９が並列接続されたゲートフィンガー部へ至るソース電極２６直下のゲート引出し電極部分の経路は依然として抵抗率の高い金属シリサイド２４だけであり、しかもゲート取り出し用ボンディング金属電極２８から遠いゲートフィンガー部の経路ほど抵抗が高くなる配置のため、動作周波数が１ＧＨｚ～５ＧＨｚの高周波領域では、この金属シリサイド２４のゲート抵抗のアンバランスの影響が大きくなること、およびゲート電極用導体層２４とソース金属電極２６との間の容量とゲート電極用導体層２４の抵抗とにより遅延が生じることから、所望の高周波特性が得られないという問題点があった。

【０００６】
また、前述した従来構造の絶縁ゲート半導体装置は、アルミニウムなどの低抵抗金属電極が１層であるために、微細なパターンを形成するにはこの金属電極層を余り厚くできないという厚さの制限により、電流容量が大きくとれず、更なる高出力化を図りにくいという難点もある。

【０００７】
そこで、本発明の目的は、ゲート電極の微細化が可能で信頼性も良く、自己整合的にソース・ドレイン層が形成でき、しかも、１層目の低抵抗金属層の厚さによる電流容量の制限を受けず、各ゲートフィンガー部へのゲート抵抗のアンバランスが生じないようにゲート電極配置を考慮して良好な高周波／高出力特性が得られる絶縁ゲート半導体装置を提供することにある。

【０００８】
【課題を解決するための手段】
本発明に係る絶縁ゲート半導体装置は、第１導電形の半導体基板と、前記半導体基板上に設けられた第１導電形の半導体層と、前記半導体層の表面に交互に設けられた第２導電形のドレイン、ソース層と、前記ドレイン、ソース層相互間に設けられた第１導電形のチャネル領域と、前記チャネル領域上にゲート絶縁膜を介して設けられたゲート電極用導体層と、前記ゲート電極用導体層を覆うようにして設けられた第１層間絶縁膜と、前記第１層間絶縁膜上に設けられたゲート電極用導体層よりも低抵抗の第１金属導体層と、前記第１金属導体層を覆うように設けられた第２層間絶縁膜と、前記第２層間絶縁膜上に設けられた第２金属導体層と、ドレイン層上の前記第１層間絶縁膜に対して設けられた開口部を介して前記ドレイン層に接続された第１金属導体層からなる第１層目ドレイン電極と、ソース層上の前記第１層間絶縁膜に対して設けられた開口部を介して前記ソース層に接続された第１金属導体層からなる第１層目ソース電極と、ゲート電極用導体層上の前記第１層間絶縁膜に対して設けられた開口部を介して前記ゲート電極用導体層に接続された第１金属導体層からなる第１層目ゲート電極とから構成される絶縁ゲート半導体装置において、前記第１層目ドレイン電極上の第２層間絶縁膜に対して設けられた開口部を介して第１層目

ドレイン電極に接続されると共に端部が共通接続された第２金属導体層からなる第２層目ドレイン電極と、前記第１層目ソース電極上の第２層間絶縁膜に対して設けられた開口部を介して第１層目ソース電極に接続されると共に端部がチャネル領域外に位置する延在部を有した第２金属導体層からなる第２層目ソース電極と、前記第１層目ドレイン電極を挟んで隣接する前記第１層目ゲート電極同士を、前記ゲート電極用導体層と共に前記第２層目ドレイン電極の端部のチャネル領域外に延長させて接続部を構成し、この各接続部の中央上の第２層間絶縁膜に対して設けられた開口部を介して第１金属導体層からなる第１層目ゲート電極に接続されると共に隣接する第２層目ソース電極と交差せずに該第２層目ソース電極の前記延在部間を経て共通に接続される第２金属導体層からなる第２層目ゲート引出し電極導体層の中央に設けられたゲート取り出し用電極とを有し、前記ゲート電極用導体層は金属シリサイドからなり、前記ゲート電極用導体層と第１層目ゲート電極とを接続する前記第１層間絶縁膜に設けた前記開口部がゲートフィンガー部１本当たり複数設けられ、さらに、前記第１および第２層目ソース電極と前記延在部直下との前記チャネル領域にかからない前記半導体層内に、前記半導体基板に達する前記半導体基板と同一の導電形で、高不純物濃度の貫通層が設けられ、前記貫通層主面に前記第１層目ソース電極が接続されていることを特徴とするものである。

【００１０】

【作用】

本発明の絶縁ゲート半導体装置によれば、第１層目ドレイン電極上の第２の層間絶縁膜に対して設けられた開口部を介して各一端側が第１層目ドレイン電極に接続されると共に他端側が共通接続された第２の金属導体層からなる第２層目ドレイン電極を設けたことにより、第１層目ドレイン電極だけの場合の電流容量の制限が緩和され大電流容量となるので、高出力化を図ることができる。そして、ドレイン取り出し用ボンディング部を第２層の金属導体層とすることによりドレイン取り出し用ボンディング部の寄生容量を低減することもできる。

【００１１】

また、第１層目ソース電極上の第２の層間絶縁膜に対して設けられた開口部を介して各一端側が第１層目ソース電極に接続されると共に他端側がチャネル領域外に位置する延在部を有した第２の金属導体層からなる第２層目ソース電極は、ソース電極取り出し用電極すなわちボンディングパッド部として用いるが、延在部の直下に貫通層を設け、かつ、半導体基体の裏面にソース裏面電極を設けた場合にはボンディングする必要がなくなり、ソースのインダクタンスを低減することができる。

【００１２】

更に、第１層目ドレイン電極を挟んで隣接する第１層目ゲート電極同士を、ゲート電極用導体層と共にチャネル領域外に延在させて接続部を構成し、この各接続部の中央上の第２の層間絶縁膜に対して設けられた開口部を介して各一端側が第２の金属導体層に接続されると共に他端側が隣接する第２層目ソース電極の前記延在部間を経て共通に接続される第２の金属導体層からなる第２層目ゲート電極導体層の中央にゲート取り出し用電極を設けたことにより、ゲート取り出し用電極から各ゲートフィンガー部へ至るゲート抵抗が実質的に等しくできアンバランスが生じないと共に、第２層目ゲート電極導体層をソース電極と交差せずにゲート取り出し用電極へ接続する構成となるため、ソース・ゲート間の寄生容量が小さくできるので、０．５～５ＧＨｚの周波数帯で良好な高周波特性を得ることができる。

【００１３】

また、ゲート電極用導体層と第１層目のゲート電極とを接続する第１の層間絶縁膜に設けた開口部を、ゲートフィンガー部１本当たりに複数設けることにより、ゲートフィンガー部の幅が微細になった場合でも良好な接続を確保できる。

更に、第１導電形の貫通層を第１層目ソース電極の直下の一部にも設けることにより、ソース抵抗の低減が図れる。

また更に、前記半導体層のチャネル領域とソース層形成領域に、半導体基体に達する第１

導電形のベース層を設けることにより、しきい値の制御ができると共にソース抵抗の低減も図ることができる。

【００１４】

【実施例】

次に、本発明に係る絶縁ゲート半導体装置の実施例につき、添付図面を参照しながら以下詳細に説明する。

＜実施例１＞

図１及び図２を用いて第１の実施例について説明する。図１は本発明に係る絶縁ゲート半導体装置の一実施例を示す図であり、高周波／高出力用ＭＯＳＦＥＴに適用した図である。同図（ａ）はＭＯＳＦＥＴの平面図で、（ｂ）はそのＡ－Ａ’線で示した活性領域部分の断面構造図である。また、図２は、図１（ａ）のＢ－Ｂ’線で示したゲート引出し電極部分の断面構造図である。尚、図１（ａ）の平面図には、分かりやすくするために、電極層と、酸化膜及び層間絶縁膜に設けた開口部のパターンだけを示し、不純物層のパターンは省略してある。

【００１５】

図１（ａ），（ｂ）において、参照符号１は抵抗率が０．０１Ω・ｃｍのｐ形半導体基板を示し、このｐ形半導体基板１上にエピタキシャル法によって形成された抵抗率が１０Ω・ｃｍ、厚さが４μｍのｐ形のシリコンエピタキシャル層２が設けられる。エピタキシャル層２中の表面にリンのイオン打込みにより高不純物濃度のｎ形ソース層４及びドレイン層５が形成され、このｎ形ドレイン層５の周囲には砒素のイオン打ち込みによって低不純物濃度のｎ形ドレイン層６が形成されている。このｎ形ドレイン層６は、ドレイン耐圧の向上に効果がある。ここで、高不純物濃度のｎ形ソース層４と低不純物濃度のｎ形ドレイン層６との間の距離で規定されるチャネル領域７すなわちゲート長は、例えば本実施例では０．５μｍとする。また、厚さ０．１μｍの高濃度にリンがドープされた多結晶シリコン層をパターニングして形成したゲート電極導体層９が、ｐ形エピタキシャル層２の表面上に形成した２５ｎｍの厚さのゲート酸化膜８を介して設けられている。尚、前述したｎ形ソース層４とｎ形ドレイン層６とは、このゲート電極導体層９に対して自己整合的に形成されていることは勿論である。更に、第１層目のアルミニウムのソース電極１０が、ゲート酸化膜８と層間絶縁膜１３の開口部１８を通してｎ形ソース層４に接続され、同様に、第１層目のアルミニウムのドレイン電極１１が、ゲート酸化膜８と層間絶縁膜１３の開口部１９を通してｎ形ドレイン層５に接続されている。また、多結晶シリコンのゲート電極導体層９上には第１層目のアルミニウムのゲート電極１２が接続され、本実施例の場合、図１（ａ）の平面図に示すように２本のＵ字状のゲート電極１２のそれぞれの真中より層間絶縁膜１４に設けた開口部４０を介して第２層目のアルミニウムのゲート引出し電極導体層１７を介してゲート取り出し電極のゲートボンディング部４１に対称に接続される。ソース領域における第１層目のアルミニウムのソース電極１０上には、層間絶縁膜１４に設けた開口部を介して第２層目のアルミニウムのソース電極１５が接続され、各ストライプ状のソース層４の領域外までソース電極１５が延在してソース取り出し電極のソースボンディング部４２を形成している。第１層目のアルミニウムのドレイン電極１１上には、層間絶縁膜１４に設けた開口部を介して第２層目のアルミニウムのドレイン電極１６が接続され、各ストライプ状のドレイン層５，６の領域外まで延在してドレイン取り出し電極用のドレインボンディング部４３を形成している。

【００１６】

このように構成される本実施例のＭＯＳＦＥＴでは、ゲート電極用導体層がアルミニウムと多結晶シリコンの２層膜で構成されて低抵抗化されていると共に、ゲートボンディング部４１から各ゲートフィンガー部へ至る経路が対称となってゲート抵抗のアンバランスが生じない配置となっている。また、ゲート部分の構造は多結晶シリコン－シリコン酸化膜－シリコン構造をしているので、熱的に安定であり１０００℃程度の熱処理工程を経てもゲートの特性が変わらない。勿論、ゲート電極用導体層は、多結晶シリコンであるから１μｍ以下の微細加工も容易である。また、２層目のアルミニウムによりゲート取り出し電

極を構成し、しかもゲート電極導体層１７がソース電極１５とは交差しないように配置しているためゲート・ソース間の寄生容量も小さくなり、全体としてゲート電極の抵抗及び浮遊容量の低減を容易に行うことができ、高周波特性及び信頼性が、従来例に比べて格段に向上した。

【００１７】

本実施例によれば、試作した高周波／高出力用ＭＯＳＦＥＴを用いたセルラ電話用電力増幅器において動作周波数が１．８ＧＨｚ帯の増幅出力電力が２Ｗで効率が５５％に達した。これは、従来装置の８００ＭＨｚ帯の増幅出力電力が２Ｗで効率が５０％に比べ、周波数及び効率が共に格段に向上している。

【００１８】

＜実施例２＞

次に、図３及び図４を用いて第２の実施例について説明する。図３は本発明に係る絶縁ゲート半導体装置の別の実施例を示す図であり、高周波／高出力用ＭＯＳＦＥＴに適用した図である。同図（ａ）はＭＯＳＦＥＴの平面図で、（ｂ）はそのＡ－Ａ’線で示した活性領域部分の断面構造図である。図４は、図３（ａ）のＢ－Ｂ’線で示したゲート引出し電極部分の断面構造図である。尚、図３（ａ）の平面図には、分かりやすくするために、電極層と、酸化膜及び層間絶縁膜に設けた開口部と、貫通層とを示してあり、ドレイン層、ソース層及びベース層は省略してある。また、図３及び図４において、実施例１の図１及び図２で示した部分と同一の構成部分については、説明の便宜上、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例では、ソース電極直下のチャネル領域７にかからない部分に半導体基板１に達する深い高不純物濃度のｐ形貫通層２０とチャネル領域７にかかるｐ形ベース層３とを設け、ｎ形ソース層４とｐ形ベース層３及び貫通層２０が酸化膜８，１３の開口部１８で第１層目のアルミニウムのソース電極１０により接続される構造としている点が前述した実施例と相違する。ｐ形ベース層３は、ボロンのイオン打込みによって形成すればよい。高不純物濃度のｐ形貫通層２０は、同様にイオン打込みによって形成しても良いし、デポジションによって形成しても良い。

【００１９】

このような構造とすることにより、前記実施例の利点に加えて以下の特徴がある。本実施例の高周波／高出力ＭＯＳＦＥＴは、高不純物濃度のｐ形貫通層２０を設けたことにより、ソース電流の取り出しをボンディングワイヤによらずに半導体基板１の裏面に設けたソース裏面電極５０により取り出すことができ、ソース抵抗を減らせると共に、ソースのボンディングワイヤによるインダクタンス成分を無くすことができる。また、ｐ形ベース層３を設けたことによりチャネル領域７のしきい値を所望の値に制御することができる。

【００２０】

尚、ｐ形ベース層３が比較的高濃度の場合には、貫通層２０の代わりにｐ形ベース層３を兼用しても良い。また、このｐ形貫通層２０をソース領域の一端から延在した第１層目及び第２層目のアルミニウムの広いソース電極の下部だけに設けても良いし、後述する実施例３のようにソース領域の両端から延在した第１層目及び第２層目のアルミニウムの広いソース電極の下部に設けても良い。

【００２１】

本実施例によれば、試作した高周波／高出力用ＭＯＳＦＥＴを用いたセルラ電話用電力増幅器において動作周波数が１．８ＧＨｚ帯の増幅出力電力が２Ｗで効率が６０％に達した。これは従来装置の８００ＭＨｚ帯の増幅出力電力が２Ｗで効率が５０％に比べ、周波数及び効率が共に格段に向上している。

【００２２】

＜実施例３＞

次に、図５を用いて第３の実施例について説明する。図５は本発明に係る絶縁ゲート半導体装置のまた別の実施例を示す図であり、高周波／高出力用ＭＯＳＦＥＴに適用した図である。同図（ａ）はＭＯＳＦＥＴの平面図で、（ｂ）はそのＢ－Ｂ’線で示したゲート引出し電極部分の断面構造図である。尚、図５（ａ）の平面図には、分かりやすくするため

に、電極層と、酸化膜及び層間絶縁膜に設けた開口部と、貫通層とを示し、ドレイン層、ソース層及びベース層は省略してある。また、同図（ａ）でＡ－Ａ’線で示した活性領域部分の断面構造は、実施例２で示した図３（ａ）と同じであるので断面構造図は省略する。

【００２３】

本実施例では、多結晶シリコンゲート電極導体層９と第１層目のアルミニウムのゲート電極１２とは層間絶縁膜１３で分離されており、それらの接続は層間絶縁膜１３に設けた小さな矩形の複数の開口部６０を通じて接続されている点、及び第１層目と第２層目のアルミニウムのソース電極１０，１５がチャネル領域の両端から外に延在し、この延在した広い両端の電極部分にもｐ形貫通層２０を設けている点が前述した実施例２の構造と相違する。なお、多結晶シリコンゲート電極導体層９のゲートフィンガー部の開口部６０の接続間隔を、本実施例では、例えば２０μｍごとに行なっている。

【００２４】

このような構造とすることにより、前記実施例２の利点に加えて以下の特徴がある。本実施例の高周波／高出力ＭＯＳＦＥＴは、高不純物濃度のｐ形貫通層２０を第１層目と第２層目のアルミニウムのソース電極１０，１５がチャネル領域の両端から外に延在した広い電極部分に設けたことにより、実施例２に比べて更にソース抵抗を減らせるので高周波特性が向上する。また、多結晶シリコンゲート電極導体層９と第１層目のアルミニウムのゲート電極１２との間の層間絶縁膜１３に複数の開口部６０を設けたことにより、細長い広い面積の開口部を形成する場合に比べてオーバーエッチによる多結晶シリコンゲート電極導体層９へのダメージを少なくでき、ゲートフィンガー部の幅が微細になった場合でも良好な接続を得ることができる。本実施例の構造も、ソースのインダクタンスが小さいので、高周波特性が優れている。

なお、本実施例の構造は、ソース電極を基板裏面から取り出し、ドレイン電極を表面全面に配置することも可能となるので、そのようにした場合にはチャネルで発生した熱の発散が容易となり、熱的破壊強度を従来例に比べて向上させることができる。

【００２５】

以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定されることなく本発明の精神を逸脱しない範囲内において種々の設計変更、例えば、導電形を変えることによりｐチャネルＭＯＳＦＥＴにすることもできることは勿論である。

【００２６】

【発明の効果】

前述した実施例から明らかなように、本発明によれば、絶縁ゲート半導体装置のゲート電極が微細に加工でき、ゲートフィンガー部からゲートボンデイング部までの電極用配線がアンバランスを生じないでしかも低抵抗であり、かつ、ソース・ゲート間の引出し配線が交差しないので低浮遊容量の構造にできるため、１ＧＨｚを越え５ＧＨｚまでの周波数帯で十分な動作をする高周波性能を得ることができる。また、ソース電極及びドレイン電極は低抵抗金属の２層構造により厚くできるので、電流容量も制限を受けずに高出力性能を得ることもできるという効果がある。

【図面の簡単な説明】

【図１】本発明に係る絶縁ゲート半導体装置の一実施例を示す図であり、（ａ）は平面図、（ｂ）は同図（ａ）中にＡ－Ａ’線で示した活性領域部分の断面構造図である。

【図２】図１（ａ）のＢ－Ｂ’線で示したゲート引出し電極部分の断面構造図である。

【図３】本発明に係る絶縁ゲート半導体装置の別の実施例を示す図であり、（ａ）は平面図、（ｂ）は同図（ａ）中にＡ－Ａ’線で示した活性領域部分の断面構造図である。

【図４】図３（ａ）のＢ－Ｂ’線で示したゲート引出し電極部分の断面構造図である。

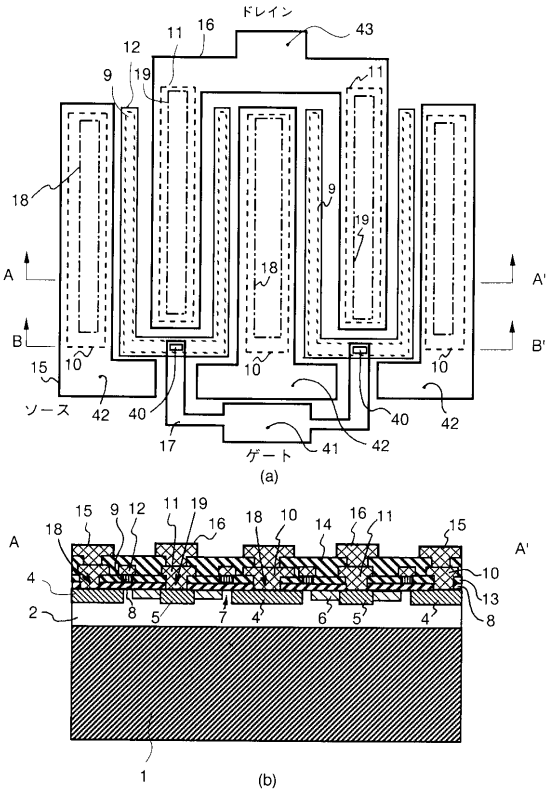
【図５】本発明に係る絶縁ゲート半導体装置のまた別の実施例を示す図であり、（ａ）は平面図、（ｂ）は同図（ａ）中にＢ－Ｂ’線で示したゲート引出し電極部分の断面構造図である。

【図６】従来の高周波／高出力用ＭＯＳＦＥＴの概略構成を示す図であり、（ａ）は平面

図、（ｂ）は同図（ａ）中にＡ－Ａ’線で示した活性領域の断面図である。
【図７】図６（ａ）のＢ－Ｂ’線で示したゲート引出し電極部分の断面図である。
【符号の説明】
１…Ｐ型高濃度半導体基板、
２…Ｐ型エピタキシャル層、
３…ｐ形ベース領域、
４…ｎ形ソース領域、
５…ｎ形高濃度ドレイン領域、
６…ｎ形低濃度ドレイン領域、
７…チャネル領域、
８…ゲート酸化膜、
９…ゲート用多結晶シリコン膜、
１０…第１層目ソース電極、
１１…第１層目ドレイン電極、
１２…第１層目ゲート金属電極、
１３…第１層間絶縁膜、
１４…第２層間絶縁膜、
１５…第２層目ソース電極、
１６…第２層目ドレイン電極、
１７…ゲート引出し電極導体層、
１８，１９…開口部、
２０…ｐ形高濃度不純物領域、
２３…酸化膜、
２４…金属シリサイド、
２９…島状電極、
４０，６０…開口部、
４１…ゲートボンディング部、
４２…ソースボンディング部、
４３…ドレインボンディング部、
５０…ソース裏面電極。

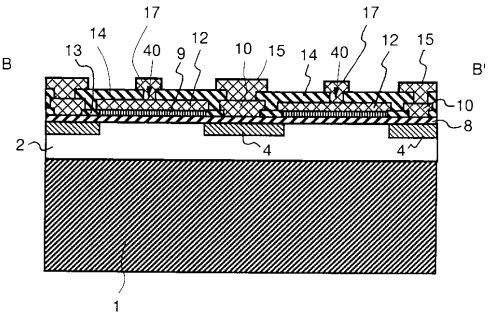
【図１】

図1



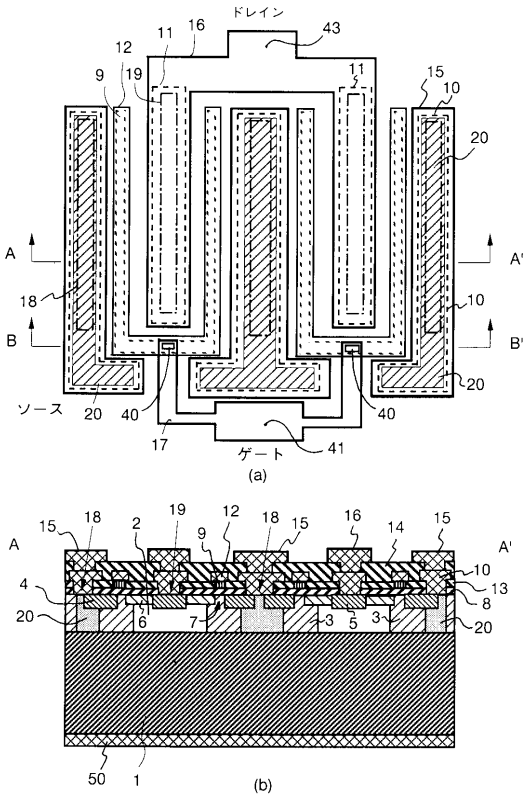
【図２】

図2



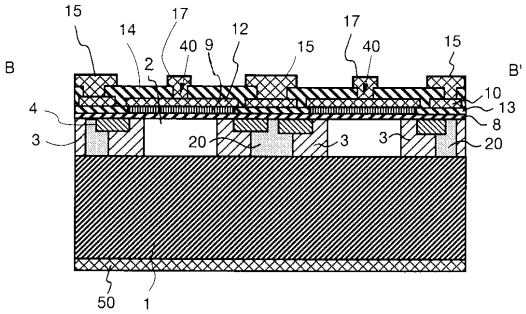
【図３】

図3



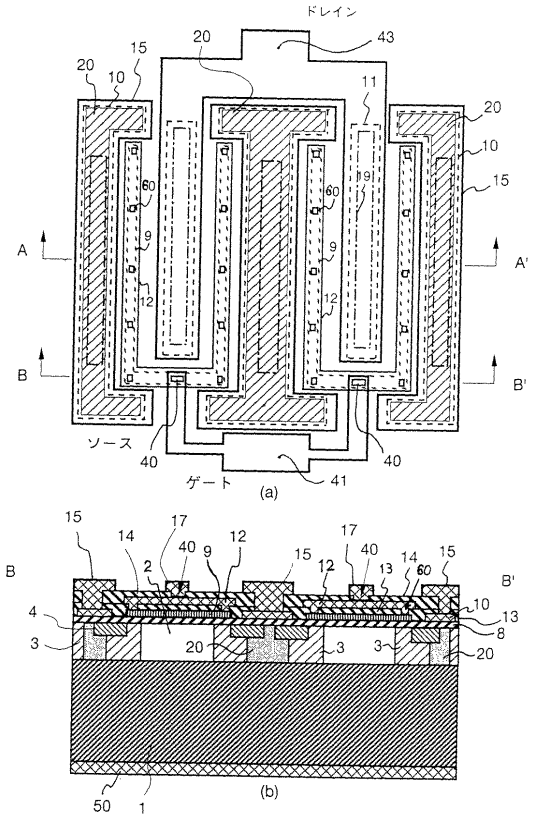
【図４】

図4



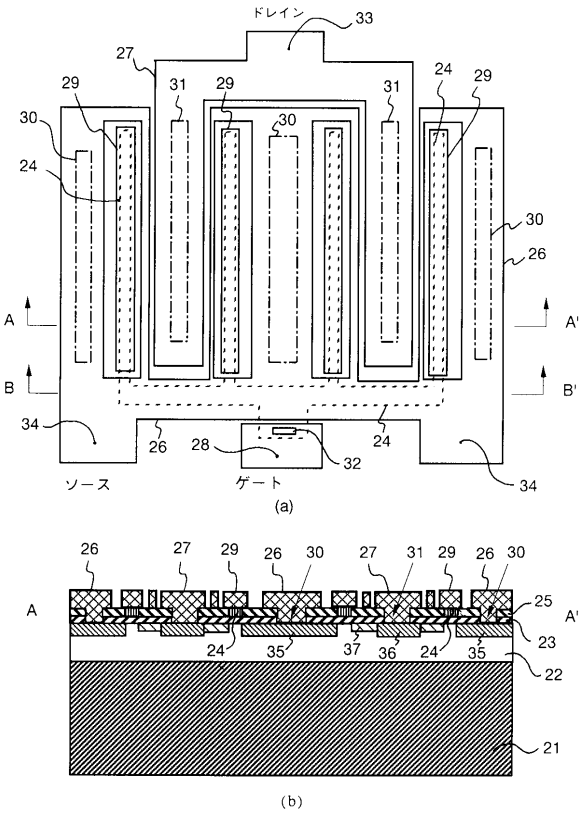
【図５】

図5



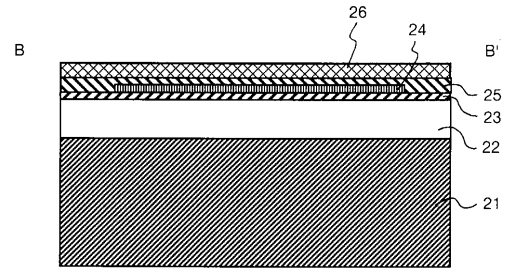
【図６】

図６



【図７】

図7



フロントページの続き

合議体
審判長　松本　邦夫
審判官　河本　充雄
審判官　河合　章

(56)参考文献　特開平６－２３２３９６（ＪＰ，Ａ）
特開昭５０－１５９９７（ＪＰ，Ａ）
特開昭５９－７４６６８（ＪＰ，Ａ）
特開昭５９－１９３０６０（ＪＰ，Ａ）
特開平４－１０９６７７（ＪＰ，Ａ）