

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7542659号
(P7542659)

(45)発行日 令和6年8月30日(2024.8.30)

(24)登録日 令和6年8月22日(2024.8.22)

(51)国際特許分類	F I	
H 1 0 B 43/27 (2023.01)	H 1 0 B 43/27	
H 1 0 B 41/27 (2023.01)	H 1 0 B 41/27	
H 1 0 B 41/50 (2023.01)	H 1 0 B 41/50	
H 1 0 B 43/50 (2023.01)	H 1 0 B 43/50	
H 0 1 L 21/336(2006.01)	H 0 1 L 29/78 3 7 1	
請求項の数 20 (全33頁) 最終頁に続く		

(21)出願番号	特願2022-578904(P2022-578904)	(73)特許権者	519237948 長江存儲科技有限責任公司 Yangtze Memory Technologies Co., Ltd. 中華人民共和国湖北省武漢市東湖新技術 開發区未来三路88号 No. 88 Weilai 3rd Road, East Lake High-tech Development Zone, Wuhan, Hubei, China
(86)(22)出願日	令和2年12月24日(2020.12.24)	(74)代理人	100108453 弁理士 村山 靖彦
(65)公表番号	特表2023-531212(P2023-531212 A)	(74)代理人	100110364 弁理士 実広 信哉
(43)公表日	令和5年7月21日(2023.7.21)		
(86)国際出願番号	PCT/CN2020/138790		
(87)国際公開番号	WO2022/133844		
(87)国際公開日	令和4年6月30日(2022.6.30)		
審査請求日	令和4年12月20日(2022.12.20)		
最終頁に続く			

(54)【発明の名称】 三次元メモリデバイスのコンタクトパッドおよびその製造方法

(57)【特許請求の範囲】

【請求項1】

三次元(3D)メモリデバイスを製造するための方法であって、
第1のレイデバイスおよび第2のレイデバイスを有する積層デバイスを準備するステップであって、

前記第1のレイデバイスが、前記第1のレイデバイスの表面側にある複数の第1のフロントパッドと、前記第1のレイデバイスの裏面側にある複数の第1のバックパッドと、前記複数の第1のフロントパッドの一部に接続された複数の相互接続コンタクトとを含み、

前記第2のレイデバイスが、前記第2のレイデバイスの表面側にある複数の第2のフロントパッドであって、前記複数の第1のバックパッドと接合される、複数の第2のフロントパッド、を含む、
ステップと、

前記第2のレイデバイスの裏面側に開口部を形成するステップと、
前記開口部に配置され、前記複数の相互接続コンタクトのうちの1つまたは複数の上にあり、前記複数の相互接続コンタクトのうちの1つまたは複数に接続された1つまたは複数のコンタクトパッドを、前記第1のレイデバイスに関して前記複数の第2のフロントパッドに近接するレベルに形成するステップと、
を含む、方法。

【請求項2】

10

20

前記積層デバイスを準備するステップが、
前記第 1 のアレイデバイスの第 1 の基板の上に複数の第 1 のメモリセルを形成するステップと、
前記第 2 のアレイデバイスの第 2 の基板の上に複数の第 2 のメモリセルを形成するステップと、
を含む、請求項 1 に記載の方法。

【請求項 3】

前記積層デバイスを準備するステップが、
前記複数の第 2 のフロントパッドを前記複数の第 1 のバックパッドと接合する前に、前記複数の相互接続コンタクトのうちの 1 つまたは複数の上に配置され、前記複数の相互接続コンタクトのうちの 1 つまたは複数に接続された 1 つまたは複数の導体要素を形成するステップ
をさらに含む、請求項 1 に記載の方法。

10

【請求項 4】

前記第 2 のアレイデバイスの前記裏面側に前記開口部を形成するステップが、
前記第 2 のアレイデバイスを通るように前記開口部を形成して、前記 1 つまたは複数の導体要素を露出させるステップ
を含む、請求項 3 に記載の方法。

【請求項 5】

前記 1 つまたは複数のコンタクトパッドを形成するステップが、
前記 1 つまたは複数の導体要素上に配置され、前記 1 つまたは複数の導体要素に接続された前記 1 つまたは複数のコンタクトパッドを形成するステップ
を含む、請求項 3 に記載の方法。

20

【請求項 6】

前記複数の第 1 のメモリセルを形成するステップが、
互いの上に交互に積み重ねられた複数の第 1 の誘電層と複数の第 1 の導体層とを含む第 1 の層スタックを形成するステップと、
前記第 1 の層スタックを介して前記複数の第 1 のメモリセルを形成するステップと、
を含む、請求項 2 に記載の方法。

【請求項 7】

前記第 1 の層スタックの横に第 2 の層スタックを形成するステップであって、前記第 2 の層スタックが、互いの上に交互に積み重ねられた複数の第 2 の誘電層と複数の第 3 の誘電層とを含み、前記複数の相互接続コンタクトの一部が前記第 2 の層スタックを通過する、ステップ
をさらに含む、請求項 6 に記載の方法。

30

【請求項 8】

前記第 1 の層スタックを介して前記複数の第 1 のメモリセルを形成するステップが、
ブロッキング層、電荷トラップ層、および / またはトンネル絶縁層を含む、第 1 の層スタックを通して延在する機能層を形成するステップと、
チャンネル層を形成するステップであって、前記チャンネル層が前記第 1 の層スタックを通して延在し、前記複数の第 1 のメモリセルの一部を接続し、前記機能層が前記チャンネル層と前記第 1 の層スタックとの間にある、ステップと、
をさらに含む、請求項 6 に記載の方法。

40

【請求項 9】

前記開口部の周囲および / または前記複数の第 2 のメモリセルの周囲に 1 つまたは複数のトレンチを形成するステップと、
前記 1 つまたは複数のトレンチを誘電体材料で充填するステップと、
をさらに含む、請求項 2 に記載の方法。

【請求項 10】

前記複数の第 1 のフロントパッドを周辺デバイスの表面側で複数の第 3 のフロントパッ

50

ドに結合するステップ

をさらに含む、請求項 1 に記載の方法。

【請求項 1 1】

第 1 のアレイデバイスおよび第 2 のアレイデバイスを有する積層デバイスであって、前記第 1 のアレイデバイスが、前記第 1 のアレイデバイスの表面側にある複数の第 1 のフロントパッドと、前記第 1 のアレイデバイスの裏面側にある複数の第 1 のバックパッドと、前記複数の第 1 のフロントパッドの一部に接続された複数の相互接続コンタクトとを含み、

前記第 2 のアレイデバイスが、前記第 2 のアレイデバイスの表面側に、前記複数の第 1 のバックパッドと接合される複数の第 2 のフロントパッドを含む、積層デバイスと、

前記第 2 のアレイデバイスの裏面側にある開口部と、

前記複数の相互接続コンタクトの 1 つまたは複数の上に配置されて前記複数の相互接続コンタクトの 1 つまたは複数の間に接続され、かつ前記第 1 のアレイデバイスに関して前記複数の第 2 のフロントパッドに近接するレベルで、前記開口部の底部にある 1 つまたは複数のコンタクトパッドと、

を備える、三次元 (3D) メモリデバイス。

【請求項 1 2】

前記第 1 のアレイデバイスは、第 1 の基板上に複数の第 1 のメモリセルをさらに含む、

前記第 2 のアレイデバイスは、第 2 の基板上に複数の第 2 のメモリセルをさらに含む、請求項 1 1 に記載の 3D メモリデバイス。

【請求項 1 3】

前記 1 つまたは複数のコンタクトパッドと前記複数の相互接続コンタクトの 1 つまたは複数の間に配置され、前記 1 つまたは複数のコンタクトパッドと前記複数の相互接続コンタクトの 1 つまたは複数の間に接続された 1 つまたは複数の導体要素をさらに備える、請求項 1 1 に記載の 3D メモリデバイス。

【請求項 1 4】

前記 1 つまたは複数のコンタクトパッドが、前記第 1 のアレイデバイスに関して前記複数の第 2 のメモリセルのレベルと前記複数の第 1 のメモリセルのレベルとの間に形成される、

請求項 1 2 に記載の 3D メモリデバイス。

【請求項 1 5】

前記 1 つまたは複数のコンタクトパッドが、前記第 1 のアレイデバイスに関して前記複数の第 2 のメモリセルのレベルまたはその下に形成される、

請求項 1 2 に記載の 3D メモリデバイス。

【請求項 1 6】

前記第 1 のアレイデバイスが、

互いの上に交互に積み重ねられた複数の第 1 の誘電層および複数の第 1 の導電体層を含む第 1 の層スタックであって、前記複数の第 1 のメモリセルが前記第 1 の層スタックを通して配置される、第 1 の層スタック

をさらに含む、請求項 1 2 に記載の 3D メモリデバイス。

【請求項 1 7】

前記第 1 のアレイデバイスが、

前記第 1 の層スタックの横にある第 2 の層スタックであって、前記第 2 の層スタックは、互いの上に交互に積み重ねられた複数の第 2 の誘電層と複数の第 3 の誘電層とを含み、前記複数の相互接続コンタクトの一部が前記第 2 の層スタックを通過する、第 2 の層スタック

をさらに含む、請求項 1 6 に記載の 3D メモリデバイス。

【請求項 1 8】

前記第 1 のアレイデバイスが、

10

20

30

40

50

前記第 1 の層スタックを通して延在し、前記複数の第 1 のメモリセルの一部を接続するチャンネル層と、

前記第 1 の層スタックを通して延在し、前記チャンネル層と前記第 1 の層スタックとの間に形成された機能層であって、ブロッキング層、電荷トラップ層、および/またはトンネル絶縁層を含む、機能層と、

をさらに含む、請求項 16 に記載の 3D メモリデバイス。

【請求項 19】

前記開口部および/または前記複数の第 2 のメモリセルの周囲および前記第 1 のアレイデバイス上の 1 つまたは複数の誘電体領域

をさらに備える、請求項 12 に記載の 3D メモリデバイス。

10

【請求項 20】

第 1 のアレイデバイスおよび第 2 のアレイデバイスを有する積層デバイスであって、

前記第 1 のアレイデバイスが、前記第 1 のアレイデバイスの表面側にある複数の第 1 のフロントパッドと、前記第 1 のアレイデバイスの裏面側にある複数の第 1 のバックパッドと、前記複数の第 1 のフロントパッドの一部に接続された複数の相互接続コンタクトとを含み、

前記第 2 のアレイデバイスが、前記第 2 のアレイデバイスの表面側に、前記複数の第 1 のバックパッドと接合される複数の第 2 のフロントパッドを含む、積層デバイスと、

前記第 1 のアレイデバイスに関して前記複数の第 2 のフロントパッドに近接したレベルにある 1 つまたは複数のコンタクトパッドであって、前記複数の相互接続コンタクトの 1 つまたは複数の上に配置されて前記複数の相互接続コンタクトの 1 つまたは複数に接続されている、1 つまたは複数のコンタクトパッドと、

20

を備え、

前記 1 つまたは複数のコンタクトパッドが、開口部の底部にあり、前記開口部が、前記第 2 のアレイデバイスの厚さ全体を貫通し、前記開口部の底部が、前記第 1 のアレイデバイスに位置する、三次元 (3D) メモリデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

30

本出願は、半導体技術の分野に関し、具体的には、三次元 (3D: three-dimensional) メモリデバイスおよびその製造方法に関する。

【背景技術】

【0002】

Not-AND (NAND) メモリは、保存されたデータを保持するために電力を必要としない不揮発性タイプのメモリである。家庭用電化製品、クラウドコンピューティング、およびビッグデータの需要の高まりにより、大容量で優れたパフォーマンスの NAND メモリが常に必要とされている。従来の 2 次元 (2D) NAND メモリが物理的限界に近づくにつれて、3 次元 (3D) NAND メモリが重要な役割を果たしている。3D NAND メモリは、1 つのダイに複数のスタック層を使用して、高密度、大容量、高速パフォーマンス、低消費電力、および優れたコスト効率を実現する。

40

【0003】

3D NAND メモリデバイスは、互いに積み重ねられた周辺デバイス、第 1 のアレイデバイス、および第 2 のアレイデバイスを含み得る。例えば、周辺デバイスはスタックの底部に配置され、第 2 のアレイデバイスは上部に配置され得る。ボンディングワイヤが接続されるコンタクトパッドは、第 2 のアレイデバイス上に形成され得る。コンタクトパッドを周辺デバイスに接続するために、第 1 および第 2 のアレイデバイスにコンタクトが形成され得る。ただし、第 1 および第 2 のアレイデバイス内のコンタクトは、3D NAND メモリデバイス的高速動作に影響を与える可能性がある寄生容量を引き起こす可能性がある。さらに、第 1 および第 2 のアレイデバイスは、多くの場合、結晶学的欠陥を修復す

50

るために水素を必要とする多結晶シリコン（ポリシリコン）層を含む。第2のアレイデバイスのポリシリコン層は、スタックの上部に近く、欠陥修復に十分な水素を受け取り得る。しかし、第2のアレイ構造の下に配置された第1のアレイデバイスのポリシリコン層は、欠陥修復に十分な水素を受け取ることができない場合がある。開示されたデバイスおよび方法は、上記の1つまたは複数の問題および他の問題を解決することを目的としている。

【発明の概要】

【課題を解決するための手段】

【0004】

本開示の一態様では、3Dメモリデバイスの製造方法は、第1のアレイデバイスおよび第2のアレイデバイスを有する積層デバイスを準備するステップと、第2のアレイデバイスの裏面側に開口部を形成するステップと、開口部に配置された1つまたは複数のコンタクトパッドを形成するステップとを含む。第1のアレイデバイスは、第1のアレイデバイスの表面側の第1のフロントパッドと、第1のアレイデバイスの裏面側の第1のバックパッドと、第1のフロントパッドの一部に接続された相互接続コンタクトとを含む。第2のアレイデバイスは、第2のアレイデバイスの表面側に、第1のバックパッドと接合される第2のフロントパッドを含む。1つまたは複数のコンタクトパッドは、1つまたは複数の相互接続コンタクトの上に配置されて接続され、第1のアレイデバイスに関して第2のフロントパッドに近接するレベルにある。

10

【0005】

本開示の別の態様では、3Dメモリデバイスは、第1のアレイデバイスおよび第2のアレイデバイスを有する積層デバイスと、第2のアレイデバイスの裏面側の開口部と、開口部の底部の1つまたは複数のコンタクトパッドとを含む。第1のアレイデバイスは、第1のアレイデバイスの表面側の第1のフロントパッドと、第1のアレイデバイスの裏面側の第1のバックパッドと、第1のフロントパッドの一部に接続された相互接続コンタクトとを含む。第2のアレイデバイスは、第2のアレイデバイスの表面側に、第1のバックパッドと接合される第2のフロントパッドを含む。1つまたは複数のコンタクトパッドは、1つまたは複数の相互接続コンタクトの上に配置されて接続され、第1のアレイデバイスに関して第2のフロントパッドに近接するレベルにある。

20

【0006】

本開示の別の態様では、3Dメモリデバイスは、第1のアレイデバイスおよび第2のアレイデバイスと、1つまたは複数のコンタクトパッドとを有する積層デバイスを含む。第1のアレイデバイスは、第1のアレイデバイスの表面側の第1のフロントパッドと、第1のアレイデバイスの裏面の第1のバックパッドと、第1のフロントパッドの一部に接続された相互接続コンタクトとを含む。第2のアレイデバイスは、第2のアレイデバイスの表面側に、第1のバックパッドと接合される第2のフロントパッドを含む。1つまたは複数のコンタクトパッドは、第1のアレイデバイスに関して第2のフロントパッドに近接するレベルで構成され、相互接続コンタクトの1つまたは複数の上に配置されて接続される。

30

【0007】

本開示の他の態様は、本開示の説明、特許請求の範囲、および図面に照らして、当業者によって理解され得る。

40

【図面の簡単な説明】

【0008】

【図1】本開示の様々な態様による製造工程中の特定の段階における例示的な三次元（3D）アレイデバイスの断面図である。

【図2】本開示の様々な態様による製造工程中の特定の段階における例示的な三次元（3D）アレイデバイスの断面図である。

【図3】本開示の様々な態様に従ってチャンネルホールが形成された後の、図2に示される3Dアレイデバイスの上面図および断面図である。

【図4】本開示の様々な態様に従ってチャンネルホールが形成された後の、図2に示される3Dアレイデバイスの上面図および断面図である。

50

【図 5】本開示の様々な態様に従ってゲート線スリットが形成された後の、図 3 および図 4 に示される 3 D アレイデバイスの上面図および断面図である。

【図 6】本開示の様々な態様に従ってゲート線スリットが形成された後の、図 3 および図 4 に示される 3 D アレイデバイスの上面図および断面図である。

【図 7】本開示の様々な態様による製造工程のある段階における、図 5 および図 6 に示される 3 D アレイデバイスの断面図である。

【図 8】本開示の様々な態様による製造工程のある段階における、図 5 および図 6 に示される 3 D アレイデバイスの断面図である。

【図 9】本開示の様々な態様による製造工程のある段階における、図 5 および図 6 に示される 3 D アレイデバイスの断面図である。

10

【図 10】本開示の様々な態様による製造工程のある段階における、図 9 に示される 3 D アレイデバイスの断面図である。

【図 11】本開示の様々な態様による製造工程のある段階における、図 9 に示される 3 D アレイデバイスの断面図である。

【図 12】本開示の様々な態様による製造工程の特定の段階における別の例示的な 3 D アレイデバイスの断面図である。

【図 13】本開示の様々な態様による製造工程の特定の段階における別の例示的な 3 D アレイデバイスの断面図である。

【図 14】本開示の様々な態様による例示的な周辺デバイスの断面図である。

【図 15】本開示の様々な態様に従って、図 11 に示される 3 D アレイデバイスが図 14 に示される周辺デバイスと結合された後の 3 D メモリ構造の断面図である。

20

【図 16】本開示の様々な態様による、ある段階における図 15 に示される 3 D メモリ構造の断面図である。

【図 17】本開示の様々な態様に従って、図 16 に示される 3 D メモリ構造が図 13 に示される 3 D アレイデバイスと接合された後の例示的な 3 D メモリデバイスの断面図である。

【図 18】本開示の様々な態様による、ある段階における、図 17 に示される 3 D メモリデバイスの断面図である。

【図 19】本開示の様々な態様による、ある段階における、図 17 に示される 3 D メモリデバイスの断面図である。

【図 20】本開示の様々な態様による 3 D メモリデバイスの製造の概略フローチャートである。

30

【図 21】本開示の様々な態様による製造工程中のある段階における例示的な 3 D アレイデバイスの断面図である。

【図 22】本開示の様々な態様による製造工程中のある段階における例示的な 3 D アレイデバイスの断面図である。

【図 23】本開示の様々な態様による製造工程のある段階における、図 22 に示される 3 D アレイデバイスの断面図である。

【図 24】本開示の様々な態様による製造工程のある段階における、図 22 に示される 3 D アレイデバイスの断面図である。

【図 25】本開示の様々な態様による製造工程のある段階における別の例示的な 3 D アレイデバイスの断面図である。

40

【図 26】本開示の様々な態様による例示的な周辺デバイスの断面図である。

【図 27】本開示の様々な態様による、図 24 に示される 3 D アレイデバイスが図 26 に示される周辺デバイスと接合された後の 3 D メモリ構造の断面図である。

【図 28】本開示の様々な態様に従って、図 27 に示される 3 D メモリ構造が図 25 に示される 3 D アレイデバイスと接合された後の例示的な 3 D メモリデバイスの断面図である。

【発明を実施するための形態】

【0009】

以下では、添付の図面を参照して、本開示の様々な態様による技術的解決法について説明する。可能な限り、図面全体で同じ参照番号を使用して、同じ部品または同様の部品を

50

参照する。明らかに、記載された態様は、本開示の態様の一部にすぎず、すべてではない。様々な側面の機能を交換および/または組み合わせることができる。

【0010】

図1～図11は、本開示の態様による例示的な3Dアレイデバイス100の製造工程を概略的に示す。3Dアレイデバイス100は、メモリデバイスの一部であり、3Dメモリ構造と呼ばれることもある図中、上面図はX-Y平面内にあり、断面図はY-Z平面内にある。

【0011】

図1の断面図に示されるように、3Dアレイデバイス100は基板110を含む。いくつかの態様では、基板110は単結晶シリコン層を含むことができる。基板110はまた、ゲルマニウム(Ge)、シリコンゲルマニウム(SiGe)、シリコンカーバイド(SiC)、シリコンオンインシュレータ(SOI: silicon-on-insulator)、ゲルマニウムオンインシュレータ(GOI: germanium-on-insulator)、ポリシリコンなどの半導体材料、またはヒ化ガリウム(GaAs)やリン化インジウム(InP)などのIII-V族化合物を含んでもよい。必要に応じて、基板110は、ガラス、プラスチック材料、またはセラミック材料などの非導電性材料を含んでもよい。基板110がガラス、プラスチック、またはセラミック材料を含む場合、基板110は、ガラス、プラスチック、またはセラミック材料上に堆積されたポリシリコンの薄層をさらに含んでもよい。この場合、基板110は、ポリシリコン基板のように処理することができる。一例として、基板110は、以下の説明において、ドーピングされていないかまたは軽くドーピングされた単結晶シリコン層を含む。

【0012】

いくつかの態様では、基板110の上部は、イオン注入および/または拡散によってn型ドーパントによってドーピングされ、ドーピング領域111を形成する。ドーピング領域111のドーパントは、例えば、リン(P)、砒素(As)、および/またはアンチモン(Sb)を含み得る。図1に示すように、ドーピング領域111上にカバー層120が堆積される。カバー層120は犠牲層であり、単層または多層を含み得る。例えば、カバー層120は、シリコン酸化物層およびシリコン窒化物層のうちの1つまたは複数を含み得る。カバー層120は、化学気相堆積(CVD: chemical vapor deposition)、物理気相堆積(PVD: physical vapor deposition)、原子層堆積(ALD: atomic layer deposition)、またはそれらの組み合わせによって堆積されてもよい。いくつかの他の態様では、カバー層120は、酸化アルミニウムなどの別の材料を含んでもよい。

【0013】

さらに、カバー層120の上に、犠牲層130が堆積される。犠牲層130は、誘電体材料、半導体材料、または導電性材料を含むことができる。本明細書で使用される用語「導電性」は、電気伝導性を示す。犠牲層130の例示的な材料はポリシリコンである。

【0014】

ポリシリコン犠牲層130が形成された後、層スタック140が形成される。層スタック140は、例えば、互いの上に交互に積み重ねられた第1の誘電層141および第2の誘電層142を含む、スタック層の複数の対を含む。層スタックは、64対、128対、または128対を超える第1および第2の誘電層141および142を含むことができる。

【0015】

いくつかの態様において、第1の誘電層141と第2の誘電層142は異なる材料で作られる。以下の説明では、第1の誘電層141は、分離スタック層として使用され得る酸化シリコン層を例示的に含み、第2の誘電層142は、犠牲スタック層として使用され得る窒化シリコン層を例示的に含む。犠牲スタック層は、その後エッチングされ、導体層に置き換えられる。第1の誘電層141および第2の誘電層142は、CVD、PVD、ALD、またはそれらの組み合わせによって堆積されてもよい。

【0016】

10

20

30

40

50

図2は、本開示の態様による3Dアレイデバイス100の概略断面図を示す。図2に示すように、層スタック140が形成された後、層スタック140の一部を階段構造にトリミングするために階段形成工程が実行される。階段形成工程では、乾式エッチングおよび/または湿式エッチング工程を含む任意の適切なエッチング工程を使用することができる。例えば、階段構造の高さは、Y方向に沿って段階的に増加し得る。誘電層121が堆積されて、階段構造、ドープ領域111、および基板110をカバーする。図2に示すように、層スタック140、犠牲層130、およびカバー層120は、階段構造の側面、例えば階段構造の左側の領域で除去される。この領域は、コンタクトパッドに接続された相互接続コンタクトを構成することができる、またはコンタクトパッド用の開口部を配置することができるコンタクト領域とみなすことができる。本明細書で使用される「接続された」という用語は、電氣的に接続されていることを示す。コンタクト領域は、誘電層121の一部を含み、したがって誘電体領域である。いくつかの態様では、カバー層120は、階段形成工程でエッチング除去されず、カバー層120の一部は、コンタクト領域の誘電体121の下に埋め込まれてもよい。

10

【0017】

図3および図4は、チャンネルホール150が形成され、その後、本開示の態様による層構造が充填された後の3Dアレイデバイス100の概略上面図および概略断面図を示す。図4に示される断面図は、図3の線A-A'に沿って取られたものである。図3および図4、ならびに本開示の他の図に示されるチャンネルホール150の量、寸法、および配置は、例示的なものであり、説明を目的としているが、本開示の様々な態様による開示された3Dアレイデバイス100には、任意の適切な量、寸法、および配置を使用することができる。

20

【0018】

図3および図4に示すように、チャンネルホール150は、Z方向または基板110にほぼ垂直な方向に延在し、X-Y平面内に所定のパターン(図示せず)のアレイを形成するように配置される。チャンネルホール150は、例えば、乾式エッチング工程または乾式エッチング工程と湿式エッチング工程の組み合わせによって形成することができる。リソグラフィ、洗浄、および/または化学機械研磨(CMP: chemical mechanical polishing)を含むパターンニング工程など、他の製造工程を実行することもできる。チャンネルホール150は、層スタック140、犠牲層130、カバー層120を貫通し、ドープ領域111を部分的に貫通するシリンダ形状またはピラー形状を有していてもよい。チャンネルホール150が形成された後、チャンネルホールの側壁および底部に機能層151が堆積される。機能層151は、チャンネルホールの側壁と底部に電荷の流出を遮断するブロッキング層152と、ブロッキング層152の表面に3Dアレイ素子100の動作時に電荷を保存する電荷トラップ層153と、電荷トラップ層153の表面のトンネル絶縁層154とを含む。ブロッキング層152は、1つまたは複数の材料を含むことができる1つまたは複数の層を含むことができる。ブロッキング層152の材料は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウムまたは酸化ハフニウムなどの高k誘電体材料、または別のワイドバンドギャップ材料を含むことができる。電荷トラップ層153は、1つまたは複数の材料を含むことができる1つまたは複数の層を含むことができる。電荷トラップ層153の材料は、ポリシリコン、窒化シリコン、酸窒化シリコン、ナノ結晶シリコン、または別のワイドバンドギャップ材料を含むことができる。トンネル絶縁層154は、1つまたは複数の材料を含むことができる1つまたは複数の層を含むことができる。トンネル絶縁層154の材料は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウムまたは酸化ハフニウムなどの高k誘電体材料、または別のワイドバンドギャップ材料を含んでもよい。

30

40

【0019】

いくつかの態様では、機能層151は、酸化物-窒化物-酸化物(ONO: oxide-nitride-oxide)構造を含む。必要に応じて、機能層151は、ONO構成とは異なる構造を有してもよい。以下の説明でONO構造を例示する場合、ブロッキ

50

ング層 1 5 2 は酸化シリコン層であり、電荷トラップ層 1 5 3 は窒化シリコン層であり、トンネル絶縁層 1 5 4 は別の酸化シリコン層である。

【 0 0 2 0 】

さらに、トンネル絶縁層 1 5 4 上にチャンネル層 1 5 5 が堆積される。チャンネル層 1 5 5 は「半導体チャンネル」とも呼ばれ、いくつかの態様ではポリシリコンを含む。代替的に、チャンネル層 1 5 5 はアモルファスシリコンを含んでもよい。チャンネルホールと同様に、チャンネル層 1 5 5 も層スタック 1 4 0 を通ってドープ領域 1 1 1 内に延在する。ブロッキング層 1 5 2、電荷トラップ層 1 5 3、トンネル絶縁層 1 5 4、およびチャンネル層 1 5 5 は、例えば、CVD、PVD、ALD、またはこれらの工程の 2 つ以上の組み合わせによって堆積され得る。チャンネル層 1 5 5 が形成された後、チャンネルホール 1 5 0 は酸化物材料 1 5 6 によって充填される。チャンネルホール 1 5 0 内に形成された機能層 1 5 1 およびチャンネル層 1 5 5 を含む構造は、チャンネル構造とみなすことができる。

10

【 0 0 2 1 】

上述の工程では、チャンネルホール 1 5 0 は、階段構造が形成された後にエッチングされる。チャンネルホール 1 5 0 は、階段形成工程の前に形成されてもよい。例えば、層スタック 1 4 0 が図 1 に示されるように製造された後、チャンネルホール 1 5 0 が形成され、次いで機能層 1 5 1 およびチャンネル層 1 5 5 が堆積され得る。チャンネルホール 1 5 0 が酸化物材料 1 5 6 で充填された後、階段構造を形成するために階段形成工程が実行されてもよい。

【 0 0 2 2 】

図 5 および図 6 は、本開示の態様に従ってゲート線スリット 1 6 0 が形成された後の 3 D アレイデバイス 1 0 0 の概略上面図および概略断面図を示す。図 6 に示される断面図は、図 5 の線 B - B ' に沿って取られたものである。ゲート線スリットは、ゲート線スリット構造とも呼ばれる。3 D アレイデバイス 1 0 0 は、メモリプレーン（図示せず）に配置された多数のチャンネルホール 1 5 0 を有する。各メモリプレーンは、ゲート線スリットによってメモリブロック（図示せず）とメモリフィンガとに分割される。例えば、図 5 に示されるようなチャンネルホール 1 5 0 の構成は、ゲート線スリット 1 6 0 の間のメモリフィンガを反映する。

20

【 0 0 2 3 】

ゲート線スリット 1 6 0 は、乾式エッチング工程または乾式エッチング工程と湿式エッチング工程との組み合わせによって形成することができる。図 5 および図 6 に示すように、ゲート線スリット 1 6 0 は、例えば X 方向に水平に延在し、層スタック 1 4 0 を通って延在し、Z 方向または基板 1 1 0 にほぼ垂直な方向に犠牲層 1 3 0 に達するか、または部分的に貫通する。このように、ゲート線スリット 1 6 0 の底部には犠牲層 1 3 0 が露出される。次に、スペーサ層（図示せず）が、CVD、PVD、ALD、またはそれらの組み合わせによって、ゲート線スリット 1 6 0 の側壁および底部に堆積される。スペーサ層は、第 1 および第 2 の誘電層 1 4 1 および 1 4 2 を保護するように構成され、例えば、酸化シリコンおよび窒化シリコンを含んでもよい。

30

【 0 0 2 4 】

スペーサ層が堆積された後、ゲート線スリット 1 6 0 の底部のスペーサ層の一部が乾式エッチングまたは乾式エッチングと湿式エッチングの組み合わせによって除去されるように、選択的エッチングが実行される。犠牲層 1 3 0 が再び露出される。続いて、犠牲層 1 3 0 を除去するために、選択的エッチング工程、例えば、選択的湿式エッチング工程が実行される。犠牲層 1 3 0 を除去すると、キャビティが形成され、チャンネルホール 1 5 0 内に形成されたカバー層 1 2 0 およびブロッキング層 1 5 2 の底部が露出する。さらに、複数の選択的エッチング工程、例えば、複数の選択的湿式エッチング工程を実行して、ブロッキング層 1 5 2、電荷トラップ層 1 5 3、およびトンネル絶縁層 1 5 4 の露出部分を連続的に除去し、チャンネル層 1 5 5 の底面部分を露出させる。

40

【 0 0 2 5 】

カバー層 1 2 0 がシリコン酸化物および/またはシリコン窒化物である場合、カバー層 1 2 0 は、機能層 1 5 1 の底部がエッチング除去されるときに除去され得る。特定の態様

50

では、カバー層 120 は、シリコン酸化物またはシリコン窒化物以外の材料を含み、カバー層 120 は、1つまたは複数の追加の選択的エッチング工程によって除去され得る。カバー層 120 を除去すると、ドープ領域 111 の上面が露出する。

【0026】

エッチング工程後、チャンネルホール 150 の底部に近いチャンネル層 155 のドープ領域 111 および側部は、犠牲層 130 およびカバー層 120 をエッチング除去することによって残されたキャビティ内に露出される。キャビティは、例えば CVD および / または PVD 堆積工程によって半導体層 131 を形成するために、例えばポリシリコンなどの半導体材料によって充填される。半導体層 131 は、n ドープされ、ドープ領域 111 の露出面上およびチャンネル層 155 の側壁または側部に形成され、ドープ領域 111 およびチャンネル層 155 に接続される。

10

【0027】

必要に応じて、単結晶シリコンの層がドープ領域 111 の露出面上に成長し、ポリシリコン層がチャンネル層 155 の露出面上に成長するように、選択的エピタキシャル成長が実行される。したがって、半導体層 131 は、単結晶シリコンおよびポリシリコンの隣接層を含むことができる。

【0028】

機能層 151 とカバー層 120 の底部がエッチングされると、一部のスペーサ層がエッチング除去され、残りのスペーサ層はゲート線スリット 160 の側壁に残り、第 1 および第 2 の誘電層 141、142 を保護する。半導体層 131 が形成された後、残りのスペーサ層は、選択的エッチング工程、例えば、選択的湿式エッチング工程で除去され、ゲート線スリット 160 の周りの第 2 の誘電層 142 の側面を露出させる。いくつかの態様では、側壁と接触する最も内側のスペーサ層は窒化シリコンである。第 2 の誘電層 142 も窒化シリコン層であるため、最内スペーサ層および第 2 の誘電層 142 は、エッチング工程中に一緒に除去され、図 7 に示されるように、第 1 の誘電層 141 間にキャビティ 143 が残る。したがって、層スタック 140 は層スタック 144 に変更される。

20

【0029】

さらに、タングステン (W) などの導電性材料を成長させて、第 2 の誘電層 142 の除去によって残されたキャビティ 143 を充填し、第 1 の誘電層 141 の間に導電体層 145 を形成する。導体層 145 が製造された後、層スタック 144 は、図 8 に示されるように、層スタック 146 に変換される。層スタック 146 は、互いの上に交互に積み重ねられた第 1 の誘電層 141 および導体層 145 を含む。いくつかの態様では、キャビティ 143 内に金属 W が堆積される前に、酸化アルミニウムなどの高 k 誘電体材料の誘電層 (図示せず) が堆積され、続いて窒化チタン (TiN) (図示せず) などの導電性材料の層が堆積されてもよい。さらに、金属 W を堆積させて導体層 145 を形成する。CVD、PVD、ALD、またはこれらの工程の 2 つ以上の組み合わせを堆積工程で使用することができる。代替的に、コバルト (Co)、銅 (Cu)、アルミニウム (Al)、チタン (Ti)、タンタル (Ta)、窒化タンタル (Ta₂N₅)、ドープシリコン、またはそれらの任意の組み合わせなどの別の導電性材料を使用して導体層 145 を形成することができる。

30

【0030】

図 8 を参照すると、チャンネルホール 150 内の各機能層 151 の部分は、導体層 145 のうちの 1 つの部分とチャンネルホール 150 内のチャンネル層 155 の部分との間にある。各導体層 145 は、X-Y 平面内で NAND メモリセルの行を接続するように構成され、3D アレイデバイス 100 のワード線として構成される。チャンネルホール 150 内に形成されたチャンネル層 155 は、Z 方向に沿って NAND メモリセルの列またはストリングを接続するように構成され、3D アレイデバイス 100 のビット線として構成される。したがって、NAND メモリセルの一部として、X-Y 平面内のチャンネルホール 150 内の機能層 151 の一部は、導体層 145 とチャンネル層 155 との間、すなわち、ワード線とビット線との間に配置される。機能層 151 は、チャンネル層 155 と層スタック 146 との間に配置されると考えることもできる。チャンネルホール 150 の一部の周囲にある導体層

40

50

145の一部は、NANDメモリセルの制御ゲートまたはゲート電極として機能する。3Dアレイデバイス100は、NANDセルのストリングの2Dアレイを含むと考えることができる(そのようなストリングは、「NANDストリング」とも呼ばれる)。各NANDストリングは、複数のNANDメモリセルを含み、基板110に向かって垂直に延在する。NANDストリングは、NANDメモリセルの3Dアレイを形成する。

【0031】

キャピティ143内に導体層145を成長させた後、CVD、PVD、ALD、またはこれらの組み合わせによって、ゲート線スリット160の側壁および底面に誘電層(例えば、酸化シリコン層)を堆積させることができる。乾式エッチング工程、または乾式エッチング工程と湿式エッチング工程との組み合わせを実行して、ゲート線スリットの底部の誘電層を除去し、半導体層131の一部を露出させることができる。ゲート線スリットは、導電材料161(例えば、ドーパされたポリシリコン)および導電プラグ162(例えば、金属W)で充填される。図9に示すように、ゲート線スリット内の導電性材料161は、層スタック146を通して延在し、半導体層131に接触する。動詞としての「接触」という言葉は、本明細書で使用されるように、物体に電氣的に接触することを示す。充填されたゲート線スリットは、いくつかの態様において、3Dアレイデバイス100のアレイ共通ソースになる。必要に応じて、ゲート線スリット内にアレイ共通ソースを形成するステップは、絶縁層、導電層(TiN、W、Co、Cu、またはAlなど)、次いでドーパされたポリシリコンなどの導電材料を堆積するステップを含む。

【0032】

図10および図11は、本開示の態様に従ってコンタクト、ビア、導体層、および接続パッドが形成された後のある段階における3Dアレイデバイス100の概略断面図を示す。図9に示されるように、ゲート線スリット160が充填され、アレイ共通ソースが形成された後、ワード線コンタクト171および相互接続コンタクト172および173のための開口部は、例えば、乾式エッチング工程、または乾式エッチング工程と湿式エッチング工程との組み合わせによってそれぞれ形成され得る。コンタクト171~173は、3Dアレイデバイス100の相互接続として配置される。コンタクト171~173の開口部は、それぞれ、CVD、PVD、ALD、電気メッキ、無電解メッキ、またはそれらの任意の組み合わせによって導電性材料で充填される。図10に示すように、相互接続コンタクト173は、コンタクト領域(すなわち、誘電体領域)内で、層スタック146およびNANDメモリセルの横に形成される。階段構造は、相互接続コンタクト172~173とスタック層146との間、すなわち、相互接続コンタクト172~173とNANDメモリセルとの間に配置される。いくつかの態様では、相互接続コンタクト172~173は、ドーパ領域111に到達するまで延在する。代替的に、相互接続コンタクト172~173は、誘電層121内のドーパ領域111の上のレベルまで延在することができる。コンタクト171~173の導電性材料は、W、Co、Cu、Al、またはそれらの組み合わせを含むことができる。必要に応じて、コンタクト171~173がそれぞれ製造されるとき、別の導電性材料が堆積される前に、導電性材料(例えば、TiN)の層がコンタクト層として堆積されてもよい。

【0033】

さらに、3Dアレイデバイス100上に誘電体材料(例えば、シリコン酸化物またはシリコン窒化物)を堆積するためにCVDまたはPVD工程が実行され、誘電層121がより厚くなる。ビア174のための開口部は、乾式エッチング工程、または乾式エッチング工程と湿式エッチング工程の組み合わせによって形成される。続いて、図10に示すように、開口部をW、Co、Cu、Al、またはそれらの組み合わせなどの導電性材料で充填して、ビア174を形成することができる。CVD、PVD、ALD、電気メッキ、無電解メッキ、またはそれらの組み合わせを実行してもよい。ビア174は、コンタクト171~173、対応するNANDストリングの上端、およびアレイ共通ソースのプラグ162に接続される。必要に応じて、開口部を充填してビア174を形成する前に、導電性材料(例えば、TiN)の層を最初に堆積させてもよい。

10

20

30

40

50

【0034】

さらに、相互接続のための導体層175は、CVD、PVD、ALD、電気メッキ、無電解メッキ、またはそれらの組み合わせによって成長させることができる。導体層175は、それぞれビア174の上に堆積され、ビア174と接触し、W、Co、Cu、Al、またはそれらの組み合わせなどの導電材料を含む。

【0035】

ビア174の形成と同様に、導体層175の上にビア176が作られる。例えば、導体層175をカバーし、誘電層121をより厚くするために、誘電体材料が堆積され、ビア176のための開口部が形成され、続いて開口部が導電性材料で充填されてビア176を形成することができる。

10

【0036】

さらに、CVDまたはPVD工程を実行して、誘電体材料（例えば、シリコン酸化物またはシリコン窒化物）を堆積させてビア176をカバーし、誘電層121をさらに厚くする。周辺デバイスとの相互接続として機能する接続コンタクト177、178、および179を形成するために、開口部が形成され、その後充填される。図11に示すように、接続パッド177～179はそれぞれビア176上に堆積され、ビア176と接触する。このように、接続パッド177は、ワード線コンタクト171、対応するNANDストリングの上端、およびプラグ162にそれぞれ接続される。接続パッド178および179は、相互接続コンタクト172および173にそれぞれ接続される。接続パッド177～179は、W、Co、Cu、Al、またはそれらの組み合わせなどの導電性材料を含むことができる。必要に応じて、開口部を充填して接続パッド177～179を形成する前に、導電性材料（例えば、TiN）のコンタクト層を最初に堆積させてもよい。

20

【0037】

図12および図13は、本開示の態様による製造工程のある段階における3Dアレイデバイス180の概略断面図を示す。図9に示される3Dアレイデバイス100を参照すると、ゲート線スリット160が充填され、アレイ共通ソースが形成される。ワード線コンタクト181、相互接続コンタクト182、およびビア184がそれぞれ形成された後、アレイデバイス100は、図12に示すように3Dアレイ180になる。3Dアレイデバイス100および180のいくつかの製造工程は、同一または同様であり得る。コンタクト181および182のための開口部は、例えば乾式エッチング工程、または乾式エッチング工程と湿式エッチング工程の組み合わせによってそれぞれ形成される。次に、コンタクト181および182のための開口部が導電性材料で充填される。図12に示すように、相互接続コンタクト182は階段構造の横に形成される。相互接続コンタクト182の左側の領域は、コンタクトパッド用の開口部が配置されるコンタクト領域とみなすことができる。コンタクト領域は、層スタック146およびNANDメモリセルの横にある誘電層121の一部を含む誘電体領域である。いくつかの態様では、相互接続コンタクト182は、ドープ領域111に達するまで延在する。代替的に、相互接続コンタクト182は、誘電層121内のドープ領域111の上のレベルまで延在してもよい。コンタクト181～182の導電性材料は、W、Co、Cu、Al、またはそれらの組み合わせを含んでもよい。

30

40

【0038】

さらに、図12に示すように、誘電体材料（例えば、シリコン酸化物またはシリコン窒化物）が3Dアレイデバイス180上に堆積され、ビア184用の開口部が形成され、W、Co、Cu、Al、またはそれらの組み合わせなどの導電性材料で充填される。ビア184は、コンタクト181～182、対応するNANDストリングの上端、およびアレイ共通ソースのプラグ162に接続される。

【0039】

さらに、導体層175の形成と同様に、ビア176、接続パッド177～179、導体層185、ビア186、および接続パッド187および188は、それぞれ同じまたは同様の材料を使用して作られる。相互接続のための導体層185は、ビア184上に形成さ

50

れ、ビア184に接触する。導体層185をカバーするように誘電材料が堆積され、ビア186用の開口部が導体層185の上に形成され、導電材料で充填される。ビア186は導体層185にそれぞれ接触する。さらに、誘電材料が堆積されてビア186をカバーし、誘電層121を厚くする。開口部が作られ、充填されて、3Dアレイデバイス100との相互接続として機能する接続コンタクト187および188を形成する。図13に示すように、接続パッド187~188はそれぞれビア186上に堆積され、ビア186と接触する。したがって、接続パッド187は、ワード線コンタクト181、対応するNANDストリングの上端、およびプラグ162にそれぞれ接続される。接続パッド188は、相互接続コンタクト182にそれぞれ接続される。接続パッド187~188は、導電性材料(例えば、W、Co、Cu、Al、またはそれらの組み合わせ)を含む。

10

【0040】

図14は、本開示の態様による周辺デバイス190の概略断面図を示す。周辺デバイス190は、メモリデバイスの一部であり、周辺構造と呼ばれることもある。周辺デバイス190は、単結晶シリコン、Ge、SiGe、SiC、SOI、GOI、ポリシリコン、またはGaAsまたはInPなどのIII~V族化合物を含むことができる基板191を含む。周辺CMOS回路(例えば、制御回路)(図示せず)が基板191上に製造され、アレイデバイス100および180の動作を容易にするために使用される。例えば、周辺CMOS回路は、金属酸化物半導体電界効果トランジスタ(MOSFET: metal-oxide-semiconductor field-effect transistors)を含み、ページバッファ、センスアンプ、列デコーダ、および行デコーダなどの機能デバイスを提供することができる。基板191およびCMOS回路上に誘電層192が堆積される。接続パッド(接続パッド193、194、および195など)およびビアが誘電層192内に形成される。誘電層192は、酸化シリコンおよび窒化シリコンなどの1つまたは複数の誘電体材料を含むことができる。接続パッド193~195は、3Dアレイデバイス100との相互接続として構成され、W、Co、Cu、Al、またはそれらの組み合わせなどの導電材料を含むことができる。

20

【0041】

3Dアレイデバイス100、180および周辺デバイス190については、基板110または191の底面は裏面と呼ばれ、接続パッド177~179、187~188、または193~195を有する面は前面または表面と呼ばれる。さらに、デバイス100、180、および190の面側に形成された接続パッド177~179、187~188、および193~195は、フロントパッドと呼ぶことができる。

30

【0042】

図15および図16は、本開示の態様による例示的な3Dメモリ構造198の製造工程を概略的に示す。図15~図16の断面図は、Y-Z平面内にある。3Dメモリ構造198は、図11に示される3Dアレイデバイス100と、図14に示される周辺デバイス190とを含む。

【0043】

図15に示されるように、3Dアレイデバイス100および周辺デバイス190は、フリップチップ接合法によって接合され、3Dメモリ構造198を形成する。いくつかの態様では、3Dアレイデバイス100は垂直にひっくり返され、上下逆になり、接続パッド177~179の上面がZ方向に下向きになる。2つのデバイスは、3Dアレイデバイス100が周辺デバイス190の上にあるように一緒に配置される。例えば、接続パッド177~179がそれぞれ接続パッド193~195と位置合わせされるなどの位置合わせが行われた後、3Dアレイデバイス100および周辺デバイス190は、面と面を合わせて接合され、一緒に結合される。層スタック146および周辺CMOS回路は、基板110と191との間、またはドープ領域111と基板191の間に挟まれるようになる。いくつかの態様では、はんだまたは導電性接着剤を使用して、接続パッド177~179を接続パッド193~195にそれぞれ結合する。したがって、接続パッド177~179は、接続パッド193~195にそれぞれ接続される。3Dアレイデバイス100と周辺

40

50

デバイス 190 は、フリップチップボンディング工程が完了した後、電気通信状態にある。

【0044】

その後、(フリップチップボンディングの後)底面から、3Dアレイデバイス100の基板110は、ウェーハ研削、乾式エッチング、湿式エッチング、CMP、またはそれらの組み合わせなどの薄化工程によって薄化される。誘電層112は、堆積工程(例えば、CVDまたはPVD工程)によってドープ領域111の上に成長される。相互接続コンタクト172および173上の開口部は、乾式エッチング工程、または乾式エッチングと湿式エッチング工程の組み合わせによって形成される。開口部は、誘電層112およびドープ領域111を貫通し、開口部の底部で相互接続コンタクト172および173を露出させる。さらに、CVDまたはPVD工程を実行して、開口部の側壁および底部に誘電層(例えば、シリコン酸化物またはシリコン窒化物層)を堆積させる。開口部の底にある誘電層がエッチングされる。開口部は充填されてビア113および114を形成し、これらは相互接続コンタクト172および173にそれぞれ接続される。

10

【0045】

ビア113および114が作成された後、導体層115および116が、CVD、PVD、ALD、電気メッキ、無電解メッキ、またはそれらの組み合わせによって堆積される。導体層115および116は、それぞれビア113および114の上に配置され、それらに接触し、W、Co、Cu、Al、またはそれらの組み合わせなどの導電材料を含む。導体層115および116は、導体要素と呼ばれることもある。さらに、誘電層112を厚くし、導体層115および116を誘電体材料でカバーするために、CVDまたはPVD工程が実行される。接続パッド177~179の形成と同様に、開口部が形成され、次に導電性材料が充填されて接続パッド117が形成される。導体層115の上に形成され、それに接続された接続パッド117は、3Dアレイデバイス100と180との間の接続のために構成される。3Dアレイデバイス100の後面に形成された接続パッド117は、バックパッドと呼ばれることがある。

20

【0046】

図17、図18、および図19は、本開示の態様による例示的な3Dメモリデバイス199の製造工程を概略的に示す。図17~図19の断面図は、Y-Z平面内にある。3Dメモリデバイス199は、3Dアレイデバイス100および周辺デバイス190を含む、図16に示される3Dメモリ構造198と、図13に示される3Dアレイデバイス180とを含む。周辺デバイス190は、メモリデバイス199を制御するように構成されている。

30

【0047】

図17に示されるように、3Dメモリ構造198およびアレイデバイス180は、フリップチップ接合法によって接合され、3Dメモリデバイス199を形成する。いくつかの態様では、3Dアレイデバイス180は垂直にひっくり返され、上下逆になり、接続パッド187~188の上面がZ方向に下向きになる。次に、3Dアレイデバイス180は、接続パッド188が接続パッド117とそれぞれ位置合わせされた状態で、メモリ構造198の上に配置される。次に、3Dアレイデバイス180とメモリ構造198とが接合され、結合される。アレイデバイス180および100の層スタック146は、アレイデバイス180のドープ領域111と周辺デバイス190との間に挟まれるようになる。いくつかの態様では、はんだまたは導電性接着剤を使用して、接続パッド188を接続パッド117にそれぞれ結合する。したがって、接続パッド188は接続パッド117に接続される。3Dアレイデバイス180と周辺デバイス190は、フリップチップ接合工程が完了した後、電気通信状態にある。

40

【0048】

フリップチップボンディングの後、3Dアレイデバイス180の基板110は、薄化工程によって薄化される。誘電層118は、堆積工程によってドープ領域111の上に形成される。図18に示されるように、開口部122は、例えば乾式エッチング工程、または乾式エッチング工程と湿式エッチング工程の組み合わせによって作られる。開口部122

50

は、いくつかの態様ではトレンチとみなすこともできる。開口部 1 2 2 は、アレイデバイス 1 8 0 の誘電層 1 1 8、ドープ領域 1 1 1、および誘電層 1 2 1 を貫通し、アレイデバイス 1 0 0 の誘電層 1 1 2 を部分的に貫通し、開口部 1 2 2 の底部で導体層 1 1 6 を露出させる。開口部 1 2 2 は、相互接続コンタクト 1 8 2 の横にあってもよいし、階段構造または層スタック 1 4 6 の側にあってもよい。

【 0 0 4 9 】

相互接続コンタクト 1 8 2 の上に開口部 1 2 3 が形成され、乾式エッチングまたは乾式エッチングと湿式エッチングの組み合わせによって相互接続コンタクト 1 8 2 を露出させる。図 1 8 に示すように、開口部 1 2 3 は、誘電層 1 1 8 およびドープ領域 1 1 1 を貫通する。CVD または PVD などの堆積工程を実行して、開口部 1 2 3 の側壁および底部に誘電層（例えば、シリコン酸化物またはシリコン窒化物層）を堆積させる。開口部 1 2 3 の底部の誘電層がエッチングされた後、導電性材料が開口部に充填されてビア 1 2 4 を形成し、ビア 1 2 4 はドープ領域 1 1 1 から分離され、相互接続コンタクト 1 8 2 にそれぞれ接続される。

10

【 0 0 5 0 】

さらに、コンタクトパッド 1 2 5 および導体層 1 2 6 および 1 2 7 は、CVD、PVD、ALD、電気メッキ、無電解メッキ、またはそれらの組み合わせなどの堆積工程によって形成される。いくつかの態様では、コンタクトパッド 1 2 5 および導体層 1 2 6 および 1 2 7 は、同じ材料で同時に形成される。代替的に、コンタクトパッド 1 2 5 および導体層 1 2 6 および 1 2 7 は、異なる材料で別々に形成されてもよい。コンタクトパッド 1 2 5 および導体層 1 2 6 および 1 2 7 のための導電性材料は、例えば、W、Co、Cu、Al、またはそれらの組み合わせを含むことができる。図 1 9 に示すように、導体層 1 2 6 および 1 2 7 は、それぞれビア 1 2 4 および半導体層 1 3 1 の上に配置される。導体層 1 2 6 はビア 1 2 4 に接触する。コンタクトパッド 1 2 5 は、3Dメモリデバイス 1 9 9 と別のデバイスとの間の接続のために構成され、ボンディングワイヤがコンタクトパッド 1 2 5 上に結合され得る。必要に応じて、複数のコンタクトパッド（例えば、コンタクトパッド 1 2 5）の代わりに、単一のコンタクトパッド（図示せず）を導体層 1 1 6 上に形成することができる。

20

【 0 0 5 1 】

コンタクトパッド 1 2 5 は、3Dアレイデバイス 1 0 0 上の開口部 1 2 2 に形成される。横方向では、コンタクトパッド 1 2 5 は、相互接続コンタクト 1 7 2 および 1 8 2 の横で、アレイデバイス 1 0 0 および 1 8 0 の階段構造および層スタック 1 4 6 の側で、誘電層 1 1 2 によって取り囲まれている。垂直方向では、コンタクトパッド 1 2 5 が誘電層 1 1 2 上に形成され、導体層 1 1 6 および相互接続コンタクト 1 7 3 の上にあり、導体層 1 1 6 および相互接続コンタクト 1 7 3 に接続される。コンタクトパッド 1 2 5 は、相互接続コンタクト 1 7 3 および接続パッド 1 9 5 を介して周辺デバイス 1 9 0 に接続される。また、垂直方向に沿って、コンタクトパッド 1 2 5 は、アレイデバイス 1 0 0 または周辺デバイス 1 9 0 に対してアレイデバイス 1 0 0 および 1 8 0 の層スタック 1 4 6 のレベルの間、アレイデバイス 1 0 0 または周辺デバイス 1 9 0 に対してアレイデバイス 1 0 0 および 1 8 0 の NAND メモリセルのレベルの間、またはアレイデバイス 1 8 0 と周辺デバイス 1 9 0 との間に配置される。本明細書で使用されるように、アレイデバイス 1 0 0 または周辺デバイス 1 9 0 に対するアレイデバイス 1 8 0 の層スタック 1 4 6 のレベルは、層スタック 1 4 6 を通過する X - Y 平面を示す。同様に、アレイデバイス 1 0 0 または周辺デバイス 1 9 0 に対するアレイデバイス 1 8 0 の NAND メモリセルのレベルは、アレイデバイス 1 8 0 の NAND メモリセルを通過する X - Y 平面を示す。同様に、アレイデバイス 1 0 0 または周辺デバイス 1 9 0 に対するコンタクトパッド 1 2 5 のレベルは、コンタクトパッド 1 2 5 を通過する X - Y 平面を示す。レベルの高さ、つまりレベルの X - Y 平面の高さは、Z 軸に対して測定される。さらに、コンタクトパッド 1 2 5 は、アレイデバイス 1 0 0 または周辺デバイス 1 9 0 に対して、接続パッド 1 8 7 ~ 1 8 8 の下またはアレイデバイス 1 8 0 の下のレベルに配置することができる。例えば、開口部 1 2 2 は

30

40

50

、アレイデバイス100のドープ領域111より下のレベルに達することができ、コンタクトパッドは、アレイデバイス100のドープ領域111より下のレベルに形成することができる。

【0052】

本明細書で使用するとき、用語「に近接する」は、材料、要素、特徴、領域、またはサブ領域のうちの別のものに近いある材料、要素、特徴、領域、またはサブ領域の配置を記述するために使用される空間的に相対的な用語である。「に近接する」という用語は、間接的に隣接する、直接的に隣接する、および内部にある配置を含む。例えば、開口部122の底部およびコンタクトパッド125が、アレイデバイス100または周辺デバイス190に対して接続パッド187~188のレベルに近接して配置される場合、これは、開口部122の底部およびコンタクトパッド125が、アレイデバイス180のドープ領域111のレベルよりも接続パッド187~188のレベルにより近く配置されることを示している。

10

【0053】

いくつかの態様では、開口部122の底部およびコンタクトパッド125は、アレイデバイス100または周辺デバイス190に対して接続パッド187~188のレベルに近接して配置され得る。例えば、開口部122の底部およびコンタクトパッド125は、アレイデバイス100または周辺デバイス190に関して、接続パッド187~188のレベルに近接して、そのレベルより上または下に配置され得る。必要に応じて、開口部122の底部およびコンタクトパッド125は、Z軸に沿ってアレイデバイス180の接続パッド187~188と層スタック146の中間点との間のレベルに配置することもできる。この場合、導体層116は開口部122の底部に露出しない。アレイデバイス180の誘電層121および誘電体112を通して延在し、導体層116に達して接触する追加のコンタクト(図示せず)を作成することができる。次に、コンタクトパッド125が、追加のコンタクトの上に形成され、それらに接触することができる。したがって、コンタクトパッド125は、アレイデバイス100または周辺デバイス190に対して接続パッド187~188のレベル、または接続パッド187~188とZ軸に沿ったアレイデバイス180の層スタック146の中間点との間のレベルにあってもよい。

20

【0054】

さらに、誘電材料が堆積されて、導体層126および127をカバーし、誘電層118を厚くする。3Dメモリデバイス199の上に、層118、コンタクトパッド125、および開口部122の側壁をカバーする別の誘電層128が形成される。誘電層128は、酸化シリコン、窒化シリコン、酸窒化シリコン、オルトケイ酸テトラエチル(TEOS: tetraethyl orthosilicate)、またはそれらの組み合わせなどの材料を含むことができるパッシベーション層として機能する。CVDまたはPVDなどの堆積工程が実行されてもよい。次に、図19に示すように、乾式エッチング工程または乾式および湿式エッチング工程を実行して、開口部122の底部の誘電層128の一部を除去し、コンタクトパッド125を露出させる。

30

【0055】

その後、他の製造ステップまたは工程が実行されて、3Dメモリデバイス199の製造が完了する。簡単にするために、他の製造ステップまたは工程の詳細は省略されている。

40

【0056】

図19に示すように、コンタクトパッド125はアレイデバイス100上に配置され、アレイデバイス100に配置された相互接続コンタクト173を介して周辺デバイス190に接続される。コンタクトパッド125がアレイデバイス180上に形成される場合、コンタクトパッドは、アレイデバイス100および180の両方に配置された相互接続コンタクトを介して周辺デバイス190に接続される。その場合、アレイデバイス100および180の両方のコンタクトパッド125の下に配置された相互接続コンタクトは、3Dメモリデバイス199の高速動作に影響を与える追加の寄生容量を招く。したがって、コンタクトパッド125をアレイデバイス100上に配置することによって、3Dメモリ

50

デバイス 199 の性能を向上させることができる。

【0057】

さらに、開口部 122 が存在しない場合、水素は、層 128 および 118 などの最上層、およびアレイデバイス 180 のドープ領域 111 を通って拡散するだけであり、これは、図 19 の層 128 から始まる破線の矢印によって概略的に示されている。そのようなシナリオでは、アレイデバイス 180 の半導体層 131 のポリシリコンは、欠陥修復のために十分な水素を受け取り得る。しかしながら、アレイデバイス 100 の半導体層 131 のポリシリコンは、欠陥修復のために十分な水素を得ることができない。開口部 122 がアレイデバイス 100 に十分に接近すると、図 19 の開口部 122 の側壁から始まる破線の矢印によって概略的に示されるように、水素は開口部 122 の側壁を通して拡散し、アレイデバイス 100 の半導体層 131 に到達することができる。したがって、アレイデバイス 100 の半導体層 131 のポリシリコンは、欠陥修復のために十分な水素を得ることができる。3Dメモリデバイス 199 の品質と歩留まりが向上し得る。

10

【0058】

いくつかの態様では、誘電層 112 の上の誘電領域などの機能構造がない領域で 1 つまたは複数の追加の開口部（図示せず）が形成される。追加の開口部は、アレイデバイス 100 を露出させることができる。必要に応じて、開口部 122 が製造されるときに、追加の開口部が形成されてもよい。追加の開口部も追加のトレンチである可能性がある。いくつかの態様では、追加の開口部は、開口部 122 の周囲および/または層スタック 146 の周囲に配置される。必要に応じて、追加の開口部のいくつかを開口部 122 と合体させて、より大きな開口部を形成することができる。特定の態様では、追加の開口部のいくつかは、アレイデバイス 180 の誘電層 118、ドープ領域 111、および誘電層 121 を貫通し、アレイデバイス 100 の誘電層 112 を部分的に貫通する。追加の開口部は、水素の拡散、品質、および 3Dメモリデバイス 199 の歩留まりをさらに改善する。追加の開口部には、水素拡散工程が完了した後に追加の誘電領域を形成するために、誘電体材料（窒化シリコンなど）が充填されている。追加の誘電体領域は上にあり、アレイデバイス 100 と接続することができる。

20

【0059】

いくつかの態様では、アレイデバイス 100 および 180 は結合されてアレイデバイススタックを形成するが、周辺デバイス 190 はアレイデバイススタックの横に取り付けられる。この場合、周辺デバイス 190 は、例えば、プリント回路基板（PCB：printed circuit board）を介して、アレイデバイス 100 および 180 に接続され得る。例えば、アレイデバイス 100 を PCB 上に実装することができ、アレイデバイス 180 を上に示したのと同様の方法でアレイデバイス 100 に接合することができる。アレイデバイス 100 および 180 は、図 19 に示されるデバイス 199 の一部と同様のアレイデバイススタックを形成することができる。さらに、図 19 に示す構成と同様に、デバイス 180 に開口部が形成され、コンタクトパッドが開口部の底部に作成される場合がある。したがって、寄生容量が減少し、性能が向上する可能性がある。

30

【0060】

図 20 は、本開示の態様による 3Dメモリデバイスを製造するための概略フローチャート 200 を示す。211 で、3Dアレイデバイス用の基板の上面上に犠牲層が堆積される。基板は、単結晶シリコン基板などの半導体基板を含む。いくつかの態様では、犠牲層を堆積する前に基板上にカバー層を成長させる。カバー層は、基板上に順次成長する単層または多層を含む。例えば、カバー層には、酸化シリコン、窒化シリコン、および/または酸化アルミニウムが含まれる場合がある。いくつかの他の態様では、最初に基板上にカバー層を堆積させることなく、犠牲層を堆積させることができる。犠牲層は、単結晶シリコン、ポリシリコン、酸化シリコン、または窒化シリコンを含むことができる。

40

【0061】

犠牲層の上に、3Dアレイデバイスの層スタックが製造される。層スタックは、交互に積層された第 1 のスタック層および第 2 のスタック層を含む。第 1 のスタック層は第 1 の

50

誘電層を含み、第2のスタック層は第1の誘電層とは異なる第2の誘電層を含む。いくつかの態様では、第1および第2の誘電層のうちの1つが犠牲スタック層として使用される。

【0062】

212において、層スタックの一部を階段構造に変換するために階段形成工程が実行される。階段形成工程には、層スタックの一部を階段構造にトリミングするために使用される複数のエッチングが含まれる。階段構造をカバーする誘電層を堆積する堆積工程が実行される。階段構造の側面にある誘電層の一部は、コンタクトパッドの相互接続コンタクトまたはコンタクトパッドの開口部が構成されるコンタクト領域として使用される。

【0063】

さらに、層スタックと犠牲層とを通過して延在するチャンネルホールが形成され、基板の部分を露出させる。各チャンネルホールの側壁と底面とに機能層とチャンネル層とが堆積される。機能層を形成するステップは、チャンネルホールの側壁上にブロッキング層を堆積するステップと、ブロッキング層上に電荷トラップ層を堆積するステップと、電荷トラップ層上にトンネル絶縁層を堆積するステップとを含む。トンネル絶縁層上に堆積されたチャンネル層は、半導体チャンネルとして機能する。

10

【0064】

さらに、3Dアレイデバイスのゲート線スリットが形成される。垂直方向に沿って、ゲート線スリットは層スタックを貫通する。ゲート線のスリットがエッチングされた後、犠牲層の一部が露出する。

【0065】

20

213で、犠牲層がエッチング除去され、キャビティが基板上に作成される。キャビティは、キャビティ内の機能層のブロッキング層の底部を露出させる。カバー層が基板上に堆積されている場合、カバー層もキャビティ内に露出している。ブロッキング層、電荷トラップ層、およびトンネル絶縁層を含む、キャビティ内に順次露出する機能層の層をそれぞれエッチング除去する。その結果、基板に近い機能層の一部がキャビティ内で除去される。堆積した場合、カバー層も工程中にエッチング除去され、機能層の部分をエッチングまたは別の選択的エッチング工程でエッチングする。したがって、基板の一部およびチャンネル層の一部がキャビティ内に露出する。

【0066】

その後、キャビティ内にポリシリコン層などの半導体層を成長させる堆積工程が実行される。半導体層は、チャンネル層と基板に接触する。

30

【0067】

いくつかの態様では、層スタックは2つの誘電体スタック層を含み、スタック層の1つは犠牲的である。犠牲スタック層は、214でエッチング除去されてキャビティを残し、次いで導電材料で充填されて導体層を形成する。

【0068】

さらに、誘電層がゲート線スリットの側壁および底面上に堆積される。底面の誘電層の一部を選択的にエッチングして、半導体層を露出させる。スズ、W、Cu、Al、および/またはドーパされたポリシリコンなどの導電性材料は、ゲート線スリットに堆積して、半導体層に接触するアレイ共通のソースを形成する。

40

【0069】

214の後、215で、ワード線コンタクト、相互接続コンタクト、ビア、導体層、および接続パッドを形成するために、エッチングおよび堆積工程が実行される。3Dアレイデバイスが第1のアレイデバイスになる。

【0070】

214の後、216で、ワード線コンタクト、相互接続コンタクト、ビア、導体層、および接続パッドを形成するために、エッチングおよび堆積工程が実行される。3Dアレイデバイスが第2のアレイデバイスになる。

【0071】

217で、フリップチップボンディング工程が実行されて、第1のアレイデバイスと周

50

辺デバイスとを結合するか、または第1のレイデバイス周辺デバイスを固定して、3Dメモリ構造を作成する。いくつかの態様では、第1のレイデバイスを上下逆にして周辺デバイスの上に配置する。第1のレイデバイスと周辺デバイスの接続パッドが整列してから結合される。第1のレイデバイスの基板が薄くされた後、エッチングおよび堆積工程が実行されて、ビア、導体層、および第1のレイデバイスのコンタクト領域内の相互接続コンタクト上に接続パッドが形成される。

【0072】

218では、フリップチップボンディングが実行され、第2のレイデバイスと3Dメモリ構造の第1のレイデバイスが結合されて3Dメモリデバイスを形成する。いくつかの態様では、第2のレイデバイスは逆さまに反転し、第1のレイデバイスの上に配置される。第1および第2のレイデバイスの接続パッドは位置合わせされ、結合される。ボンディング工程の後、第2のレイデバイスの基板が薄くされ、誘電層が堆積される。

10

【0073】

219で、エッチング工程を実行して、第2のレイデバイスのコンタクト領域を貫通して第1のレイデバイス上の導体層を露出させる開口部を形成する。さらに、第2のレイデバイスの相互接続コンタクトの上に配置され接続されるビアを形成するために、エッチングおよび堆積工程が実行される。その後、第1のレイデバイスの露出した導体層の上にコンタクトパッドを形成するために堆積工程が実行される。コンタクトパッドは、他のデバイスとの接続用のワイヤボンディング用に構成されている。さらに、導体層は、堆積工程において第2のレイデバイスの相互接続コンタクトに接続されるビアの上に形成される。

20

【0074】

図21～図24は、本開示の態様による例示的な3Dレイデバイス300の製造工程を概略的に示す。図21～24において、断面図はY-Z平面にある。図21に示すように、3Dレイデバイス300は基板310を含む。基板310は、半導体層、例えば、ドーピングされていないかまたは軽くドーピングされた単結晶シリコン層を含む。いくつかの態様では、基板310の上部は、n型ドーパントによってドーピングされ、ドーピング領域311を形成する。ドーピング領域311の上にカバー層320が堆積される。カバー層320は犠牲層であり、単一層または複数層を含んでもよい。例えば、カバー層320は、シリコン酸化物層およびシリコン窒化物層のうちの1つまたは複数を含むことができる。カバー層320は、CVD、PVD、ALD、またはそれらの組み合わせによって堆積される。代替的に、カバー層320は、酸化アルミニウムなどの別の材料を含んでもよい。

30

【0075】

カバー層320の上に、犠牲層330が堆積される。犠牲層330は、半導体材料または誘電体材料を含む。以下の説明では、一例として、犠牲層330はポリシリコン層である。犠牲層330が形成された後、層スタック340が堆積される。層スタック340には、複数のペアのスタック層341および342が含まれている。つまり、スタック層341と342が交互に積層されている。

【0076】

いくつかの態様では、スタック層341および342は、第1の誘電層と、第1の誘電層とは異なる第2の誘電層とを含む。交互スタック層341および342は、CVD、PVD、ALD、またはそれらの任意の組み合わせによって堆積されてもよい。記述では、スタック層341および342の材料(つまり、第1および第2の誘電層)の材料は、それぞれ酸化シリコンと窒化シリコンである。酸化シリコン層は分離スタック層として使用され、窒化シリコン層は犠牲スタック層として使用される。

40

【0077】

さらに、層スタック340の一部をチャンネルホール領域332内の階段構造にトリムするために、階段形成工程が実行される。階段構造は、誘電層321を形成する酸化シリコンなどの誘電体材料によって覆われる。階段形成工程の間、コンタクト領域333のスタック層341および342、カバー層320、および犠牲層330は変化しないままであ

50

る。3Dアレイデバイス300のコンタクト領域333は、コンタクトパッド用の相互接続コンタクトまたはコンタクトパッド用の開口部のために構成されている。図22に示すように、コンタクト領域333のスタック層341および342は、残りの犠牲層330および残りのカバー層320の上に層スタック347を形成する。層スタック347には、スタック層341および342が含まれている。つまり、第1と第2の誘電層を交互にして、誘電層321を持つ誘電領域を形成する。水平方向では、層スタック347は階段構造と層スタック346の側面、例えば階段構造の左側にあり、階段構造は層スタック340と347の間にある。階段構造および層スタック347は、ドーブ領域311上に堆積される誘電層321の一部によって分離される。

【0078】

図23は、現在の開示の態様に従って、ある段階で3Dアレイデバイス300の概略上の断面図を示している。層スタック340が形成された後、チャンネルホール350が形成される。図23に示されるチャンネルホール350の量、寸法、および配置は、構造および製造方法の説明のための例示である。

【0079】

チャンネルホール350は、層スタック340、犠牲層330、およびカバー層320を介して延在するシリンダの形状または柱の形状を持ち、ドーブ領域311に部分的に浸透する場合がある。チャンネルホール350が形成された後、チャンネルホールの側壁および底部に機能層351が堆積される。機能層351には、チャンネルホールの側壁と底部のブロッキング層、ブロッキング層の表面に電荷トラップ層、および電荷トラップ層の表面にトンネル絶縁層が含まれている。

【0080】

いくつかの態様では、機能層351は、以下の説明で使用されるONO構造を含む。例えば、シリコン酸化物層がブロッキング層として堆積され、シリコン窒化物層が電荷トラップ層として堆積され、別のシリコン酸化物層がトンネル絶縁層として堆積される。トンネル絶縁層上に、チャンネル層355としてポリシリコン層が堆積される。チャンネルホールと同様に、チャンネル層355も層スタック340を通過してドーブ領域311内に延在する。チャンネル層355が形成された後、チャンネルホール350は酸化物材料によって充填される。チャンネルホール350は、導電性物質（例えば、金属W）を含み、チャンネル層355と接触するプラグによって密封される。

【0081】

さらに、ゲート線スリット360は、乾式エッチング工程または乾式および湿式エッチング工程の組み合わせによって形成される。ゲート線スリット360は、層スタック340を通過して延在し、犠牲層330に到達するか、またはZ方向に部分的に貫通する。このように、ゲート線スリット360の底部では、犠牲層330の一部が露出される。スペーサ層（図示せず）がゲート線スリット360の側壁および底部に堆積され、犠牲層330を再び露出させるためにスリット360の底部にあるスペーサ層の一部がエッチングによって除去される。犠牲層330がエッチングされている。犠牲層330を除去すると、キャビティが形成され、カバー層320と、チャンネルホール350内に形成されたブロッキング層の底部が露出する。ブロッキング層、電荷トラップ層、トンネル絶縁層の一部がエッチング除去され、チャンネル層355の底部が露出している。カバー層320は、機能層351の底部がエッチング除去されるか、追加の選択的エッチング工程で削除され、ドーブ領域311の上面を露出すると削除される。

【0082】

キャビティは、半導体層331を形成するために、例えばポリシリコンなどの半導体材料によって充填される。半導体層331は、ドーブ領域311およびチャンネル層355の露出部分の表面上に堆積される。さらに、犠牲スタック層342は、エッチングによって除去され、Wなどの導電材料を含む導体層345によって置き換えられる。図23に示すように、導体層345が形成された後、層スタック340は層スタック346になる。層スタック346は、交互スタック層341および345を含む。両方のスタックの層34

10

20

30

40

50

1 は、同じ材料で同時に形成されるため、層スタック 3 4 6 と 3 4 7 のスタック層 3 4 1 は同じである。

【 0 0 8 3 】

層スタック 3 4 6 では、各導体層 3 4 5 は、Y 方向または X - Y 平面に沿って N A N D メモリセルの 1 つまたは複数の行を電氣的に接続するように構成され、3 D アレイデバイス 3 0 0 のワード線として構成されている。チャンネルホール 3 5 0 内に形成されたチャンネル層 3 5 5 は、Z 方向に沿って N A N D ストリングを電氣的に接続するように構成され、3 D アレイデバイス 3 0 0 のビット線として構成される。

【 0 0 8 4 】

ゲート線スリット 3 6 0 は、導電材料 3 6 1 (例えば、ドーブされたポリシリコン) および導電プラグ 3 6 2 (例えば、金属 W) で充填される。いくつかの側面では、充填されたゲート線スリットが 3 D アレイデバイス 3 0 0 のアレイ共通のソースになる。

10

【 0 0 8 5 】

その後、ワード線コンタクト 3 7 1 および相互接続コンタクト 3 7 2 および 3 7 3 の開口部が形成される。開口部には、それぞれコンタクト 3 7 1 ~ 3 7 3 を形成するための導電性材料 (W、Co、Cu、Al、またはその組み合わせ) が充填されている。図 2 4 に示すように、相互接続コンタクト 3 7 3 はコンタクト領域 3 3 3 および階段構造の側面に形成される。階段構造は、コンタクト 3 7 2 ~ 3 7 3 と層スタック 3 4 6 との間にある。相互接続コンタクト 3 7 3 は、層スタック 3 4 7 を通って延在し、層スタック 3 4 7 と犠牲層 3 3 0 との間のレベルに達する。したがって、相互接続コンタクト 3 7 3 および犠牲層 3 3 0 は、誘電層 3 2 1 の一部によって電氣的に絶縁される。いくつかの態様では、相互接続コンタクト 3 7 2 は、コンタクト 3 7 3 と階段構造との間に配置され、ドーブ領域 3 1 1 に垂直に到達するように延在する。代替的に、相互接続コンタクト 3 7 2 は、誘電層 3 2 1 のドーブ領域 3 1 1 の上のレベルにまで及ぶことがある。いくつかの他の態様では、相互接続コンタクト 3 7 2 は、層スタック 3 4 7 を通過し、層スタック 3 4 7 と犠牲層 3 3 0 との間のレベルまで延在する。相互接続コンタクト 3 7 2 および 3 7 3 は、層スタック 3 4 7 および誘電層 3 2 1 を含む誘電体領域内に配置され、誘電体領域は、基板 3 1 0 に対してアレイデバイス 3 0 0 の層スタック 3 4 6 および N A N D メモリセルの横にある。

20

【 0 0 8 6 】

アレイデバイス 1 0 0 のビア 1 7 4、導体層 1 7 5、およびビア 1 7 6 の形成と同様に、エッチングおよび堆積工程が実行されて、ビア 3 7 4、導体層 3 7 5、およびビア 3 7 6 が形成される。W、Co、Cu、Al、またはそれらの組み合わせなどの導電性材料を使用することができる。ビア 3 7 4 および 3 7 6 ならびに導体層 3 7 5 は、それぞれコンタクト 3 7 1 ~ 3 7 3、プラグ 3 6 2、および対応する N A N D ストリングの上端に接続される。

30

【 0 0 8 7 】

さらに、接続パッド 1 7 7 ~ 1 7 9 の形成と同様に、接続パッド 3 7 7、3 7 8、および 3 7 9 を製造するために、エッチングおよび堆積工程が実行される。W、Co、Cu、Al、またはそれらの組み合わせなどの導電性材料を使用することができる。接続パッド 3 7 7 は、ワード線コンタクト 3 7 1、プラグ 3 6 2、および対応する N A N D ストリングの上端にそれぞれ接続される。接続パッド 3 7 8 ~ 3 7 9 は、それぞれ相互接続コンタクト 3 7 2 ~ 3 7 3 に接続されている。

40

【 0 0 8 8 】

図 2 3 を参照して、ゲート線スリット 3 6 0 が導電性材料 3 6 1 と導電性プラグ 3 6 2 で充填された後、ワード線コンタクト 3 8 1 と相互接続コンタクト 3 8 2 が形成され、3 D アレイデバイス 3 0 0 が 3 D アレイデバイス 3 8 0 になる。コンタクト 3 8 1 ~ 3 8 2 の形成は、アレイデバイス 3 0 0 のコンタクト 3 7 1 ~ 3 7 2 の形成と同様であってもよい。図 2 5 に示すように、層スタック 3 4 7 はコンタクト領域 3 8 3 に配置され、相互接続コンタクト 3 8 1 ~ 3 8 2、階段構造、および層スタック 3 4 6 はチャンネルホール領域

50

389に配置される。コンタクト領域383内の層スタック347の一部は、コンタクトパッド用の開口部用に構成されている。層スタック347と誘電層321の一部は、層スタック346とNANDメモリセルの横にある誘電領域を形成する。いくつかの態様では、相互接続コンタクト382がドープ領域311に到達するまで拡張されている。代替的に、相互接続コンタクト382は、誘電層321のドープ領域311の上のレベルにまで及ぶことがある。いくつかの他の態様では、相互接続コンタクト382は、層スタック347を通過し、層スタック347と犠牲層330との間のレベルまで延在し得る。コンタクト381~382の導電性材料は、W、Co、Cu、Al、またはそれらの組み合わせを含んでもよい。

【0089】

ビア374、導体層375、およびアレイデバイス300のビア376の形成と同様に、ビア384、導体層385、およびビア386を形成するために、エッチングおよび堆積工程が実行される。W、Co、Cu、Al、またはそれらの組み合わせなどの導電性材料を使用することができる。ビア384および386ならびに導体層385は、コンタクト381~382、プラグ362、および対応するNANDストリングの上端にそれぞれ接続される。

【0090】

その後、接続パッド377~378の形成と同様に、接続パッド387および388を製造するためにエッチングおよび堆積工程が実行される。W、Co、Cu、Al、またはそれらの組み合わせなどの導電性材料を使用することができる。接続パッド387は、ワード線コンタクト381、プラグ362、および対応するNANDストリングの上端にそれぞれ接続される。接続パッド388は、相互接続コンタクト382にそれぞれ接続される。

【0091】

図26は、本開示の態様による周辺デバイス390を断面図で概略的に示す。周辺デバイス390は、半導体基板391（例えば、単結晶シリコンの基板）を含む。周辺CMOS回路（例えば、制御回路）（図示せず）は、基板391上に製造され、3Dアレイデバイス300および380の動作を容易にするために使用される。1つまたは複数の誘電体材料を含む誘電層392が基板391上に堆積される。接続パッド393、394、および395などの接続パッドおよびビアが、誘電層392に形成される。接続パッド393~395は、3Dアレイデバイス300と相互接続するように構成され、導電性材料（例えば、W、Co、Cu、Al、またはそれらの任意の組み合わせ）を含む。

【0092】

図27は、本開示の態様による製造工程のある段階における例示的な3Dメモリ構造398を示す。図27の断面図はY-Z面内にある。3Dメモリデバイス398は、図24に示される3Dアレイデバイス300と図26に示される周辺デバイス390とをフリップチップ接合工程で接合することによって形成される。

【0093】

いくつかの態様において、3Dアレイデバイス300は、垂直にひっくり返され、周辺デバイス390の上で逆さまになる。例えば、接続パッド377~379がそれぞれ接続パッド393~395と整列した後、3Dアレイデバイス300および周辺デバイス390が結合され、向かい合って一緒に結合される。層スタック346および周辺CMOS回路は、ドープ領域311と基板391との間に挟まれるようになる。いくつかの態様では、はんだまたは導電性接着剤を使用して、位置合わせされた接続パッドを結合する。そのため、接続パッド377~379はそれぞれ接続パッド393~395に接続されている。3Dアレイデバイス300と周辺デバイス390は、フリップチップボンディング工程が完了した後、電気通信状態にある。

【0094】

その後、3Dアレイデバイス300の基板310は、薄化工程によって薄化される。誘電層312は、堆積によりドープ領域311の上に成長する。ビア113~114、導体

10

20

30

40

50

層 115 ~ 116、および接続パッド 117 の形成と同様に、エッチングおよび堆積工程を実行して、ビア 313 および 314、導体層 315 および 316、および接続パッド 317 をそれぞれ形成する。ビア 313 がドープ領域 311 を通過し、ビア 314 がドープ領域 311 および犠牲層 330 を通過すると、開口が導電性材料で充填されてビア 313 および 314 が形成される前に、開口の側壁に誘電層が成長する。導体層 316 は、導体要素と呼ばれることもあり、ビア 314 および相互接続コンタクト 373 の上に形成され、それらに接続される。導体層 315 と相互接続コンタクト 372 に形成されて接続された接続パッド 317 は、3D アレイデバイス 300 と 380 の間の接続のために構成されている。

【0095】

図 28 は、本開示の態様による製造工程のある段階における例示的な 3D メモリデバイス 399 を示す。図 28 の断面図は Y - Z 面内にある。3D メモリデバイス 399 は、3D アレイデバイス 300 および周辺デバイス 390 を含む、図 27 に示される 3D メモリ構造 398 と、図 25 に示される 3D アレイデバイス 380 とを含む。周辺デバイス 390 は、メモリデバイス 399 を制御するように構成されている。

【0096】

3D メモリ構造 398 とアレイデバイス 380 は、図 28 に示すように、3D メモリデバイス 399 を形成するためにフリップチップボンディング法によって結合されている。いくつかの態様において、3D アレイデバイス 380 は、垂直にひっくり返され、メモリ構造 398 の上で逆さまになる。アライメント後、3D アレイデバイス 380 とメモリ構造 398 とが結合され、一緒に結合される。いくつかの態様では、はんだまたは導電性接着剤を使用して、接続パッド 388 を接続パッド 317 に結合する。このように、接続パッド 388 は接続パッド 317 にそれぞれ接続される。フリップチップボンディング工程が完了した後、3D アレイデバイス 380 と周辺デバイス 390 が電気通信状態にある。

【0097】

さらに、3D アレイデバイス 380 の基板 310 は、薄化方法を使用して薄化される。誘電層 318 は、堆積工程によってドープ領域 311 に形成される。図 28 に示されるように、開口部 322 は、例えば乾式エッチング工程、または乾式エッチング工程と湿式エッチング工程の組み合わせによって作られる。開口部 322 はまた、いくつかの態様ではトレンチとみなされてもよい。開口部 322 は、誘電層 318、ドープ領域 311、カバー層 320、犠牲層 330、層スタック 347、およびアレイデバイス 380 の誘電層 321 を介して浸透し、部分的にはアレイデバイス 300 の誘電層 312 を介して誘電層 321 を介して浸透し、開口部 322 の底部にあるアレイデバイス 300 に導体層 316 を露出する。開口部 322 は、相互接続コンタクト 372 および 382 の横にあるか、または周辺デバイス 390 に対して階段構造および層スタック 346 の側にある。開口部 322 がアレイデバイス 380 の層スタック 347 を通過すると、開口部 322 が形成された後、層スタック 347 の一部が除去される。開口部 322 の形成後の層スタック 347 の残りの部分は、依然として層スタック 347 とみなすことができる。残りの層スタック 347 は、開口部 322 を少なくとも部分的に取り囲み、アレイデバイス 380 の層スタック 346 および NAND メモリセルの横の誘電層 321 と共に誘電体領域を形成する。

【0098】

相互接続コンタクト 382 の上に、3D メモリデバイス 199 のビア 124 の形成と同様の方法で、ビア 324 が形成される。分離のために、ビア 324 とドープ領域 311 の間に誘電層が形成される。

【0099】

さらに、コンタクトパッド 325 および導体層 326 および 327 は、CVD、PVD、ALD、電気メッキ、無電解メッキ、またはそれらの組み合わせなどの堆積工程によって形成される。コンタクトパッド 325 および導体層 326 および 327 の導電性材料には、W、Co、Cu、Al、またはその組み合わせが含まれる場合がある。図 28 に示すように、導体層 326 および 327 は、それぞれビア 324 と半導体層 331 に配置され

10

20

30

40

50

ている。導体層 3 2 6 は、ビア 3 2 4 を介して相互接続コンタクト 3 8 2 に接続されている。コンタクトパッド 3 2 5 は、3 Dメモリデバイス 3 9 9 と他のデバイス間の接続用に構成されており、コンタクトパッド 3 2 5 でボンディングワイヤを結合できる。

【 0 1 0 0 】

コンタクトパッド 3 2 5 は、開口部 3 2 2 内の 3 D アレイデバイス 3 0 0 に形成される。横方向では、コンタクトパッド 3 2 5 は、相互接続コンタクト 3 7 2 および 3 8 2 の横で、階段構造および層スタック 3 4 6 の側で、誘電層 3 1 2 によって取り囲まれている。垂直方向では、コンタクトパッド 3 2 5 が誘電層 3 1 2 上に形成され、導体層 3 1 6 および相互接続コンタクト 3 7 3 の上にあり、導体層 3 1 6 および相互接続コンタクト 3 7 3 に接続される。コンタクトパッド 3 2 5 は、相互接続コンタクト 3 7 3 を介して周辺デバイス 3 9 0 の接続パッド 3 9 5 に接続されている。また、垂直方向に沿って、コンタクトパッド 3 2 5 は、アレイデバイス 3 0 0 および 3 8 0 の層スタック 3 4 7、および / またはアレイデバイス 3 8 0 と周辺デバイス 3 9 0 との間に配置される。コンタクトパッド 3 2 5 はまた、層スタック 3 4 6 のレベル間、アレイデバイス 3 0 0 および 3 8 0 の NAND メモリセルのレベル間、または周辺デバイス 3 9 0 に関してアレイデバイス 3 8 0 の下のレベルに配置され得る。

10

【 0 1 0 1 】

いくつかの態様では、開口部 3 2 2 は、アレイデバイス 3 0 0 のドープ領域 3 1 1 より下のレベル、例えば、アレイデバイス 3 0 0 の層スタック 3 4 7 内の場所に達する。例えば、相互接続コンタクト 3 7 3 が形成されるとき、コンタクト 3 7 3 の底部は層スタック 3 4 7 の内側に配置され得る。必要に応じて、開口部 3 2 2 は、アレイデバイス 3 0 0 の層スタック 3 4 7 に達して露出することができ、コンタクトパッド 3 2 5 は、層スタック 3 4 7 内のコンタクト 3 7 3 の端部の上に形成することができる。

20

【 0 1 0 2 】

その後、パッシベーション層 3 2 8 が CVD または PVD によって堆積され、他の製造ステップまたは工程が実行されて、3 Dメモリデバイス 3 9 9 の製造が完了する。他の製造手順または工程の詳細は、簡単にするために省略されている。

【 0 1 0 3 】

図 2 8 に示すように、コンタクトパッド 3 2 5 はアレイデバイス 3 0 0 に形成されている。コンタクトパッド 3 2 5 がアレイデバイス 3 8 0 で構成されている場合、アレイデバイス 3 8 0 と 3 0 0 の両方で相互接続コンタクトを作成する必要がある。その場合、寄生容量が増加し、3 Dメモリデバイス 3 9 9 の高速動作に影響を与える可能性がある。したがって、アレイデバイス 3 0 0 上に形成されたコンタクトパッド 3 2 5 は、デバイス 3 9 9 の性能を改善することができる。

30

【 0 1 0 4 】

3 Dメモリデバイス 1 9 9 の開口部 1 2 2 と同様に、開口部 3 2 2 は、3 Dメモリデバイス 3 9 9 のポリシリコン欠陥修復のための水素拡散を改善し得る。いくつかの態様では、誘電層 3 1 2 の上の誘電体領域などの機能構造を持たない領域に、1 つまたは複数の追加の開口部（図示せず）が形成される。追加の開口部は、アレイデバイス 3 0 0 を露出させることができる。必要に応じて、開口部 3 2 2 が製造されるときに、追加の開口部が形成されてもよい。追加の開口部は、追加のトレンチであってもよい。いくつかの態様では、追加の開口部は、開口部 3 2 2 の周囲および / または層スタック 3 4 6 またはアレイデバイス 3 8 0 の NAND メモリセルの周囲に配置される。必要に応じて、追加の開口部のいくつかを開口部 3 2 2 と合体させて、より大きな開口部を形成することができる。特定の態様では、追加の開口部のいくつかは、アレイデバイス 3 8 0 の誘電層 3 1 8、ドープ領域 3 1 1、層スタック 3 4 7、および誘電層 3 2 1 を貫通し、アレイデバイス 3 0 0 の誘電層 3 1 2 を部分的に貫通する。追加の開口部は、水素の拡散、品質、3 Dメモリデバイス 3 9 9 の収量をさらに改善し得る。追加の開口部には、水素拡散工程が完了した後に追加の誘電領域を形成するために、誘電体材料（窒化シリコンなど）が充填されている。追加の誘電体領域は上にあり、アレイデバイス 3 0 0 に接続することができる。

40

50

【 0 1 0 5 】

本開示の原理および実装は、本明細書において特定の態様を使用することによって説明されているが、態様の前述の説明は、本開示の理解を助けることのみを意図している。さらに、前述の異なる態様の特徴を組み合わせ、追加の態様を形成することができる。当業者は、本開示の思想に従って、特定の実装および適用範囲に変更を加えることができる。したがって、明細書の内容は、本開示に対する限定として解釈されるべきではない。

【符号の説明】

【 0 1 0 6 】

1 0 0、1 8 0、3 0 0、3 8 0	三次元 (3 D) アレイデバイス	
1 1 0、1 9 1、3 1 0	基板	10
1 1 1、3 1 1	ドープ領域	
1 1 7、1 2 5、1 8 7、1 8 8、1 9 3、1 9 4、1 9 5	接続パッド	
1 2 0、3 2 0	カバー層	
1 2 1、1 1 8、1 9 2、3 1 2、3 2 1、3 1 8	誘電層	
1 2 2、1 2 3、3 2 2	開口部	
1 2 4、1 7 4、1 7 6、1 8 4、3 7 4、3 7 6、3 8 4	ビア	
1 2 6、1 4 5、1 7 5、1 8 5、3 1 5、3 1 6、3 7 5、3 8 5	導体層	
1 3 0、3 3 0	犠牲層	
1 3 1	半導体層	
1 4 0、1 4 6、3 4 0、3 4 6、3 4 7	層スタック	20
1 4 1	第 1 の誘電層	
1 4 2	第 2 の誘電層	
1 4 3	キャビティ	
1 5 0、3 5 0	チャンネルホール	
1 5 1、3 5 1	機能層	
1 5 2	ブロッキング層	
1 5 3	電荷トラップ層	
1 5 4	トンネル絶縁層	
1 5 5	チャンネル層	
1 5 6	酸化物材料	30
1 6 0、3 6 0	ゲート線スリット	
1 6 1、3 6 1	導電性材料	
1 6 2、3 6 2	導電プラグ	
1 7 1、1 8 1、3 7 1、3 7 2、3 7 3	ワード線コンタクト	
1 7 2、1 7 3、1 8 2、3 7 2、3 7 3、3 8 2	相互接続コンタクト	
1 7 7、1 7 8、1 7 9、3 7 7、3 7 8、3 7 9、3 8 8、3 9 3、3 9 4、3 9 5	接続コンタクト	
5	接続コンタクト	
1 9 0、3 9 0	周辺デバイス	
1 9 8、3 9 8	3 Dメモリ構造	
1 9 9、3 9 9	3 Dメモリデバイス	40
3 3 3	コンタクト領域	
3 4 1、3 4 2	交互スタック層	

【図面】

【図 1】

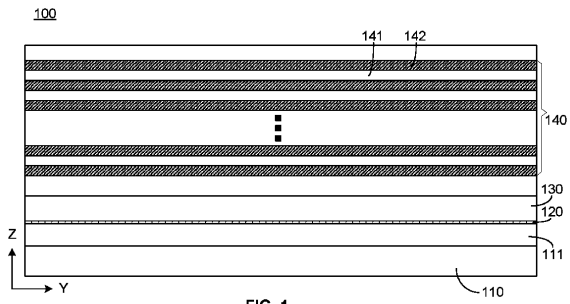


FIG. 1

【図 2】

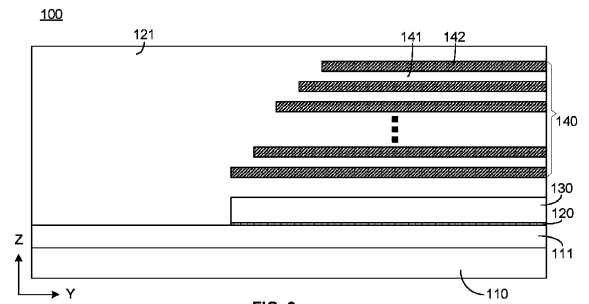


FIG. 2

【図 3】

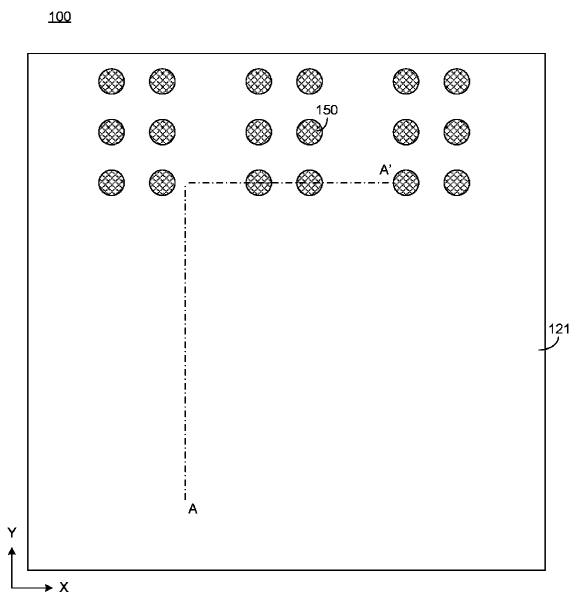


FIG. 3

【図 4】

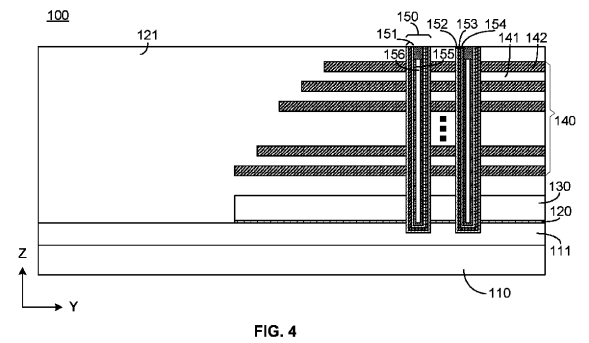


FIG. 4

10

20

30

40

50

【 5 】

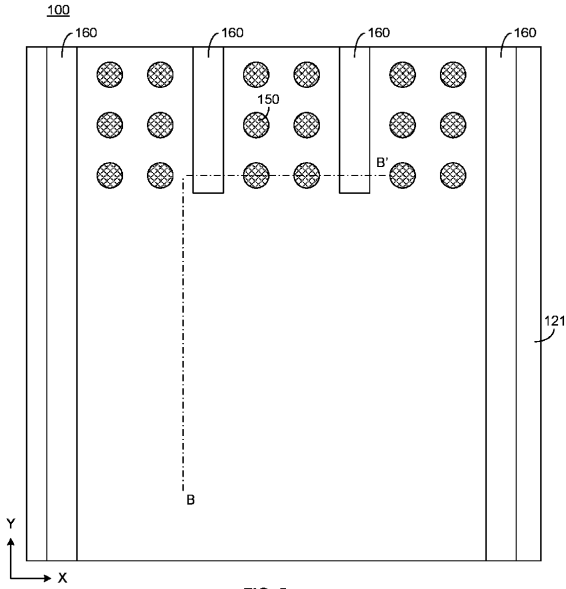


FIG. 5

【 6 】

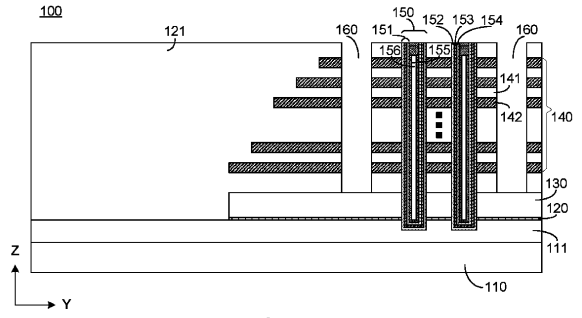


FIG. 6

10

【 7 】

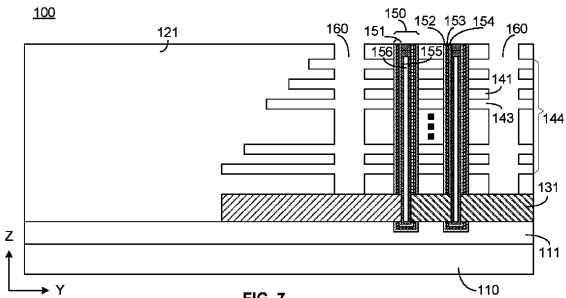


FIG. 7

【 8 】

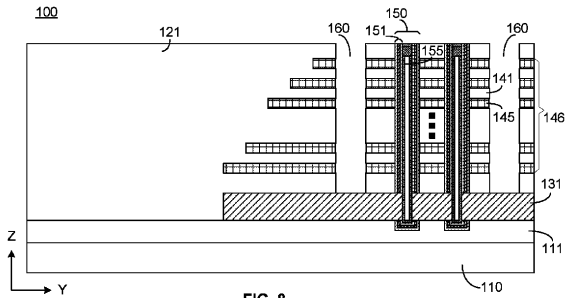


FIG. 8

20

30

40

50

【図 19】

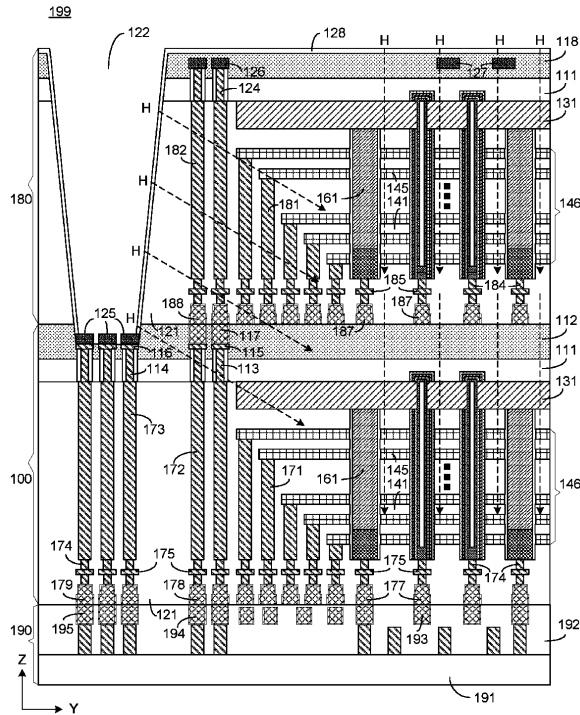
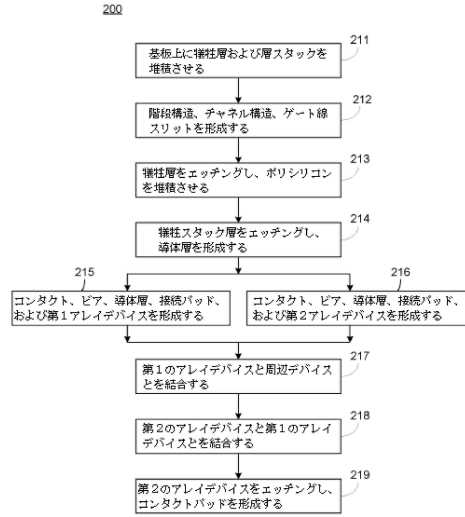


FIG. 19

【図 20】



10

20

【図 21】

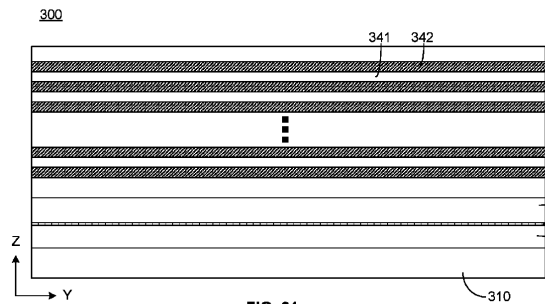


FIG. 21

【図 22】

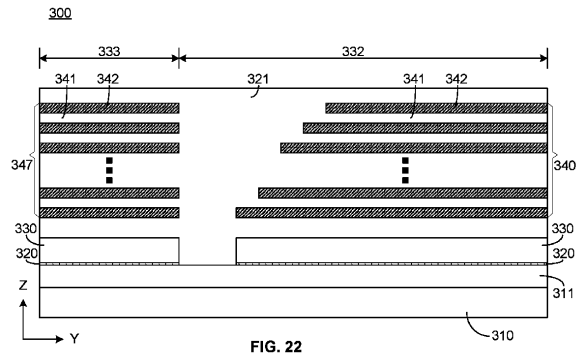


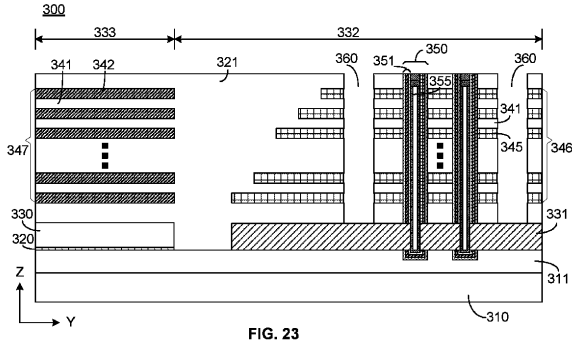
FIG. 22

30

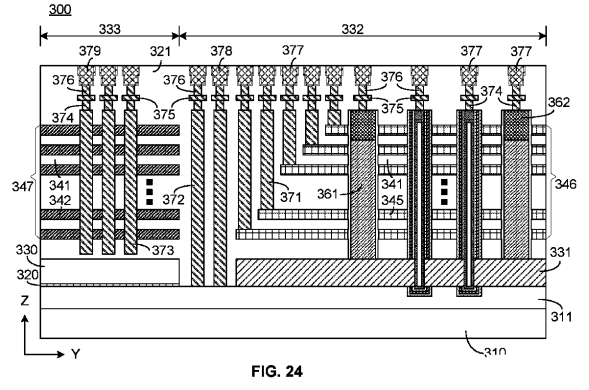
40

50

【 2 3 】

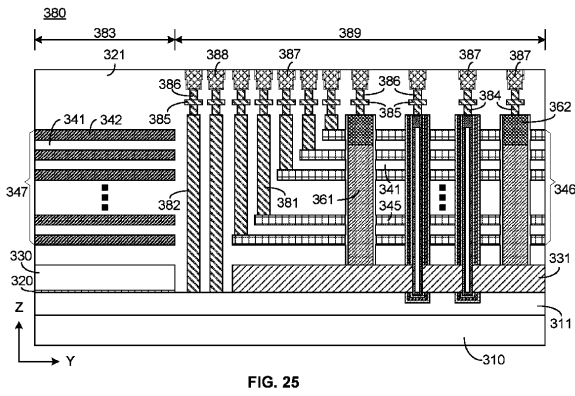


【 2 4 】

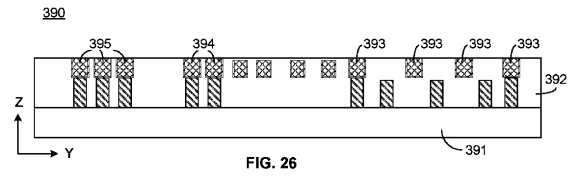


10

【 2 5 】



【 2 6 】



20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	29/788(2006.01)	H 0 1 L	27/092	F
H 0 1 L	29/792(2006.01)	H 0 1 L	27/092	G
H 0 1 L	21/8238(2006.01)	H 0 1 L	27/00	3 0 1 B
H 0 1 L	27/092(2006.01)			
H 0 1 L	27/00(2006.01)			

(74)代理人 100133400

弁理士 阿部 達彦

(72)発明者

ヘ・チェン

中華人民共和国・フーペイ・430223・ウーハン・イースト・レイク・ハイ・テック・デヴェ
ロップメント・ゾーン・ウェイライ・サード・ロード・ナンバー・88

(72)発明者

リアン・シャオ

中華人民共和国・フーペイ・430223・ウーハン・イースト・レイク・ハイ・テック・デヴェ
ロップメント・ゾーン・ウェイライ・サード・ロード・ナンバー・88

(72)発明者

ヨンチン・ワン

中華人民共和国・フーペイ・430223・ウーハン・イースト・レイク・ハイ・テック・デヴェ
ロップメント・ゾーン・ウェイライ・サード・ロード・ナンバー・88

(72)発明者

シュ・ウ

中華人民共和国・フーペイ・430223・ウーハン・イースト・レイク・ハイ・テック・デヴェ
ロップメント・ゾーン・ウェイライ・サード・ロード・ナンバー・88

審査官 宮本 博司

(56)参考文献

特開2018-152419(JP,A)

米国特許出願公開第2020/0058669(US,A1)

特開2014-022729(JP,A)

米国特許出願公開第2019/0221557(US,A1)

米国特許出願公開第2020/0266206(US,A1)

中国特許出願公開第110574162(CN,A)

米国特許第10283493(US,B1)

(58)調査した分野 (Int.Cl., DB名)

H10B 43/27

H10B 41/27

H10B 41/50

H10B 43/50

H01L 21/336

H01L 29/788

H01L 29/792

H01L 21/8238

H01L 27/092

H01L 27/00