



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I508044 B

(45)公告日：中華民國 104 (2015) 年 11 月 11 日

(21)申請案號：102123699

(22)申請日：中華民國 102 (2013) 年 07 月 02 日

(51)Int. Cl. : **G09G3/30 (2006.01)**

(30)優先權：2012/07/31 日本

2012-170306

(71)申請人：杰奧萊德股份有限公司 (日本) JOLED INC. (JP)

日本

(72)發明人：豐村直史 TOYOMURA, NAOBUMI (JP)；山下淳一 YAMASHITA, JUNICHI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 200703216A

TW 200941435A

US 2009/0195527A1

審查人員：林建宏

申請專利範圍項數：20 項 圖式數：22 共 81 頁

(54)名稱

顯示裝置及電子設備及顯示面板之驅動方法

DISPLAY DEVICE AND ELECTRONIC APPARATUS, AND DRIVING METHOD OF DISPLAY PANEL

(57)摘要

本發明揭示一種彩色顯示單元，其包含配置成矩陣形式之子像素。顯示像素係由跨多個子像素列集合在一起之多個子像素形成，一子像素用於顯示色彩之各者。形成驅動單元，其等包含連接至一共同電力供應線之多個顯示像素列。提供共同寫入掃描線，其中每個驅動單元之共同寫入掃描線數目等於包含於一顯示像素中之子像素之列數。各共同寫入掃描線連接至其各自驅動單元中之至少一給定色彩之每個像素。該等驅動單元係在一驅動-單元-掃描方向上循序驅動。在各個別驅動單元內，針對信號寫入操作在與該驅動-單元-掃描方向相反之一掃描方向上循序掃描該驅動單元之該等寫入掃描線。

A color display unit includes subpixels arranged in matrix form. Display pixels are formed from multiple subpixels, one for each of the display colors, grouped together across multiple subpixel rows. Drive units are formed including multiple rows of display pixels that are connected to a common power supply line. Common write scanning lines are provided, where the number of common write scanning lines per drive unit equals the number of rows of subpixels that are included in a display pixel. Each common write scanning line is connected to every pixel of at least one given color in its respective drive unit. The drive units are driven sequentially in a drive-unit-scanning direction. Within each individual drive unit, the write scanning lines thereof are scanned for the signal writing operation sequentially in a scanning direction opposite to the drive-unit-scanning direction.

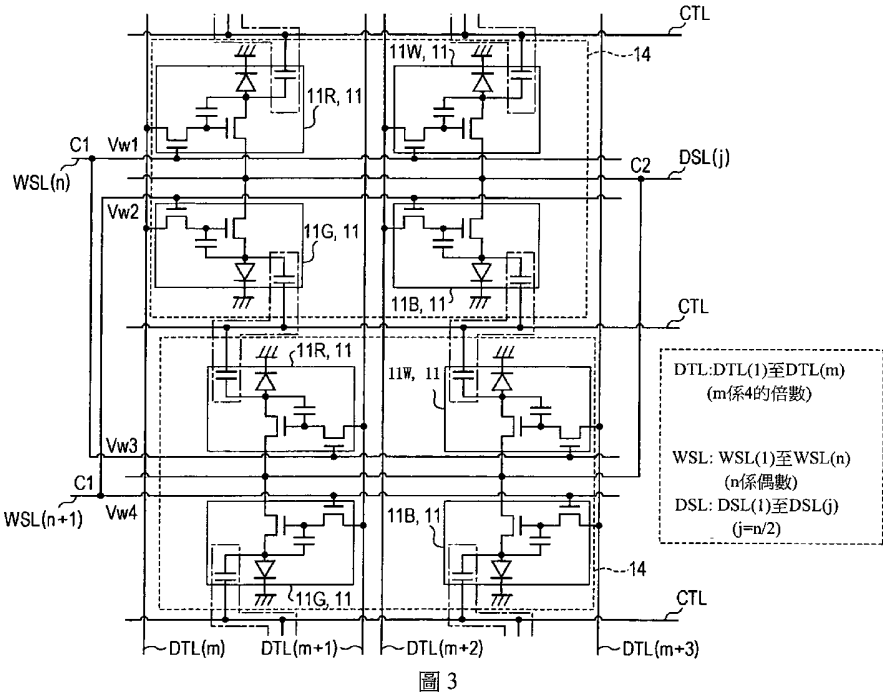


圖 3

- 11 . . . 像素
- 11B . . . 像素
- 11G . . . 像素
- 11R . . . 像素
- 11W . . . 像素
- 14 . . . 顯示像素
- C1 . . . 連接點
- C2 . . . 連接點
- CTL . . . 陰極線
- DSL(j) . . . 電源線
- DTL(m) . . . 信號線
- DTL(m+1) . . . 信號線
- DTL(m+2) . . . 信號線
- DTL(m+3) . . . 信號線
- Vw1 . . . 電壓波形
- Vw2 . . . 電壓波形
- Vw3 . . . 電壓波形
- Vw4 . . . 電壓波形
- WSL(n) . . . 掃描線
- WSL(n+1) . . . 掃描線

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

顯示裝置及電子設備及顯示面板之驅動方法

DISPLAY DEVICE AND ELECTRONIC APPARATUS, AND
DRIVING METHOD OF DISPLAY PANEL

【先前技術】

本發明係關於一種顯示裝置及一種電子設備(其等包含在各像素中具有發光元件(例如有機電致發光(EL)元件)之一顯示面板)以及一種此一顯示面板之驅動方法。

近年來，在顯示影像之顯示裝置之領域中，已開發且商業化一種使用電流驅動型發光元件(例如發射光之照度根據運行電流值改變之有機EL元件)作為像素之發光元件之顯示裝置。此一有機EL元件係不同於一液晶元件之一自發光元件。因此，使用有機EL元件之一顯示裝置(有機EL顯示裝置)無需一光源(背光)，且因此與具有一光源之一液晶顯示裝置相比，該裝置可進一步薄化且展現更高照度。

同時，一有機EL元件之一電流-電壓(I-V)特性通常隨著時間逝去而劣化(時間降級)。在驅動一有機EL元件之一電流之一像素電路中，當有機EL元件之I-V特性根據時間改變時，有機EL元件與串聯連接至有機EL元件之一驅動電晶體之間之一分壓比改變，且因此驅動電晶體之閘極源極之間之一電壓亦改變。因此，因為在驅動電晶體中流動之一電流之值改變，所以在有機EL元件中流動之一電流之值亦改變，且因此發射光之照度亦根據電流值而改變。

此外，存在以下情況：一驅動電晶體之一臨限電壓(V_{th})及移動程度(μ)隨著時間逝去而變化，或 V_{th} 及 μ 歸因於製造程序之不均勻而

展示根據像素電路之不同值。當一驅動電晶體之 V_{th} 及 μ 展示根據像素電路之不同值時，在驅動電晶體中流動之一電流之值根據像素電路而不均勻，且因此即使施加相同電壓至驅動電晶體之閘極，一有機EL元件之發射光之照度亦不均勻，且因此螢幕之均勻性(均勻度)有缺陷。

因此，即使當一有機EL元件之I-V特性隨著時間逝去而變化或一驅動電晶體之 V_{th} 及 μ 隨著時間逝去而變化時，為恆定地維持一有機EL元件之發射光之照度而不受此等變化影響，已開發出一種併有用於一有機EL元件之I-V特性之變動之一補償功能及用於一驅動電晶體之 V_{th} 及 μ 之變動之一校正功能之顯示裝置(例如，日本未審查專利申請公開案第2008-083272號)。

【發明內容】

同時，為了內插保持一驅動電晶體之閘極源極之間的電壓之保持電容器，將一輔助電容器連接至該驅動電晶體之一源極。在此情況下，存在與其他像素共用具有一恆定電壓之連接至輔助電容器之一端之一佈線(恆定電壓線)之情況。然而在此一情況中，當驅動彼此共用該恆定電壓線之複數個像素中之一像素時，驅動之影響經由該恆定電壓線傳播至另一像素，且藉此該像素中之驅動電晶體之源極電壓波動。因此，該像素中之驅動電晶體之閘極電壓根據源極電壓之波動而波動。

當以此方式發生複數個像素之間之耦合時，閘極電壓之波動根據受該耦合影響之像素中之源極電壓之波動而變化。當在校正一驅動電晶體之 μ 變動之後發生耦合時，該驅動電晶體之閘極源極之間的電壓與耦合之前的值相比變化較小。然而，當在校正一驅動電晶體之 μ 變動之前發生耦合時，該驅動電晶體之閘極源極之間的電壓變得小於耦合之前之值，且發射光之照度藉此變得更低。因此，當混合其中一

驅動電晶體之閘極源極之間的電壓與耦合之前的電壓值相比變化較小之像素及其中一驅動電晶體之閘極源極之間的電壓變得低於耦合之前的電壓值之像素時，存在以下問題：發射光之照度之變化傾向不同，藉此引起照度不均勻。

可期望本技術提供一種顯示裝置及一種電子裝置(其等可減小由耦合引起的照度不均勻)以及一種顯示面板之驅動方法，該驅動方法可減小由耦合引起的照度不均勻。

根據本發明之標的之一例示性圖解之一態樣，一顯示單元可包含：複數個像素電路，其等佈置成包括列及行之一矩陣形式，該複數個像素電路之各者包含一顯示元件、一第一電晶體、一電容器及一第二電晶體；複數個寫入掃描線，其等各連接至該複數個像素電路之一各自對應列；複數個信號線，其等各連接至該複數個像素電路之一各自對應行；複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列；及一驅動控制區段。該複數個像素電路可被分組成各包括連接至一對應單元電力供應線之像素電路之 $K \geq 4$ 個鄰接列之驅動單元，該單元電力供應線係由組態為一共同線之複數個電力供應線之 $K/2$ 個電力供應線構成。該等驅動單元之各者可包含各包括組態為一共同線之複數個寫入掃描線之 $M \geq 2$ 個寫入掃描線之 $L \geq 2$ 個單元寫入掃描線，其中 $K = L \cdot M$ 。該驅動控制區段可經組態以引起用於一信號寫入操作之一寫入掃描脈衝依在不同於其中驅動該等驅動單元發光之一順序進展之一方向之一方向上進展之一順序循序地施加至該等驅動單元之一給定者之單元寫入掃描線。

進一步言之，在上述例示性圖解中，該複數個像素電路之各者可對應於 N 種顯示色彩之一者，且該複數個像素電路可被分組成各包括分別對應於該 N 種顯示色彩之該複數個像素電路之 N 個像素電路之顯示像素單元，該 N 個像素電路鄰接地佈置在 $M \leq N$ 個鄰接列中。

進一步言之，在上述例示性圖解中，各單元寫入掃描線可對應於該等顯示色彩之至少一者，並連接至對應於各自單元寫入掃描線所對應之顯示色彩之任一者且包含在各自單元寫入掃描線所屬之驅動單元中之所有像素電路。

進一步言之，在上述例示性圖解中，對於該複數個像素電路之各者：第一電晶體可經組態以在施加一掃描脈衝至該複數個寫入掃描線中連接至該第一電晶體之寫入掃描線時取樣該複數個信號線之一者上所攜載之一電位，具有一第一端子之電容器可保持藉由該第一電晶體取樣之電位，且第二電晶體可經組態以將一驅動電流供應給顯示元件，該驅動電流之量值對應於該電容器之該第一端子與該電容器之一第二端子之間之一電壓。

進一步言之，在上述例示性圖解中，可依自最接近顯示單元之一第一側之一第一驅動單元進展至最接近顯示單元與第一側相對之一第二側之一最後驅動單元之一順序循序驅動該等驅動單元，且可依自該等驅動單元之該給定者之一最後單元寫入掃描線進展至該等驅動單元之該給定者之一第一單元寫入掃描線之一順序循序施加寫入掃描脈衝至該等驅動單元之該給定者之單元寫入掃描線，該等驅動單元之該給定者之該最後單元寫入掃描線包含該等驅動單元之該給定者之該複數個寫入掃描線中最接近該顯示單元之第二側之寫入掃描線，且該等驅動單元之該給定者之該第一單元寫入掃描線包含該等驅動單元之該給定者之該複數個寫入掃描線中最接近該顯示單元之第一側之寫入掃描線。

進一步言之，在上述例示性圖解中，該驅動控制區段可經組態以藉由控制該複數個寫入掃描線、該複數個信號線及該複數個電力供應線之驅動而引起該複數個像素電路顯示對應於輸入影像資料之影像圖框，該複數個像素電路可經組態以在該驅動控制區段的控制下執行

一臨限值校正操作，該臨限值校正操作導致將該複數個像素電路之各自像素電路之第二電晶體之一臨限電壓儲存在該複數個像素電路之各自像素電路之電容器中。該驅動控制區段亦可經組態以引起包含於該等驅動單元之給定者中之複數個像素電路之各者在一給定影像圖框週期期間同時執行臨限值校正操作。

進一步言之，在上述例示性圖解中，該驅動控制區段可經組態以藉由在連接至包含於該等驅動單元之給定者中之複數個像素電路之各者之信號線上攜載一參考電位且施加一驅動電壓至各自像素電路之第二電晶體時引起各自像素電路之第一電晶體處於一導電狀態而引起各自像素電路執行臨限值校正操作。

進一步言之，在上述例示性圖解中，對於該複數個像素電路之一給定者，信號寫入操作可包含藉由在施加一視訊信號電位至連接至該複數個像素電路之該給定者之信號線時將該複數個像素電路之該給定者之第一電晶體置於一導電狀態中而引起該複數個像素電路之該給定者取樣一視訊信號電位。

進一步言之，在上述例示性圖解中， N 可等於4， M 可等於2， K 可等於8，且顯示色彩可包括紅色、綠色及藍色。

進一步言之，在上述例示性圖解中，顯示色彩可進一步包括白色。

進一步言之，在上述例示性圖解中，顯示色彩可進一步包括黃色。

根據本發明之標的之一第二例示性圖解之一態樣，一種顯示單元可包括：複數個像素電路，其等佈置成包括列及行之一矩陣形式，該複數個像素電路之各者包含一顯示元件、一第一電晶體、一電容器及一第二電晶體；複數個寫入掃描線，其等各連接至該複數個像素電路之一各自對應列；複數個信號線，其等各連接至該複數個像素電路

之一各自對應行；複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列；及一驅動控制區段。該複數個像素電路可被分組成各包括連接至一對應單元電力供應線之像素電路之4個鄰接列之驅動單元，該單元電力供應線係由組態為一共同線之該複數個電力供應線之兩者構成。該等驅動單元之各者可包含各包括組態為一共同線之該複數個寫入掃描線之兩者之兩個單元寫入掃描線，且該驅動控制區段經組態以引起用於一信號寫入操作之一寫入掃描脈衝依在不同於其中驅動該等驅動單元發光之一順序進展之一方向之一方向上進展之一順序循序地施加至該等驅動單元之一給定者之單元寫入掃描線。

進一步言之，在上述例示性圖解中，該複數個像素電路之各者可對應於四種顯示色彩之一者，且該複數個像素電路被分組成各包括鄰接地佈置在兩個相鄰列中且分別對應於該四種顯示色彩之該複數個像素電路之四者之顯示像素單元。

進一步言之，在上述例示性圖解中，各單元寫入掃描線可對應於該等顯示色彩之兩者，並連接至對應於各自單元寫入掃描線所對應之顯示色彩之任一者且包含在各自單元寫入掃描線所屬之驅動單元中之所有像素電路。

進一步言之，在上述例示性圖解中，對於該複數個像素電路之各者：第一電晶體可經組態以在施加一掃描脈衝至該複數個寫入掃描線中連接至該第一電晶體之寫入掃描線時取樣該複數個信號線之一者上攜載之一電位，具有一第一端子之電容器可經組態以保持藉由該第一電晶體取樣之電位，且第二電晶體可經組態以供應一驅動電流給顯示元件，該驅動電流之量值對應於該電容器之第一端子與該電容器之一第二端子之間之一電壓。

進一步言之，在上述例示性圖解中，可依自最接近顯示單元之

一第一側之一第一驅動單元進展至最接近顯示單元與該第一側相對之一第二側之一最後驅動單元之一順序單元循序驅動該等驅動單元，且可依自該等驅動單元之給定者之一最後單元寫入掃描線進展至該等驅動單元之給定者之一第一單元寫入掃描線之一順序循序施加寫入掃描脈衝至該等驅動單元之給定者之單元寫入掃描線，該等驅動單元之給定者之該最後單元寫入掃描線包含該等驅動單元之該給定者之複數個寫入掃描線中最接近顯示單元之第二側之寫入掃描線，且該等驅動單元之該給定者之該第一單元寫入掃描線包含該等驅動單元之該給定者之複數個寫入掃描線中最接近顯示單元之第一側之寫入掃描線。

進一步言之，在上述例示性圖解中，該驅動控制區段可經組態以藉由控制該複數個寫入掃描線、該複數個信號線及該複數個電力供應線之驅動而引起該複數個像素電路顯示對應於輸入影像資料之影像圖框，該複數個像素電路可經組態以在該驅動控制區段的控制下執行一臨限值校正操作，該臨限值校正操作導致將該複數個像素電路之各自像素電路之第二電晶體之一臨限電壓儲存在該複數個像素電路之各自像素電路之電容器中，且該驅動控制區段可經組態以引起包含於該等驅動單元之給定者中之複數個像素電路之各者在一給定影像圖框週期期間同時執行臨限值校正操作。

進一步言之，在上述例示性圖解中，驅動控制區段可經組態以藉由在連接至包含於該等驅動單元之給定者中之複數個像素電路之各者之信號線上攜載一參考電位且施加一驅動電壓至各自像素電路之第二電晶體時引起各自像素電路之第一電晶體處於一導電狀態而引起各自像素電路執行臨限值校正操作。

進一步言之，在上述例示性圖解中，對於該複數個像素電路之一給定者，信號寫入操作可包括藉由在施加一視訊信號電位至連接至該複數個像素電路之該給定者之信號線時將該複數個像素電路之該給

定者之第一電晶體置於一導電狀態中而引起該複數個像素電路之該給定者取樣一視訊信號電位。

根據該標的之一第三例示性圖解之一態樣，一種驅動一顯示單元之方法可包括：引起驅動單元依在一給定方向上進展之一順序循序發光；及引起用於一信號寫入操作之一寫入掃描脈衝依在不同於該給定方向之一方向上進展之一順序循序施加至該等驅動單元之一給定者之單元寫入掃描線。該顯示單元可包括：複數個像素電路，其等佈置成包括列及行之一矩陣形式，且該複數個像素電路之各者包含一顯示元件、一第一電晶體、一電容器及一第二電晶體；複數個寫入掃描線，其等各連接至該複數個像素電路之一各自對應列；複數個信號線，其等各連接至該複數個像素電路之一各自對應行；及複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列。該等驅動單元之各者可包括連接至一相同單元電力供應線之像素電路之 $K \geq 4$ 個鄰接列，該單元電力供應線係由組態為一共同線之該複數個電力供應線之 $K/2$ 個電力供應線構成。該等驅動單元之各者可包含 $L \geq 2$ 個單元寫入掃描線，其等各包括組態為一共同線之該複數個寫入掃描線之 $M \geq 2$ 個寫入掃描線，其中 $K = L \cdot M$ 。

【圖式簡單說明】

圖1係根據本發明之一實施例之一顯示裝置之一示意組態圖；

圖2係展示各像素(子像素)之一電路組態之一實例之一圖；

圖3係展示在列方向上彼此相鄰之兩個顯示像素之一電路組態之一實例之一圖；

圖4係展示在列方向上彼此相鄰之兩個顯示像素之一電路組態之另一實例之一圖；

圖5係展示施加至圖3及圖4之DTL之一電壓之一實例之一圖；

圖6係展示當聚焦在列方向上彼此相鄰之兩個單元時施加至各像

素(子像素)列之一選定脈衝之一時間變化之一實例之一波形圖；

圖7係展示當聚焦一像素(子像素)時施加至WSL、DSL及DTL之一電壓、一閘極電壓及一源極電壓之時間變化之一實例之一波形圖；

圖8係展示當聚焦在列方向上彼此相鄰之兩個單元時施加至WSL、DSL及DTL之電壓之一時間變化之一實例之一波形圖；

圖9係用於描述對應於圖6之由A包圍之兩個WSL之兩個像素之間的耦合之一波形圖；

圖10係用於描述對應於圖6之由B包圍之2個WSL之兩個像素之間的耦合之一波形圖；

圖11係展示根據一比較實例之一顯示面板中之各像素之一電路組態之一實例之一圖；

圖12係展示當將在列方向上彼此相鄰之兩個像素聚焦於具有圖11之佈局之一顯示裝置中時施加至WSL、DSL及一DTL之電壓之一時間變化之一實例之一波形圖；

圖13係展示當將在列方向上彼此相鄰之兩個像素聚焦於具有圖11之佈局之一顯示裝置中時施加至WSL、DSL及一DTL之電壓之一時間變化之另一實例之一波形圖；

圖14係展示由一驅動集束(drive bundle)引起的照度不均勻之一實例之一圖；

圖15係展示當在具有圖3及圖4之佈局之一顯示裝置中聚焦在列方向上彼此相鄰之兩個單元時施加至WSL、DSL及一DTL之電壓之一時間變化之一比較實例之一波形圖；

圖16係展示針對WSL之各分支之圖15之波形之一波形圖；

圖17係用於描述對應於圖16之由D包圍之兩個WSL之兩個像素之間的耦合之一波形圖；

圖18係展示根據上述實施例之一發光裝置之應用實例1之外觀之

一透視圖；

圖19A係展示如自前側觀察之應用實例2之外觀之一透視圖；

圖19B係展示如自後側觀察之應用實例2之外觀之一透視圖；

圖20係展示應用實例3之外觀之一透視圖；

圖21係展示應用實例4之外觀之一透視圖；

圖22A係處於一敞開狀態之應用實例5之一正視圖；

圖22B係應用實例5之一側視圖；

圖22C係處於一閉合狀態之應用實例5之一正視圖；

圖22D係應用實例5之一左側視圖；

圖22E係應用實例5之一右側視圖；

圖22F係應用實例5之一俯視圖；及

圖22G係應用實例5之一仰視圖。

【實施方式】

在下文中，將參考圖式詳細地描述用於實施本技術之實施例。應注意，將依下列順序提供該等描述。

- 1.實施例(顯示裝置)
- 2.修改實例(顯示裝置)
- 3.應用實例(電子設備)

1.實施例

組態

圖1展示根據本技術之一實施例之一顯示裝置1之一示意組態。此顯示裝置1包含一顯示面板10及基於自外部輸入之一視訊信號20A及一同步信號20B驅動顯示面板10之一驅動電路20。驅動電路20具有(例如)一時序產生電路21、一視訊信號處理電路22、一信號線驅動電路23、一掃描線驅動電路24及一電源線驅動電路25。

顯示面板10

顯示面板10具有以一矩陣形狀佈置在顯示面板10之一顯示區域10A之整個面上方之複數個像素11。顯示面板10基於自外部輸入之視訊信號20A藉由使用驅動電路20對像素11之各者執行主動矩陣驅動來顯示影像。

圖2展示像素11之一電路組態之一實例。各像素11具有(例如)一像素電路12及一有機EL元件13。有機EL元件13經組態使得依序積層(例如)一陽極電極、一有機層及一陰極電極。有機EL元件13具有一元件電容器C_{oled}(未展示)。像素電路12係由(例如)一驅動電晶體Tr₁、一寫入電晶體Tr₂及一保持電容器C_s及一輔助電容器C_{sub}組成，且組態為2Tr₂C之一電路。

寫入電晶體Tr₂控制對應於一視訊信號之一信號電壓至驅動電晶體Tr₁之一閘極之施加。特定言之，寫入電晶體Tr₂對隨後描述之一信號線DTL之一電壓執行取樣，且對驅動電晶體Tr₁之閘極執行寫入。驅動電晶體Tr₁驅動有機EL元件13且串聯連接至有機EL元件13。驅動電晶體Tr₁根據藉由寫入電晶體Tr₂寫入之一電壓之強度控制在有機EL元件13中流動之一電流。保持電容器C_s保持該驅動電晶體Tr₁之閘極源極之間之一預定電壓。輔助電容器C_{sub}引起自驅動電晶體Tr₁供應之一些電流流入。應注意，像素電路12可經組態使得各種電容器及電晶體添加至上述2Tr₂C之電路，或可組態為不同於上述2Tr₂C之電路組態之一電路。

驅動電晶體Tr₁及寫入電晶體Tr₂係由(例如)一n通道MOS型薄膜電晶體(薄膜電晶體(TFT))形成。應注意，一TFT之類型並無特定限制，且可為(例如)一反交錯結構(所謂的底部閘極類型)，或可為一交錯結構(頂部閘極類型)。此外，驅動電晶體Tr₁及寫入電晶體Tr₂可由一p通道MOS型TFT形成。

顯示面板10具有在一列方向上延伸之複數個掃描線WSL、在一

行方向上延伸之複數個信號線DTL、在該列方向上延伸之複數個電源線DSL及在該列方向上延伸之複數個陰極線CTL(參考電壓線)。掃描線WSL係用於選擇像素11之各者。信號線DTL係用於供應根據視訊信號之信號電壓給像素11之各者。電源線DSL係用於供應驅動電流給像素11之各者。

像素11係設置在信號線DTL之各者與掃描線WSL之各者之交叉點附近。信號線DTL之各者係連接至隨後描述之信號線驅動電路23之一輸出端(未展示)及寫入電晶體Tr2之一源極或一汲極。掃描線WSL之各者係連接至隨後描述之掃描線驅動電路24之一輸出端(未展示)及寫入電晶體Tr2之一閘極。電源線DSL之各者係連接至輸出一固定電壓之電源之一輸出端(未展示)及驅動電晶體Tr1之一源極或一汲極。陰極線CTL係(例如)設置在顯示區域10A周圍且連接至具有一參考電壓之一部件之部件。

寫入電晶體Tr2之閘極係連接至一掃描線WSL。寫入電晶體Tr2之源極或汲極係連接至一信號線DTL，且寫入電晶體Tr2之一源極或一汲極中未連接至信號線DTL之端子係連接至驅動電晶體Tr1之閘極。驅動電晶體Tr1之源極或汲極係連接至一電源線DSL，且驅動電晶體Tr1之一源極或一汲極中未連接至電源線DSL之端子係連接至有機EL元件13之陽極。保持電容器Cs之一端係連接至驅動電晶體Tr1之閘極，且保持電容器Cs之另一端係連接至驅動電晶體Tr1之源極(圖2中之有機EL元件13側上之端子)。換言之，保持電容器Cs係插入在驅動電晶體Tr1之閘極源極之間。輔助電容器Csub之一端係連接至驅動電晶體Tr1之源極(圖2中之有機EL元件13側上之端子)，且輔助電容器Csub之另一端係連接至一陰極線CTL。

顯示面板10進一步具有如圖2中所示般連接至有機EL元件13之陰極之一接地線GND。接地線GND係電連接至具有一接地電位之一外

部電路(未展示)。接地線GND係(例如)形成於整個顯示區域10A上方之一片狀電極。應注意，接地線GND可為對應於像素列或像素行形成為簧片形狀之一條狀電極。顯示面板10進一步具有(例如)顯示區域10A之邊限中不顯示視訊之一框架區域。框架區域係藉由(例如)一阻光部件覆蓋。

圖3及圖4展示在行方向上彼此相鄰之兩個顯示像素14(隨後描述)中之電路組態之實例。圖3展示第 n 顯示像素列及第 $n+1$ 顯示像素列($1 \leq n < N$ ，且 N 係顯示像素列的總數(偶數))中之各顯示像素14之一電路組態之一實例。圖4展示第 $n+2$ 顯示像素列及第 $n+3$ 顯示像素列中之各顯示像素14之一電路組態之一實例。顯示像素列在本文中指代由佈置在列方向上之複數個顯示像素14形成之一線。另一方面，一像素列指代由佈置在列方向上之複數個像素11形成之一線，且對應於一子像素列。在下文中，為避免一像素列與一顯示像素列之間之混淆，將像素列稱為一子像素列。每個顯示像素列存在 L 個子像素列，其中 L 等於或大於2且等於或小於顯示色彩之數目。在本實施例中，每個顯示像素列存在兩個子像素列，但是其他組態當然亦在本發明之標的之範疇內。

第 n 顯示像素列及第 $n+2$ 顯示像素列中之顯示像素具有彼此類似之電路佈局，而第 $n+1$ 顯示像素列及一第 $n+3$ 顯示像素列中之顯示像素具有彼此類似之電路佈局。在下文中，為避免重複描述，將不會描述第 $n+2$ 顯示像素列及第 $n+3$ 顯示像素列中之各像素11之電路佈局。

像素11之各者對應於組成顯示面板10上之螢幕之一最小單元之一點。顯示面板10係一彩色顯示面板，且像素11對應於發射單色(例如，紅色、綠色、藍色、白色或類似色彩)之光之子像素。應注意，像素11可對應於發射單色(例如，紅色、綠色、藍色、黃色或類似色彩)之光之子像素。

在本實施例中，顯示像素14係由發射不同色彩之四個像素11組成，但是其他組態當然亦在本發明之標的之範疇內。換言之，發射光色彩之種類數目係4，且包含於各顯示像素14中之像素11之數目亦係4。包含於顯示像素14中之四個像素11係(例如)發射紅光之一像素11R、發射綠光之一像素11G、發射藍光之一像素11B及發射白光之一像素11W。在各顯示像素14中，四個像素11係佈置成一 2×2 矩陣，從而形成一所謂的內接十字式正方形(cross-in-square)配置(4個正方形)(即， $L=2$)。此外，在各顯示像素14中，四個像素11之配置相同。例如，如圖3中所示，像素11R係佈置在內接十字式正方形形狀之左上部分中，像素11G係佈置在內接十字式正方形形狀之左下部分中，像素11B係佈置在內接十字式正方形形狀之右下部分中，且像素11W係佈置在內接十字式正方形形狀之右上部分中。

顯示像素列被分組成各包含 k 個顯示像素列($k \geq 2$)之驅動單元。各驅動單元包含 L 個單元寫入掃描線WSL。包含於一驅動單元中之顯示像素列之數目(k)等於或高於2且等於或低於發射光色彩之種類數目。在此特定實施例中，各驅動單元中包含兩個單元寫入掃描線WSL及兩個顯示像素列(即， $L=2$ 且 $k=2$)。單元寫入掃描線WSL之總數等於顯示像素列之總數(其為 N)。應注意，圖3中的 n 係等於或大於1且等於或小於 N 之一正整數。圖3中的WSL(n)意謂一第 n (第 n 列)單元寫入掃描線WSL。

各單元寫入掃描線WSL係連接至其各自驅動單元中具有一特定發射光色彩之所有像素11。在此特定實施例中，在包含於一驅動單元中之兩個單元寫入掃描線WSL(n)及WSL($n+1$)中，單元寫入掃描線WSL(n)係連接至包含於該一驅動單元中之所有紅色像素11R及所有白色像素11W，且單元寫入掃描線WSL($n+1$)係連接至包含於該一驅動單元中之所有綠色像素11G及所有藍色像素11B。在位於一驅動單元

中之不同列中且在行方向上彼此相鄰之兩個顯示像素14中，具有由各掃描線WSL共用之兩種發射光色彩之像素11之發射光色彩之組合相同。

單元寫入掃描線WSL之各者(WSL(n)至WSL(n+3))係由組態為一共同線之複數個寫入掃描線(分支)組成，其中各單元寫入掃描線WSL包含的組成個別寫入掃描線(分支)之數目與包含於一驅動單元中之顯示像素列之數目相同(即， k 個分支)(在此特定實施例中，兩個分支(一第一佈線及一第二佈線))。各個別寫入掃描線(分支)被分配給一子像素列。在單個驅動單元中，一給定單元寫入掃描線WSL之分支係分別連接至包含於驅動單元中之顯示像素列之類似地定位之子像素列，使得一相同色彩之驅動單元中之各像素係連接至一相同單元寫入掃描線WSL。例如，在此特定實施例中，單元寫入掃描線WSL(n)之分支係連接至包含於驅動單元中之該兩個顯示像素列之上子像素列，而單元寫入掃描線WSL(n+1)之分支係連接至包含於驅動單元中之該兩個顯示像素列之下子像素列。在此特定實施例中，一給定單元寫入掃描線之各分支在顯示面板10內彼此連接。分支之連接點C1可在顯示區域10A內，或在顯示區域10A之邊限(框架區域)中。此外，如自顯示面板10之法線方向觀看，各單元寫入掃描線WSL之一部分與相同單元內之另一單元寫入掃描線WSL在某個點處交叉。各單元寫入掃描線WSL之分支橫越該內接十字式正方形配置之中心。寫入電晶體Tr2之一閘極電極14A係連接至單元寫入掃描線WSL之一分支。

將複數個單元電源線DSL之一者分配給一驅動單元。因此，包含於一驅動單元中之單元電源線DSL之數目係1。單元電源線DSL之總數係 $J(=N/k)$ 。在此特定實施例中， $k=2$ 且因此 $J=N/2$ ，對應於顯示像素列之總數的一半。應注意，圖3中的 J 係等於或大於1且等於或小於 $N/2$ 之一正整數，且圖3中的DSL(j)意謂第 j 電源線DSL。各單元電源線

DSL係連接至一驅動單元之所有像素11。特定言之，包含於一驅動單元中之一單元電源線DSL係連接至包含於該一驅動單元中之所有像素11 (11R、11G、11B及11W)。

此外，各單元電源線DSL係由組態為一共同線之複數個電源線(分支)組成，各單元電源線DSL包含k個組成個別電源線(分支)，即，數目與包含於一單元中之顯示像素列之數目相同(在此特定實施例中，兩個分支)。在此特定實施例中，單元電源線DSL之分支之各者(DSL(j)或(DSL(j+1)))係在顯示面板10內彼此連接。分支之一連接點C2可位於顯示區域10A內，或可在顯示區域10A之邊限(框架區域)內。藉由以此方式提供單元寫入掃描線WSL及單元電源線DSL中之分支，可加寬單元掃描線WSL之間的時間隔及單元電源線DSL之間的時間隔。因此，佈線佈局變得容易。一電源線DSL之各分支橫越內接十字式正方形配置之中心。

雖然在闡釋性實例中描述單元電源線DSL及單元寫入掃描線WSL之分支組態，但是本發明不限於該特定組態。特定言之，在本發明及隨附申請專利範圍中，當多個佈線依相同時序施加有相同電壓時，該等佈線係「組態為一共同線」。情況可能如此，例如這係因為佈線係彼此直接連接(如在上文論述之分支組態中)。然而，只要依相同時序施加相同電壓至「組態為一共同線」之多個佈線，該多個佈線不必彼此直接連接(即，雖然其等在實體上分離，然其等被有效地視為相同線)。例如，一驅動電路可經組態以依相同時序施加相同電壓至複數個佈線，在該情況中，該複數個佈線將「組態為一共同線」。

提供在一行方向上延伸之信號線DTL。每行子像素11之信號線DTL之數目與每驅動單元之顯示像素列之數目(k)相同。在本實施例中， $k=2$ ，且因此各行子像素11存在兩個信號線DTL。在一驅動單元內，各信號線DTL係連接至一顯示像素之對應於該信號線DTL之單行

中之所有像素11。因此，在本實施例中，如圖3中所示，信號線DTL(m)係連接至第一顯示像素之第一行像素11中之兩個像素11，信號線DTL(m+1)係連接至第二顯示像素之第一行像素11中之兩個像素11，信號線DTL(m+2)係連接至第一顯示像素之第二行像素11中之兩個像素11，且信號線DTL(m+3)係連接至第二顯示像素之第二行像素11中之兩個像素11。在圖3之實例中，將複數個信號線DTL之兩者分配給各顯示像素列中之各顯示像素14。在分配給各顯示像素列中之各顯示像素14之兩個信號線DTL中，一信號線DTL係連接至具有兩種發射光色彩且並不共用相同的單元寫入掃描線WSL之像素11，且另一信號線DTL係連接至具有剩餘兩種發射光色彩之像素11。在下文中，上述連接之實施例將集中描述包含於第n顯示像素列及第n+1顯示像素列中之複數個顯示像素14當中在行方向上彼此相鄰之兩個顯示像素14。應注意，上述該兩個顯示像素14對應於在一驅動單元內彼此不同的顯示像素列中且在行方向上彼此相鄰之兩個顯示像素14。

該兩個顯示像素14中包含於第n顯示像素列中之顯示像素14經分配具有兩個信號線DTL(m)及DTL(m+2)。此外，該兩個顯示像素14中包含於第n+1顯示像素列中之顯示像素14經分配具有兩個信號線DTL(m+1)及DTL(m+3)。換言之，對於在一驅動單元內彼此不同顯示像素列中且在行方向上彼此相鄰之兩個顯示像素14，將偶數行中之兩個信號線DTL(m)及DTL(m+2)分配給一顯示像素14，且將奇數行中之兩個信號線DTL(m+1)及DTL(m+3)分配給另一顯示像素14。因此，將信號線DTL之總數抑制至最小值。

將複數個信號線DTL之四者分配給在行方向上彼此相鄰之每兩個顯示像素14。因此，信號線DTL之總數係M，其中 $M = k \cdot C$ 且C係子像素電路之總行數。在圖3中，m係等於或大於1且等於或小於M-4之一正整數，且當其不等於1時係等效於[4的倍數+1]之一數字。因此，圖

3中的DTL(m)意謂第m信號線DTL。例如，將四個信號線DTL(m)、DTL(m+1)、DTL(m+2)及DTL(m+3)分配給在行方向上彼此相鄰之兩個顯示像素14。在列方向上依序佈置該四個信號線DTL(m)、DTL(m+1)、DTL(m+2)及DTL(m+3)。在各顯示像素14中，在列方向上將四個像素11中左側上的兩個像素11插置於信號線DTL(m)與信號線DTL(m+1)之間。此外，在各顯示像素14中，在列方向上將四個像素11中右側上的兩個像素11插置於信號線DTL(m+2)與信號線DTL(m+3)之間。

此外，在一驅動單元內之不同顯示像素列中且在行方向上彼此相鄰之兩個顯示像素14中，在兩個共用信號線DTL之間佈置具有相同的發射光色彩之兩個像素11。特定言之，在一驅動單元內之不同顯示像素列中且在行方向上彼此相鄰之兩個顯示像素14中，在兩個信號線DTL(m)與DTL(m+1)之間佈置兩個像素11R。以相同方式，在一驅動單元內之不同顯示像素列中且在行方向上彼此相鄰之兩個顯示像素14中，在兩個信號線DTL(m)與DTL(m+1)之間佈置兩個像素11G。此外，在一單元內之不同顯示像素列中且在行方向上彼此相鄰之兩個顯示像素14中，在兩個信號線DTL(m+2)與DTL(m+3)之間佈置兩個像素11B。此外，在一驅動單元內之不同顯示像素列中且在行方向上彼此相鄰之兩個顯示像素14中，在兩個信號線DTL(m+2)與DTL(m+3)之間佈置兩個像素11W。

上述該兩個信號線DTL(m)及DTL(m+2)係連接至具有兩種發射光色彩但未共用一掃描線WSL之像素11。特定言之，信號線DTL(m)係連接至具有兩種發射光色彩而未共用一掃描線WSL之像素11R及11G，且信號線DTL(m+2)係連接至具有兩種發射光色彩而未共用一掃描線WSL之像素11B及11W。此外，將兩個信號線DTL(m+1)及DTL(m+3)分配給該兩個顯示像素14中包含於第n+1顯示像素列中之一

顯示像素14。該兩個信號線DTL(m+1)及DTL(m+3)係連接至具有兩種發射光色彩而未共用一掃描線WSL之像素11。特定言之，信號線DTL(m+1)係連接至具有兩種發射光色彩而未共用一掃描線WSL之像素11R及11G，且信號線DTL(m+3)係連接至具有剩餘兩種發射光色彩之像素11B及11W。

將複數個陰極線CTL之一者分配給每兩個子像素列。特定言之，將複數個陰極線CTL之一者分配給在行方向上彼此相鄰且在彼此不同的顯示像素列中之每兩個子像素列。例如，如圖3中所示，像素11G(其係第n顯示像素列之下部中之一子像素)及像素11R(其係第n+1顯示像素列之上部中之一子像素)係連接至一共用陰極線CTL。以相同方式，例如，像素11G(其係第n+1顯示像素列之下部中之一子像素)及像素11R(其係第n+2顯示像素列之上部中之一子像素)係連接至一共用陰極線CTL。此外，如圖3中所示，例如，像素11B(其係第n顯示像素列之下部中之一子像素)及像素11W(其係第n+1顯示像素列之上部中之一子像素)係連接至共用陰極線CTL。以相同方式，例如，像素11B(其係第n+1顯示像素列之下部中之一子像素)及像素11W(其係第n+2顯示像素列之上部中之一子像素)係連接至共用陰極線CTL。

各陰極線CTL係連接至包含於兩個分配的子像素列中之所有輔助電容器Csub。例如，如圖3中所示，包含於第n顯示像素列之下部中之子像素列中之所有像素11G及11B之輔助電容器Csub及包含於第n+1顯示像素列之上部中之一子像素列中之所有像素11R及11W之輔助電容器Csub係連接至一共用陰極線CTL。以相同方式，例如，如圖3及圖4中所示，包含於第n+1顯示像素列之下部中之一子像素列中之所有像素11G及11B之輔助電容器Csub及包含於第n+2顯示像素列之上部中之子像素列中之所有像素11R及11W之輔助電容器Csub係連接至一共用陰極線CTL。

驅動電路20

接著，將描述驅動電路20。如上所述，驅動電路20具有(例如)時序產生電路21、視訊信號處理電路22、信號線驅動電路23、掃描線驅動電路24及電源線驅動電路25。時序產生電路21控制使得驅動電路20中之電路之各者彼此結合操作。時序產生電路21引起上述電路根據自外部輸入之同步信號20B(與同步信號20B同步)輸出控制信號21A。

視訊信號處理電路22對(例如)自外部輸入之數位視訊信號20A執行預定校正，且將自預定校正獲得之視訊信號22A輸出至信號線驅動電路23。例如，將伽馬校正、過驅動校正等等例示為預定校正。

信號線驅動電路23根據(例如)控制信號21A之輸入(與控制信號21A之輸入同步)施加對應於自視訊信號處理電路22輸入之視訊信號22A之一類比信號電壓至各信號線DTL。信號線驅動電路23可輸出(例如)兩種電壓(V_{ofs} 及 V_{sig})。特定言之，信號線驅動電路23經由信號線DTL將該兩種電壓供應給由掃描線驅動電路24選擇之像素11。

圖5展示根據單元寫入掃描線WSL之掃描依序施加至四個信號線DTL(DTL(m)、DTL(m+1)、DTL(m+2)及DTL(m+3))(其等連接至在行方向上配置於彼此相鄰之兩個驅動單元中之四個顯示像素)之信號電壓 $V(n)$ 、 $V(n+1)$ 、 $V(n+2)$ 及 $V(n+3)$ 之一實例。信號線驅動電路23經設計以回應於單元寫入掃描線WSL(n)之選擇而輸出信號電壓 $V(n)$ ，且回應於單元寫入掃描線WSL(n+1)之選擇而輸出信號電壓 $V(n+1)$ 。以相同方式，信號線驅動電路23經設計以回應於單元寫入掃描線WSL(n+2)之選擇而輸出信號電壓 $V(n+2)$ ，且回應於單元寫入掃描線WSL(n+3)之選擇而輸出信號電壓 $V(n+3)$ 。此處，如隨後描述，掃描線驅動電路24經設計以在信號電壓之寫入期間依WSL(n+1)、WSL(n)、WSL(n+3)及WSL(n+2)之順序選擇單元寫入掃描線WSL。因此，信號線驅動電路23經設計以在信號電壓之寫入期間依 $V(n+1)$ 、

$V(n)$ 、 $V(n+3)$ 及 $V(n+2)$ 之順序輸出信號電壓 V_{sig} 。

例如，如圖5中所示，信號線驅動電路23經設計以經由偶數行中之信號線 $DTL(m)$ 及 $DTL(m+2)$ 將對應於第 n 顯示像素列之電壓 $V_{sig}(V_{sig}(n, m)$ 及 $V_{sig}(n, m+2))$ 供應給由掃描線驅動電路24同時選擇之複數個像素11中屬於第 n 顯示像素列之複數個像素11。此外，信號線驅動電路23經設計以經由奇數行中之信號線 $DTL(m+1)$ 及 $DTL(m+3)$ 將對應於第 $n+1$ 顯示像素列之電壓 $V_{sig}(V_{sig}(n+1, m+1)$ 及 $V_{sig}(n+1, m+3))$ 供應給由掃描線驅動電路24同時選擇之複數個像素11中屬於第 $n+1$ 顯示像素列之複數個像素11。

換言之，當在信號寫入期間選擇掃描線 $WSL(n)$ 時，信號線驅動電路23經設計以將對應於第 n 顯示像素列之電壓 $V_{sig}(n, m)$ 及 $V_{sig}(n, m+2)$ 輸出至偶數行中之信號線 $DTL(m)$ 及 $DTL(m+2)$ ，且同時將對應於第 $n+1$ 顯示像素列之電壓 $V_{sig}(n+1, m+1)$ 及 $V_{sig}(n+1, m+3)$ 輸出至奇數行中之信號線 $DTL(m+1)$ 及 $DTL(m+3)$ 。此外，當在信號寫入期間選擇掃描線 $WSL(n+1)$ 時，信號線驅動電路23經設計以將對應於第 $n+1$ 顯示像素列之電壓 $V_{sig}(n+1, m)$ 及 $V_{sig}(n+1, m+2)$ 輸出至偶數行中之信號線 $DTL(m)$ 及 $DTL(m+2)$ ，且同時將對應於第 n 顯示像素列之電壓 $V_{sig}(n, m+1)$ 及 $V_{sig}(n, m+3)$ 輸出至奇數行中之信號線 $DTL(m+1)$ 及 $DTL(m+3)$ 。應注意，信號線驅動電路23以與第 n 顯示像素列及第 $n+1$ 顯示像素列相同之方式相對於第 $n+2$ 顯示像素列及第 $n+3$ 顯示像素列施加電壓。

V_{sig} 係對應於視訊信號20A之一電壓值。 V_{ofs} 係與視訊信號20A無關之一恆定電壓。 V_{sig} 之最小電壓係低於 V_{ofs} 之一電壓值，且 V_{sig} 之最大電壓係高於 V_{ofs} 之一電壓值。

在由掃描線驅動電路24同時選擇之複數個像素11中，佈置在偶數號信號線 $DTL(m)$ 與奇數號信號線 $DTL(m+1)$ 之間的兩個像素11係具有

相同的發射光色彩之像素。以相同方式，在由掃描線驅動電路24同時選擇之複數個像素11中，佈置在偶數號信號線DTL(m+2)與奇數號信號線DTL(m+3)之間的兩個像素11亦係具有相同的發射光色彩之像素。因此，當選擇單元寫入掃描線WSL(n)時，信號線驅動電路23將對應於具有相同的發射光色彩之像素之電壓Vsig輸出至信號線DTL(m)及DTL(m+1)，且同時將對應於具有另一相同發射光色彩之像素之電壓Vsig輸出至信號線DTL(m+2)及DTL(m+3)。例如，當選擇單元寫入掃描線WSL(n)時，信號線驅動電路23將對應於像素11R之電壓Vsig輸出至信號線DTL(m)及DTL(m+1)，且同時將對應於像素11W之電壓Vsig輸出至信號線DTL(m+2)及DTL(m+3)。

掃描線驅動電路24藉由根據(例如)控制信號21A之輸入(與控制信號21A之輸入同步)以一預定序列選擇複數個掃描線WSL而依一所要順序執行Vth校正、一信號電壓Vsig之寫入及 μ 校正。此處，Vth校正指代其中使驅動電晶體Tr1之閘極源極之間之一電壓Vgs接近驅動電晶體之一臨限電壓之一校正操作。一信號電壓Vsig之寫入(信號寫入)指代其中經由寫入電晶體Tr2將一信號電壓Vsig寫入驅動電晶體Tr1之閘極中之一操作。 μ 校正指代其中根據驅動電晶體Tr1之移動程度 μ 之量值校正保持於驅動電晶體Tr1之閘極源極之間之電壓Vgs之一操作。可依不同時序執行信號寫入及 μ 校正。在本實施例中，掃描線驅動電路24藉由將一選定脈衝輸出至單元寫入掃描線WSL而同時(或以不暫停之一連續方式)執行信號寫入及 μ 校正。

同時，驅動電路20每次對一驅動單元執行Vth校正及信號寫入。特定言之，如圖6中所示，驅動電路20針對一第一驅動單元執行Vth校正及信號寫入，且接著針對在行方向上與第一驅動單元相鄰之一第二驅動單元執行Vth校正及信號寫入，以此類推。換言之，驅動電路20依循序順序針對各個別驅動單元單獨執行操作系列(Vth校正及信號寫

入)。

圖6展示施加至在行方向上彼此相鄰之兩個驅動單元內之子像素列之各者之一選定脈衝之一時間變化之一實例。在圖6中，Vw1係經提供對應於第n顯示像素列之上部中之子像素列之一單元寫入掃描線WSL(n)之一分支之一電壓波形。Vw2係經提供對應於第n顯示像素列之下部中之子像素列之單元寫入掃描線WSL(n+1)之一分支之一電壓波形。Vw3係經提供對應於第n+1顯示像素列之上部中之子像素列之一單元寫入掃描線WSL(n)之一分支之一電壓波形。Vw4係經提供對應於第n+1顯示像素列之下部中之子像素列之單元寫入掃描線WSL(n+1)之一分支之一電壓波形。Vw5係經提供對應於第n+2顯示像素列之上部中之子像素列之一單元寫入掃描線WSL(n+2)之一分支之一電壓波形。Vw6係經提供對應於第n+2顯示像素列之下部中之子像素列之單元寫入掃描線WSL(n+3)之一分支之一電壓波形。Vw7係經提供對應於第n+3顯示像素列之上部中之子像素列之一單元寫入掃描線WSL(n+2)之一分支之一電壓波形。Vw8係經提供對應於第n+3顯示像素列之下部中之子像素列之單元寫入掃描線WSL(n+3)之一分支之一電壓波形。應注意，隨後將描述圖6中由虛線包圍之A及B。

在Vth校正期間，掃描線驅動電路24經設計以同時(或在類似時間)選擇包含於一驅動單元中之所有單元寫入掃描線WSL。特定言之，掃描線驅動電路24經設計以在Vth校正期間同時(或在類似時間)選擇包含於一驅動單元中之兩個單元寫入掃描線WSL(n)及WSL(n+1)。換言之，掃描線驅動電路24經設計以在Vth校正期間同時(或在類似時間)選擇包含於第n顯示像素列之上部中之子像素列中之複數個像素11(例如，像素11R及11W)、包含於第n顯示像素列之下部中之子像素列中之複數個像素11(例如，像素11G及11B)、包含於第n+1顯示像素列之上部中之子像素列中之複數個像素11(例如，像素

11R及11W)及包含於第 $n+1$ 顯示像素列之下部中之子像素列中之複數個像素11(例如，像素11G及11B)。

此外，掃描線驅動電路24經設計以在一信號寫入操作期間依在與掃描驅動單元之掃描方向(在下文中，稱爲一「驅動單元掃描方向」)相反之一方向上進展之一順序選擇包含於一驅動單元中之複數個單元寫入掃描線WSL。驅動單元掃描方向係(例如)平行於自顯示面板10之上端側延伸至其下端側之方向之一方向。因此，掃描線驅動電路24對連接至第二佈線(下子像素列)之各像素11執行至一顯示像素列中之各像素11中之信號寫入，且接著對連接至第一佈線(上子像素列)之各像素11執行該操作。應注意，驅動單元掃描方向可爲平行於自顯示面板10之下端側延伸至其上端側之方向之一方向。在此情況中，雖然圖6中未展示，但是掃描線驅動電路24經設計以對連接至第一佈線之各像素11執行至一顯示像素列中之各像素11中之信號寫入，且接著對連接至第二佈線之各像素11執行該操作。

掃描線驅動電路24經設計以在信號寫入期間依單元寫入掃描線WSL($n+1$)及單元寫入掃描線WSL(n)之順序選擇包含於一驅動單元中之兩個單元寫入掃描線WSL(n)及WSL($n+1$)。因此，掃描線驅動電路24在信號寫入期間經由單元寫入掃描線WSL($n+1$)同時選擇包含於第 n 顯示像素列之下部中之子像素列中之複數個像素11及包含於第 $n+1$ 顯示像素列之下部中之子像素列中之複數個像素11，且接著經由單元寫入掃描線WSL(n)選擇包含於第 n 顯示像素列之上部中之子像素列中之複數個像素11及包含於第 $n+1$ 顯示像素列之上部中之子像素列中之複數個像素11。

掃描線驅動電路24可輸出(例如)兩種電壓(Von及Voff)。特定言之，掃描線驅動電路24經由單元寫入掃描線WSL將該兩種電壓(Von及Voff)供應給待驅動之像素11以控制寫入電晶體Tr2導通及關斷。本文

中的 V_{on} 具有等於或高於寫入電晶體 $Tr2$ 之一導通電壓之一值。 V_{on} 係在「 $-V_{th}$ 校正準備週期之第二半部分」、一「 V_{th} 校正週期」及一「信號寫入/ μ 校正週期」及隨後描述之類似週期中自掃描線驅動電路 24 輸出之一寫入脈衝之一峰值。 V_{off} 係低於寫入電晶體 $Tr2$ 之一導通電壓之一值，且亦係低於 V_{on} 之一值。 V_{off} 係在「 V_{th} 校正準備週期之第一半部分」、一「光發射週期」及隨後描述之類似週期中自掃描線驅動電路 24 輸出之一寫入脈衝之一峰值。

電源線驅動電路 25 根據(例如)控制信號 21A 之輸入(與控制信號 21A 之輸入同步)循序選擇預定驅動單元中之複數個電源線 DSL。電源線驅動電路 25 可輸出(例如)兩種電壓(V_{cc} 及 V_{ss})。電源線驅動電路 25 經設計以經由電源線 DSL 將該兩種電壓(V_{cc} 及 V_{ss})供應給包含由掃描線驅動電路 24 選擇之像素 11 之一整個驅動單元(換言之，包含於一驅動單元中之所有像素 11)。本文中的 V_{ss} 係低於藉由將有機 EL 元件 13 之一臨限電壓 V_{el} 加至有機 EL 元件 13 之一陰極電壓 V_{cath} 而獲得之一電壓 ($V_{el}+V_{cath}$) 之一電壓值。 V_{cc} 係等於或大於電壓 ($V_{el}+V_{cath}$) 之一電壓值。

操作

接著，將描述根據本實施例之顯示裝置 1 之一操作(自消光至光發射之一操作)。爲了即使在有機 EL 元件 13 之 I-V 特性或驅動電晶體 $Tr1$ 之一臨限電壓及移動程度展現時間變化時亦維持有機 EL 元件 13 之發射光之恆定照度而不受此等時間變化影響，在本實施例中併入針對有機 EL 元件 13 之 I-V 特性之變異之一補償操作及針對驅動電晶體 $Tr1$ 之臨限電壓及移動程度之變動之一校正操作。

圖 7 展示顯示裝置 1 中所展現之各種波形之一實例。圖 7 展示其中在一掃描線 WSL、一電源線 DSL 及一信號線 DTL 中展示每個瞬間的二進位電壓變化之一狀態。此外，圖 7 展示其中驅動電晶體 $Tr1$ 之一閘極

電壓 V_g 及一源極電壓 V_s 在每個瞬間根據掃描線 WSL、電源線 DSL 及信號線 DTL 之電壓變化而變化之一狀態。

V_{th} 校正準備週期

首先，驅動電路 20 準備其中使驅動電晶體 Tr_1 之閘極源極之間的電壓 V_{gs} 接近驅動電晶體 Tr_1 之臨限電壓之 V_{th} 校正。特定言之，當一掃描線 WSL 之一電壓係 V_{off} ，一信號線 DTL 之一電壓係 V_{ofs} 且一電源線 DSL 之一電壓係 V_{cc} 時(換言之，當有機 EL 元件 13 發光時)，電源線驅動電路 25 根據控制信號 21A 將電源線 DSL 之電壓自 V_{cc} 降低至 $V_{ss}(T1)$ 。接著，將源極電壓 V_s 降低至 V_{ss} ，且熄滅有機 EL 元件 13 之光。此刻，亦藉由經由保持電容器 C_s 之耦合降低閘極電壓 V_g 。

接著，當電源線 DSL 之電壓係 V_{ss} 且信號線 DTL 之電壓係 V_{ofs} 時，掃描線驅動電路 24 根據控制信號 21A 將掃描線 WSL 之電壓自 V_{off} 升高至 $V_{on}(T2)$ 。接著，將閘極電壓 V_g 降低至 V_{ofs} 。此刻，閘極電壓 V_g 與源極電壓 V_s 之間的電位差 V_{gs} 可低於、等於或大於驅動電晶體 Tr_1 之臨限電壓。

V_{th} 校正週期

接著，驅動電路 20 執行 V_{th} 校正。特定言之，當信號線 DTL 之電壓係 V_{ofs} 且掃描線 WSL 之電壓係 V_{on} 時，電源線驅動電路 25 根據控制信號 21A 將電源線 DSL 之電壓自 V_{ss} 升高至 $V_{cc}(T3)$ 。接著，一電流 I_{ds} 在驅動電晶體 Tr_1 之汲極源極之間流動，且藉此源極電壓 V_s 上升。此刻，當源極電壓 V_s 低於 $V_{ofs} - V_{th}$ 時(當 V_{th} 校正未完成時)，電流 I_{ds} 在驅動電晶體之汲極源極之間流動，直至驅動電晶體 Tr_1 處於一截止狀態(直至電位差 V_{gs} 達到 V_{th})。因此，閘極電壓 V_g 變為 V_{ofs} 且源極電壓 V_s 上升，且因此將保持電容器 C_s 充電至 V_{th} ，且藉此電位差 V_{gs} 變為 V_{th} 。

之後，在信號線驅動電路 23 根據控制信號 21A 將信號線 DTL 之電

壓自 V_{ofs} 切換至 V_{sig} 之前，掃描線驅動電路24根據控制信號21A將掃描線 WSL 之電壓自 V_{on} 降低至 $V_{off}(T4)$ 。接著，因為驅動電晶體 $Tr1$ 之閘極係處於一浮動狀態，所以無關於信號線 DTL 之電壓之量值，可使電位差 V_{gs} 維持為 V_{th} 。以此方式，藉由將電位差 V_{gs} 設定為 V_{th} ，即使當驅動電晶體 $Tr1$ 之臨限電壓 V_{th} 對於各像素電路12而言不均勻時，有機 EL 元件13之發射光之照度亦可無不均勻。

V_{th} 校正休止週期

之後，在 V_{th} 校正之一休止週期期間，信號線驅動電路23將信號線 DTL 之電壓自 V_{ofs} 切換至 V_{sig} 。

信號寫入/ μ 校正週期

在一 V_{th} 校正休止週期結束之後(換言之，在完成 V_{th} 校正之後)，驅動電路20根據一視訊信號20A執行一信號電壓之寫入及 μ 校正。特定言之，當信號線 DTL 之電壓變為 V_{sig} 且電源線 DSL 之電壓變為 V_{cc} 時，掃描線驅動電路24根據一控制信號21A將掃描線 WSL 之電壓自 V_{off} 升高至 $V_{on}(T5)$ ，使得驅動電晶體 $Tr1$ 之閘極連接至信號線 DTL。接著，驅動電晶體 $Tr1$ 之閘極電壓 V_g 變為信號線 DTL 之電壓 V_{sig} 。此刻，有機 EL 元件13之一陽極電壓在此狀態中仍低於有機 EL 元件13之一臨限電壓 V_{el} ，且有機 EL 元件13處於一截止狀態。因此，電流 I_{ds} 流入有機 EL 元件13之元件電容器 C_{oled} 及輔助電容器 C_{sub} 中以對元件電容器 C_{oled} 及輔助電容器 C_{sub} 充電，且因此源極電壓 V_s 升高 ΔV_s ，且接著電位差 V_{gs} 變為 $V_{sig} + V_{th} - \Delta V_s$ 。以此方式，在寫入的同時執行 μ 校正。此處，隨著驅動電晶體 $Tr1$ 之移動程度 μ 變大， ΔV_s 亦增加，且因此藉由在光發射之前將電位差 V_{gs} 減小 ΔV ，可消除各像素11之移動程度 μ 之不均勻。

光發射

最後，掃描線驅動電路24根據一控制信號21A將掃描線 WSL 之電

壓自 V_{on} 降低至 $V_{off}(T6)$ 。接著，驅動電晶體 $Tr1$ 之閘極處於一浮動狀態，且電流 I_{ds} 在驅動電晶體 $Tr1$ 之汲極源極之間流動，且源極電壓 V_s 藉此增加。因此，將等於或高於臨限電壓 V_{el} 之一電壓施加至有機 EL 元件 13，且有機 EL 元件 13 發射具有所要照度之光。

接著，將參考圖 7 及圖 8 描述根據本實施例之顯示裝置 1 中之 V_{th} 校正及信號寫入/ μ 校正之掃描之一實例。應注意，圖 8 展示在行方向上彼此相鄰之兩個驅動單元中之 V_{th} 校正及信號寫入/ μ 校正之掃描之一實例。

應注意，在下文中，將提供關於以下假設之描述：一驅動單元內之所有像素 11 被分為各連接掃描線 WSL 之群組。在本實施例中，將一驅動單元內之所有像素 11R 及所有像素 11W 假設為一群組，且將該驅動單元內之所有像素 11G 及所有像素 11B 假設為一群組。因此，在下文中，掃描線 WSL(n) 及 WSL(n+1) 所屬之一驅動單元中之所有像素 11R 及所有像素 11W 形成一第一群組，且該驅動單元中之所有像素 11G 及所有像素 11B 形成一第二群組。此外，掃描線 WSL(n+2) 及 WSL(n+3) 所屬之一驅動單元中之所有像素 11R 及所有像素 11W 形成一第三群組，且該驅動單元中之所有像素 11G 及所有像素 11B 形成一第四群組。

驅動電路 20 在類似時間對一驅動單元中之所有群組(第一群組及第二群組)執行 V_{th} 校正，且接著依群組順序對驅動單元中之所有群組(第一群組及第二群組)執行信號寫入。此刻，驅動電路 20 對包含佈置在一顯示像素列之下部中之像素 11 之第二群組執行信號寫入，且接著對包含佈置在顯示像素列之上部中之像素 11 之第一群組執行信號寫入。

之後，驅動電路 20 在類似時間對下一驅動單元中之所有群組(第三群組及第四群組)執行 V_{th} 校正，且接著依群組順序對驅動單元中之

所有群組(第三群組及第四群組)執行信號寫入。此刻，驅動電路20對包含佈置在一顯示像素列之下部中之像素11之第四群組執行信號寫入，且接著對包含佈置在顯示像素列之上部中之像素11之第三群組執行信號寫入。

此刻，驅動電路20在一水平週期(1H)內對一驅動單元執行 V_{th} 校正，且接著在下一水平週期(1H)內執行信號寫入。換言之，驅動電路20在兩個連續水平週期(2H)中對一驅動單元執行 V_{th} 校正及信號寫入。

此外，驅動電路20在對群組之各者執行信號寫入之同時對包含於該等群組中之所有像素11執行信號寫入。特定言之，當選擇單元寫入掃描線WSL(n)時，驅動電路20將上述電壓 $V(n)$ 輸出至各信號線DTL。換言之，當選擇單元寫入掃描線WSL(n)時，驅動電路20將第n顯示像素列之電壓 $V_{sig}(V_{sig}(n, m)$ 及 $V_{sig}(n, m+2))$ 輸出至偶數編碼的信號線DTL(DTL(m)及DTL(m+2))，且同時將第n+1顯示像素列之電壓 $V_{sig}(V_{sig}(n+1, m+1)$ 及 $V_{sig}(n+1, m+3))$ 輸出至奇數編碼的信號線DTL(DTL(m+1)及DTL(m+3))。此外，當選擇單元寫入掃描線WSL(n+1)時，驅動電路20將第n+1顯示像素列之電壓 $V_{sig}(V_{sig}(n+1, m)$ 及 $V_{sig}(n+1, m+2))$ 輸出至偶數號信號線DTL(DTL(m)及DTL(m+2))，且同時將第n顯示像素列之電壓 $V_{sig}(V_{sig}(n, m+1)$ 及 $V_{sig}(n, m+3))$ 輸出至奇數號信號線DTL(DTL(m+1)及DTL(m+3))。

因此，因為在具有相同色彩之各像素11R中，自 V_{th} 校正結束之後至 μ 校正開始之一週期(所謂的等待時間 Δt_1)一致，所以在各顯示像素列中複數個像素11R中之等待時間 Δt_1 一致。在此實施例中，各像素11W之一等待時間 Δt_2 等於各像素11R之等待時間 Δt_1 。因此，因為甚至在具有相同色彩之各像素11W中等待時間 Δt_2 一致，所以在各顯示像素列中複數個像素11W之等待時間 Δt_2 一致。此外，因為甚至在具

有相同色彩之各像素11G中等待時間 Δt_3 一致，所以在各顯示像素列中複數個像素11G之等待時間 Δt_3 一致。在本實施例中，各像素11B之一等待時間 Δt_4 等於各像素11G之等待時間 Δt_3 。因此，因為甚至在具有相同色彩之各像素11B中等待時間 Δt_4 一致，所以在各顯示像素列中複數個像素11B之等待時間 Δt_4 一致。應注意，像素11R及11W之等待時間 Δt_1 及 Δt_2 不同於像素11G及11B之等待時間 Δt_3 及 Δt_4 ，但是差異稍微影響色彩重現性，且不影響色彩不規則性。

接著，將描述經由一陰極線CTL在複數個像素中之耦合。圖9展示施加有圖6中藉由虛線指示之圓A中之各波形之兩個像素11中之一耦合狀態。圖10展示施加有圖6中藉由虛線指示之圓B中之各波形之兩個像素11中之一耦合狀態。應注意，在圖9中，耦合源係第n+1顯示像素列之下部中之像素11，且受耦合影響之像素係第n+2顯示像素列之上部中之像素11。此外，在圖10中，耦合源係第n+2顯示像素列之下部中之像素11，且受耦合影響之像素係第n+3顯示像素列之上部中之像素11。

如圖3及圖4中所示，第n+1顯示像素列之下部中之像素11(例如，像素11G)之輔助電容器 C_{sub} 經由一陰極線CTL連接至第n+2顯示像素列之上部中之像素11(例如，像素11R)之輔助電容器 C_{sub} 。因此，當在第n+1顯示像素列之下部中之像素11中執行信號寫入時，第n+1顯示像素列之下部中之像素11之驅動電晶體Tr1之源極電壓 V_s 之變化(上升)經由陰極線CTL及輔助電容器 C_{sub} 傳播至第n+2顯示像素列之上部中之像素11之驅動電晶體Tr1之源極電極。因此，第n+2顯示像素列之上部中之像素11之驅動電晶體Tr1中之源極電壓 V_s 改變(上升)，且因此閘極電壓 V_g 亦改變(上升)。此刻，在源極電壓 V_s 及閘極電壓 V_g 變化前後，閘極源極之間的電壓 V_{gs} 未顯著變化。然而，在發生此等電壓變化之後，在第n+2顯示像素列之上部中之像素11中執行 V_{th} 校正。

此刻，因為源極電壓 V_s 根據閘極電壓 V_g 之量值而變化(上升)，所以源極電壓 V_s 額外地變化(上升)達閘極電壓 V_g 之上升量。因此，與無耦合影響時相比，閘極源極之間的電壓 V_{gs} 在 V_{th} 校正之後進一步降低。

另一方面，如圖4中所示，第 $n+2$ 顯示像素列之下部中之像素11(例如，像素11G)之輔助電容器 C_{sub} 經由一陰極線CTL連接至第 $n+3$ 顯示像素列之上部中之像素11(例如，像素11R)之輔助電容器 C_{sub} 。因此，當在第 $n+2$ 顯示像素列之下部中之像素11中執行信號寫入時，第 $n+2$ 顯示像素列之下部中之像素11之驅動電晶體 $Tr1$ 之源極電壓 V_s 之變化(上升)經由陰極線CTL及輔助電容器 C_{sub} 傳播至第 $n+3$ 顯示像素列之上部中之像素11之驅動電晶體 $Tr1$ 之源極電極。因此，第 $n+3$ 顯示像素列之上部中之像素11之驅動電晶體 $Tr1$ 中之源極電壓 V_s 改變(上升)，且因此閘極電壓 V_g 亦改變(上升)。此刻，在源極電壓 V_s 及閘極電壓 V_g 變化前後，閘極源極之間的電壓 V_{gs} 未顯著變化。然而，在發生此等電壓變化之後，在第 $n+3$ 顯示像素列之上部中之像素11中執行信號寫入(及 μ 校正)。此刻，閘極電壓 V_g 具有比 V_{ofs} 大閘極電壓 V_g 之上升量之一電壓值。因此，一信號電壓實際上減小，且因此與無耦合影響時相比，在信號寫入(及 μ 校正)期間閘極源極之間的電壓 V_{gs} 進一步降低。

以此方式，在本實施例中，對第 $n+1$ 顯示像素列之下部中之像素11之信號寫入對第 $n+2$ 顯示像素列之上部中之像素11的影響等於對第 $n+2$ 顯示像素列之下部中之像素11之信號寫入對第 $n+3$ 顯示像素列之上部中之像素11的影響。換言之，即使在耦合發生於複數個像素11之間之一電路組態中，受耦合影響之傾向在受耦合影響之所有像素11中亦係相同的。因此，發射光之照度之變化傾向在受耦合影響之所有像素11中實質上相同。

效果

接著，將描述根據本實施例之顯示裝置1之效果。

圖11展示在先前技術中通常所使用之像素配置之一實例。在先前技術中，包含於一顯示像素140中之各像素110R、110G及110B係連接至共用掃描線WSL(n)及電源線DSL(n)。在此一像素配置中，例如當如圖12中所示般針對各1H週期執行Vth校正及信號寫入時，難以縮短1H週期及每1H之一掃描週期(換言之，得到高速驅動)。因此，例如如圖13中所示般在共用1H週期內在兩個線中一起執行Vth，且接著在下一1H週期中針對各線執行信號寫入。此驅動方法用於高速驅動的原因在於立即執行Vth校正。然而，自Vth校正結束至信號寫入開始之一等待時間 Δt 在各線中係不同的。因此，即使當施加具有相同階度之一信號電壓至各線中之驅動電晶體之閘極時，發射光之照度亦如圖14中所示般在各線中有所不同，且存在發生照度不規則性之問題。

另一方面，在本實施例中，用於選擇各像素11中之各單元寫入掃描線WSL係連接至一驅動單元內具有相同的發射光色彩之複數個像素11。此外，用於將一驅動電流供應給各像素11中之各單元電源線DSL係連接至一驅動單元之所有像素11。因此，如上所述，可在類似時間對一驅動單元之所有群組執行Vth校正，且接著可針對各群組對驅動單元之所有群組執行一信號電壓之寫入。因此，因為自Vth校正結束至 μ 校正開始之一等待時間在具有相同色彩之各像素11中一致，所以具有相同色彩之像素11中之一等待時間在各線中一致。因此，可減少由立即執行Vth校正引起的照度不規則性之發生。

圖15展示在根據一比較實例之一顯示裝置中在行方向上彼此相鄰之兩個驅動單元中之掃描Vth校正及信號寫入/ μ 校正之一實例。圖16係展示施加至在行方向上彼此相鄰之兩個驅動單元內之各子像素列之一選定脈衝之一時間變化之一實例之一波形圖。應注意，在根據該比較實例之顯示裝置中，像素組態與上述實施例之像素組態相同。

在本比較實例中，驅動電路20在類似時間對一驅動單元之所有群組(第一群組及第二群組)執行 V_{th} 校正，且接著以與上述實施例中相同之方式依群組順序對驅動單元之所有群組(第一群組及第二群組)執行一信號電壓之寫入(及 μ 校正)。此刻，掃描線驅動電路24經設計以在信號寫入期間在與在各驅動單元中循序執行一系列操作(V_{th} 校正及信號寫入)時之一掃描方向(在下文中，稱爲一「驅動單元掃描方向」)相同之方向上循序選擇包含於一驅動單元中之複數個單元寫入掃描線WSL。因此，因爲自 V_{th} 校正結束至 μ 校正開始之一週期(所謂的等待時間)在具有相同色彩之各像素11中一致，所以具有相同色彩之各像素11中之一等待時間在各顯示像素列中一致。此時，根據比較實例之顯示裝置與根據上述實施例之顯示裝置1之間不存在差異。

接著，將描述本比較實例中之耦合。圖17展示施加有圖16中藉由虛線指示之圓D中之各波形之兩個像素11中之一耦合狀態。應注意，施加有圖16中藉由虛線指示之圓C中之各波形之兩個像素11中之一耦合狀態與圖9之耦合狀態相同。

在本比較實例中，如圖4中所示般，第 $n+2$ 顯示像素列之下部中之像素11(例如，像素11G)之輔助電容器 C_{sub} 經由一陰極線CTL連接至第 $n+3$ 顯示像素列之上部中之像素11(例如，像素11R)之輔助電容器 C_{sub} 。因此，當在第 $n+2$ 顯示像素列之下部中之像素11中執行信號寫入時，第 $n+2$ 顯示像素列之下部中之像素11之驅動電晶體 $Tr1$ 之源極電壓 V_s 之變化(上升)經由陰極線CTL及輔助電容器 C_{sub} 傳播至第 $n+3$ 顯示像素列之上部中之像素11之驅動電晶體 $Tr1$ 之源極電極。因此，第 $n+3$ 顯示像素列之上部中之像素11之驅動電晶體 $Tr1$ 中之源極電壓 V_s 改變(上升)，且因此閘極電壓 V_g 亦改變(上升)。此刻，在源極電壓 V_s 及閘極電壓 V_g 變化前後，閘極源極之間的電壓 V_{gs} 未顯著變化。因此，本比較實例中，此一電壓變化發生在信號寫入(及 μ 校正)之後。因

此，直至下一消光週期開始(換言之，在光發射週期期間)，閘極源極之間的電壓 V_{gs} 才顯著變化。

以此方式，在本比較實例中，在第 $n+1$ 顯示像素列之下部中之像素11中之信號寫入對第 $n+2$ 顯示像素列之上部中之像素11的影響不同於在第 $n+2$ 顯示像素列之下部中之像素11中之信號寫入對第 $n+3$ 顯示像素列之上部中之像素11的影響。因此，第 $n+2$ 顯示像素列之上部中之像素11中之發射光之照度歸因於閘極源極之間的電壓 V_{gs} 降低而變得稍微較暗。另一方面，第 $n+3$ 顯示像素列之上部中之像素11中之發射光之照度歸因於閘極源極之間的電壓 V_{gs} 未變化而變得比第 $n+2$ 顯示像素列之上部中之像素11之發射光之照度更亮。因此，如圖14中所示般發生照度不規則性。

另一方面，在上述實施例中，如上所述，在第 $n+1$ 顯示像素列之下部中之像素11中之信號寫入對第 $n+2$ 顯示像素列之上部中之像素11的影響等於在第 $n+2$ 顯示像素列之下部中之像素11中之信號寫入對第 $n+3$ 顯示像素列之上部中之像素11的影響。換言之，即使在耦合發生於複數個像素11中之一電路組態中，受耦合影響之傾向在受耦合影響之所有像素11中亦係相同的。因此，因為發射光之照度之變化傾向在受耦合影響之所有像素11中實質上相同，所以可減小照度不規則性。

2.修改實例

在下文中，將描述根據上述實施例之顯示裝置1之各種修改實例。應注意，在下文中，將相同的參考數字賦予與上述實施例之顯示裝置1之組成元件相同之組成元件。此外，適當地省略關於與上述實施例之顯示裝置1之組成元件相同之組成元件的描述。

修改實例1

在上述實施例中，將複數個單元寫入掃描線WSL之兩者分配於各驅動單元中，且因此包含於一驅動單元中之掃描線WSL之數目係

2。然而，雖然圖式中未展示，但是將複數個掃描線WSL中與包含於一驅動單元中之顯示像素列之數目相同之數目個掃描線WSL分配於各驅動單元中，且包含於一驅動單元中之掃描線WSL之數目可與包含於一驅動單元中之顯示像素列之數目相同。然而，在此一情況中，將相同電壓施加至該複數個單元寫入掃描線WSL中之每兩個線。

修改實例2

在上述實施例中，將複數個單元電源線DSL之一者分配於各驅動單元中，且因此包含於一驅動單元中之電源線DSL之數目係1。然而，雖然圖式中未展示，但是可將複數個電源線DSL中與包含於一驅動單元中之顯示像素列之數目相同之數目個電源線DSL分配於各驅動單元中，且包含於一驅動單元中之電源線DSL之數目可與包含於一驅動單元中之顯示像素列之數目相同。然而，在此一情況中，該複數個電源線DSL經設計以施加相同電壓至各驅動單元。

修改實例3

在上述實施例中，在放置於一驅動單元中之不同列中且彼此相鄰之兩個顯示像素14中，具有相同發射光色彩之兩個像素11係佈置在兩個共用信號線DTL之間。然而，在放置於一驅動單元中之不同列中且彼此相鄰之兩個顯示像素14中，具有相同發射光色彩之兩個像素11中之一像素可佈置在兩個信號線DTL(m)與DTL(m+1)之間，且另一像素可佈置在兩個信號線DTL(m+2)與DTL(m+3)之間。例如，在放置於一驅動單元中之不同列中且彼此相鄰之兩個顯示像素14中，兩個像素11R中之一像素11R可佈置在兩個信號線DTL(m)與DTL(m+1)之間，且另一像素11R可佈置在兩個信號線DTL(m+2)與DTL(m+3)之間。

修改實例4

在上述實施例中，顯示像素14係由具有彼此不同之發射光色彩之4個像素11組成。此外，在各顯示像素14中，4個像素11形成一所謂

的內接十字式正方形配置(4個正方形)且佈置成一 2×2 矩陣。然而，一顯示像素14可由數目為偶數且具有彼此不同之發射光色彩之6個或更多個像素11組成。在此情況中，在各顯示像素14中，數目為偶數之該6個或更多個像素11可佈置成一 $2 \times a$ 矩陣。此處， a 係(一顯示像素14中之像素11之數目)/2。

3.應用實例

在下文中，將描述上述實施例及修改實例(在下文中，稱為「上述實施例及類似物」)中描述之顯示裝置1之應用實例。根據上述實施例及類似物之顯示裝置1可應用於所有領域之電子設備之顯示裝置，諸如一電視裝置、一數位相機、一筆記型個人電腦、諸如一行動電話之一行動終端機裝置及將自外部輸入之視訊信號或其中產生之視訊信號顯示為影像或視訊之攝影機。

應用實例1

圖18展示應用上述實施例及類似物之顯示裝置1之一電視裝置之外觀。此電視裝置具有包含一前面板310及一濾光玻璃320之一視訊顯示螢幕單元300，且視訊顯示螢幕單元300係藉由根據上述實施例及類似物之顯示裝置1而組態。

應用實例2

圖19A及圖19B展示應用上述實施例等等之顯示裝置1之一數位相機之外觀。此數位相機具有(例如)用於閃光之一發光單元410、一顯示單元420、一選單開關430及一快門按鈕440，且顯示單元420係藉由根據上述實施例等等之顯示裝置1而組態。

應用實例3

圖20展示應用上述實施例等等之顯示裝置1之一筆記型個人電腦之外觀。此筆記型個人電腦具有(例如)一主體510、用於操作字元輸入等等之一鍵盤520及用於顯示影像之一顯示單元530，且顯示單元

530係藉由根據上述實施例及類似物之顯示裝置1而組態。

應用實例4

圖21展示應用上述實施例及類似物之顯示裝置1之一攝影機之外觀。此攝影機具有(例如)一主體單元610、用於拍攝主體單元610之正面上提供之主體之一透鏡620、攝影期間之一開始/停止開關630以及一顯示單元640，且顯示單元640係藉由根據上述實施例及類似物之顯示裝置1而組態。

應用實例5

圖22A至圖22G展示應用上述實施例及類似物之顯示裝置1之一行動電話之外觀。此行動電話具有(例如)以一連接部分(鉸鏈部分)730連接之一上外殼710及一下外殼720、一顯示器740、一子顯示器750、一圖像燈760及一相機770。顯示器740或子顯示器750係藉由根據上述實施例及類似物之顯示裝置1而組態。

在上文中，已描述例示實施例及應用實例之本技術，但是本技術不限於上述實施例及類似物且可進行各種修改。

例如，在上述實施例及類似物中，用於執行主動矩陣驅動之像素電路12之組態不限於上述各實施例中描述之組態，且視需要可對該組態添加一電容式元件或一電晶體。在此一情況中，可根據像素電路12之變化添加除上述信號線驅動電路23、掃描線驅動電路24及電源線驅動電路25外的一必要驅動電路。

此外，在上述實施例及類似物中，信號線驅動電路23、掃描線驅動電路24及電源線驅動電路25之驅動受控於時序產生電路21及視訊信號處理電路22，但是另一電路可控制其等之驅動。此外，信號線驅動電路23、掃描線驅動電路24及電源線驅動電路25之控制可藉由硬體(電路)或軟體(程式)加以執行。

此外，在上述實施例及類似物中，寫入電晶體Tr2之源極及汲極

以及驅動電晶體 Tr1 之源極及汲極被描述為固定，但是當然存在以下情況：彼此面對之源極及汲極之關係取決於電流流動之一方向而與上述描述中之關係相反。在此一情況中，可代替性地將源極讀取為汲極，且可將汲極讀取為源極。

此外，在上述實施例及類似物中，寫入電晶體 Tr2 及驅動電晶體 Tr1 被描述為由 n 通道 MOS 型 TFT 形成，但是寫入電晶體 Tr2 及驅動電晶體 Tr1 之至少一者可由一 p 通道 MOS 型 TFT 形成。應注意，在上述實施例及類似物中，當驅動電晶體 Tr1 係由一 p 通道 MOS 型 TFT 形成時，有機 EL 元件 13 之陽極變為一陰極，且有機 EL 元件 13 之陰極變為一陽極。此外，在上述實施例及類似物中，寫入電晶體 Tr2 及驅動電晶體 Tr1 不必總是非晶矽型 TFT 或微矽型 TFT，且可為(例如)低溫多晶矽型 TFT 或氧化物半導體 TFT。

此外，例如，本技術可具有以下組態。

(1) 一種顯示單元，其包括：

複數個像素電路，其等佈置成包括列及行之一矩陣形式，該複數個像素電路之各者包含一顯示元件、一第一電晶體、一電容器及一第二電晶體；

複數個寫入掃描線，其等各連接至該複數個像素電路之一各自對應列；

複數個信號線，其等各連接至該複數個像素電路之一各自對應行；

複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列；及

一驅動控制區段，

其中該複數個像素電路被分組成各包括連接至一對應單元電力供應線之像素電路之 $K \geq 4$ 個鄰接列之驅動單元，該單元電力供應線

係由組態為一共同線之該複數個電力供應線之 $K/2$ 個電力供應線構成，

該等驅動單元之各者包含 $L \geq 2$ 個單元寫入掃描線，該等單元寫入掃描線各包括組態為一共同線之該複數個寫入掃描線之 $M \geq 2$ 個寫入掃描線，其中 $K = L \cdot M$ ，及

該驅動控制區段經組態以引起用於一信號寫入操作之一寫入掃描脈衝依在不同於驅動該等驅動單元發光之一順序進展之一方向之一方向上進展之一順序循序地施加至該等驅動單元之一給定者之該等單元寫入掃描線。

(2)如(1)之顯示單元，

其中該複數個像素電路之各者對應於 N 種顯示色彩之一者，且該複數個像素電路被分組成各包括分別對應於該 N 種顯示色彩之該複數個像素電路之 N 個像素電路之顯示像素單元，該 N 個像素電路係鄰接地佈置在 $M \leq N$ 個鄰接列中。

(3)如(2)之顯示單元，

其中各單元寫入掃描線對應於該等顯示色彩之至少一者且連接至對應於該各自單元寫入掃描線所對應之該等顯示色彩之任一者且包含在該各自單元寫入掃描線所屬之該驅動單元中之所有該等像素電路。

(4)如(1)之顯示單元，

其中對於該複數個像素電路之各者：

該第一電晶體經組態以在施加一掃描脈衝至該複數個寫入掃描線中連接至該第一電晶體之寫入掃描線時取樣該複數個信號線之一者上所攜載之一電位，

具有一第一端子之該電容器經組態以保持藉由該第一電晶體取樣之該電位，及

該第二電晶體經組態以將一驅動電流供應給該顯示元件，該驅動電流之量值對應於該電容器之該第一端子與該電容器之一第二端子之間之一電壓。

(5)如(1)之顯示單元，

其中依自最接近該顯示單元之一第一側之一第一驅動單元進展至最接近該顯示單元與該第一側相對之一第二側之一最後驅動單元之一順序單元循序驅動該等驅動單元，及

依自該等驅動單元之該給定者之一最後單元寫入掃描線進展至該等驅動單元之該給定者之一第一單元寫入掃描線之一順序循序施加該寫入掃描脈衝至該等驅動單元之該給定者之該等單元寫入掃描線，該等驅動單元之該給定者之該最後單元寫入掃描線包含該等驅動單元之該給定者之該複數個寫入掃描線中最接近該顯示單元之該第二側之該寫入掃描線，且該等驅動單元之該給定者之該第一單元寫入掃描線包含該等驅動單元之該給定者之該複數個寫入掃描線中最接近該顯示單元之該第一側之該寫入掃描線。

(6)如(1)之顯示單元，

其中該驅動控制區段經組態以藉由控制該複數個寫入掃描線、該複數個信號線及該複數個電力供應線之驅動而引起該複數個像素電路顯示對應於輸入影像資料之影像圖框，

該複數個像素電路經組態以在該驅動控制區段的控制下執行一臨限值校正操作，該臨限值校正操作導致將該複數個像素電路之該各自像素電路之該第二電晶體之一臨限電壓儲存在該複數個像素電路之該各自像素電路之該電容器中，及

該驅動控制區段經組態以引起包含於該等驅動單元之該給定者中之該複數個像素電路之各者在一給定影像圖框週期期間同時執行該臨限值校正操作。

(7)如(6)之顯示單元，

其中該驅動控制區段經組態以藉由在連接至包含於該等驅動單元之該給定者中之該複數個像素電路之各者之該信號線上攜載一參考電位且施加一驅動電壓至該各自像素電路之該第二電晶體時引起該各自像素電路之該第一電晶體處於一導電狀態而引起該各自像素電路執行該臨限值校正操作。

(8)如(1)之顯示單元，

其中對於該複數個像素電路之一給定者，該信號寫入操作包括藉由在施加一視訊信號電位至連接至該複數個像素電路之該給定者之該信號線時將該複數個像素電路之該給定者之該第一電晶體置於一導電狀態中而引起該複數個像素電路之該給定者取樣一視訊信號電位。

(9)如(2)之顯示單元，

其中 $N=4$ ， $M=2$ ， $K=4$ ，且該等顯示色彩包括紅色、綠色及藍色。

(10)如(9)之顯示單元，

其中該等顯示色彩進一步包括白色。

(11)如(9)之顯示單元，

其中該等顯示色彩進一步包括黃色。

(12)一種顯示單元，其包括：

複數個像素電路，其等佈置成包括列及行之一矩陣形式，該複數個像素電路之各者包含一顯示元件、一第一電晶體、一電容器及一第二電晶體；

複數個寫入掃描線，其等各連接至該複數個像素電路之一各自對應列；

複數個信號線，其等各連接至該複數個像素電路之一各自對應行；

複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列；及

一驅動控制區段，

其中該複數個像素電路被分組成各包括連接至一對應單元電力供應線之像素電路之4個鄰接列之驅動單元，該單元電力供應線係由組態為一共同線之該複數個電力供應線之兩個電力供應線構成，

該等驅動單元之各者包含兩個單元寫入掃描線，該兩個單元寫入掃描線各包括組態為一共同線之該複數個寫入掃描線之兩個寫入掃描線，及

該驅動控制區段經組態以引起用於一信號寫入操作之一寫入掃描脈衝依在不同於驅動該等驅動單元發光之一順序所進展之一方向之一方向上進展之一順序循序地施加至該等驅動單元之一給定者之該等單元寫入掃描線。

(13)如(12)之顯示單元，

其中該複數個像素電路之各者對應於四種顯示色彩之一者，且該複數個像素電路被分組成各包括鄰接地佈置在兩個相鄰列中且分別對應於該四種顯示色彩之該複數個像素電路之四個像素電路之顯示像素單元。

(14)如(13)之顯示單元，

其中各單元寫入掃描線對應於該等顯示色彩之兩者，且連接至對應於該各自單元寫入掃描線所對應之該等顯示色彩之任一者且包含在該各自單元寫入掃描線所屬之該驅動單元中之所有該等像素電路。

(15)如(14)之顯示單元，

其中對於該複數個像素電路之各者：

該第一電晶體經組態以在施加一掃描脈衝至該複數個寫入掃描線中連接至該第一電晶體之寫入掃描線時取樣該複數個信號線之一者

上所攜載之一電位，

具有一第一端子之該電容器經組態以保持藉由該第一電晶體取樣之該電位，及

該第二電晶體經組態以將一驅動電流供應給該顯示元件，該驅動電流之量值對應於該電容器之該第一端子與該電容器之一第二端子之間之一電壓。

(16)如(12)之顯示單元，

其中依自最接近該顯示單元之一第一側之一第一驅動單元進展至最接近該顯示單元之與該第一側相對之一第二側之一最後驅動單元之一順序單元循序驅動該等驅動單元，及

依自該等驅動單元之該給定者之一最後單元寫入掃描線進展至該等驅動單元之該給定者之一第一單元寫入掃描線之一順序循序施加該寫入掃描脈衝至該等驅動單元之該給定者之該等單元寫入掃描線，該等驅動單元之該給定者之該最後單元寫入掃描線包含該等驅動單元之該給定者之該複數個寫入掃描線中最接近該顯示單元之該第二側之該寫入掃描線，且該等驅動單元之該給定者之該第一單元寫入掃描線包含該等驅動單元之該給定者之該複數個寫入掃描線中最接近該顯示單元之該第一側之該寫入掃描線。

(17)如(12)之顯示單元，

其中該驅動控制區段經組態以藉由控制該複數個寫入掃描線、該複數個信號線及該複數個電力供應線之驅動而引起該複數個像素電路顯示對應於輸入影像資料之影像圖框，

該複數個像素電路經組態以在該驅動控制區段的控制下執行一臨限值校正操作，該臨限值校正操作導致將該複數個像素電路之該各自像素電路之該第二電晶體之一臨限電壓儲存在該複數個像素電路之該各自像素電路之該電容器中，及

該驅動控制區段經組態以引起包含於該等驅動單元之該給定者中之該複數個像素電路之各者在一給定影像圖框週期期間同時執行該臨限值校正操作。

(18)如(17)之顯示單元，

其中該驅動控制區段經組態以藉由在連接至包含於該等驅動單元之該給定者中之該複數個像素電路之各者之該信號線上攜載一參考電位且施加一驅動電壓至該各自像素電路之該第二電晶體時引起該各自像素電路之該第一電晶體處於一導電狀態而引起該各自像素電路執行該臨限值校正操作。

(19)如(12)之顯示單元，

其中對於該複數個像素電路之一給定者，該信號寫入操作包括藉由在施加一視訊信號電位至連接至該複數個像素電路之該給定者之該信號線時將該複數個像素電路之該給定者之該第一電晶體置於一導電狀態中而引起該複數個像素電路之該給定者取樣一視訊信號電位。

(20)一種驅動一顯示單元之方法，其包括：

引起驅動單元依在一給定方向上進展之一順序循序發光；及

引起用於一信號寫入操作之一寫入掃描脈衝依在不同於該給定方向之一方向上進展之一順序循序施加至該等驅動單元之一給定者之單元寫入掃描線，

其中該顯示單元包括：複數個像素電路，其等佈置成包括列及行之一矩陣形式，且各包含一顯示元件、一第一電晶體、一電容器及一第二電晶體；複數個寫入掃描線，其等各連接至該複數個像素電路之一各自對應列；複數個信號線，其等各連接至該複數個像素電路之一各自對應行；及複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列，

該等驅動單元各包括連接至一相同單元電力供應線之像素電路

之 $K \geq 4$ 個鄰接列，該單元電力供應線係由組態為一共同線之該複數個電力供應線之 $K/2$ 個電力供應線構成，及

該等驅動單元之各者包含 $L \geq 2$ 個單元寫入掃描線，該等單元寫入掃描線各包括組態為一共同線之該複數個寫入掃描線之 $M \geq 2$ 個寫入掃描線，其中 $K = L \cdot M$ 。

(21)一種顯示裝置，其包括：

一顯示面板；及

一驅動電路，其驅動該顯示面板，

其中該顯示面板具有包含複數個子像素之複數個像素；

其中該等子像素之各者包含一發光元件、驅動該發光元件之一驅動電晶體、寫入對應於一視訊信號之一信號電壓之一寫入電晶體及保持該驅動電晶體之閘極源極之間之一電壓之一保持電容器，

其中當 $k(k \geq 2)$ 個像素列形成一單元時，該驅動電路在一第一單元中執行其中使該驅動電晶體之該等閘極源極之間之該電壓接近該驅動電晶體之一臨限電壓之 V_{th} 校正及該信號電壓之寫入，且接著在一行方向上與該第一單元相鄰之一第二單元中執行該 V_{th} 校正及該信號電壓之該寫入，及

其中該驅動電路藉由在與在各單元中執行該信號電壓之寫入時之一掃描方向相反之一方向上掃描而在一像素列之各子像素中執行該信號電壓之寫入。

(22)如(21)之顯示裝置，

其中包含於各像素中之複數個子像素係佈置成一 $2 \times y(y \geq 2)$ 矩陣，及

其中該驅動電路在一像素列之各子像素中對該像素列之下部中之一子像素執行該信號電壓之寫入，且接著對該像素列之上部中之一子像素執行該寫入。

(23)如(22)之顯示裝置，

其中該顯示面板具有：複數個第一佈線，該複數個第一佈線之一者係分配給一單元之各像素列之上部中之一子像素列；及複數個第二佈線，該複數個第二佈線之一者係分配給一單元之各像素列之下部中之一子像素列，

其中該等子像素之發射光色彩在各像素中彼此不同，

其中各第一佈線係連接至一單元內具有相同的發射光色彩之複數個子像素，

其中各第二佈線係連接至一單元內具有不同於連接至該第一佈線之該等子像素之發射光色彩但是具有相同的發射光色彩之複數個子像素，及

其中該驅動電路在一像素之各子像素中對連接至該第二佈線之各子像素執行該信號電壓之寫入，且接著對連接至該第一佈線之各子像素執行該寫入。

(24)如(23)之顯示裝置，

其中各子像素進一步包含連接至該驅動電晶體之一源極之一輔助電容器，及

其中該顯示面板進一步具有複數個參考電壓線，該複數個參考電壓線之一者係分配給在行方向上彼此相鄰但被置於不同像素列中之每兩個子像素列，且該複數個參考電壓線連接至該輔助電容器。

(25)如(24)之顯示裝置，

其中各參考電壓線係連接至包含於兩個分配的子像素列中之所有輔助電容器。

(26)一種電子設備，其包括：

一顯示裝置，

其中該顯示裝置具有一顯示面板及驅動該顯示面板之一驅動電

路，

其中該顯示面板具有包含複數個子像素之複數個像素，

其中該等子像素之各者包含一發光元件、驅動該發光元件之一驅動電晶體、寫入對應於一視訊信號之一信號電壓之一寫入電晶體及保持該驅動電晶體之閘極源極之間之一電壓之一保持電容器，

其中當 $k(k \geq 2)$ 個像素列形成一單元時，該驅動電路在一第一單元中執行其中使該驅動電晶體之該等閘極源極之間之該電壓接近該驅動電晶體之一臨限電壓之 V_{th} 校正及該信號電壓之寫入，且接著在一行方向上與該第一單元相鄰之一第二單元中執行該 V_{th} 校正及該信號電壓之該寫入，及

其中該驅動電路藉由在與在各單元中執行該信號電壓之寫入時之一掃描方向相反之一方向上掃描而在一像素列之各子像素中執行該信號電壓之寫入。

(27)一種一顯示面板之驅動方法，該顯示面板包含複數個像素，該複數個像素包含複數個子像素，且該等子像素之各者包含一發光元件、驅動該發光元件之一驅動電晶體、寫入對應於一視訊信號之一信號電壓之一寫入電晶體及保持該驅動電晶體之閘極源極之間之一電壓之一保持電容器，該方法包括：

當 $k(k \geq 2)$ 個像素列形成一單元時，在一第一單元中執行其中使該驅動電晶體之該等閘極源極之間之該電壓接近該驅動電晶體之一臨限電壓之 V_{th} 校正及該信號電壓之寫入，且接著在一行方向上與該第一單元相鄰之一第二單元中執行該 V_{th} 校正及該信號電壓之該寫入，及

藉由在與在各單元中執行該信號電壓之寫入時之一掃描方向相反之一方向上掃描而在一像素列之各子像素中執行該信號電壓之寫入。

本發明主張關於2012年7月31日向日本專利局申請之日本優先權專利申請案JP 2012-170306中所揭示者之標的，該案之全部內容係以引用方式併入本文。

熟習此項技術者應瞭解可取決於設計需求及其他因數發生各種修改、組合、子組合及變更，只要該等修改、組合、子組合及變更係在隨附申請專利範圍或其等效物之範疇內。

【符號說明】

1	顯示裝置
10	顯示面板
10A	顯示區域
11	像素
11B	像素
11G	像素
11R	像素
11W	像素
12	像素電路
13	有機電致發光(EL)元件
14	顯示像素
14A	閘極電極
20	驅動電路
20A	視訊信號
20B	同步信號
21	時序產生電路
21A	控制信號
22	視訊信號處理電路
22A	視訊信號

23	信號線驅動電路
24	掃描線驅動電路
25	電源線驅動電路
110B	像素
110G	像素
110R	像素
140	顯示像素
300	視訊顯示螢幕單元
310	前面板
320	濾光玻璃
410	發光單元
420	顯示單元
430	選單開關
440	快門按鈕
510	主體
520	鍵盤
530	顯示單元
610	主體單元
620	透鏡
630	開始/停止開關
640	顯示單元
710	上外殼
720	下外殼
730	連接部分
740	顯示器
750	子顯示器

760	圖像燈
770	相機
C1	連接點
C2	連接點
Cs	保持電容器
Csub	輔助電容器
CTL	陰極線
DSL	電源線
DSL(j)	電源線
DSL(j+1)	電源線
DTL	信號線
DTL(m)	信號線
DTL(m+1)	信號線
DTL(m+2)	信號線
DTL(m+3)	信號線
GND	接地線
Ids	電流
Tr1	驅動電晶體
Tr2	寫入電晶體
Vg	閘極電壓
Vgs	閘極源極之間之電壓
Vs	源極電壓
Vw1	電壓波形
Vw2	電壓波形
Vw3	電壓波形
Vw4	電壓波形

Vw5	電壓波形
Vw6	電壓波形
Vw7	電壓波形
Vw8	電壓波形
WSL	掃描線
WSL(n)	掃描線
WSL(n+1)	掃描線
WSL(n+2)	掃描線
WSL(n+3)	掃描線

發明摘要

公告本

※ 申請案號：102103699

※ 申請日：102.7.2

※IPC 分類：G09G 3/30(2006.01)

【發明名稱】

顯示裝置及電子設備及顯示面板之驅動方法

DISPLAY DEVICE AND ELECTRONIC APPARATUS, AND

DRIVING METHOD OF DISPLAY PANEL

【中文】

本發明揭示一種彩色顯示單元，其包含配置成矩陣形式之子像素。顯示像素係由跨多個子像素列集合在一起之多個子像素形成，一子像素用於顯示色彩之各者。形成驅動單元，其等包含連接至一共同電力供應線之多個顯示像素列。提供共同寫入掃描線，其中每個驅動單元之共同寫入掃描線數目等於包含於一顯示像素中之子像素之列數。各共同寫入掃描線連接至其各自驅動單元中之至少一給定色彩之每個像素。該等驅動單元係在一驅動-單元-掃描方向上循序驅動。在各個別驅動單元內，針對信號寫入操作在與該驅動-單元-掃描方向相反之一掃描方向上循序掃描該驅動單元之該等寫入掃描線。

【英文】

A color display unit includes subpixels arranged in matrix form. Display pixels are formed from multiple subpixels, one for each of the display colors, grouped together across multiple subpixel rows. Drive units are formed including multiple rows of display pixels that are connected to a common power supply line. Common write scanning lines are provided, where the number of common write scanning lines per drive unit equals the number of rows of subpixels that are included in a display pixel. Each common write scanning line is connected to every pixel of at least one given color in its respective drive unit. The drive units are driven sequentially in a drive-unit-scanning direction. Within each individual drive unit, the write scanning lines thereof are scanned for the signal writing operation sequentially in a scanning direction opposite to the drive-unit-scanning direction.

圖式

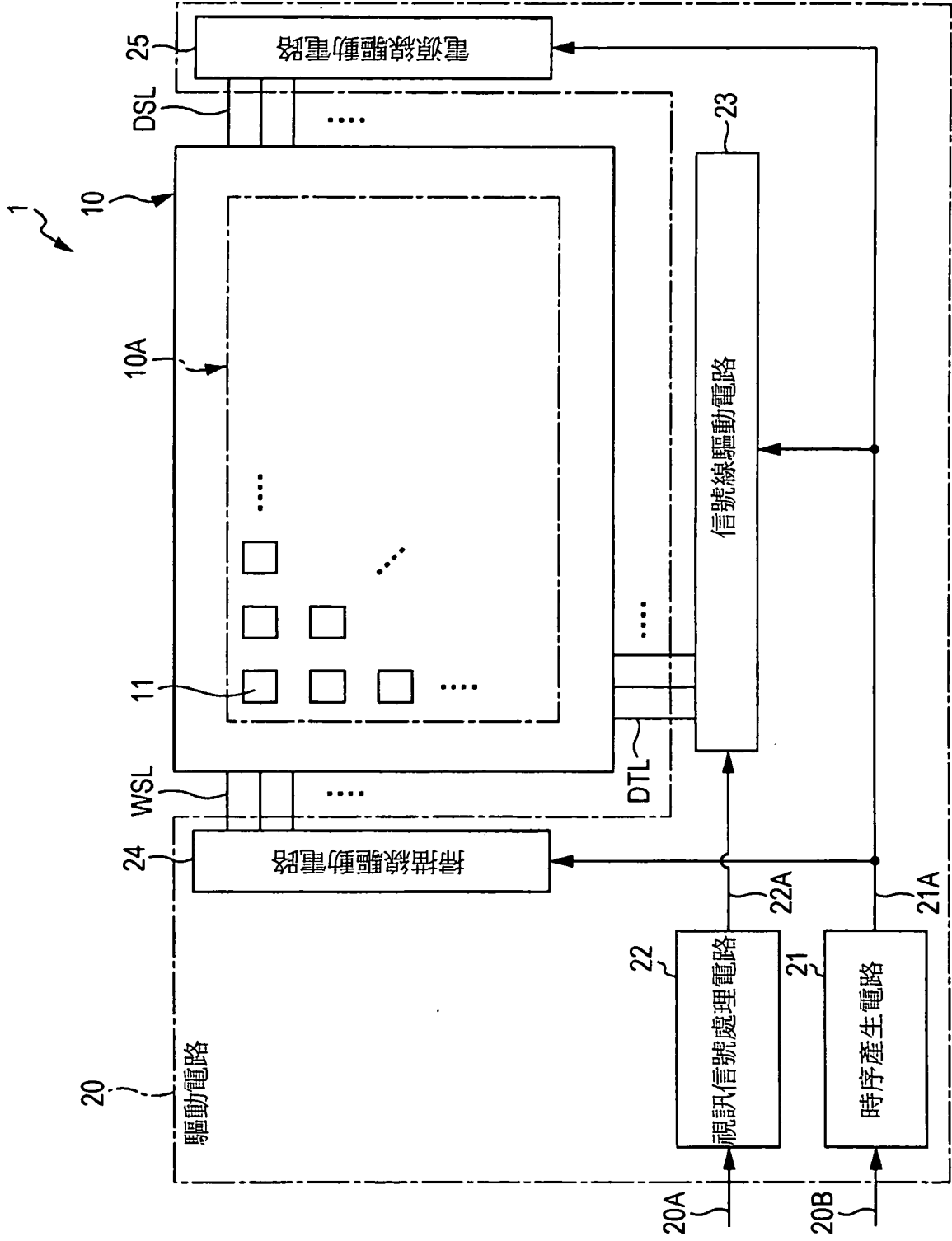


圖 1

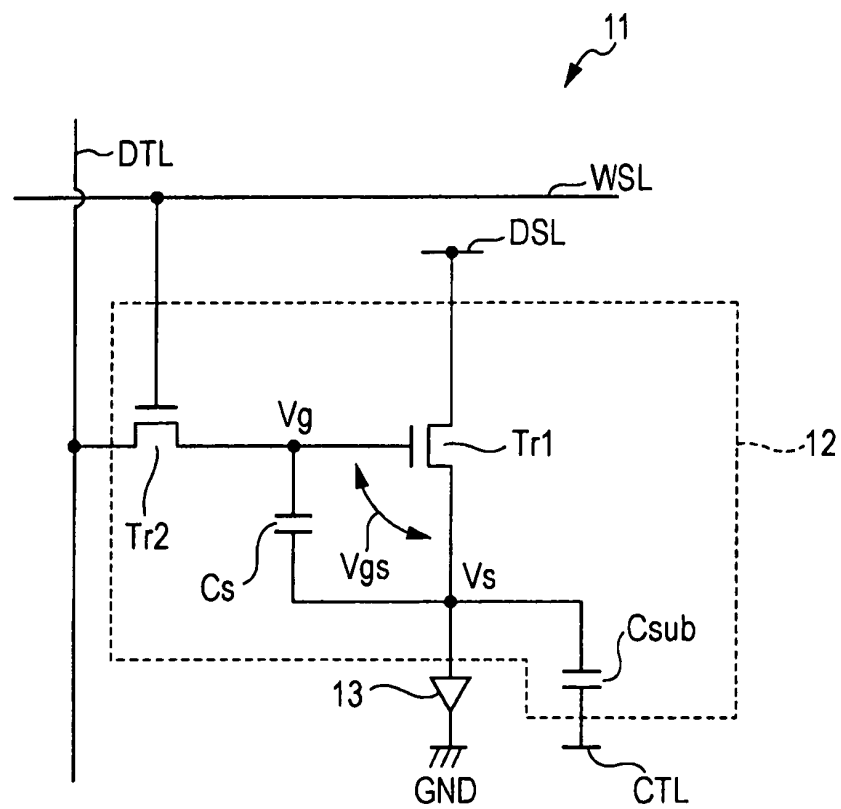


圖 2

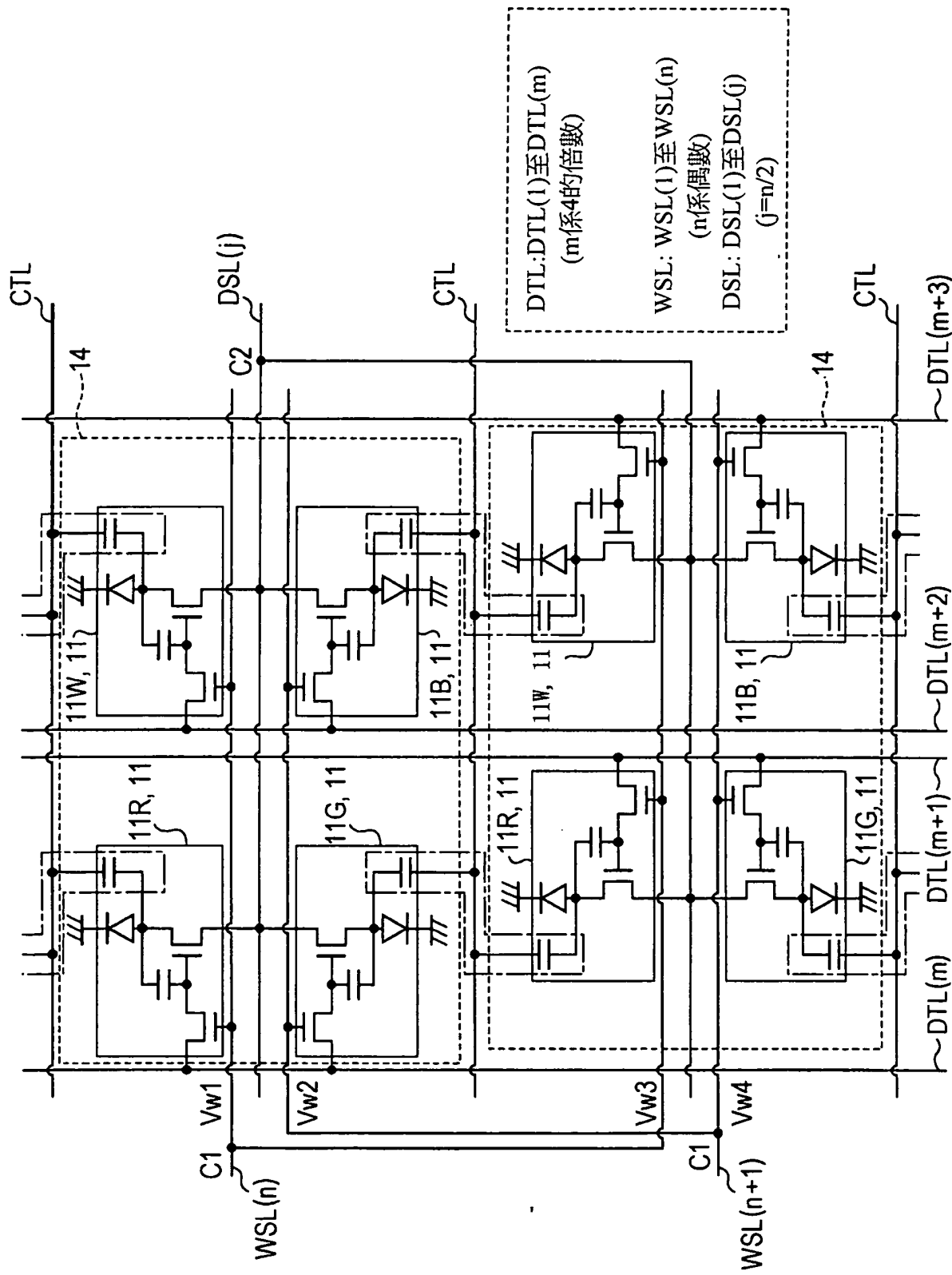


圖 3

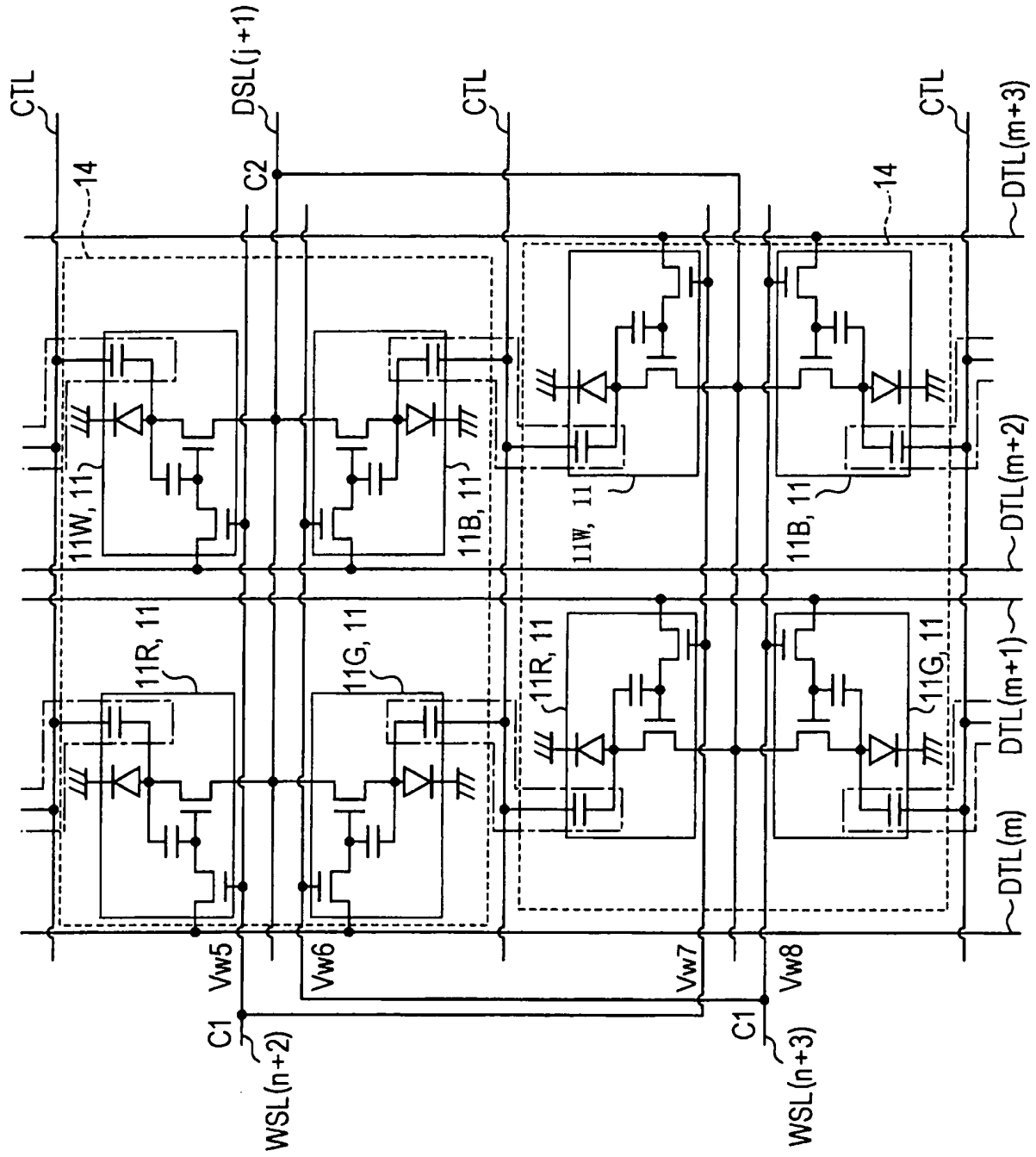


圖 4

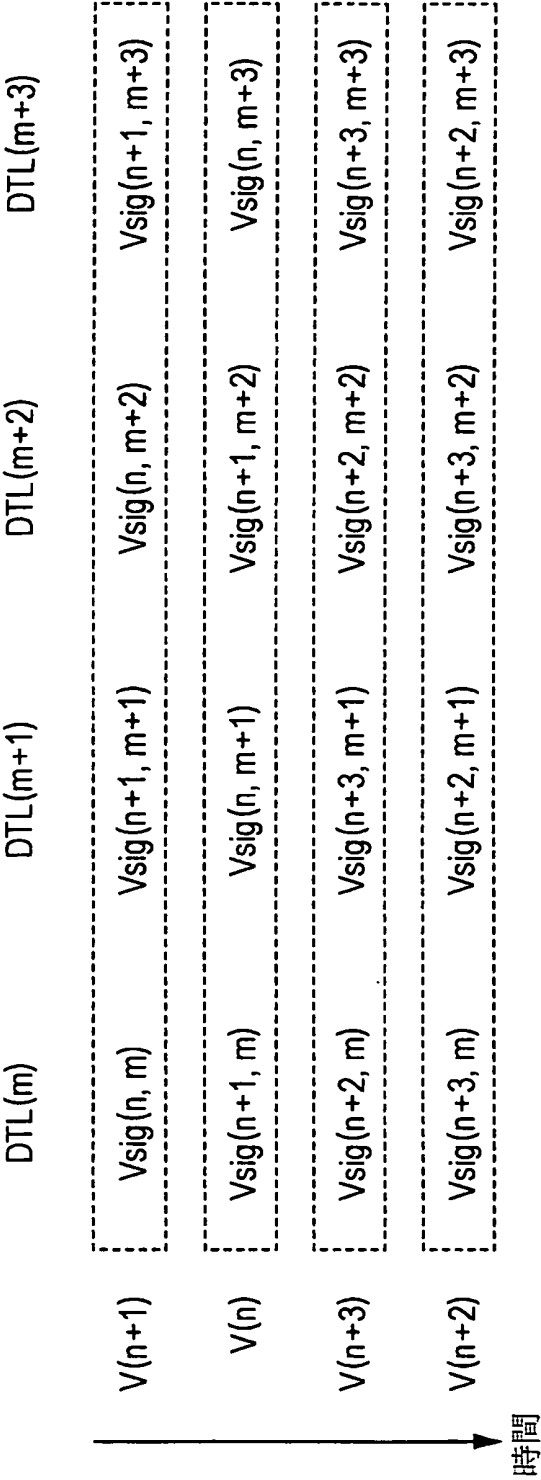


圖 5

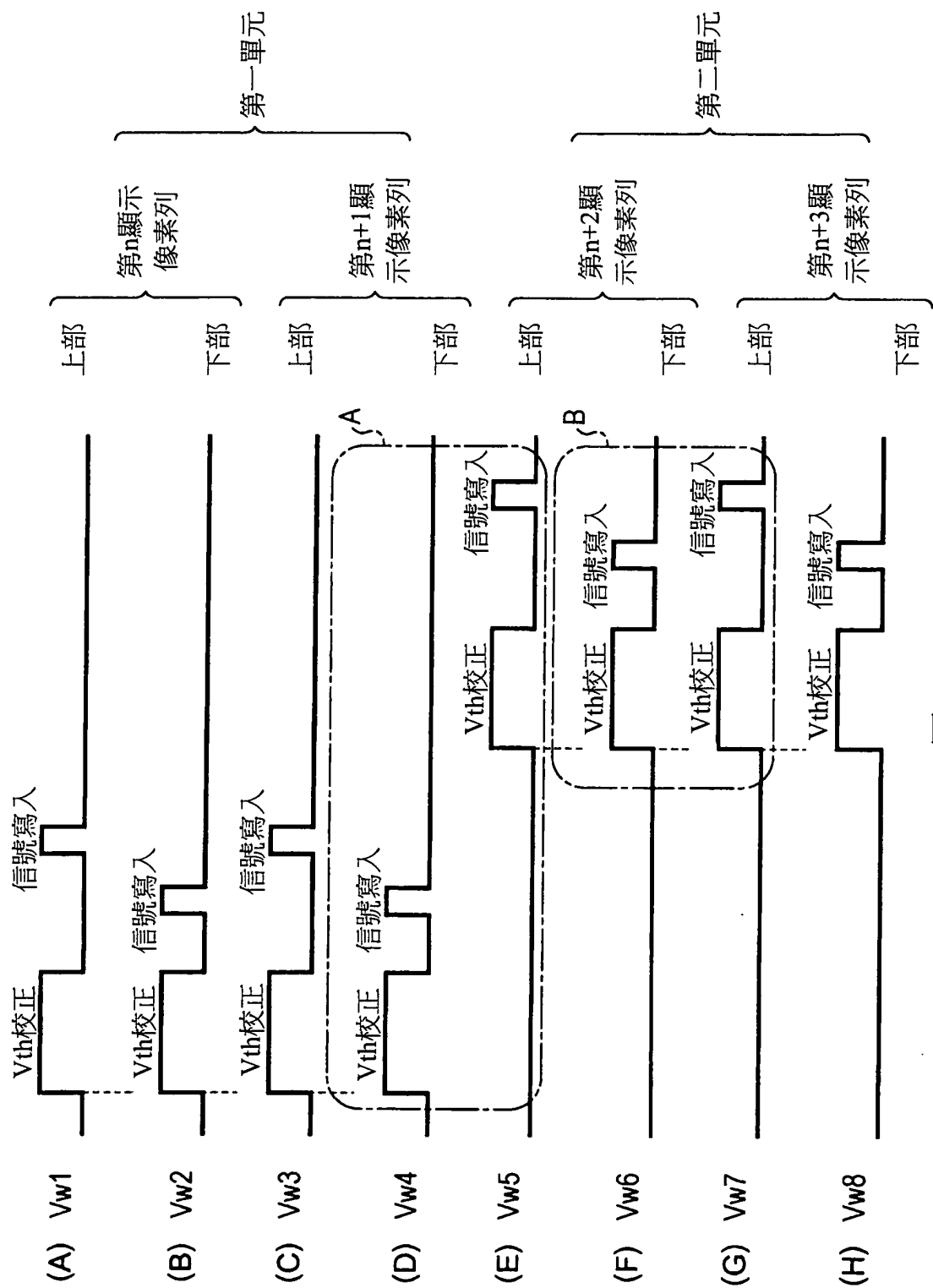


圖 6

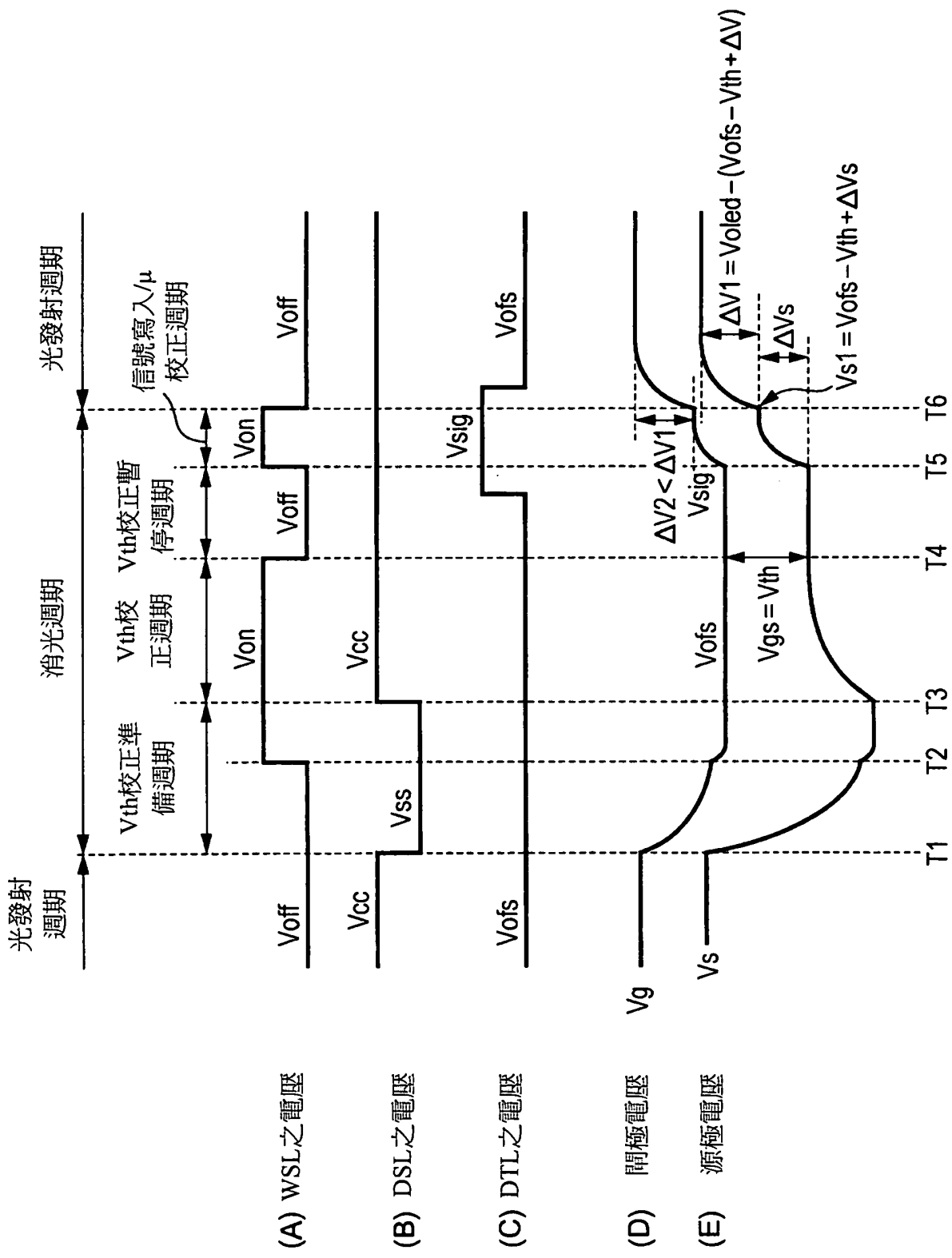


圖 7

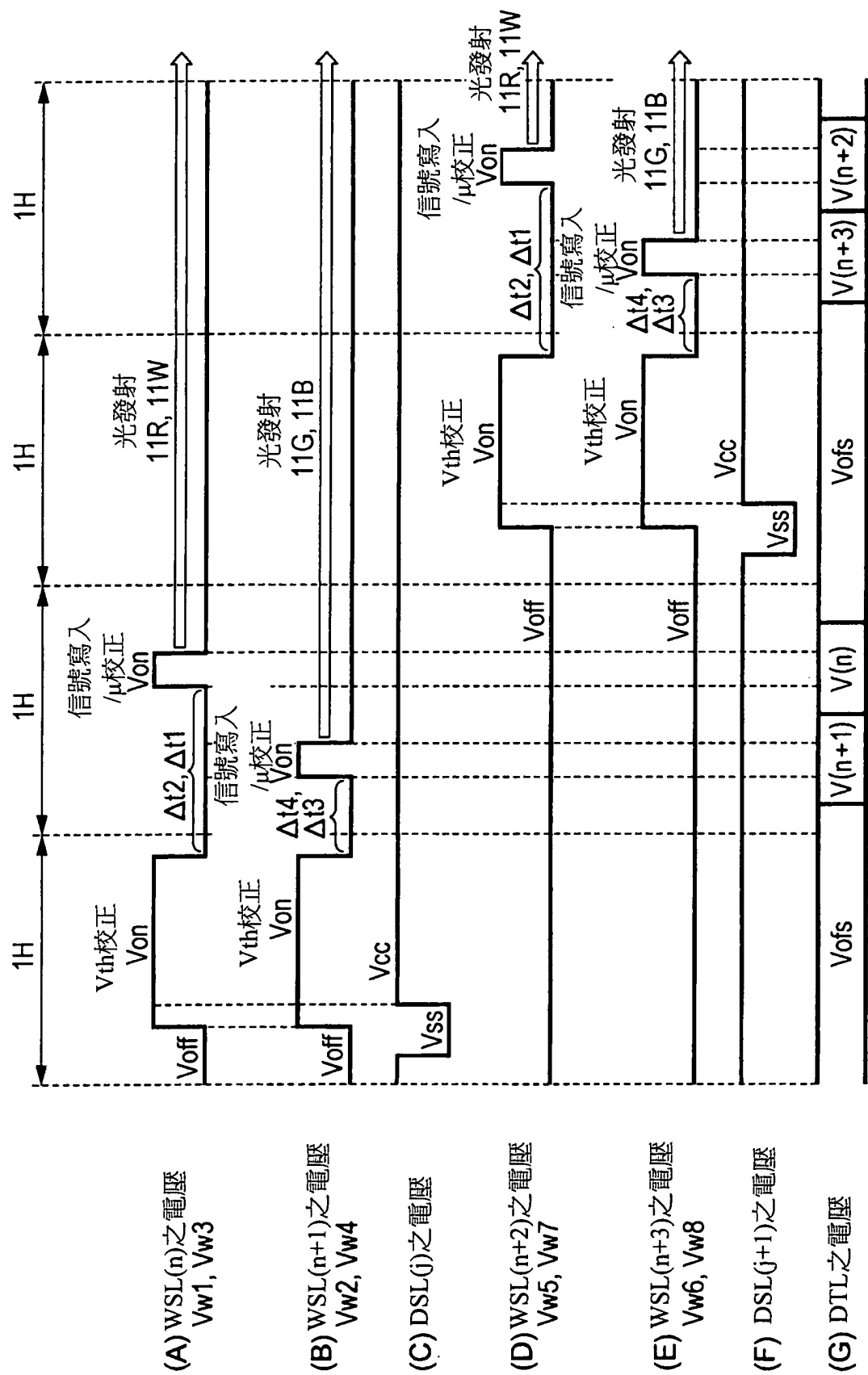


圖 8

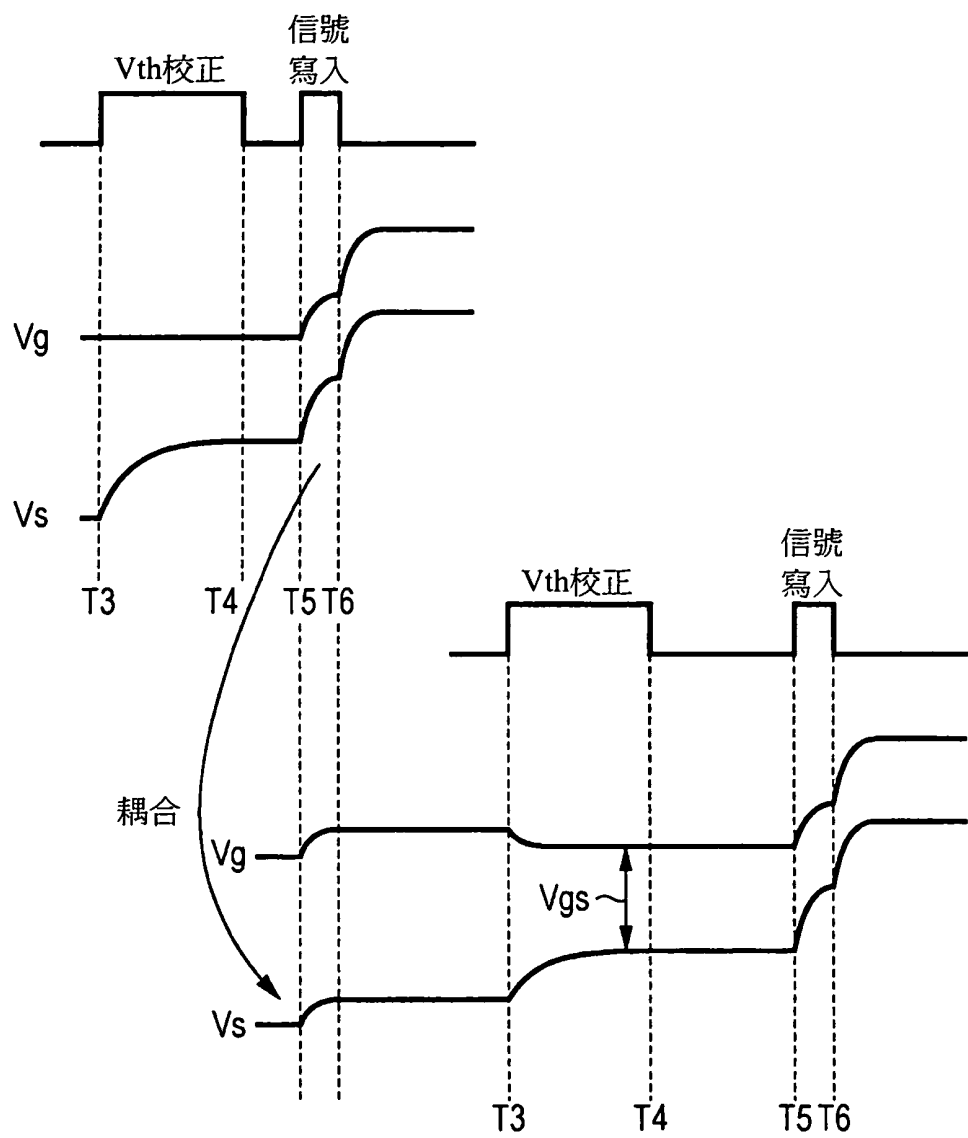


圖 9

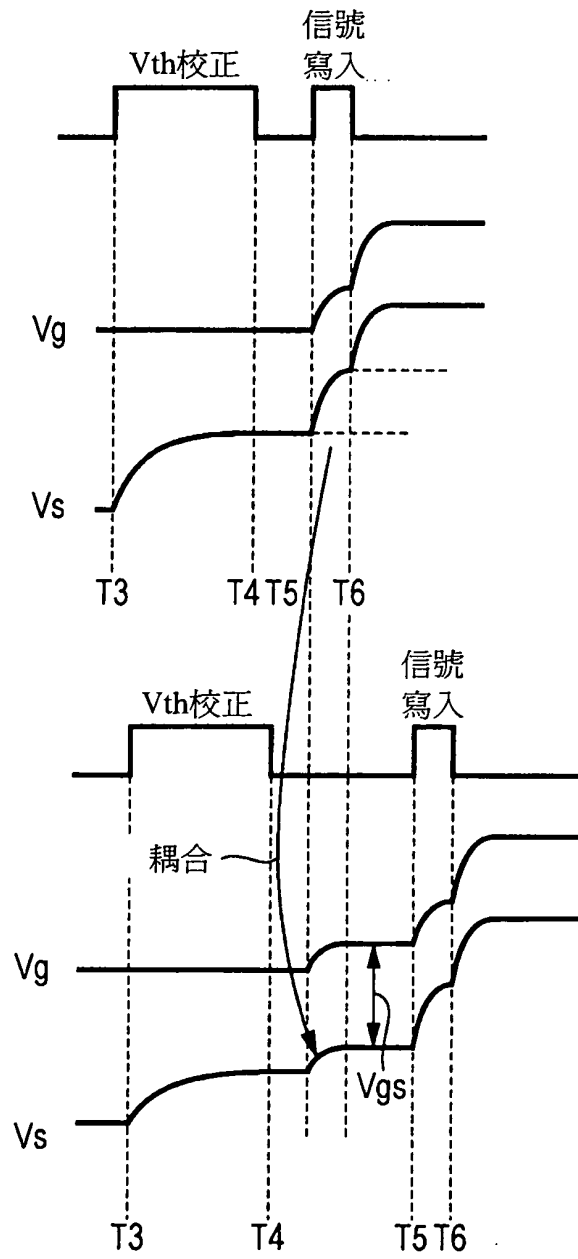


圖 10

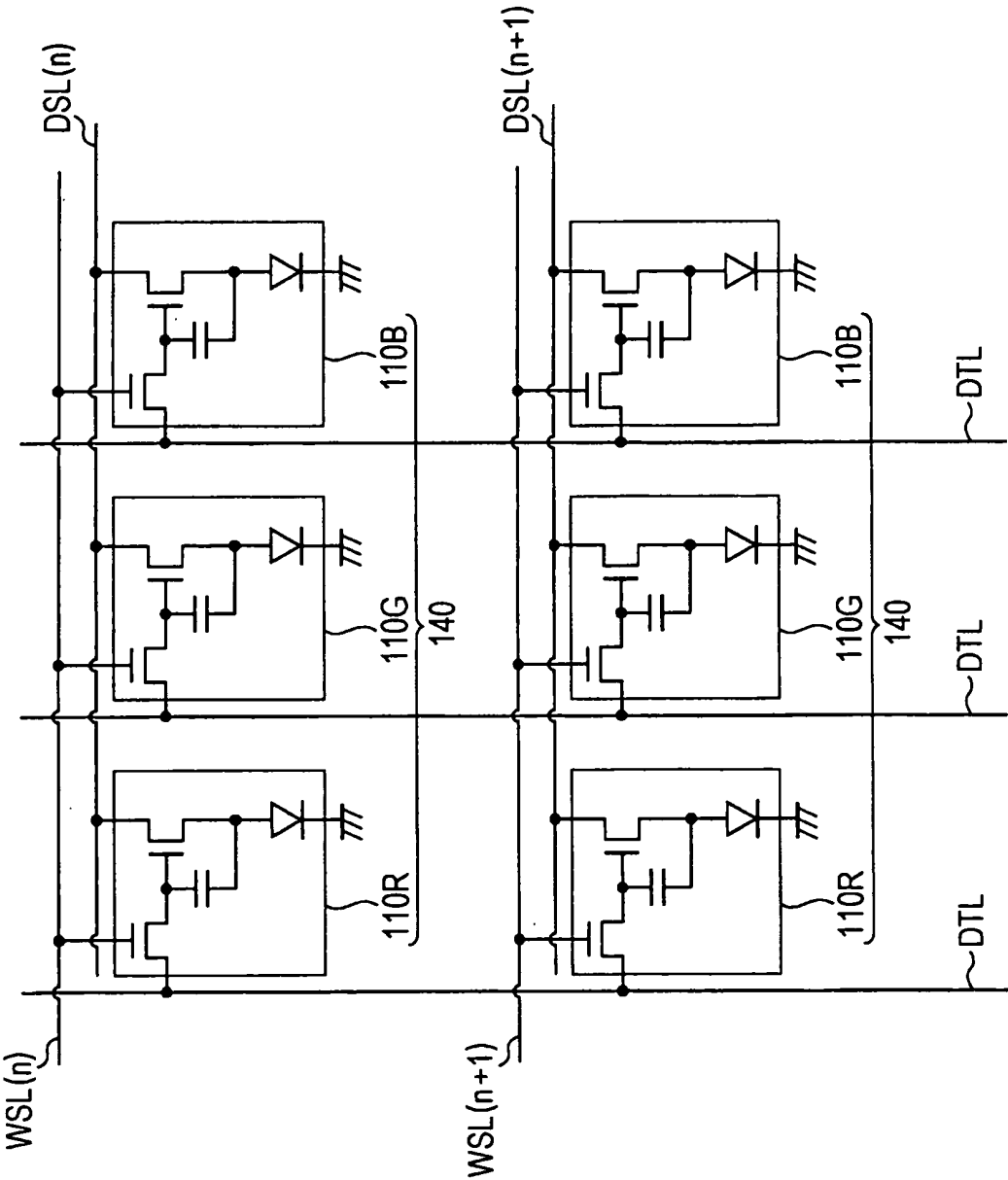


圖 11

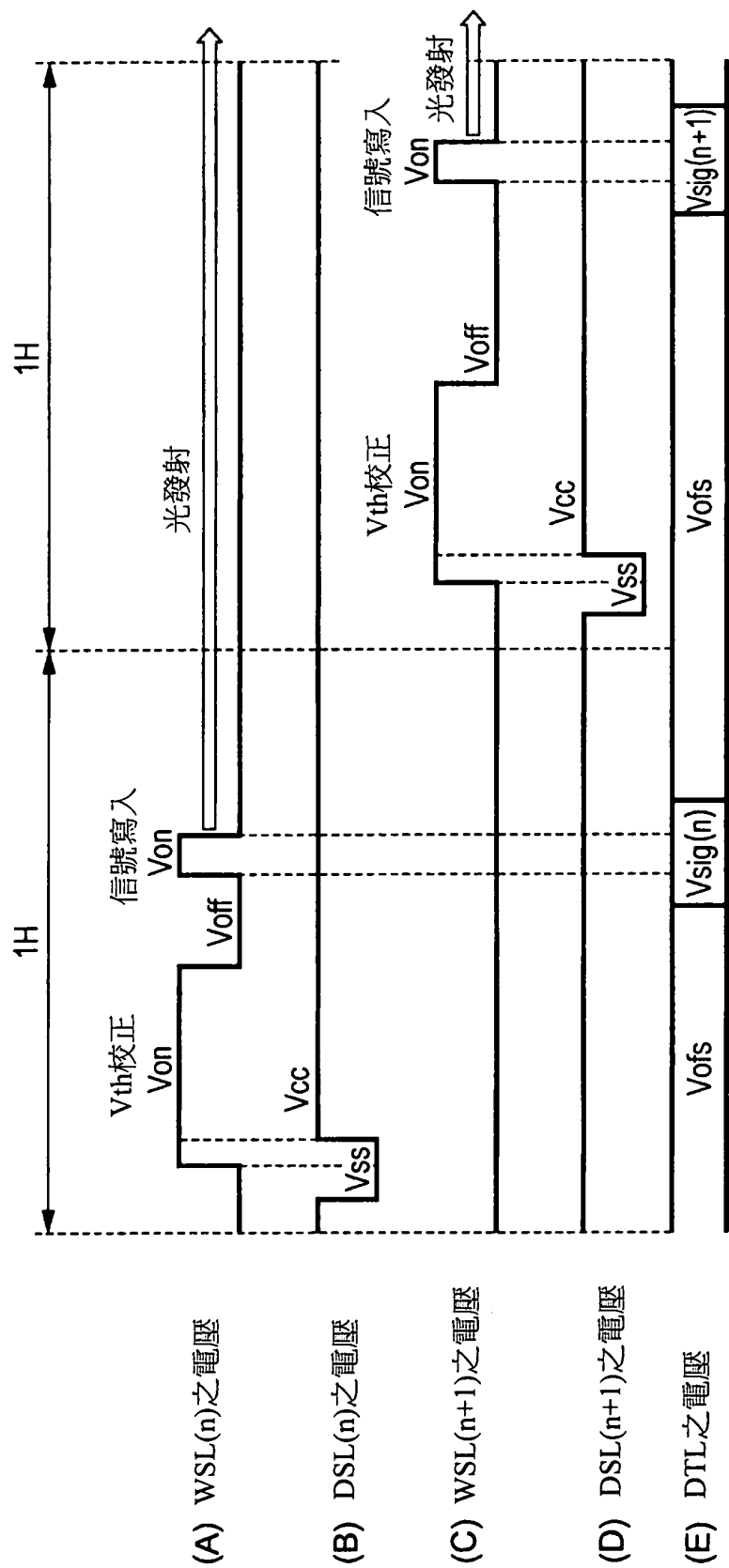


圖 12

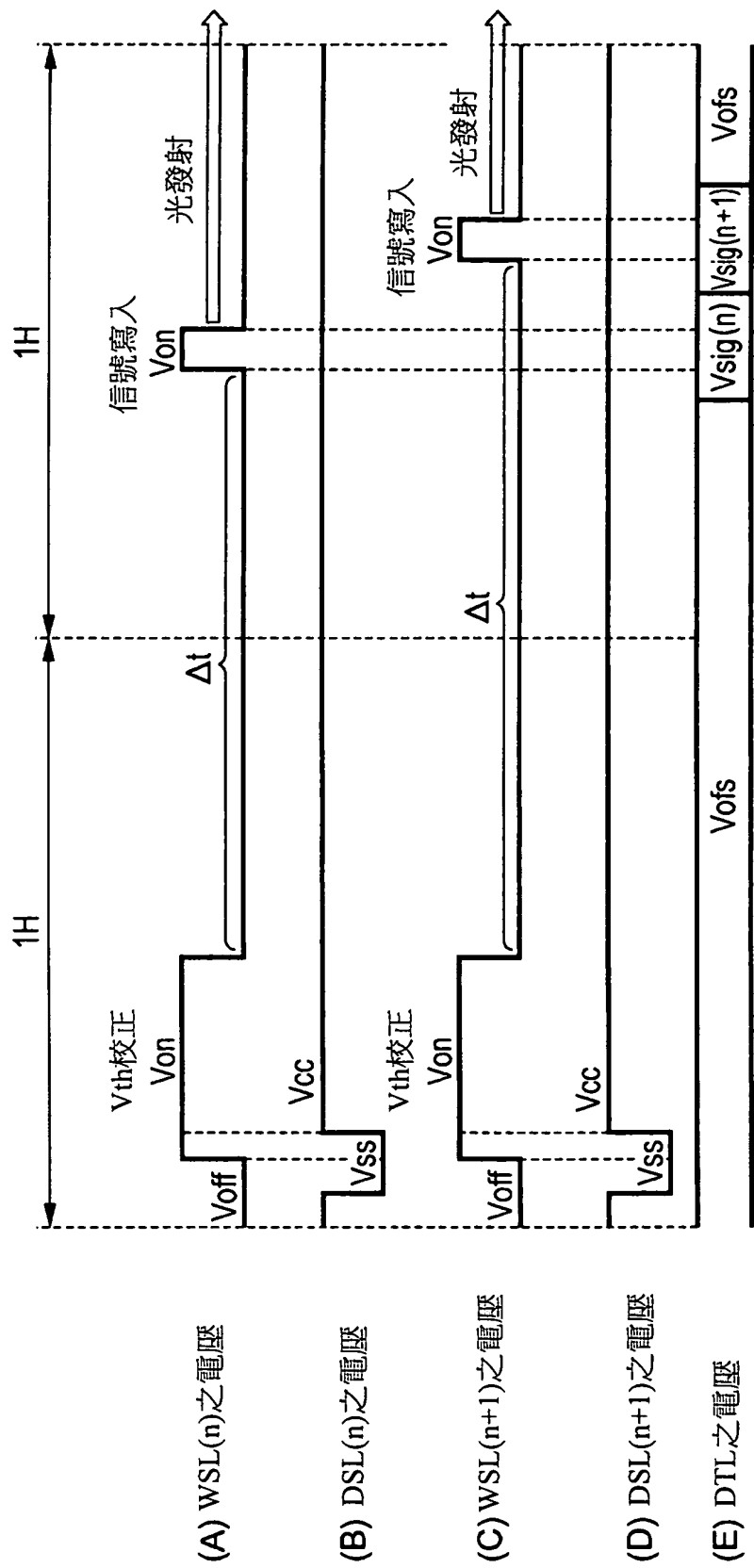


圖 13

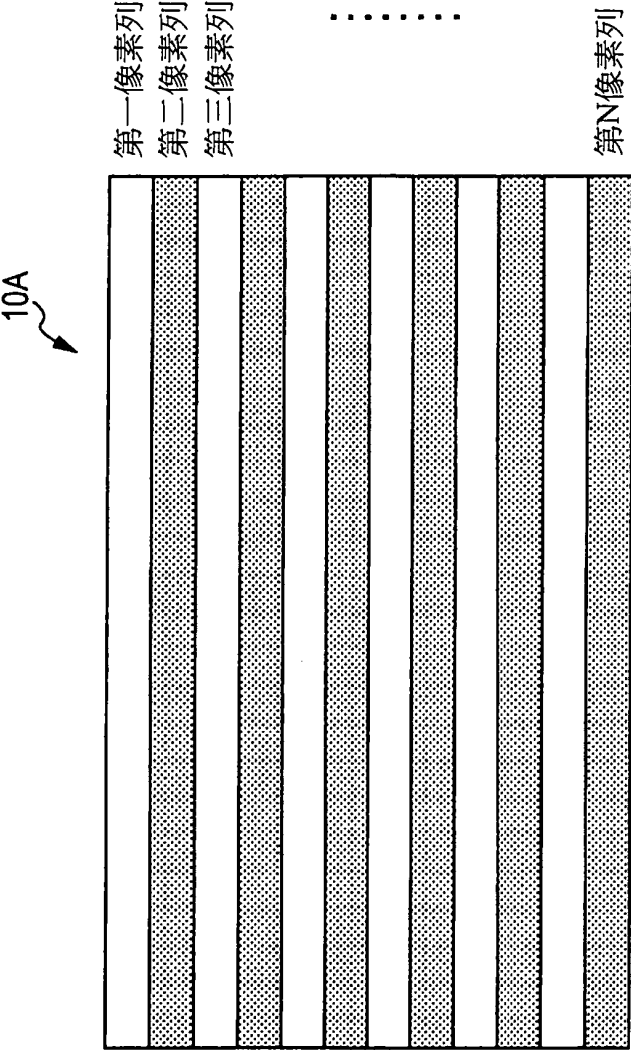


圖 14

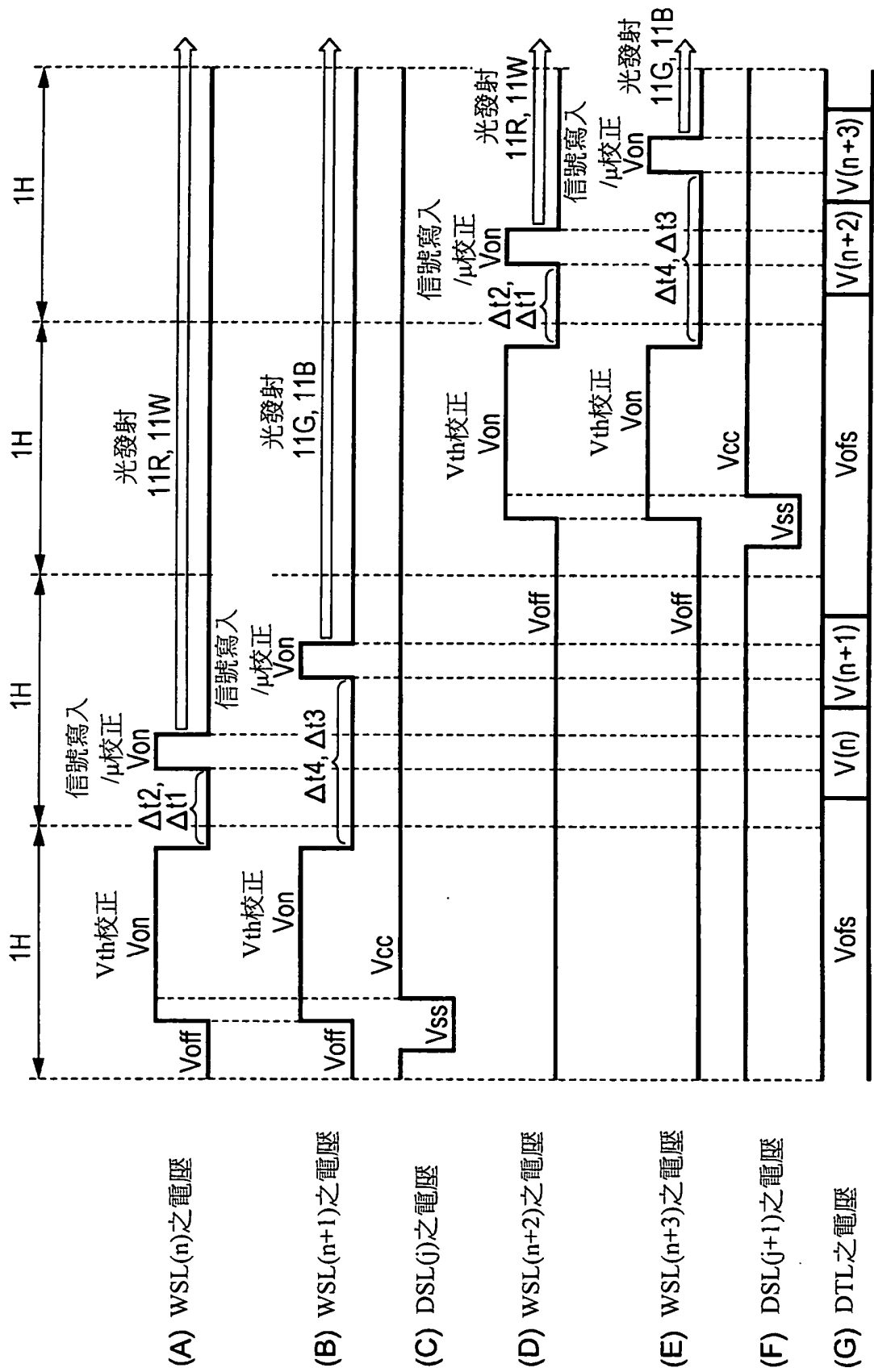


圖 15

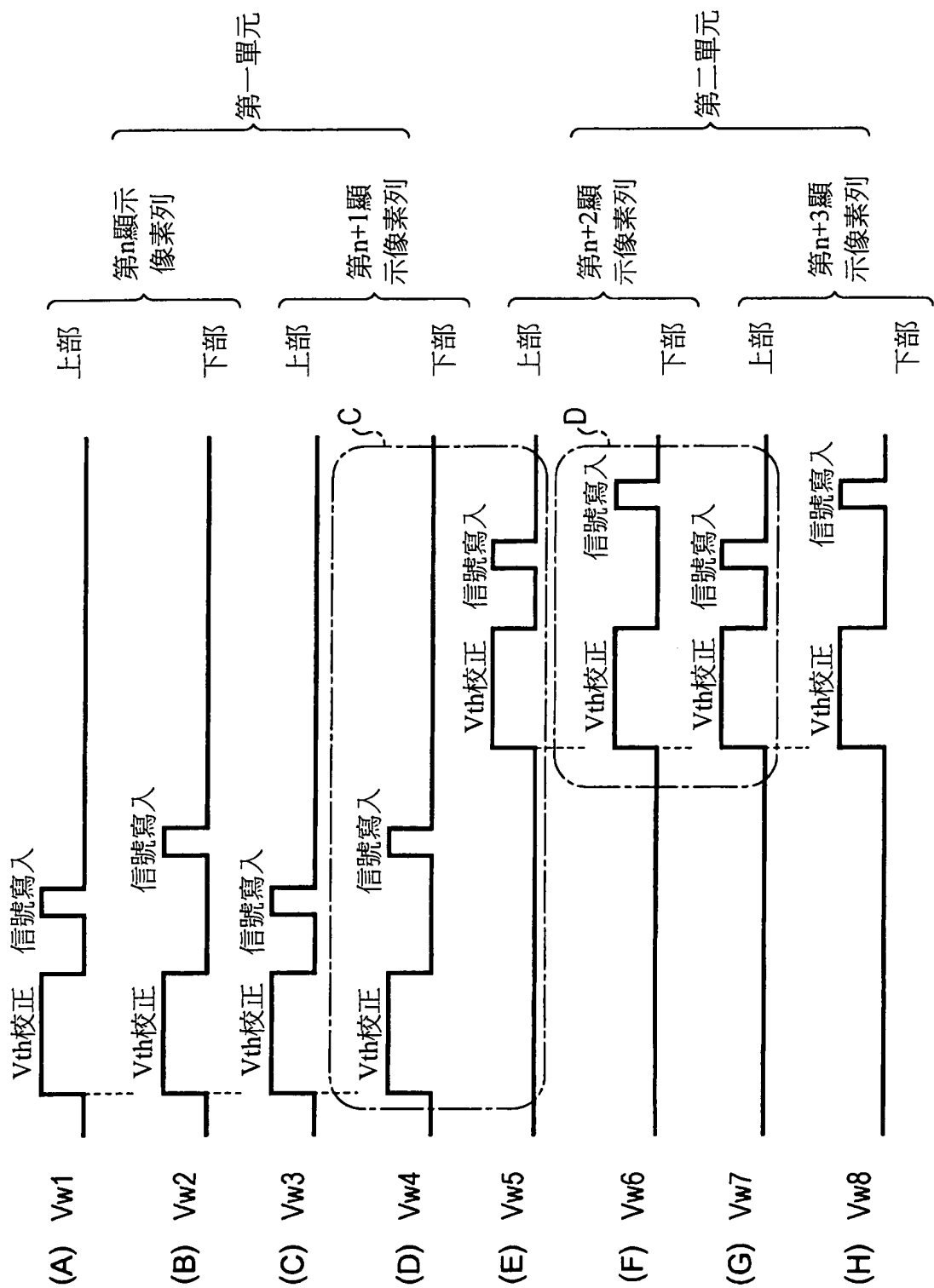


圖 16

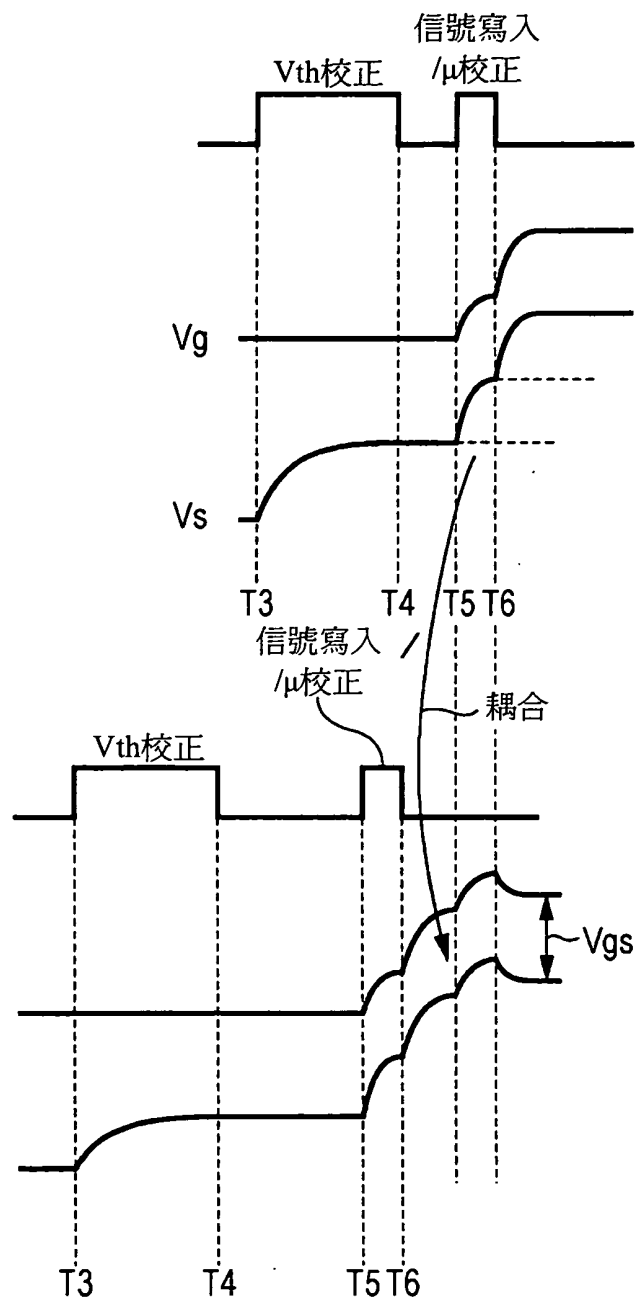


圖 17

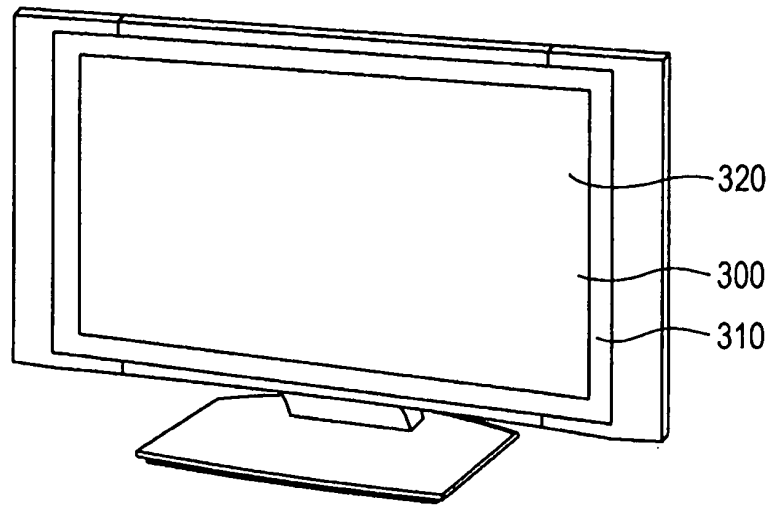


圖 18

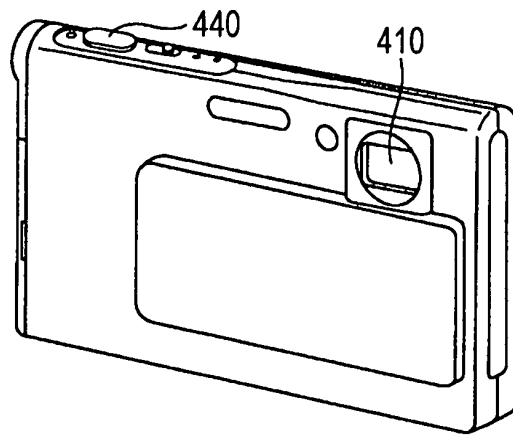


圖 19A

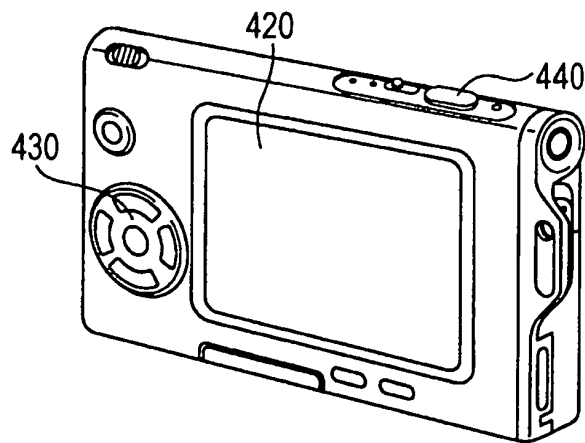


圖 19B

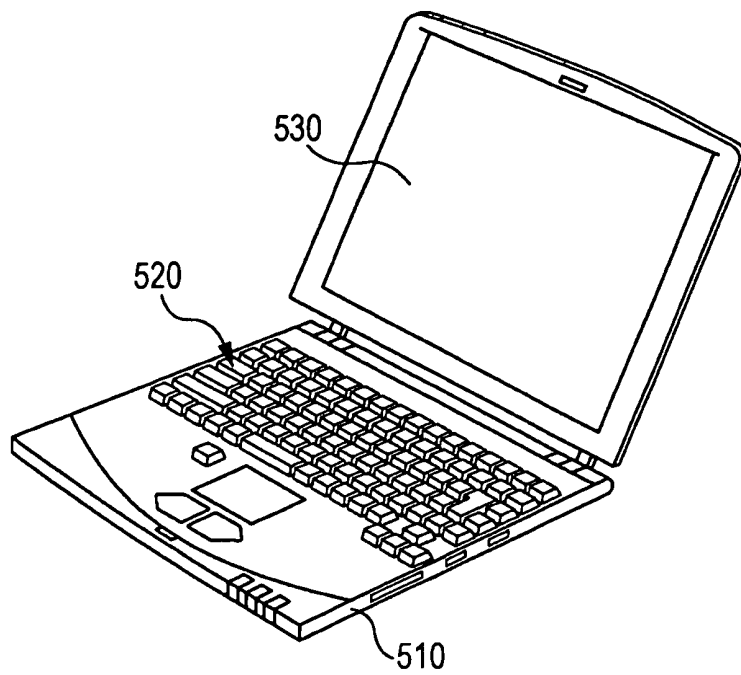


圖 20

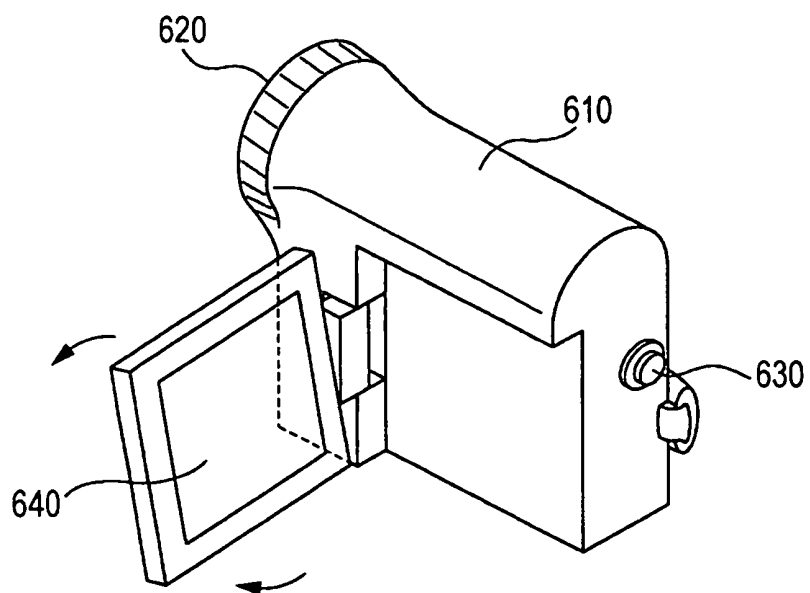


圖 21

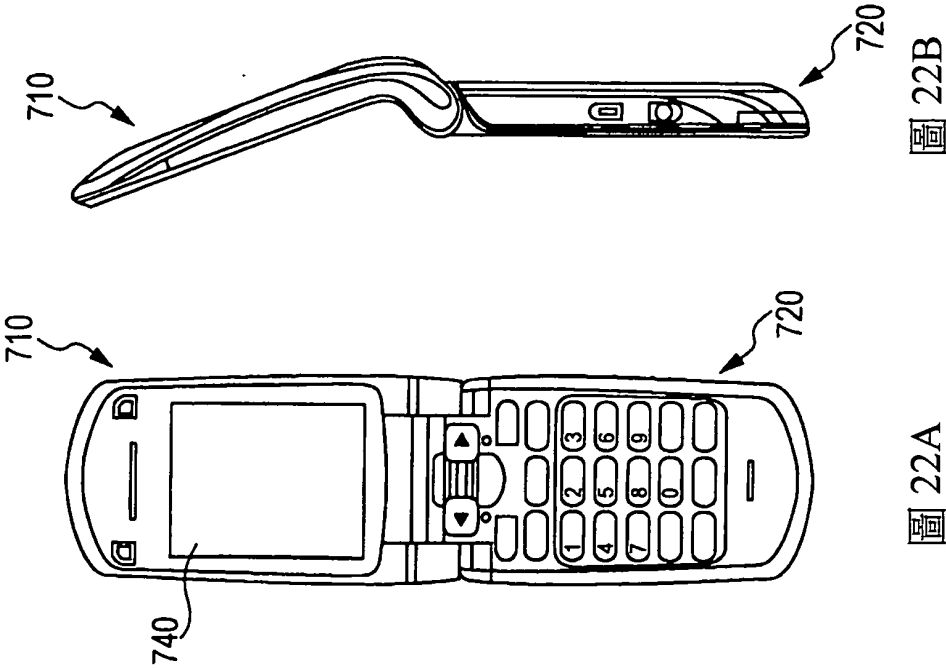


圖 22A

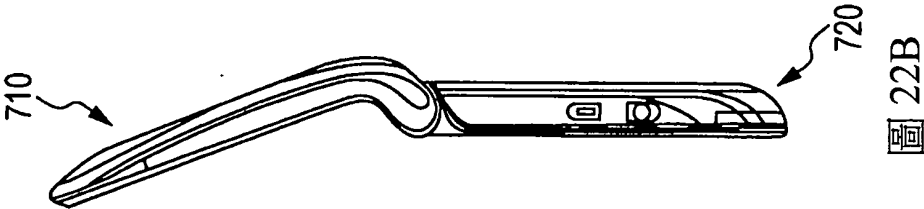


圖 22B

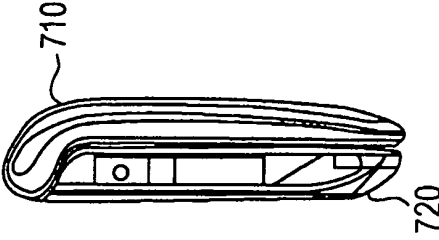


圖 22D

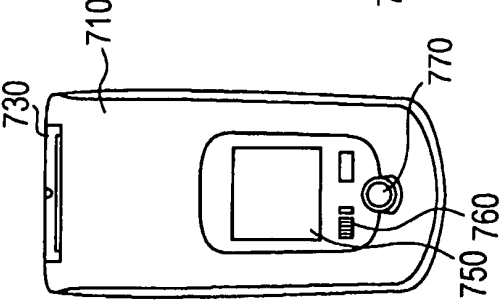


圖 22C

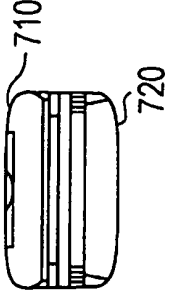


圖 22G

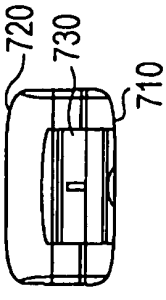


圖 22F

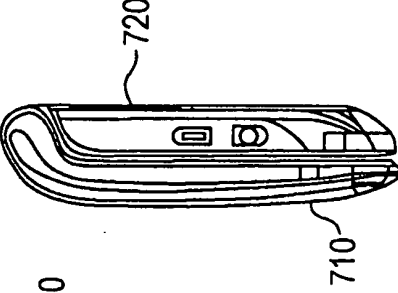


圖 22E

【代表圖】

【本案指定代表圖】：第（ 3 ）圖。

【本代表圖之符號簡單說明】：

11	像素
11B	像素
11G	像素
11R	像素
11W	像素
14	顯示像素
C1	連接點
C2	連接點
CTL	陰極線
DSL(j)	電源線
DTL(m)	信號線
DTL(m+1)	信號線
DTL(m+2)	信號線
DTL(m+3)	信號線
Vw1	電壓波形
Vw2	電壓波形
Vw3	電壓波形
Vw4	電壓波形
WSL(n)	掃描線
WSL(n+1)	掃描線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種顯示單元，其包括：

複數個像素電路，其等佈置成包括列及行之一矩陣形式，該複數個像素電路之各者包含一顯示元件、一第一電晶體、一電容器及一第二電晶體；

複數個寫入掃描線，其等各連接至該複數個像素電路之一各自對應列；

複數個信號線，其等各連接至該複數個像素電路之一各自對應行；

複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列；及

一驅動控制區段，

其中該複數個像素電路被分組成各包括連接至一對應單元電力供應線之像素電路之 $K \geq 4$ 個鄰接列之驅動單元，該單元電力供應線係由組態為一共同線之該複數個電力供應線之 $K/2$ 個電力供應線構成，其中 $K/2$ 係一正整數，

該等驅動單元之各者包含 $L \geq 2$ 個單元寫入掃描線，該等單元寫入掃描線各包括組態為一共同線之該複數個寫入掃描線之 $M \geq 2$ 個寫入掃描線，其中 $K = L \cdot M$ ，及

該驅動控制區段經組態以引起用於一信號寫入操作之一寫入掃描脈衝依在不同於驅動該等驅動單元發光之一順序進展之一方向之一方向上進展之一順序循序地施加至該等驅動單元之一給定者之該等單元寫入掃描線。

2. 如請求項1之顯示單元，

其中該複數個像素電路之各者對應於 N 個顯示色彩之一者，且

該複數個像素電路被分組成各包括分別對應於該N個顯示色彩之該複數個像素電路之N個像素電路之顯示像素單元，該N個像素電路係鄰接地佈置在 $M \leq N$ 個鄰接列中。

3. 如請求項2之顯示單元，

其中各單元寫入掃描線對應於該等顯示色彩之至少一者且連接至對應於該各自單元寫入掃描線所對應之該等顯示色彩之任一者且包含在該各自單元寫入掃描線所屬之該驅動單元中之所有該等像素電路。

4. 如請求項1之顯示單元，

其中對於該複數個像素電路之各者：

該第一電晶體經組態以在施加一掃描脈衝至該複數個寫入掃描線中連接至該第一電晶體之寫入掃描線時取樣該複數個信號線之一者上所攜載之一電位，

具有一第一端子之該電容器經組態以保持藉由該第一電晶體取樣之該電位，及

該第二電晶體經組態以將一驅動電流供應給該顯示元件，該驅動電流之量值對應於該電容器之該第一端子與該電容器之一第二端子之間之一電壓。

5. 如請求項1之顯示單元，

其中依自最接近該顯示單元之一第一側之一第一驅動單元進展至最接近該顯示單元與該第一側相對之一第二側之一最後驅動單元之一順序單元循序地驅動該等驅動單元，及

依自該等驅動單元之該給定者之一最後單元寫入掃描線進展至該等驅動單元之該給定者之一第一單元寫入掃描線之一順序循序施加該寫入掃描脈衝至該等驅動單元之該給定者之該等單元寫入掃描線，該等驅動單元之該給定者之該最後單元寫入掃

描線包含該等驅動單元之該給定者之該複數個寫入掃描線中最接近該顯示單元之該第二側之該寫入掃描線，且該等驅動單元之該給定者之該第一單元寫入掃描線包含該等驅動單元之該給定者之該複數個寫入掃描線中最接近該顯示單元之該第一側之該寫入掃描線。

6. 如請求項1之顯示單元，

其中該驅動控制區段經組態以藉由控制該複數個寫入掃描線、該複數個信號線及該複數個電力供應線之驅動而引起該複數個像素電路顯示對應於輸入影像資料之影像圖框，

該複數個像素電路經組態以在該驅動控制區段的控制下執行一臨限值校正操作，該臨限值校正操作導致將該複數個像素電路之該各自像素電路之該第二電晶體之一臨限電壓儲存在該複數個像素電路之該各自像素電路之該電容器中，及

該驅動控制區段經組態以引起包含於該等驅動單元之該給定者中之該複數個像素電路之各者在一給定影像圖框週期期間同時執行該臨限值校正操作。

7. 如請求項6之顯示單元，

其中該驅動控制區段經組態以藉由在連接至包含於該等驅動單元之該給定者中之該複數個像素電路之各者之該信號線上攜載一參考電位且施加一驅動電壓至該各自像素電路之該第二電晶體時引起該各自像素電路之該第一電晶體處於一導電狀態而引起該各自像素電路執行該臨限值校正操作。

8. 如請求項1之顯示單元，

其中對於該複數個像素電路之一給定者，該信號寫入操作包括藉由在施加一視訊信號電位至連接至該複數個像素電路之該給定者之該信號線時將該複數個像素電路之該給定者之該第一

電晶體置於一導電狀態中而引起該複數個像素電路之該給定者取樣一視訊信號電位。

9. 如請求項2之顯示單元，

其中 $N=4$ ， $M=2$ ， $K=4$ ，且該等顯示色彩包括紅色、綠色及藍色。

10. 如請求項9之顯示單元，

其中該等顯示色彩進一步包括白色。

11. 如請求項9之顯示單元，

其中該等顯示色彩進一步包括黃色。

12. 一種顯示單元，其包括：

複數個像素電路，其等佈置成包括列及行之一矩陣形式，該複數個像素電路之各者包含一顯示元件、一第一電晶體、一電容器及一第二電晶體；

複數個寫入掃描線，其等各連接至該複數個像素電路之一各自對應列；

複數個信號線，其等各連接至該複數個像素電路之一各自對應行；

複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列；及

一驅動控制區段，

其中該複數個像素電路被分組成各包括連接至一對應單元電力供應線之像素電路之4個鄰接列之驅動單元，該單元電力供應線係由組態為一共同線之該複數個電力供應線之兩個電力供應線構成，

該等驅動單元之各者包含兩個單元寫入掃描線，該兩個單元寫入掃描線各包括組態為一共同線之該複數個寫入掃描線之兩

個寫入掃描線，及

該驅動控制區段經組態以引起用於一信號寫入操作之一寫入掃描脈衝依在不同於驅動該等驅動單元發光之一順序所進展之一方向之一方向上進展之一順序循序地施加至該等驅動單元之一給定者之該等單元寫入掃描線。

13. 如請求項12之顯示單元，

其中該複數個像素電路之各者對應於四個顯示色彩之一者，且該複數個像素電路被分組成各包括鄰接地佈置在兩個相鄰列中且分別對應於該四個顯示色彩之該複數個像素電路之四個像素電路之顯示像素單元。

14. 如請求項13之顯示單元，

其中各單元寫入掃描線對應於該等顯示色彩之兩者，且連接至對應於該各自單元寫入掃描線所對應之該等顯示色彩之任一者且包含在該各自單元寫入掃描線所屬之該驅動單元中之所有該等像素電路。

15. 如請求項14之顯示單元，

其中對於該複數個像素電路之各者：

該第一電晶體經組態以在施加一掃描脈衝至該複數個寫入掃描線中連接至該第一電晶體之寫入掃描線時取樣該複數個信號線之一者上所攜載之一電位，

具有一第一端子之該電容器經組態以保持藉由該第一電晶體取樣之該電位，及

該第二電晶體經組態以將一驅動電流供應給該顯示元件，該驅動電流之量值對應於該電容器之該第一端子與該電容器之一第二端子之間之一電壓。

16. 如請求項12之顯示單元，

其中依自最接近該顯示單元之一第一側之一第一驅動單元進展至最接近該顯示單元與該第一側相對之一第二側之一最後驅動單元之一順序單元循序地驅動該等驅動單元，及

依自該等驅動單元之該給定者之一最後單元寫入掃描線進展至該等驅動單元之該給定者之一第一單元寫入掃描線之一順序循序施加該寫入掃描脈衝至該等驅動單元之該給定者之該等單元寫入掃描線，該等驅動單元之該給定者之該最後單元寫入掃描線包含該等驅動單元之該給定者之該複數個寫入掃描線中最接近該顯示單元之該第二側之該寫入掃描線，且該等驅動單元之該給定者之該第一單元寫入掃描線包含該等驅動單元之該給定者之該複數個寫入掃描線中最接近該顯示單元之該第一側之該寫入掃描線。

17. 如請求項12之顯示單元，

其中該驅動控制區段經組態以藉由控制該複數個寫入掃描線、該複數個信號線及該複數個電力供應線之驅動而引起該複數個像素電路顯示對應於輸入影像資料之影像圖框，

該複數個像素電路經組態以在該驅動控制區段的控制下執行一臨限值校正操作，該臨限值校正操作導致將該複數個像素電路之該各自像素電路之該第二電晶體之一臨限電壓儲存在該複數個像素電路之該各自像素電路之該電容器中，及

該驅動控制區段經組態以引起包含於該等驅動單元之該給定者中之該複數個像素電路之各者在一給定影像圖框週期期間同時執行該臨限值校正操作。

18. 如請求項17之顯示單元，

其中該驅動控制區段經組態以藉由在連接至包含於該等驅動單元之該給定者中之該複數個像素電路之各者之該信號線上攜

載一參考電位且施加一驅動電壓至該各自像素電路之該第二電晶體時引起該各自像素電路之該第一電晶體處於一導電狀態而引起該各自像素電路執行該臨限值校正操作。

19. 如請求項12之顯示單元，

其中對於該複數個像素電路之一給定者，該信號寫入操作包括藉由在施加一視訊信號電位至連接至該複數個像素電路之該給定者之該信號線時將該複數個像素電路之該給定者之該第一電晶體置於一導電狀態中而引起該複數個像素電路之該給定者取樣一視訊信號電位。

20. 一種驅動一顯示單元之方法，其包括：

引起驅動單元依在一給定方向上進展之一順序循序發光；及

引起用於一信號寫入操作之一寫入掃描脈衝依在不同於該給定方向之一方向上進展之一順序循序施加至該等驅動單元之一給定者之單元寫入掃描線，

其中該顯示單元包括：複數個像素電路，其等佈置成包括列及行之一矩陣形式，且各包含一顯示元件、一第一電晶體、一電容器及一第二電晶體；複數個寫入掃描線，其等各連接至該複數個像素電路之一各自對應列；複數個信號線，其等各連接至該複數個像素電路之一各自對應行；及複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列，

該等驅動單元各包括連接至一相同單元電力供應線之像素電路之 $K \geq 4$ 個鄰接列，該單元電力供應線係由組態為一共同線之該複數個電力供應線之 $K/2$ 個電力供應線構成，其中 $K/2$ 係一正整數，及

該等驅動單元之各者包含 $L \geq 2$ 個單元寫入掃描線，該等單元寫入掃描線各包括組態為一共同線之該複數個寫入掃描線之 $M \geq 2$ 個寫入掃描線，其中 $K = L \cdot M$ 。