

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5317353号

(P5317353)

(45) 発行日 平成25年10月16日(2013.10.16)

(24) 登録日 平成25年7月19日(2013.7.19)

(51) Int.Cl.

F I

H O 1 L 21/8242 (2006.01)

H O 1 L 27/10 3 2 1

H O 1 L 27/108 (2006.01)

請求項の数 4 (全 13 頁)

(21) 出願番号	特願2009-534733 (P2009-534733)	(73) 特許権者	504199127
(86) (22) 出願日	平成19年8月30日 (2007.8.30)		フリースケール セミコンダクター イン
(65) 公表番号	特表2010-508657 (P2010-508657A)		コーポレイテッド
(43) 公表日	平成22年3月18日 (2010.3.18)		アメリカ合衆国 テキサス州 7 8 7 3 5
(86) 国際出願番号	PCT/US2007/077170		オースティン ウィリアム キャノン
(87) 国際公開番号	W02008/054919		ドライブ ウェスト 6 5 0 1
(87) 国際公開日	平成20年5月8日 (2008.5.8)	(74) 代理人	100142907
審査請求日	平成22年8月20日 (2010.8.20)		弁理士 本田 淳
(31) 優先権主張番号	11/554,851	(72) 発明者	バーネット、ジェームズ ディー、
(32) 優先日	平成18年10月31日 (2006.10.31)		フランス国 F-3 8 2 4 0 メイラン
(33) 優先権主張国	米国 (US)	(72) 発明者	シュマン デュ クロ ビュイッソン 8
			ウィンステッド、ブライアン エイ、
			アメリカ合衆国 7 8 7 5 6 テキサス州
			オースティン ジョー セイヤーズ ア
			ベニュー 5 7 0 9

最終頁に続く

(54) 【発明の名称】 ワン・トランジスタDRAMセル構造及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

ワン・トランジスタ・ダイナミック・ランダム・アクセス・メモリ (D R A M) セルであって、

第一のソース/ドレイン領域と、第二のソース/ドレイン領域と、前記第一のソース/ドレイン領域及び前記第二のソース/ドレイン領域の間に配置された本体領域と、前記本体領域上に配置されたゲートとを有するトランジスタを含み、

前記第一のソース/ドレイン領域が前記本体領域とのショットキーダイオード接合を含み、前記第二のソース/ドレイン領域が前記本体領域との n - p ダイオード接合と、同 n - p ダイオード接合と直列に接続されたオーミックコンタクトと、を含み、

前記第一のソース/ドレイン領域は前記ゲートの下側に延びる第一のシリサイド層を含み、前記第二のソース/ドレイン領域は前記ゲートの下側に延びる第二のシリサイド層と前記ゲートの下側に延びるソース/ドレイン延長領域とを含み、

前記第一のソース/ドレイン領域及び前記第二のソース/ドレイン領域の各々は深いソース/ドレイン領域を含み、かつ前記第一のソース/ドレイン領域はソース/ドレイン延長領域を備えておらず、

前記トランジスタが N チャネルトランジスタとして特徴化される場合、多数キャリアは、前記第二のソース/ドレイン領域での電位よりも低い前記第一のソース/ドレイン領域での電位にตอบสนองして前記 D R A M セルの書き込み動作時にショットキーダイオード接合を介して前記本体領域から除去され、かつ

10

20

前記トランジスタがPチャネルトランジスタとして特徴化される場合、多数キャリアは、前記第二のソース/ドレイン領域での電位よりも高い前記第一のソース/ドレイン領域での電位にตอบสนองして前記DRAMセルの書き込み動作時にショットキーダイオード接合を介して前記本体領域から除去される、DRAMセル。

【請求項2】

ワン・トランジスタ・ダイナミック・ランダム・アクセス・メモリ(DRAM)セルであって、

第一のソース/ドレイン領域と、第二のソース/ドレイン領域と、前記第一のソース/ドレイン領域及び前記第二のソース/ドレイン領域の間に配置された本体領域と、前記本体領域上に配置されたゲートとを有するトランジスタを含み、

10

前記第一のソース/ドレイン領域が前記本体領域とのショットキーダイオード接合を含み、前記第二のソース/ドレイン領域が前記本体領域とのn-pダイオード接合を含み、

前記第一のソース/ドレイン領域は前記ゲートの下側に延びる第一のシリサイド層を含み、前記第二のソース/ドレイン領域は前記ゲートの下側に延びる第二のシリサイド層と前記ゲートの下側に延びるソース/ドレイン延長領域とを含み、

前記第一のソース/ドレイン領域及び前記第二のソース/ドレイン領域の各々は深いソース/ドレイン領域を含み、かつ前記第一のソース/ドレイン領域はソース/ドレイン延長領域を備えていない、DRAMセル。

【請求項3】

ワン・トランジスタ・ダイナミック・ランダム・アクセス・メモリ(DRAM)セルを形成するための方法であって、前記方法は、

20

第一のソース/ドレイン領域と、第二のソース/ドレイン領域と、前記第一のソース/ドレイン領域及び前記第二のソース/ドレイン領域の間に配置された本体領域と、前記本体領域上に配置されたゲートとを有するトランジスタであって、

前記第一のソース/ドレイン領域が前記本体領域とのショットキーダイオード接合を含み、前記第二のソース/ドレイン領域が前記本体領域とのn-pダイオード接合と、同n-pダイオード接合と直列に接続されたオーミックコンタクトと、を含み、

前記第一のソース/ドレイン領域は前記ゲートの下側に延びる第一のシリサイド層を含み、

前記第二のソース/ドレイン領域は前記ゲートの下側に延びる第二のシリサイド層と前記ゲートの下側に延びるソース/ドレイン延長領域とを含み、

30

前記第一のソース/ドレイン領域及び前記第二のソース/ドレイン領域の各々は深いソース/ドレイン領域を含み、かつ前記第一のソース/ドレイン領域はソース/ドレイン延長領域を備えておらず、

前記トランジスタがNチャネルトランジスタとして特徴化される場合、多数キャリアは、前記第二のソース/ドレイン領域での電位よりも低い前記第一のソース/ドレイン領域での電位にตอบสนองして前記DRAMセルの書き込み動作時にショットキーダイオード接合を介して前記本体領域から除去され、かつ

前記トランジスタがPチャネルトランジスタとして特徴化される場合、多数キャリアは、前記第二のソース/ドレイン領域での電位よりも高い前記第一のソース/ドレイン領域での電位にตอบสนองして前記DRAMセルの書き込み動作時にショットキーダイオード接合を介して前記本体領域から除去される、前記トランジスタ、
を形成する工程を含む、方法。

40

【請求項4】

前記ソース/ドレイン延長領域は、前記第二のシリサイド層と同ソース/ドレイン延長領域との間にてオーミックコンタクトを提供することができるドーパント濃度を有する、請求項1または2に記載のDRAMセル。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は概して半導体素子に関し、より詳細には、単一のトランジスタを有するD R A Mセルに関する。

【背景技術】

【0002】

D R A M (ダイナミック・ランダム・アクセス・メモリ) は、主として高密度にて良好な速度を伴うので、一般的には大きな成功を収めてきた。より一層の高密度を求めて、単一トランジスタD R A Mの技術が開発されてきた。個々のセルは、セミコンダクタ・オン・インシュレータ (S O I) 基板またはバルク基板上に設けられ、独立したトランジスタ本体を備えるとともに、単一のトランジスタのみを必要として、これまでにD R A Mにおいて使用されてきたキャパシタを必要としないものである。このような種類のD R A Mセルはまた、キャパシタを必要としないことから、キャパシタレスD R A Mセルとしても知られている。そのような単一トランジスタD R A Mセルにおいて、トランジスタ本体はフローティングした状態であり、そして、トランジスタ本体が互いから隔離されているので電荷は本体に蓄積される。これによりトランジスタの閾値が変更され、その差異を検出することが可能となる。

10

【発明の概要】

【発明が解決しようとする課題】

【0003】

典型的なNチャネルトランジスタの場合、書き込みの技術にて、電氣的に浮遊しているトランジスタ本体にトラップされた状態にて残存する正孔が生成される。これは、トランジスタが除去される正孔よりも多くの正孔 / 電子対の生成を達成するべく動作するように、ゲート、ソース及びドレインの電圧を選択することにより達成される。消去においては、正孔の除去が正孔 / 電子対の生成よりも速く起こるように、ゲート、ソース及びドレインの電圧を調整することにより同正孔が除去される。書き込みと消去との両方を十分な速度にて行うことは最も困難なことの一つであった。仮に消去モードにおいて、正孔の除去が正孔 / 電子対生成の速度よりも十分に速くない場合、消去は非常に遅くなる。同様に、仮に書き込みモードにおいて、正孔 / 電子対の生成が正孔の除去よりも十分に速くない場合、書き込みが非常に遅くなる。読み出しと書き込みのいずれに対しても十分な速度を得ることはこれまでににおいて一つの課題であった。従って、読み出し動作と書き込み動作のいずれをも十分な速度にて達成する技術を求める必要性が存在する。

20

30

【課題を解決するための手段】

【0004】

ステートメント1 . ワン・トランジスタ・ダイナミック・ランダム・アクセス・メモリ (D R A M) セルであって、第一のソース / ドレイン領域と、第二のソース / ドレイン領域と、第一及び第二のソース / ドレイン領域の間に配置された本体領域と、本体領域上に配置されたゲートとを有するトランジスタを含み、第一のソース / ドレイン領域が本体領域とのショットキーダイオード接合を含み、第二のソース / ドレイン領域が本体領域とのn - pダイオード接合を含む、D R A Mセル。

【0005】

ステートメント2 . 第二のソース / ドレイン領域がn - pダイオード接合と直列に接続されたオーミックコンタクトを含む、ステートメント1のD R A Mセル。

40

ステートメント3 . 第一のソース / ドレイン領域はゲートの下側に延びる第一のシリサイド層を含み、第二のゲート / ドレイン領域はゲートの下側に延びる第二のシリサイド層とゲートの下側に延びるソース / ドレイン延長領域とを含む、ステートメント1のD R A Mセル。

【0006】

ステートメント4 . 本体領域とのショットキーダイオード接合は、第一のシリサイド層と本体領域との間に形成され、かつ本体領域とのn - pダイオード接合は、ソース / ドレイン延長領域と本体領域との間に形成される、ステートメント3のD R A Mセル。

【0007】

50

ステートメント 5 . 本体領域は第一の導電性の型を有し、ソース/ドレイン延長領域は第一の導電性の型とは異なる第二の導電性の型を有する、ステートメント 4 の D R A M セル。

【 0 0 0 8 】

ステートメント 6 . 第一及び第二のソース/ドレイン領域の各々は深いソース/ドレイン領域を含み、かつ第一のソース/ドレイン領域は、ソース/ドレイン延長領域を備えていない、ステートメント 3 の D R A M セル。

【 0 0 0 9 】

ステートメント 7 . ショットキーダイオード接合は D R A M セルの第一の書き込み動作時に第一の状態を書き込むために本体領域から多数キャリアを除去する、ステートメント 1 の D R A M セル。

10

【 0 0 1 0 】

ステートメント 8 . トランジスタが N チャネルトランジスタとして特徴化される場合、多数キャリアは、第二のソース/ドレイン領域での電位より低い第一のソース/ドレイン領域での電位にตอบสนองして本体領域から除去される、ステートメント 7 の D R A M セル。

【 0 0 1 1 】

ステートメント 9 . トランジスタが P チャネルトランジスタとして特徴化される場合、多数キャリアは、第二のソース/ドレイン領域での電位より高い第一のソース/ドレイン領域での電位にตอบสนองして本体領域から除去される、ステートメント 7 の D R A M セル。

20

【 0 0 1 2 】

ステートメント 1 0 . トランジスタが N チャネルトランジスタとして特徴化される場合、D R A M セルの記憶された値は、第一のソース/ドレイン領域での電位よりも低い第二のソース/ドレイン領域での電位にตอบสนองして検出される、ステートメント 1 の D R A M セル。

【 0 0 1 3 】

ステートメント 1 1 . トランジスタが P チャネルトランジスタとして特徴化される場合、D R A M セルの記憶された値は、第一のソース/ドレイン領域での電位よりも高い第二のソース/ドレイン領域での電位にตอบสนองして検出される、ステートメント 1 の D R A M セル。

【 0 0 1 4 】

30

ステートメント 1 2 . 第一のソース/ドレイン領域はゲートの下側に延びるとともに多数キャリアに対して低障壁シリサイド材料からなる第一のシリサイド層を含む、ステートメント 1 の D R A M セル。

【 0 0 1 5 】

ステートメント 1 3 . ワン・トランジスタ・ダイナミック・ランダム・アクセス・メモリ (D R A M) セルであって、第一のソース/ドレイン領域と、第二のソース/ドレイン領域と、第一及び第二のソース/ドレイン領域の間に配置された本体領域と、本体領域上に配置されたゲートとを有するトランジスタを含み、第一のソース/ドレイン領域が本体領域とのショットキーダイオード接合を含み、第二のソース/ドレイン領域が本体領域との n - p ダイオード接合と、n - p ダイオード接合と直列に接続されたオーミックコンタクトと、を含み、トランジスタが N チャネルトランジスタとして特徴化される場合、多数キャリアは、第二のソース/ドレイン領域での電位よりも低い第一のソース/ドレイン領域での電位にตอบสนองして D R A M セルの書き込み動作時にショットキーダイオード接合を介して本体領域から除去され、かつトランジスタが P チャネルトランジスタとして特徴化される場合、多数キャリアは、第二のソース/ドレイン領域での電位よりも高い第一のソース/ドレイン領域での電位にตอบสนองして D R A M セルの書き込み動作時にショットキーダイオード接合を介して本体領域から除去される、D R A M セル。

40

【 0 0 1 6 】

ステートメント 1 4 . 第一のソース/ドレイン領域はゲートの下側に延びる第一のシリサイド層を含み、第二のソース/ドレイン領域はゲートの下側に延びる第二のシリサイド

50

層とゲートの下側に延びるソース/ドレイン延長領域とを含み、かつ本体領域とのショットキーダイオード接合は第一のシリサイド層と本体領域との間に形成され、本体領域との $n-p$ ダイオード接合はソース/ドレイン延長領域と本体領域との間に形成される、ステートメント 13 の DRAM セル。

【0017】

ステートメント 15 . 第一のシリサイド層は本体領域と物理的に接触し、かつ第二のシリサイド層は本体領域と物理的に接触しない、ステートメント 14 の DRAM セル。

ステートメント 16 . トランジスタが N チャネルトランジスタとして特徴化される場合、DRAM セルの記憶された値は、第一のソース/ドレイン領域での電位よりも低い第二のソース/ドレイン領域での電位にตอบสนองして検出され、かつトランジスタが P チャネルトランジスタとして特徴化される場合、DRAM セルの記憶された値は、第一のソース/ドレイン領域での電位よりも高い第二のソース/ドレイン領域での電位にตอบสนองして検出される、ステートメント 13 の DRAM セル。

【0018】

ステートメント 17 . 第一のソース/ドレイン領域はゲートの下側に延びるとともに多数キャリアのための低障壁シリサイド材料からなる第一のシリサイド層を含む、ステートメント 13 の DRAM セル。

【0019】

ステートメント 18 . ワン - トランジスタ・ダイナミック・ランダム・アクセス・メモリ (DRAM) セルを形成するための方法であって、DRAM メモリセルの本体領域上にゲートを形成する工程であって、同 DRAM メモリセルの本体は第一の導電性の型を有する半導体層から形成される、工程と、本体領域に隣接する位置と、同位置と本体領域に対して相対向する側である位置と、に半導体層の第一及び第二のソース/ドレイン領域を形成する工程とを含み、第一のソース/ドレイン領域は本体領域とのショットキーダイオード接合を含み、第二のソース/ドレイン領域は本体領域との $n-p$ ダイオード接合を含む、方法。

【0020】

ステートメント 19 . 第一のソース/ドレイン領域はゲートの下側に延びる第一のシリサイド層を含み、第二のソース/ドレイン領域はゲートの下側に延びる第二のシリサイド層とゲートの下側に延びるソース/ドレイン延長領域とを含み、ソース/ドレイン延長領域は第一の導電性の型とは異なる第二の導電性の型を有し、かつ本体領域とのショットキーダイオード接合は第一のシリサイド層と本体領域との間に形成され、本体領域との $n-p$ ダイオード接合はソース/ドレイン延長領域と本体領域との間に形成される、ステートメント 18 の方法。

【0021】

ステートメント 20 . 第一及び第二のソース/ドレイン領域を形成する工程は、第一及び第二のソース/ドレイン領域の各々に深いソース/ドレイン領域を形成する工程を含み、第一のソース/ドレイン領域はソース/ドレイン延長領域を備えておらず、それにより第一のシリサイド層は本体領域と物理的に接触される、ステートメント 19 の方法。

【図面の簡単な説明】

【0022】

【図 1】一実施形態に従う、その製造段階におけるデバイスの断面図を示す。

【図 2】一実施形態に従う、図 1 のデバイスを使用するメモリセルに適用可能なマスクレイアウトを示す。

【図 3】図 1 のデバイスを使用するメモリアレイが、一実施形態に従って「1」の書き込み動作時にバイアスされる様式の図を示す。

【図 4】図 1 のデバイスを使用するメモリアレイが、一実施形態に従って「0」の書き込み動作時にバイアスされる様式の図を示す。

【図 5】図 1 のデバイスを使用するメモリアレイが、一実施形態に従って読み出し動作時にバイアスされる様式の図を示す。

10

20

30

40

50

【発明を実施するための形態】

【0023】

本発明は、例示のみの目的にて示されるものであり、添付された図面により制限されるものではない。同図面において、同一の符号は同一の要素を示す。

当業者は、図面の要素が簡素化かつ明瞭化のために示されており、必ずしも実寸に従って描かれていないことを理解するであろう。例えば、本発明の実施形態の理解を容易にするために、図面において要素の幾らかの寸法は、その他の要素よりも誇張して描かれている。

【0024】

本発明の主題であるワン・トランジスタ・DRAMセル構造及びその製造方法を完全に理解するために、添付された特許請求の範囲を含む以下の詳細な説明が、上記した図面とともに参照される。

【0025】

以下において明らかになる様式において、主題の発明は、一つの形態において、単一トランジスタキャパシタレス(1T/0C)メモリセルをプログラミングする構造及び方法に帰属している。より詳細には、浮遊する(すなわち、独立した)本体領域を含むメモリセルは、本体領域と、対応するドレイン及びソース領域と、を含むMOSトランジスタの閾値電圧 V_T を調節することによりプログラム化される。 V_T の調節は、本体領域における多数キャリアのバンド間トンネリング(BTB T)の結果として、蓄積により達成される。この様式にてメモリセルをプログラミングすることはその他周知の技術よりも好ましく、特に、BTB Tによる多数キャリアの生成は非常に低いドレイン電流を必要とするのみであるので好ましい。

【0026】

フローティング本体領域から正孔をパージする場合に一つの問題が生ずる。従来のn-p接合は、正孔が本体領域から如何に効率的に除去され得るかという点において制限があった。これは、n-p接合の比較的弱い順方向バイアス電流によるものである。結果として、(1T/0C)メモリセルに対する「0」の書き込み動作後、本体の電位は、「0」と「1」との状態の間にて強固な読み出しマージンを提供するには十分に低いものではない。その結果、大型のメモリアレイにおいて、ビットの全てにわたり、引き続く「0」の読み出しと「1」の読み出しとを正確に区別する上において問題となるかもしれない。この問題は、大型アレイのメモリセルの範囲外ビット又はテールビットに対しては特に顕著であり得る。

【0027】

幾らかのショットキー接合は、十分に低い逆方向バイアス電流を提供しつつ、n-p接合よりも実質的に大きな順方向バイアス電流を有し得る。この実質的により大きな順方向バイアス電流は、正孔が、本体領域からより効率的に除去されることを可能にする。その結果、(1T/0C)メモリセルに対する「0」の書き込み動作後、本体の電位は、「0」及び「1」の状態の間での強固な読み出しマージンを提供するには十分に低いものである。結果として、大型のメモリアレイにおいて、ビットの全てにわたり、引き続く「0」の読み出しと「1」の読み出しとを正確に区別する上での問題はより少なくなっていると考えられる。これは、大型アレイのメモリセルの範囲外ビット又はテールビットに対しては特に有用である。

【0028】

ショットキー接合は、異なる障壁高を有し得る。一実施形態において、ショットキー接合の障壁高は「0」の書き込み動作時に強い順方向電流を提供するのに十分に低い、それほど低くないので、(1T/0C)メモリセルに記憶されたデータ値を妨害する深刻な逆方向漏洩が存在する。

【0029】

しかしながら、ソース側にてショットキー接合を使用することは、読み出し動作時に重大な問題を引き起こす。「1」の読み出し動作時に、ソース接合に対して本体は順方向に

バイアスされる。仮にソースがショットキー接合を使用する場合、同ショットキー接合の実質的により大きな順方向バイアス電流により、本体は非常に迅速にその電荷を失う。しかしながら、この場合、本体領域にて正孔が迅速に消失することが問題である。本体領域における正孔の迅速な除去は、データが起こす「1」の読み出しを損失させるかもしれない。結果として、読み出し動作時にはショットキー接合よりもn - p接合を使用することが有利である。

【0030】

その結果は、ショットキー接合の順方向バイアスは、「0」の書き込み動作時に正孔の効率的な除去を提供するために使用され得、n - p接合は読み出し動作時にソースにて使用されて、「1」の読み出し動作時にショットキー接合がデータの損失を引き起こすことを回避する。

10

【0031】

図1は一実施形態に従う、その製造段階におけるデバイス10の断面図を示す。図1に示されるように、メモリセルは基板12上に形成されたMOSトランジスタ10を含む。基板12はSOI（シリコンオンインシュレータ）基板であるか、バルク基板であり、フローティング本体（floating body）領域を備えている。公知の製造技術を使用して、基板12上にMOS（例えば、NMOS）トランジスタを形成する。得られたデバイス10は本体領域36（例えば、p型導電体の）を含む。ドレイン領域26（例えば、n型）は、本体領域36の一方の端部に形成され、ソース領域24（例えば、n型）は本体領域36の相対向する端部に形成される。代替的な実施形態において、極性の適切な変更に伴ってPMOSトランジスタがNMOSトランジスタの代わりに形成される。図示された実施形態において、シリサイド層14がソース領域30上に重ねられ、シリサイド層16がドレイン領域34上に重ねられる。幾らかの実施形態において、シリサイド領域22がゲート20上に重ねられる。代替的な実施形態では、シリサイド層22を使用しない。

20

【0032】

いくらかの実施形態に対して、ドレイン領域26は深いドレイン領域34を含み、かつソース領域24は深いソース領域30とソース延長領域32とを含むことを明記したい。ゲート構造又はゲートスタック28はゲートシリサイド22とゲート材料20とゲート誘電体18とを含むとともに、本体領域36の上に配置されている。好ましい実施形態において、MOSトランジスタ10はドレイン領域26とソース領域24とがゲートスタック28と自己整列するように製造される。最終的に、ゲートスタック28に接続されるワード線（WL）40と、ドレイン26に接続されるビット線（BL）42と、ソース24に接続されるソース線（SL）44とを含む相互接続が提供される。

30

【0033】

図示された実施形態において、シリサイド14はソース領域24の一部として形成され、かつシリサイド16はドレイン領域26の一部として形成されることを明記したい。ソース延長領域32（n型）はソース24の一部として形成される。ソース延長領域32のドーパント濃度は、ソース側シリサイド14とソース延長領域32との間にてオーミックコンタクトを提供するのに十分に高くするべきである。一実施形態において、ソース領域30、32及びドレイン領域34のドーパント濃度は 3×10^{19} 乃至 3×10^{20} 原子/cm³の範囲であり得、本体領域36のドーパント濃度は約 5×10^{16} 乃至 5×10^{17} 原子/cm³の範囲であり得る。代替的な実施形態は、異なるドーパント濃度を使用し得る。

40

【0034】

種々の方法を使用して、図1のデバイスが形成される。例えば、傾斜注入を使用してソース延長領域32が形成され得る。図1を参照すると、傾斜注入は、垂直方向から約45度の角度にて、ソース側（左側）からデバイス10に斜めに近づくことができる。代替的な実施形態は垂直方向に対して0度（垂直注入）から垂直方向に対して約60度の範囲の注入角を使用し得る。図1のデバイス10を形成するために使用されるその他の方法は垂

50

直注入を使用し得る。

【 0 0 3 5 】

一実施形態において、マスク（図示しない）を使用してドレイン側 2 6 を覆い（mask off）、それによりソース延長領域 3 2 がソース側においてのみ形成される。この場合、垂直注入を使用して、ソース側にソース延長領域 3 2 が形成される。代替的な実施形態は、マスクングと注入角の組合せを使用してソース側及びドレイン側に所望のドーパントプロファイルを生成し得る。ドレイン側を覆うために使用されるマスクは、修正された延長注入マスクであり得、ここで、延長注入マスクは p - チャネルデバイスをマスクし、かつ修正延長注入マスクは p - チャネルデバイスと n - チャネルデバイスのドレイン領域とを覆う。従って、修正延長注入マスクは、製造工程を作製するために非常に容易であり、かつ安価であり得る。

10

【 0 0 3 6 】

図 1 のデバイスを形成するために使用されるいくつかの方法は、犠牲的な（即ち、最終的なデバイスから除去される）、かつ図 1 に示されるスペーサ 2 9 より広い幅広のスペーサ（図示しない）を使用できる。異なる方法において、符号 1 4 , 1 6 及び 2 2 にて示されるシリサイド層は、ソース延長領域 3 2 の注入の前、又は後に堆積され得る。

【 0 0 3 7 】

一実施形態において、シリサイド層は以下の材料の一つ以上を含み得る：即ち、エルビウムシリサイド（ ErSi_x ）、イッテルビウムシリサイド（ YbSi_x ）及び / 又は白金シリサイド（ PtSi ）を含み得る。一般的に NMOS デバイスに対して、以下の材料の一つ以上：即ち、エルビウムシリサイド（ ErSi_x ）及び / 又はイッテルビウムシリサイド（ YbSi_x ）が使用され得る。一般的に PMOS デバイスに対して、白金シリサイドが使用され得る。別の実施形態において、シリサイド層は、シリサイド / シリコン接合に介装される極薄絶縁体（ほぼ単層の）を含み、接合部分のパシベーションにより障壁高さを調節する。一実施形態において、選択されたシリサイド材料はショットキー接合の所望の動作に対して十分に低い障壁を提供する。幾らかの実施形態に対して、低障壁材料は NMOS デバイスに対して約 4 0 0 ミリボルト以内の伝導帯端の障壁高を有する材料であるように定義され、PMOS デバイスに対して約 4 0 0 ミリボルト以内の価電子帯端の障壁高を有する材料であるように定義される。幾らかの実施形態において、低障壁材料は NMOS デバイスに対して約 3 0 0 ミリボルト以内の伝導帯端の障壁高を有する材料であるように定義され、PMOS デバイスに対して約 3 0 0 ミリボルト以内の価電子帯端の障壁高を有する材料であるように定義される。代替的な実施形態は、異なる材料及び / 又はショットキー接合を形成するために異なる障壁を有する材料を使用し得る。

20

30

【 0 0 3 8 】

図 1 のデバイスを形成するために使用される方法の一例を以下に記載する。注入を使用してソース延長領域 3 2 が形成され得る。注入はドレイン側 2 6 の注入を阻止するマスクング層（図示しない）を使用する垂直注入であり得るか、或いは注入はドレイン側 2 6 の注入を阻止するゲートスタック 2 8 を使用する傾斜注入であり得る。次に、引き続き注入時に、スペーサ 2 9 よりも幅広の犠牲的スペーサ（図示しない）を使用して、深いソース領域 3 0 と深いドレイン領域 3 4 を形成することを明記したい。次に、これらの犠牲的スペーサ（図示しない）がシリサイド層 1 4 , 1 6 及び 2 2 を堆積する前に除去され得る。

40

【 0 0 3 9 】

図 1 のデバイス 1 0 を形成するために使用される方法の代替的な例を以下に示す。シリサイド層 1 4 , 1 6 及び 2 2 が堆積され得る。注入を使用してソース延長領域 3 2 が形成され得る。注入は、ドレイン側 2 6 の注入を阻止するマスクング層（図示しない）を使用する垂直注入であり得るか、或いは注入はドレイン側 2 6 の注入を阻止するゲートスタック 2 8 を使用する傾斜注入であり得る。次に、引き続き注入時に、サイドウォール・スペーサ 2 9 よりも広い犠牲的スペーサ（図示しない）を使用して、深いソース領域 3 0 と深いドレイン領域 3 4 を形成することを明記したい。これらの犠牲的スペーサが次に除去され得る。

50

【 0 0 4 0 】

図 1 に示されるトランジスタ 1 0 はソース領域 2 4 に n - p 接合を、ドレイン領域 2 6 にショットキー接合を有することを明記したい。ソース領域 2 4 の n - p 接合は、n 型領域 3 0 , 3 2 と p 型本体 3 6 との間であり得る。ドレイン領域 2 6 のショットキー接合は、シリサイド層 1 6 と p 型本体領域 3 6 との間であり得る。

【 0 0 4 1 】

図 2 は多数のメモリセル 1 0 を含むメモリアレイが形成されている半導体デバイスの動作マスクレイアウトの図である。図 2 に示されるように、複数のワード線 (W L) 1 1 6 がデバイスの表面とほぼ平行に水平方向に延びている。各 W L 1 1 6 はまた、メモリアレイの所定の行において対応するメモリセルのポリシリコンゲートコンダクタ 2 0 を構成する。B L 1 1 7 及び S L 1 1 8 は垂直方向に W L 1 1 6 に上に延びている。S L 1 1 8 はアレイ中の各メモリセル 1 0 のソース領域 2 4 と、必要数の導電ビア 1 2 1 の対応する一つを介して電氣的に接続されている。同様に、B L 1 1 7 はアレイ中の各メモリセル 1 0 のドレイン領域 2 6 と、必要数の導電ビア 1 2 2 を介して電氣的に接続されている。メモリセル 1 0 の活性領域は図 2 に示される活性領域 1 2 3 に形成される。

【 0 0 4 2 】

半導体メモリのデザイン及び作製の分野を経験した当業者は、上記に記載された R A M セル構造が、通例提供されるものを超えて更なる導電要素を必要とすることを理解する。即ち、従来のメモリアレイ構造は例えば単一のソース線を含むことにより要件を満たされる。しかしながら、更なる導電トレースを必要とすることは、ここでは深刻な損害をもたらすものと考えられない。これは、メモリセル 1 0 により生成される比較的低い電流が、そうでなければ指摘されるであろうというものよりも幾分広いデバイス幅を必要とするからである。即ち、論理「 1 」におけるメモリセルと論理「 0 」におけるメモリセルとの間の電流差動は小さくなる傾向にあるので、メモリセルは、センス増幅器の下流側で十分に動作する様式にて電流差動を高めるために最小幅より大きい幅を有するように設計される。例えばデバイスの幅を 2 倍にすると、オン・オフ電流差動は、5 マイクロアンペアから 1 0 マイクロアンペアに増大し、それによりセンス増幅器に関連した設計性能の要件を緩和することができる。結果として、垂直方向における更なる導電体が比較的大きなデバイス幅により容易に収容される。

【 0 0 4 3 】

加えて、更なる導電体は、それが選択されていない W L にて起こり得る電流の漏洩を最小化するために使用され得るという点において有効である。具体的には、S L 1 1 8 が存在しないことにより、すべてのセルのソースは金属性のストラップ導電体により共通して接続され、同ストラップ導電体は次に単一の基準電圧に接続される。選択されていないメモリセルの電流の漏洩はナノアンペア (n a n o a m p s) / デバイスを近づけ、かつメモリアレイの所定の列は数百のメモリセル (例えば、2 5 6 又は 5 1 2) を含み得るので、最悪の場合の合計漏洩電流は、典型的な読み出し電流に匹敵するであろう。対抗措置として、強力なターンオフを達成するために選択されていないセルにソースバイアが適用され得る。ターンオフバイアが、アレイ全体において全体的にのみというよりはむしろ、列毎のバイアについて適用可能である場合に、これは更に容易に達成される。デバイス 1 0 を使用してメモリアレイのコンテンツをアドレス指定するための構成は主として発明に付随的なものと考えられるので、ここでは取り扱わない。しかしながら、デバイス 1 0 を使用してメモリアレイのコンテンツをプログラムする、消去する、そして読み出す方法に関する詳細は関連のあるものであり、以下に説明する。

【 0 0 4 4 】

次に図 3、4 及び 5 を考慮すると、これらはそれぞれ、本発明に従って R A M セルに対して所望の論理レベル (例えば「 1 」) を書き込むために使用され得る代替的なバイアス技術を示す。しかしながら、これらの図面に開示された技術は、完全な、又は排他的なものであることを推察するものではない。

【 0 0 4 5 】

図 3 は、選択された行及び列において、デバイス 10 を使用してメモリセルに「1」を書き込むために使用され得る一つのアプローチを示す。このアプローチはドレイン領域 26 におけるショットキー接合をバイアスし、それにより正孔が本体領域 36 に保存される。このアプローチにおいて、1.8 V (ボルト) の正の電圧が選択された列のセルの S L に印加される。-1.5 V の負の電圧が選択された行の W L に印加される。0 V の電圧又は G N D (接地) が選択されていない行の W L に印加される。選択された列の B L における電圧は浮遊可能になる。そして、選択されていない列のセルの S L 及び B L における電圧は浮遊可能になる。

【0046】

図 4 は、選択された行及び列において、デバイス 10 を使用してメモリセルに「0」を書き込むために使用され得る一つのアプローチを示す。このアプローチはドレイン領域 26 におけるショットキー接合をバイアスし、それにより正孔が消去され、かつ電子が本体領域 36 に保存される。このアプローチにおいて、1.8 V (ボルト) の正の電圧が選択された列のセルの S L に印加される。1.8 V の正の電圧が選択された行の W L に印加される。0 V の電圧又は G N D (接地) が選択されていない行の W L に印加される。0 V の電圧又は G N D (接地) が選択された列の B L に印加される。そして、0 V の電圧又は G N D (接地) が選択されていない列のセルの S L 及び B L に印加される。

【0047】

図 5 は、選択された行及び列において、デバイス 10 を使用してメモリセルを読み出すために使用される一つのアプローチを示す。n - p 接合 (n 型 30, 32 と p 型本体 36 との間) は、ショットキー接合 (シリサイド 16 と p 型本体 36 との間) が「1」の読み出し動作中のデータの損失を引き起こす可能性を低減するために、読み出し動作時においてソース 24 にて使用され得る。「0」を読み出す動作は、通常同じ問題を有することはない。その理由は、「0」を記憶することは、任意の検知できる電荷を記憶するために本体 36 を必要としないからである。このアプローチにおいて、0.5 V (ボルト) の正の電圧が選択された列のセルの B L に印加される。0.8 V の正の電圧が選択された行の W L に印加される。0 V の電圧又は G N D (接地) が選択されていない行の W L に印加される。0 V の電圧又は G N D (接地) が選択された列の S L に印加される。そして、0 V の電圧又は G N D (接地) が選択されていない列のセルの S L 及び B L に印加される。

【0048】

上記した図 3 乃至 5 に記載された電圧の実際の値は例示のみの目的であることを明記したい。デバイス 10 の寸法は、より大きな、又はより小さな寸法にスケール化されるので、電圧の値もまた増減され得る。電圧の実際の値は変更され得るが、電圧間の関係 (例えば、どの電圧がより高い及びより低い電位であるか) は同じく維持され得る。しかしながら、代替的な実施形態は、デバイス 10 からの異なる挙動を生成するために異なる様式にてデバイス 10 をバイアスし得る。

【0049】

従って、上記詳細な説明から、本発明のワン・トランジスタ D R A M セルは、それが達成可能な多くの特徴、利点及び能力に関して優れている。特に、デバイス 10 は、より強固な「0」の書き込み動作とより損失の少ない読み出し動作とを維持しながら、同時に、簡単かつ小型化したセルのデザインを提供する。

【0050】

上記した詳細な説明において、本発明は種々の特定の実施形態の文脈において記載されてきたが、そのような様式は例示的なものであり、かつ本発明の完全な理解を伝えることを意図されている。しかしながら、半導体不揮発性メモリデバイスの設計及び製造に関連する当業者は、本発明の範囲から逸脱することなく、特定して記載された実施形態に対して種々の修正及び変更が与えられることを理解するであろう。従って、本発明は、添付した特許請求の範囲の文言上の範囲及びその均等物の範囲内に含まれるすべての主題を包含するものとして理解されるべきである。例えば、本発明は、本明細書に記載された特定の材料及び厚みに制限されるものとして解釈されるべきではない。同様に、導電性の型 (P

10

20

30

40

50

型、N型)及びキャリアの型(正孔、電子)は一般的には、必須となる一貫性が保持されている場合、逆となり得ることも当業者は理解する。従って、詳細な説明及び図面は、範囲を定めるというよりはむしろ本発明の例示として適切に解釈されるものであり、従って、すべての修正又はそれらからの逸脱は本発明の範囲によって理解される。

【0051】

図1のデバイス10はメモリセルの文脈にて記載されてきたが、代替的な実施形態は任意の所望のかつ適切な回路においてデバイス10を使用し得る。例えば、n-p接合を含む一つの電流電極と、ショットキーダイオードを含む第二の電流電極と、を有するトランジスタは、任意の所望の回路にて任意の所望の様式にて使用可能であり、メモリアレイにおける用途に制限されるものではない。このトランジスタは、所望の挙動を生ずるために任意の所望の様式にてバイアスされる。

10

【0052】

同様に、動作上の試み又はその他の技術的な試みに対する利益、利点、能力及び解決手段は、本明細書に記載されたように、本発明の特定の実施形態に関して列挙されてきた。しかしながら、利益、利点、性能及び解決手段、並びにそのような任意の利益、利点、性能及び解決手段を生ずる、或いはそのような任意の利益、利点、性能及び解決手段をより明確にすることを可能にする若しくはもたらす任意の要素又は限定事項は、請求の範囲の任意のもの又はすべての重大な、必要とされる、又は必須の要素又は限定事項として、表現的に、含蓄的に、又は禁反言により、考慮または解釈されるべきではない。更に、本明細書において使用されるように、「含む(comprises)」、「含み(comprising)」なる用語又はその任意の変更した表現は、要素の引用された列挙を含むプロセス、方法、事項又は装置が引用された要素のみを含むものではなく、明確に引用又は列挙されてはいないがそのようなプロセス、方法、事項又は装置に生来的なものを含むように包括的に適用されることを意図されている。

20

【0053】

本明細書に記載されたすべての回路は、シリコン若しくは別の半導体材料のいずれかにて実施されるか、或いは代替的に、シリコン若しくは別の半導体材料のソフトウェアコード表現によって実施される。

フロントページの続き

審査官 加藤 俊哉

(56)参考文献 特開 2 0 0 5 - 1 0 9 2 3 3 (J P , A)
特開 2 0 0 6 - 0 8 0 2 8 0 (J P , A)
特開 2 0 0 6 - 1 6 5 5 0 9 (J P , A)
特開 2 0 0 4 - 1 4 0 2 6 2 (J P , A)
特表 2 0 0 7 - 5 0 3 6 7 8 (J P , A)
特開平 0 6 - 2 8 3 5 4 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 8 2 4 2
H 0 1 L 2 7 / 1 0 8