

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①7 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 626 406

②1 N° d'enregistrement national :

88 00702

⑤1 Int Cl⁴ : H 01 L 29/72, 21/82.

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 22 janvier 1988.

③0 Priorité :

④3 Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 30 du 28 juillet 1989.

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : ETAT FRANCAIS représenté par le Ministre Délégué des Postes et Télécommunications (Centre National d'Etudes des Télécommunications). — FR.

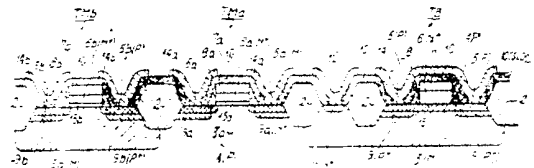
⑦2 Inventeur(s) : Alain Nouailhat.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : Martinet & Lapoux.

⑤4 Transistor bipolaire compatible avec la technologie MOS.

⑤7 Un transistor bipolaire TB selon l'invention, par exemple de type NPN, comprend classiquement un caisson de collecteur 3 implanté dans un substrat 1 et une région de base 4, 5 localisée superficiellement dans le substrat. Le transistor bipolaire est caractérisé par une région d'émetteur 6, 7 saillante au-dessus de la région active de base 4 et recouverte par une couche isolante 10 aussi bien latéralement que par-dessus. Cette caractéristique du transistor bipolaire TB facilite son intégration avec des transistors MOS TMa, TMb pour constituer des circuits du type BI-CMOS notamment grâce à des formations et recouvrements par couche isolante 10 simultanés des grilles 5a-6a, 5b-6b du transistor MOS et de l'émetteur 6, 7 du transistor bipolaire.



FR 2 626 406 - A1

D

Transistor bipolaire compatible avec la technologie MOS

La présente invention concerne un transistor bipolaire comprenant un substrat semi-conducteur d'un type de conductivité prédéterminé, une région active du collecteur du transistor localisée dans un premier plan d'implantation du substrat ayant un type de conductivité opposé au type de conductivité prédéterminé, une région active de la base du transistor localisée dans un second plan d'implantation du type de conductivité prédéterminé susjacent au premier plan, et une région active du type de conductivité opposé relative à l'émetteur du transistor. L'invention concerne également la fabrication de ce transistor bipolaire.

Actuellement, dans un tel transistor bipolaire, la région active d'émetteur est implantée superficiellement et limitativement dans le second plan d'implantation définissant la région active de base sur une face principale du substrat. Cette troisième implantation est réalisée après avoir recouvert la région de base par une couche mince isolante de diélectrique, tel que oxyde de silicium, et pratiquée une ouverture dans la couche isolante au-dessus de la zone où doit être implantée la région active d'émetteur. Puis, cette ouverture est comblée par le diélectrique et par un contact métallique d'émetteur déposé dans un trou du diélectrique.

Cette implantation d'émetteur présente essentiellement deux inconvénients lorsque le transistor bipolaire doit être intégré dans un circuit à échelle d'intégration très élevée du type VLSI, où les zones de contact de l'émetteur et de la base sont très voisines.

Du point de vue fonctionnel, du fait que la région active de l'émetteur est elle-même implantée dans la région active de base dans un troisième plan d'implantation où sont localisées généralement des zones de contact surdopées de la base, un courant de fuite, non négligeable, s'établit entre les bordures latérales de la région active d'émetteur et les régions de contact de base, lorsque le transistor est saturé. Ceci est équivalent à une diode

placée en parallèle entre la base et l'émetteur, ce qui tend à augmenter la tension de blocage du transistor.

5 Du point de vue structurel, cette technologie se prête mal à l'intégration du transistor bipolaire dans un circuit contenant des transistors MOS , dont les régions de drain et source sont localisées dans le second plan d'implantation et dont la grille est saillante et superposée au second plan implantation à travers une couche mince de diélectrique. En outre, le transistor bipolaire occupe une zone d'implantation relativement grande à cause de l'implantation de la région d'émetteur dans la région de base à travers une ouverture de la couche isolante superficielle.

10 La présente invention vise donc à fournir un transistor bipolaire éliminant les inconvénients des zones de débordement latérales de la région d'émetteur dans la région de base, et s'adaptant aisément à son intégration avec des composants MOS, afin de réaliser des circuits du type BI-MOS ou BI-CMOS.

15 A cette fin, un transistor bipolaire comprenant un substrat semiconducteur d'un type de conductivité prédéterminé, une région active ayant un type de conductivité opposé au type de conductivité prédéterminé et relative à une première électrode et localisée dans un premier plan d'implantation du substrat, une région active de base du type de conductivité prédéterminé localisée dans un second plan d'implantation susjacent au premier plan d'implantation, et au moins une région du type de conductivité opposé relative à une troisième électrode du transistor, est, selon l'invention, caractérisé en ce que la région de la troisième électrode est saillante au-dessus de la région active de base sur le second plan d'implantation et est recouverte d'une couche isolante aussi bien latéralement que par-dessus. Afin de fixer les idées, on se référera dans la suite à un transistor bipolaire comprenant en tant que première électrode, un seul collecteur, et en tant que troisième électrode , un émetteur, comme pour le transistor commenté ci-dessus selon la technique antérieure.

20 25 30 35 Le transistor bipolaire selon l'invention peut ainsi ne pas comporter un troisième plan d'implantation, et le second plan d'implantation concerne aussi bien celui de la région de base du

transistor bipolaire que celui des régions actives de source et de drain de transistors MOS ou CMOS à intégrer dans le même substrat.

5 Selon une réalisation préférée, la région d'émetteur est constituée par la superposition d'une région active d'émetteur en silicium polycristallin dopé et d'une région de contact d'émetteur conductrice en silicide de métal, tel que silicide de tungstène, ces deux régions d'émetteur étant susjacentes à la région active de base et ayant des bordures raides parfaitement délimitées par photogravure et se dressant sur le second plan implantation. Cette
10 localisation de région d'émetteur au-dessus de la région de base et la délimitation précise de celle-ci permet non-seulement d'améliorer les caractéristiques du transistor mais également de réduire sa surface d'implantation. En effet, comparativement au transistor bipolaire connu, la région d'émetteur selon l'invention
15 est obtenue par une surgravure au-dessus de la région de base qui se traduit par un amaigrissement de l'émetteur, et non par un élargissement lorsque la région d'émetteur est implantée à travers une fenêtre d'isolant dans la région de base. Le transistor selon l'invention convient donc à une intégration très élevée de
20 composants et offre une vitesse de fonctionnement élevée.

De préférence, selon l'invention, la fabrication du transistor fait appel à des techniques connues en ce qui concerne les première et seconde implantations relatives aux régions de collecteur et de base. Après ces deux implantations, une couche de matériau de la
25 région d'émetteur dit troisième électrode est déposée sur le substrat en recouvrant la région de base et, le cas échéant, est dopée sans atteindre la région de base, est éliminée à l'exception de la région d'émetteur, et est recouverte par ladite couche isolante dans laquelle peuvent être ouvertes des fenêtres pour
30 implanter des régions de contact surdopées de la base.

Avantageusement, ces différentes opérations de formation de la région d'émetteur dit troisième électrode et de recouvrement de celle-ci par une couche isolante peuvent être réalisées simultanément avec les opérations de formation et de recouvrement
35 de régions de grilles de transistors MOS en vue de réaliser un circuit électronique du type BI-CMOS.

D'autres caractéristiques et avantages de la présente invention apparaîtront plus clairement à la lecture de la description suivante détaillée de plusieurs réalisations préférées selon l'invention, en référence aux dessins annexés correspondants dans lesquels :

5 - la Fig. 1 est une vue en coupe schématique d'un transistor bipolaire NPN selon l'invention ;

10 - la Fig. 2 est une vue en coupe schématique d'un circuit électronique BI-CMOS selon la technique antérieure, comprenant un transistor MOS à canal N, un transistor MOS à canal P et un transistor bipolaire NPN ayant des structures connues ; et

15 - la Fig. 3 est une vue en coupe schématique d'un circuit électronique BI-CMOS selon l'invention, comprenant à la fois les deux transistors MOS montrés à la Fig. 2 et le transistor bipolaire NPN selon l'invention montré à la Fig. 1.

20 Un transistor bipolaire TB du type NPN selon l'invention comprend, en tant que première électrode, un seul collecteur du type de conductivité dit opposé N, une base du type de conductivité dit prédéterminé P, et un émetteur de type N, en tant que troisième électrode du type de conductivité opposé. Dans la suite, divers matériaux constitutifs et diverses dimensions relatifs au transistor TB sont indiqués à titre d'exemple de réalisation pratique.

25 Dans une plaquette de silicium 1 dopée avec des impuretés de type P sont délimitées des zones actives, telles que celles relatives audit transistor bipolaire selon l'invention, qui sont obtenues classiquement en faisant appel à la technique LOCOS (en anglais "local oxidation of silicon") développée principalement pour les transistors MOS complémentaires, dits CMOS. On crée ainsi à partir d'une face principale du substrat 1, des zones d'isolation latérales ou cloisons épaisses 2 ainsi que la région active intrinsèque du collecteur 3 du type de conductivité opposé N constituant un caisson destiné à renfermer la zone active de la jonction NPN du transistor.

35 La construction des zones d'isolation latérales 2 consiste essentiellement à recouvrir le substrat de silicium de type P, par une couche de nitrure de silicium Si_3N_4 , à ouvrir des fenêtres par

gravure ionique du Si_3N_4 , puis à soumettre la plaquette à haute température en atmosphère oxydante afin de former les cloisons 2 au niveau des fenêtres, et à éliminer tout le nitrure de silicium superficiel par de l'acide phosphorique chaud. Avant l'oxydation localisée, une implantation fine d'un dopant de type N^+ peut être effectuée. Le caisson rétrograde de la région de collecteur 3 est obtenu par implantation ionique d'ions phosphore sous 900 keV, afin d'obtenir une région de collecteur 3 ayant une concentration d'impureté de type N de $6.10^{13} \text{ cm}^{-2}$ supérieure à celle des impuretés de type P dans le substrat 1. Cette implantation de la région active de collecteur est suivie d'un recuit à 1050°C pendant 2 heures 30 mn environ afin de restructurer le réseau cristallin. En pratique, la hauteur des cloisons 2 est de l'ordre de $1 \mu\text{m}$, et celle du caisson de collecteur est de l'ordre de $1,3 \mu\text{m}$.

Une première implantation de la base du transistor TB concerne la région active 4 proprement dite de la base entre les régions actives des collecteur et émetteur du transistor TB, ainsi que des régions de contact 5 de la base qui seront surdopées après formation de la région d'émetteur du transistor. Les régions de base 4 et 5 du type P sont réalisées dans un plan d'implantation superficiel sur la région de collecteur 3 entre des cloisons épaisses 2 servant de masque, par implantation ionique de bore sous 40 keV afin d'atteindre une concentration d'impuretés de type P, en l'occurrence de bore, de l'ordre de 10^{14} cm^{-2} dans les régions 4 et 5. L'épaisseur de la région de base 4 ainsi implantée est pratiquement réduite de moitié par rapport à un transistor bipolaire connu.

Des régions active et de contact 6 et 7 de l'émetteur du transistor TB sont ensuite formées en recouvrant sensiblement ladite face principale du substrat, par une couche de silicium polycristallin 6 ayant une épaisseur de $0,24 \mu\text{m}$, puis par une couche conductrice 7 de silicide de tungstène WSi_2 , ou bien de silicide de tantale, ayant une épaisseur de $0,17 \mu\text{m}$. La région globale d'émetteur 6 + 7 est ainsi constituée par une couche de polycide, c'est-à-dire une couche composite comprenant du polysilicium et un silicide de métal. Toutefois, le silicide de métal peut être remplacé par un métal, tel que aluminium ou

molybdène. La résistivité du polycristallin est diminuée à environ 1 Ohm/cm grâce à la diffusion d'ions phosphore sous faible énergie à travers la mince couche de WSi_2 afin d'obtenir une région active d'émetteur 6 de type N^+ ayant une densité de phosphore égale à $2 \cdot 10^{21} \text{ cm}^{-3}$. Puis, les couches de polysilicium et de silicide de métal sont éliminées par masquage et photogravure anisotrope à l'exception des régions d'émetteur 6 et 7. Le contour rectangulaire des régions d'émetteur est ainsi parfaitement défini au-dessus de la région active de base 4.

10 La mise en oeuvre d'une telle technique de gravure anisotrope du polysilicium et du polycide, effectuée généralement par gravure ionique réactive, confère des parois latérales de l'émetteur ainsi réalisé parfaitement perpendiculaires à la face principale du substrat et ayant des dimensions bien déterminées.

15 Ceci constitue un avantage important par rapport aux procédés connus de fabrication de transistors bipolaires selon lesquels l'émetteur 6t peut être obtenu par remplissage de polysilicium dans une ouverture pratiquée dans une couche d'oxyde de silicium 10 déposée sur le substrat, comme montré à la Fig. 2 pour un transistor bipolaire connu tb. Toutefois, il s'avère que le remplissage avec du polysilicium dans une ouverture de faible dimension est difficilement réalisable. En outre, ceci conduit à effectuer une telle ouverture dans l'oxyde de silicium avec des flancs arrondis et évasés vers le haut. La gravure dans l'oxyde de silicium avec contrôle de pente et le recuit thermique de l'oxyde de silicium pour arrondir les ouvertures sont des techniques efficaces et sont, cependant, relativement peu précises en ce qui concerne les dimensions latérales des ouvertures. Par conséquent, un émetteur réalisé selon la technique antérieure est moins fiable en raison du remplissage de l'ouverture imprécise par du polysilicium et ne peut qu'offrir des dimensions latérales relativement grandes, par exemple de l'ordre de 2 μm , alors que la réalisation d'émetteur par gravure anisotrope selon l'invention autorise des dimensions plus faibles, de l'ordre du micron, et accroit la fiabilité.

35 Ensuite, pour fabriquer le transistor bipolaire TB selon l'invention, une couche isolante 10 de SiO_2 ayant une épaisseur de

l'ordre de 1 μm est déposée sur les régions d'émetteur 6 et 7 et sur les régions de contact de base 5. Dans la couche d'oxyde de silicium 10 sont ménagées des fenêtres par photogravure localisée afin d'accéder à nouveau aux régions extrinsèques de contact de base 5. A ce stade, il apparaît que les régions d'émetteur 6 et 7 sont localisées sur ledit second plan d'implantation relatif à la région active de base 4 et sont sensiblement moins larges que celle-ci, la région active d'émetteur 6 ne débordant pas latéralement dans la région active de base 4. Il est en outre possible, préalablement au dépôt de la couche 10, de réaliser des espaceurs isolants 8 en oxyde de silicium sur les bords latéraux de l'émetteur, d'une façon connue en soi telle que par dépôt d'oxyde de silicium et gravure partielle pour ne laisser subsister de l'oxyde 8 que dans des zones concaves latérales aux régions d'émetteur 6 et 7.

Une implantation ionique de bore sous une énergie plus faible que la précédente, soit de l'ordre de 30 keV, permet de doper fortement et superficiellement les régions 5 afin de former des régions de contact de base de type P^+ ayant une très faible résistivité, et des régions de base intrinsèques 9 sous-jacentes aux régions 5 avec une concentration de bore de $2.10^{15} \text{ cm}^{-2}$. La couche isolante 10 susjacentes et latérale aux régions d'émetteur 6 et 7 constitue un barrage aux ions dopants de bore du fait que la couche 10 produit un écartement contrôlé entre le bord latéral 45 de la région dopée P^+ 9 et le bord latéral de la région active d'émetteur 6.

On procède ensuite à l'ouverture d'un trou dans la couche isolante 10 pour implanter une région de contact de type N^+ 11 du collecteur du transistor TB, à l'ouverture de trous dans la couche 10 au-dessus notamment des zones de contact 5, et finalement à la métallisation des trous pour réaliser des contacts métalliques 12 et 14 du collecteur, de l'émetteur (non représenté) et de la base respectivement et d'autres chemins conducteurs superficiels selon la topographie souhaitée. Puis un recuit rapide du substrat supportant le transistor est effectué. Le transistor ainsi implanté est prêt à être encapsulé par enrobage hermétique.

Afin de mieux appréhender l'un des avantages principaux de l'invention au sujet de la fabrication de circuit du type BI-CMOS, on a représenté dans la Fig. 2 un circuit BI-CMOS selon la technique antérieure comprenant un transistor MOS TMa à canal du type de conductivité opposé N, un transistor MOS TMb à canal du type de conductivité prédéterminé P, et un transistor bipolaire NPN tb. Le transistor bipolaire tb comporte un caisson de région active de collecteur 3t de type N avec région de contact 11t et contact métallique 12t. Superficiellement dans le caisson 3t sont prévues une région active de base 5t de type P avec contact métallique 14t, ainsi qu'une région active d'émetteur 6t de type N avec contact métallique 16t. Comme déjà dit, dans le transistor bipolaire tb selon la technique antérieure, la région d'émetteur 6t est implantée superficiellement et limitativement dans la région active de base 5t. L'implantation de la région d'émetteur 6t est effectuée après dépôt d'une couche d'oxyde de silicium 10 sur la face principale du substrat, et ouverture par gravure de la couche d'oxyde 10 au-dessus d'une zone d'implantation de la région 6t.

Dans la Fig. 3 est représenté un circuit électronique du type BI-CMOS selon l'invention, comprenant également les transistors MOS TMa et TMb et le transistor bipolaire TB selon l'invention, tel que décrit en référence à la Fig. 1. Comme dans la Fig. 2, les zones actives des transistors TMa, TMb et TB sont localisées par des zones d'isolation latérales 2 dans le substrat de type P, 1, dans lequel on retrouve classiquement une région de canal 3a du transistor TMa à canal N dans le substrat 1 lui-même, un caisson de région de canal 3b de type N du transistor TMb à canal P, et le caisson de collecteur 3 de type N du transistor bipolaire TB.

La structure des transistors MOS TMa et TMb est par ailleurs bien connue. Brièvement, chacun des transistors TMa et TMb comprend centralement et superposées à la région active de canal, une couche isolante d'oxyde de silicium mince 15a, 15b, une région active de grille 6a, 6b en polysilicium dopé par du phosphore, et une région de contact de grille 7a, 7b en silicide de métal, tel que silicide de tungstène ou bien silicide de tantale, ou en métal, tel que aluminium ou molybdène. Latéralement à la région active de canal dans la région de canal 3a, 3b, et contre des zones d'isolation

latérales respectives 2, le transistor TMa, TMb comprend des régions actives extrinsèques 5a, 5b et intrinsèques 9a, 9b de source et de drain implantées superficiellement. La couche d'oxyde mince 15a, 15b et la région de grille 6a-7a, 6b-7b sont de préférence bordées latéralement par des espaceurs isolants 8a, 8b en oxyde de silicium SiO_2 , et sont recouvertes par une couche d'oxyde de silicium 10 aussi bien latéralement que par-dessus. Dans la couche 10 sont prévus des trous pour recevoir notamment des contacts métalliques 14a, 14b des source et drain en contact avec les régions extrinsèques des source et drain 5a, 5b respectivement.

Comme cela apparaît à la Fig. 3, les régions actives et de contact de base extrinsèque 4-5 du transistor bipolaire TB et les régions de source et de drain extrinsèques 5a et 5b des transistors MOS sont localisées dans un même second plan d'implantation dans le substrat 1, les régions d'émetteur 6 et 7 du transistor TB et les régions de grille 6a et 7a, et 6b et 7b des transistors TMa et TMb ont des mêmes épaisseurs respectivement et sont saillantes au-dessus de la surface principale du substrat 1, et la même couche isolante 10 recouvre aussi bien latéralement que par-dessus les régions d'émetteur 6 et 7 et les régions de grille 6a et 7a, et 6b et 7b. Ces différentes caractéristiques principales de la structure du circuit montré à la Fig. 3 ne sont pas incluses dans le circuit montré à la Fig. 2 et facilitent la fabrication du circuit selon l'invention, comme cela apparaîtra dans la suite. En effet, lesdites caractéristiques contribuent à effectuer des opérations qui sont analogues pour la fabrication des transistors MOS et du transistor bipolaire et qui peuvent être simultanées, ce qui accroît la rapidité d'exécution des opérations et diminue le coût de circuit BI-CMOS.

On décrit maintenant un procédé préféré de fabrication du circuit BI-CMOS montré à la Fig. 3 dans lequel on retrouve des étapes de fabrication du transistor bipolaire TB déjà décrites, et des étapes de fabrication connues de transistors MOS.

Selon la technique connue LOCOS sont définies sur la face principale du substrat 1 de type P, les localisations des zones actives des transistors correspondant à la zone de collecteur 3 et aux zones de canal 3a et 3b. Cette localisation de zones actives

fait suite à la réalisation de vignettes de nitrure de silicium Si_3N_4 (non représentées) sur les futures zones actives de tous les transistors TMa, TMb et TB et à la création de zones d'isolation latérales ou cloisons épaisses 2 entre zones actives.

5 Une implantation ionique de dopant donneur de type N, tel que phosphore, sous énergie élevée, de l'ordre de 900 keV, est effectuée dans des zones actives du transistor MOS TMb à canal P et du transistor bipolaire TB afin de constituer et délimiter
10 simultanément dans le substrat 1 et entre les cloisons isolantes correspondantes 2, le caisson de canal 3b du transistor TMb et le caisson de collecteur 3 du transistor TB, ces caissons ayant une même hauteur.

15 Une couche d'oxyde mince SiO_2 est déposée sur toutes les zones actives 3a, 3b et 3 des transistors. Cette couche d'oxyde mince forme simultanément les couches 15a et 15b sous les grilles ultérieures des transistors MOS TMa et TMb et une couche d'oxyde (non représentée) indiquée en 15, sur la zone active du transistor bipolaire TB.

20 La zone de base extrinsèque 4-5 du transistor bipolaire TB est alors constituée par implantation ionique de dopant accepteur de type P, tel que bore, sous énergie faible de l'ordre de 40 keV, à travers la couche 15, entre les cloisons épaisses correspondantes 2. Puis la couche d'oxyde mince est désoxydée pour être enlevée
25 uniquement au-dessus de la région active 3 du transistor bipolaire TB.

30 On procède alors à la formation simultanée des grilles des transistors MOS et de l'émetteur du transistor bipolaire. Cette formation de grille et d'émetteur consiste successivement en un dépôt de silicium polycristallin 6a-6b-6 et un dépôt de silicide de métal, ou bien de métal, 7a-7b-7 sur toute la surface du substrat 1, et en une implantation ionique de dopant donneur de type N, tel que phosphore, sous faible énergie dans le silicium polycristallin 6a-6b-6 à travers la couche de silicide ou de métal 7a-7b-7. Des gravures anisotropes localisées de la couche d'oxyde 15a-15b, de la
35 couche de polysilicium 6a-6b-6 et de la couche de silicide ou de métal 7a-7b-7 sur les zones actives des transistors MOS TMa et TMb et une gravure anisotrope localisée de la couche de polysilicium

6a-6b-6 et de la couche de silicide ou de métal 7a-7b-7 sur la zone active du transistor bipolaire TB permettent de constituer simultanément les régions de grille saillantes 6a-7a et 6b-7b et la région d'émetteur saillante 6-7 avec des contours précis et bords latéraux perpendiculaires à la surface principale du substrat 1.

Les régions de source et drain extrinsèques des transistors MOS sont ensuite implantées. A cette fin, on procède par exemple, d'abord à une implantation ionique de dopant donneur de type N, tel que phosphore, sous faible énergie dans la zone active du transistor à canal N, TMa, sur des surfaces de laquelle ont été éliminées par gravure les couches 15a, 6a et 7a afin de constituer les régions de source et drain 5a. Puis on procède d'une manière analogue à une implantation ionique de dopant accepteur de type P, tel que bore, sous faible énergie dans la zone active du transistor à canal P, TMb, sur la surface de laquelle ont été éliminées par gravure les couches 15b, 6a et 7b afin de constituer les régions de source et drain 5b.

Une couche isolante 10 de SiO_2 est déposée sur toute la surface du substrat 1, et recouvre en particulier latéralement et par-dessus les régions de grille 6a-7a et 6b-7b et la région d'émetteur 6-7 ainsi que les régions de source et drain extrinsèques 5a et 5b et les régions de base extrinsèques 5. Des fenêtres sont pratiquées dans la couche d'oxyde 10 par photogravure localisée afin d'accéder aux régions extrinsèques de source, de drain et de base superficielles dans le substrat entre les grilles et émetteur et les cloisons isolantes 2. Comme pour la fabrication du transistor bipolaire montré à la Fig. 1, de préférence avant le recouvrement des régions de grille 6a-7a et 6b-7b et de la région d'émetteur 6-7 par la couche isolante 10 sont réalisés des espaceurs isolants concaves 8a, 8b et 8 respectivement latéraux aux régions de grille 6a-7a et 6b-7b et à la région d'émetteur 6-7. Les espaceurs latéraux sont obtenus par dépôt de SiO_2 et gravure partielle.

Dans les fenêtres ouvertes dans la couche isolante 10 sont ensuite diffusées des dopants prédéterminés pour implanter ioniquement les régions intrinsèques de source et drain et de base respectivement sous-jacentes aux régions 5a, 5b et 5. Par exemple,

- 13 -

séparées sur la grande face du substrat 1 et susjacentes et saillantes à la région de base 4 implantée superficiellement dans une région active intrinsèque d'émetteur 3.

REVENDEICATIONS

1 - Transistor bipolaire comprenant, dans un substrat
semiconducteur (1), une région active (3) ayant un type de
conductivité (N) opposé à un type de conductivité prédéterminé (P)
et relative à une première électrode localisée dans un premier plan
5 d'implantation du substrat, une région active de base (4) du type
de conductivité prédéterminé (P) localisée dans un second plan
d'implantation sus-jacent au premier plan d'implantation, et au
moins une région du type de conductivité opposé (N) relative à une
troisième électrode du transistor, caractérisé en ce que la région
10 de la troisième électrode (6,7) est saillante au-dessus de la
région active de base (4) sur le second plan d'implantation et est
recouverte d'une couche isolante (10) aussi bien latéralement que
par-dessus.

2 - Transistor bipolaire conforme à revendication 1,
15 caractérisé en ce que la région de la troisième électrode comprend
une région active de troisième électrode (6) superposée au moins à
une partie de la région active de base (4).

3 - Transistor bipolaire conforme à la revendication 2,
caractérisée en ce que la région active de troisième électrode (6)
20 est un semiconducteur, tel que polysilicium, dopé avec un dopant
(phosphore) du type de conductivité opposé (N), et en ce qu'une
région de contact de troisième électrode (7) est superposée à la
région active de troisième électrode (6) et est constituée par un
silicide de métal, tel que WSi_2 , ou par un métal.

4 - Procédé de fabrication du transistor bipolaire conforme à
25 l'une quelconque des revendications 1 à 3, caractérisé en ce que,
après des première et seconde implantations des régions actives de
la première électrode (3) et de la base (4) dans le substrat (1),
une couche de matériau de la région de la troisième électrode (6,
30 7) est déposée sur le substrat en recouvrant sensiblement la région
de base (4), est éliminée par gravure à l'exception de la région de
troisième électrode (6, 7), et est recouverte par ladite couche
isolante (10).

5 - Procédé conforme à la revendication 4, caractérisé en ce
35 que le dépôt de la couche de matériau de la région de troisième
électrode consiste en un dépôt d'un semiconducteur pour constituer

une région active de troisième électrode (6), puis un dépôt de silicide de métal (WSi_2) ou de métal pour constituer une région de contact de troisième électrode (7), et enfin un dopage du semiconducteur de la région active de troisième électrode (6) avec un dopant de type de conductivité opposé (N).

6 - Procédé conforme à la revendication 4 ou 5, caractérisé en ce que, après formation de la région de troisième électrode (6, 7) et avant recouvrement de celle-ci par ladite couche isolante, une couche de matériau isolant est déposée, puis est partiellement enlevée par gravure afin de ne laisser subsister des espaceurs isolants (8) contre des bords latéraux de la région de troisième électrode (6,7).

7 - Procédé de fabrication d'un circuit électronique comprenant au moins un transistor MOS (TMa, TMb) et au moins un transistor bipolaire conforme à l'une quelconque des revendications 1 à 3, dans un même substrat semiconducteur (1), caractérisé par une formation simultanée d'une région de grille (6a, 7a ; 6b, 7b) du transistor MOS (TMa, TMb) et de la région de troisième électrode (6, 7) du transistor bipolaire (TB).

8 - Procédé conforme à la revendication 7, caractérisé en ce que ladite formation simultanée consiste en un dépôt de couche de matériau semiconducteur pour lesdites régions de grille et de troisième électrode (6a, 7a ; 6b, 7b ; 6, 7) sur le substrat (1), puis en une élimination par gravure localisée de ladite couche de matériau semiconducteur afin de constituer simultanément la région de grille (6a, 7a ; 6b, 7b) du transistor MOS (TMa, TMb) et la région de troisième électrode du transistor bipolaire (TB).

9 - Procédé conforme à la revendication 8, caractérisé en ce que le dépôt de couche de matériau semiconducteur consiste successivement en un dépôt de semiconducteur, tel que polycristallin, pour régions actives de grille et de troisième électrode (6a, 6b, 6) et un dépôt de silicide de métal (WSi_2) ou de métal (Mo, Al) pour régions de contact de grille et de troisième électrode (7a, 7b, 7).

10 - Procédé conforme à la revendication 9, caractérisé en ce qu'il comprend, après le dépôt de silicide de métal ou de métal,

- 16 -

une implantation ionique d'un dopant (phosphore) dans ledit semiconducteur (6a, 6b, 6).

11 - Procédé de fabrication d'un circuit électronique comprenant au moins un transistor MOS (TMa, TMb) et au moins un transistor bipolaire (TB) conforme à l'une quelconque des revendications 1 à 3, dans un même substrat semiconducteur (1),

caractérisé en ce qu'il comprend, en outre,

après localisation de zones actives (3a, 3b, 3) desdits transistors (TMa, TMb, TB) entre des zones d'isolation (2) dans ledit substrat (1), les étapes suivantes relatives à la formation de zones de source, drain et grille (5a, 5b ; 6a-7a ; 6b-7b) du transistor MOS (TMa, TMb) et des zones de base et de troisième électrode (5 ; 6-7) du transistor bipolaire (TB) :

- formation d'une couche d'oxyde mince (15a, 15b, 15) simultanément sur les zones actives (3a, 3b, 3) desdits transistors (TMa, TMb, TB),

- implantation ionique d'un dopant (bore) du type de conductivité prédéterminé (P) dans la zone active (3) du transistor bipolaire (TB) afin de constituer une zone de base extrinsèque (5) et intrinsèque (4) du transistor bipolaire (TB),

- enlèvement par désoxydation de la couche d'oxyde mince (15) sur la zone active (3) du transistor bipolaire (TB),

- dépôt de couche de matériau semiconducteur dans les régions de grille et de troisième électrode (6a, 7a ; 6b, 7b ; 6, 7) sur tout le substrat (1),

- élimination par gravure localisée de ladite couche de matériau semiconducteur afin de constituer simultanément une région de grille (6a, 7a ; 6b, 7b) du transistor MOS (TMa, TMb) et une région de troisième électrode (6, 7) du transistor bipolaire (TB),

- implantation ionique de dopant prédéterminé (type N ou P) dans la zone active (3a, 3b) du transistor MOS (TMa, TMb) sur laquelle a été éliminée ladite couche de matériau semiconducteur afin de constituer des régions de drain et source (5a, 5b) du transistor MOS (TMa, TMb), et

- recouvrement aussi bien latéralement que par-dessus des régions de grille de troisième électrode (6a, 7a ; 6b, 7b ; 6, 7) par dépôt puis par gravure localisée d'une couche isolante (10)

pour ouvrir des fenêtres pour régions de source et drain (5a, 5b) du transistor MOS (TMa, TMb) et région de base extrinsèque (5) du transistor bipolaire (TB).

5 12 - Procédé conforme à la revendication 11, caractérisé en ce que le dépôt d'une couche de matériau semiconducteur pour régions de grille et de troisième électrode consiste successivement en un dépôt d'un semiconducteur, tel que polysilicium, pour régions actives de grille et de troisième électrode (6a, 6b, 6), un dépôt de silicide de métal (WSi_2) ou de métal (Mo, Al) pour régions de contact de grille et de troisième électrode (7a, 7b, 7), et enfin 10 une implantation ionique d'un dopant (phosphore) du type de conductivité (N) opposé au type de conductivité prédéterminé (P) dans les régions actives de grille et de troisième électrode (6a, 6b, 6).

15 13 - Procédé conforme à la revendication 11 ou 12, caractérisé en ce que, avant recouvrement des régions de grille et de troisième électrode (6a, 7a ; 6b, 7b ; 6, 7) par la couche isolante (10), une couche de matériau isolant est déposée, puis est partiellement enlevée par gravure afin de ne laisser subsister des espaceurs 20 isolants (8a, 8b, 8) contre des bords latéraux des régions de grille et de troisième électrode.

25 14 - Procédé conforme à l'une quelconque des revendications 11 à 13, caractérisé en ce qu'après ouverture des fenêtres, est effectuée, lorsque le transistor MOS (TMb) a un canal ayant le type de conductivité prédéterminé (P), une implantation ionique d'un dopant du type de conductivité prédéterminé (P) afin de constituer simultanément des régions de source et drain intrinsèques (9b) du transistor MOS et des régions de base intrinsèques (9) du transistor bipolaire (TB).

30 15 - Procédé conforme à l'une quelconque des revendications 11 à 14, caractérisé en ce que, avant la formation de la couche d'oxyde mince (15a, 15b, 15), sont constitués simultanément un caisson de région de première électrode (3) du transistor bipolaire (TB) et, lorsque le transistor MOS (TMb) a un canal ayant le type 35 de conductivité prédéterminé (P), un caisson de région de canal (3b) du transistor MOS (TMb), par implantation ionique d'un dopant

- 18 -

(phosphore) de type de conductivité (N) opposé au type de conductivité prédéterminé (P).

