

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G02F 1/133

(45) 공고일자 2001년05월15일
(11) 등록번호 10-0290075
(24) 등록일자 2001년02월27일

(21) 출원번호	10-1996-0704571	(65) 공개번호	특 1997-0701366
(22) 출원일자	1996년08월21일	(43) 공개일자	1997년03월17일
번역문제출일자	1996년08월21일		
(86) 국제출원번호	PCT/JP 96/00023	(87) 국제공개번호	W0 96/21879
(86) 국제출원일자	1996년01월10일	(87) 국제공개일자	1996년07월18일
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 국내특허 : 일본 대한민국 미국 중국		

(30) 우선권주장 95-4480 1995년01월13일 일본(JP)

(73) 특허권자 세이코 에푸손 가부시키가이샤 야스카와 히데아키

일본국 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 야타베 사토시

일본국 나가노켄 수와시 오와 3조메 3-5 세이코 에푸손 가부시키가이샤 내

(74) 대리인 이병호

심사관 : 이수찬

(54) 전원회로, 액정 표시체 구동용 전원 및 액정 표시장치

요약

액정 표시체 구동용 전원에 가장 적합한 전원 회로로서, 전원 전위(VDD, VEE)에 의거해서 분압 저항(R1~R5)에 의해 분압되고, 볼테지 폴로위를 구성하는 연산 증폭기(OP1~OP4)를 거쳐서 출력 전위(V0~V5)가 출력된다. 연산 증폭기(OP1, OP2)에는 전원 전위(VDD)와 분압 회로(S)에서 출력되는 중간 전위(Va)가 공급되고, 연산 증폭기(OP3, OP4)에는 중간 전위(Va)와 전원 전위(VEE)가 공급된다. 분압 회로(S)에는 전원 전위(VDD)와 전원 전위(VEE) 사이에 고저항(R12)과 콘덴서(C5)의 병렬 회로부와, 고저항(R13)과 콘덴서(C6)의 병렬 회로부가 직렬로 접속되고, 양병렬 회로부의 접속점으로부터 중간 전위(Va)가 취출된다.

대표도

도1

명세서

기술분야

본 발명은 전원 회로, 액정 표시체용 전원 및 액정 표시 장치에 관한 것으로, 특히 액정 표시 장치의 액정 패널의 구동용 전원으로서 가장 적합한 복수의 전위를 공급할 수 있는 다출력 전원 회로의 새로운 구성에 관한 것이다.

배경기술

종래, 액정 패널의 구동 회로에 복수의 전위를 공급하는 전원 회로가 사용되고 있고 이 전원 회로의 예로서는 예를 들면 일본 특허공개 공보 평2-150819호에 개시된 것이다. 제11도는 이 종래의 전원 회로의 개략적인 구성을 도시하는 것이다. 액정 패널 1에 있어서는 각각 스트라이프 형상으로 연장되고 복수 병렬된 세그먼트 전극 SE1, SE2, ... (이하 총칭해서 SEn이라 한다)와, 이들의 세그먼트 전극에 직교하는 방향으로 신장되고 복수 병렬된 코몬 전극 CE1, CE2, ... (이하 총칭해서 CEn이라 한다)이 도시하지 아니한 액정층을 끼고 마주한 상태로 설치되어 있다. 이들의 세그먼트 전극 SEn과 코몬 전극 CEn이 교차하는 액정층의 각 영역은 그것의 광학적 상태를 절환하고 어떤 명암도 제어할 수 있는 화소를 구성하고 액정 패널 전체로서 다수의 화소에 의해 희망하는 표시 상태를 출현하도록 되어있다.

액정 패널 1에 희망하는 화상을 표시하려 할 때에는 액정 구동 회로에 의해 세그먼트 전극 SEn 및 코몬 전극 CEn에 화상 표시에 대응한 화소 상태를 형성하기 위한 소정의 전위를 소정 시간 인가하고, 말하자면 시분할 구동에 의해 전극간에 액정층을 협지(挟持)한 콘덴서 등이 구조를 갖는 각 화소의 상태를 제어하도록 되어 있다.

제11도에 도시하는 회로는 액정 패널 1의 구동 회로에 전위 V0, V1, V2, V3, V4, V5를 공급하기 위한 다출력 전원 회로이다. 이 회로에 있어서는 전원으로부터 공급되는 전원 전위인 고전위 VDD와 저전위 VEE를 근거로 하여 분압 저항 R1, R2, R3, R4, R5에 의해 분압하고 중간 전위 V1, V2, V3, V4를 형성한다. 이들

의 중간 전위 V1, V2, V3, V4는 집적 회로(2)의 내부에 형성된 연산 증폭기 OP1, OP2, OP3, OP4의 비반전 입력 단자에 입력된다. 이들의 연산 증폭기 OP1, OP2, OP3, OP4는 반전 입력 단자와 출력 단자를 단락한 볼테지풀로워(voltage follower)로서 구성되고, 낮은 출력 임피던스에서 중간 전위 V1, V2, V3, V4를 공급할 수 있도록 되어있다.

각 연산 증폭기 OP1, OP2, OP3, OP4의 출력측에는 저항 R8, R9, R10, R11이 각각 접속되고 저항 R8~R11은 연산증폭기 OP1~OP4의 출력 전류를 제한하고 연산 증폭기 OP1~OP4의 소비 전력을 저감하는 작용을 한다. 또한 그 앞에 있어서 전원 전위 VDD, VEE를 포함시킨 6 개의 전위중 상위쪽 3 개 및 하위쪽 3 개의 각각의 전위간에 콘덴서 C1, C2, C3, C4가 접속되어 있다.

이와 같이 형성된 전원 회로에 의해 전원 전위 VDD를 V0, VEE를 V5로 하여 6 개의 출력 전위 V0~V5가 출력된다. 이들의 출력 전위 V0~V5는 화상에 대응한 영상 신호에 의해 동작하는 액정 구동 회로에 따라서 각각 세그먼트 전극 SEn과 코몬 전극 CEn에 인가된다.

여기에서 전압 평균화법에 의해 액정 패널을 고유ти로 시분할 구동하는 경우에 필요한 전압 레벨은 일반적으로 제12도에 도시한 대로

$$V_0 - V_1 = V_1 - V_2 = V_3 - V_4 = V_4 - V_5 \quad \dots \dots \dots \quad (1)$$

(여기에서 $v_0 > v_1 > v_2 > v_3 > v_4 > v_5$)

인 관계를 갖는 출력 전원 V0~V5이다.

세그먼트 전극 SEn, 코몬 전극 CEn에 가해지는 신호는 예를 들면 제12도에 도시한 것이다. 제12도에 있어서 일정쇄선으로 도시되는 세그먼트 전극 SEn에 인가되는 신호 전위는 제12도에 도시하는 프레임(0)(이하 Fr0라 함.)의 기간에서는 V3과 V5와의 어떤 것으로 절환되고 또한 제12도에 도시하는 프레임(1)(이하 Fr1이라 함.)의 기간에서는 V0와 V2와의 어떤 것으로 절환된다. 여기에서 예를 들면 신호 전압 V0은 대응하는 화소 영역의 온 상태로, 신호 전위 V2는 오프 상태로 대응하는 것이다. 이 세그먼트 전극 SEn의 전압 레벨간의 절환 상태는 표시하는 패턴에 의존해서 변화한다.

한편, 코몬 전극 CEn에 부가되는 신호 전위는 Fr0의 기간에 있어서 통상은 비선택 상태의 V4이고, 소정 기간만이 선택 상태의 V0로 된다. 또한 Fr1의 기간에 있어서는 통상은 비선택 상태의 V1이고, 소정 기간만이 선택 상태의 V5로 된다. 코몬 전극 CEn을 선택 상태로 하는 기간은 각 코몬 전극마다 다르고 일반적으로는 복수의 코몬 전극 CEn이 동시에 선택 상태로 되는 일은 없다.

제12도에 도시하는 Fr0와 Fr1의 기간은 교호적으로 반복해서 나타나도록 되어있어서 이같은 사실에 따라 화소 영역내의 액정총을 교류 구동해서 액정총의 노화를 방지하고 있다.

이와 같은 세그먼트 전극 SEn 및 코몬 전극 CEn의 전위 레벨의 절환시에는 액정 패널에 다수 존재하는 각화소 용량(세그먼트 전극, 코몬 전극 및 그 사이에 협지된 액정층으로 구성된다)이 총 방전하기 때문에 액정 패널을 통해서 전원 회로의 출력 전위 V0~V5 의 각 전위 레벨 사이에 전류가 발생한다. 이때 세그먼트 전극 SEn의 전위 레벨의 절환은 V0와 V2 사이, 혹은 V3와 V5 사이에서 행해지고 대부분의 코몬 전극 CEn은 비선택 상태에서 각각 V1 또는 V4의 전위 레벨로 되어 있다. 따라서 세그먼트 전극 SEn의 전위 레벨의 절환에 수반하는 전류는 주로 V0, V1, V2 사이 및 V3, V4, V5 사이에 각각 흐른다. 이이 대해서 코몬 전극 CEn은 상기한 바와 같이 거의는 비선택 상태에서 V1 또는 V4의 전위 레벨로 되어있으나 선택 상태로 되면 V0 또는 V5의 전위 레벨로 된다. 따라서 코몬 전극 CEn의 전위 레벨의 절환에 수반하는 전류는 주로 V0, V3, V4, V5 사이 및 V0, V1, V2, V5 사이에 흐른다.

이와 같은 전류, 즉 상기 전원 회로를 사용해서 액정 패널(1)을 구동하였을 때에 발생하는 전원 회로 내에 발생하는 전류는 전원 전위 VDD에서 VEE로 흐르는 전류의 일부로서 공급된다. 즉, 예를 들어 세그멘트 전류 SEn의 전위 레벨의 절환에 수반하여 액정 패널 가운데를 전위 레벨 V3에서 V4로 흐르는 전류를 생각하면, 제11도에 도시하는 바와 같이 이 전류는 당초 전원 전위 VDD에서 흘러나오고 연산 증폭기 OP3를 거쳐서 전위 레벨 V3에서 액정 패널(1)로 유입되어 액정 패널(1)로부터 전위 레벨 V4로 되돌아가고 연산 증폭기 OP4를 경유해서 최종적으로 전원 전위 VEE에 유입하는 것이다. 따라서 제11도에 도시하는 전원 회로가 액정패널(1)에 대해서 출력 전위 V3에서 흘러나와서 V4로 되돌아가는 전류를 공급하는 경우, 전원 전위 VDD에서 출력 전위 V3로 통하는 전류에 의한 전력 소비와, 출력 전위 V4에서 전원 전위 VEE까지 흐르는 전류에 의한 전력 소비는, 단지 연산 증폭기 OP3, OP4의 발열을 유발할 뿐으로 액정 패널(1)에 대해서는 유효한 작용을 하지 아니하고 낭비 전력 소비로 되어있다.

여기에서 세그멘트 전극 SEn의 전위 레벨의 절환에 수반하여 발생하는 전류는 주로 V0, V1, V2 사이 및 V3, V4, V5 사이에 흐르는데 대해, 코몬 전극 CEn의 전위 레벨의 절환에 수반하여 발생하는 전류는 주로 V0, V3, V4, V5 사이 또는 V0, V1, V2, V5 사이에 흐르기 때문에, 전자가 후자 보다 각 전위 레벨 사이의 전압이 적다. 따라서 제11도의 전원 회로를 사용해서 세그멘트 전극 SEn의 전위 레벨의 절환에 수반한 전류를 공급하는 경우와, 코몬 전극 CEn의 전위 레벨의 절환에 수반하는 전류를 공급하는 경우를 비교하면, 전자 쪽이 후자보다도 액정 패널(1) 내에서 소비되는 전력의 비율이 상술한 낭비 소비 전력에 대해서 적으로 보다 전력을 낭비하고 있는 것으로 된다.

근래, 액정 표시 패널의 대용량화 및 고속화의 요구가 높고 이 때문에 액정패널의 시분할 구동시의 고득 티화가 현저하게 되어있다. 이와 같이 구동시의 듀티비를 높이기 위해서는 전원 전압으로서 보다 큰 전압이 필요하게 되고 고전위 VDD와 저전위 VEE와의 전위차가 확대하게 되기 때문에 제11도에 도시하는 종래의 전원 회로에 있어서는 다음과 같은 문제점이 발생한다.

- (1) 연산 증폭기의 전원으로서 전류 전위 VDD, VEE를 사용하고 있기 때문에 그것의 전위차의 확대에 의해 정상적으로 흐르는 연산 증폭기의 아이들링 전류에 기인하는 소비 전력이 증대한다.
 - (2) 전원 전압의 상승에 의해 전원 회로에서 사용되는 연산 증폭기로서 가격이 높은 고내압의 연산 증폭기를 사용할 필요가 있다.

(3) 전원 전압의 상승에 의해 상술한 전원 회로 내에서 소비되는 낭비 전력량, 특히 세그멘트 전극 SEn의 전위 레벨의 절환에 수반하는 전류를 공급할 때에 발생하는 낭비 소비 전력이 증대한다.

그러므로 본 발명은 상기 각 문제점을 해결하기 위한 것이고 그 목적하는 바는 소비 전력이 적고, 더욱이 염가인 전원 회로로, 특히 액정 표시체 구동용 전원으로서 가장 적합한 전원 회로를 구성하는 것이고, 이와 같은 전원 회로를 채용하므로서 액정 표시 장치 전체의 소비 전력의 저감 및 제조 코스트의 저감을 도모하는 것이다.

발명의 상세한 설명

본 발명은, 제 1 전위 및 이 제 1 전위와는 다른 제 2 전위에 의거해서 복수의 출력 전위를 공급하는 복수의 출력 회로부와, 상기 제 1 전위와 상기 제 2 전위와의 중간의 1 또는 복수의 중간 전위를 형성하는 중간 전위 형성부를 설치하고, 상기 제 1 전위, 상기 제 2 전위 및 상기 중간 전위 중 하나의 전위와, 이 전위와는 다른 상기 중간 전위를 상기 출력 회로부의 구동 전위로서 공급하는 전원 회로이다. 이에 따라 출력 회로부에 공급하는 두 구동 전위간의 전위차를 제 1 전위와 제 2 전위와의 전위차보다도 저감할 수가 있기 때문에, 출력 회로부의 회로 소자의 내압을 저감 할 수가 있음과 더불어, 출력 회로부를 경유하는 소비 전력을 저감할 수가 있다. 회로 소자의 내압은 전원 회로의 제조 코스트를 저감시킨다.

여기에서, 상기 복수의 출력 회로부 중 일부의 출력 회로부에는 상기 제 1 전위 및 상기 중간 전위를 구동 전위로서 공급하고, 상기 출력 회로부 중 다른 출력 회로부에는 상기 중간 전위 및 상기 제 2 전위를 구동 전위로서 공급하는 것이 바람직하다. 이 경우에는 제 1 전위와 제 2 전위를 구동 전위의 한편으로서 사용하기 때문에 중간 전위의 필요 수를 최소한으로 억제할 수가 있다.

또한 상기 중간 전위 형성부에 상기 중간 전위의 변동을 억제하기 위한 전위 보존 수단을 설치하는 것이 바람직하다. 여기에서 전위 보존 수단을 상기 중간 전위와 다른 전위 사이에 접속된 정전 용량으로 하는 경우가 있다. 전위 보존 수단을 설치함으로서 중간 전위의 변동이 억제되고 출력 회로부의 구동 전압의 변동 폭을 저감할 수 있다.

또한, 상기 중간 전위 형성부를 상기 제 1 전위 및 상기 제 2 전위에 의거해서 상기 중간 전위를 형성하는 분압 회로부로 하는 것이 바람직하다. 이와같은 분압 회로부는 가장 용이하게 구성되고 확실한 분압 기능을 다 할 수가 있다.

이 분압 회로부에는, 분압 수단의 최소한 일부로서 분압 저항을 설치하는 경우, 제너레이터를 설치하는 경우, 1 또는 복수의 순방향 다이오드를 설치하는 경우 등이 있다.

또한, 상기 중간 전위의 전위 변동을 소정의 범위로 제한하는 전위 변동 제한 수단을 설치하는 것이 바람직하다. 전위 변동 제한 수단에 의해 중간 전위의 변동량을 저감할 수가 있으므로, 출력 회로부의 구동 전압의 변동을 억제할 수 있기 때문에 안정된 출력 특성을 얻을 수가 있다.

이 전위 변동 제한 수단을, 상기 중간 전위의 상한 전위 및 하한 전위를 각각 설정한 리미터 회로부로 하는 것이 요망된다.

이 리미터 회로부를, 상기 중간 전위의 상한 전위를 설정하는 제 1 능동 소자와, 상기 중간 전위의 하한 전위를 설정하는 제 2 능동 소자를 설치한 것으로 하는 것이 요망된다. 이 경우에는 능동 소자에 의한 상황에 따라서 중간 전위를 제어하기 때문에 소비 전력을 저감해 가면서 출력 회로부의 안정된 동작을 확보할 수가 있다.

또한, 상기 출력 회로부를, 상기 제 1 전위 및 제 2 전위에 의거한 분압에 의해 형성된 전위를 입력하는 연산 증폭기로 구성한 볼테지풀로워를 주구성으로 하는 회로부로 하는 경우가 있다. 이 경우에는 제 1 전위와 제 2 전위의 전위차가 커도 연산 증폭기의 구동 전압을 저감할 수 있으므로 내압이 낮은 염가인 연산 증폭기를 사용할 수가 있음과 더불어 연산 증폭기에서 소비되는 전력량도 저감할 수가 있다.

상기한 각 전원 회로를 액정 표시체 구동용 전원에 사용하는 것이 매우 요망된다. 액정 표시체 구동용 전원으로서는 많은 출력 전위를 안정적으로 출력할 수 있는 상기 구성의 전원 회로를 사용하므로서 소비 전력의 저감과 제조 코스트의 저감을 도모할 수가 있다.

또한 이 전원을 구비한 액정 표시 장치로 하는 것이 매우 요망되고, 이 경우에도 액정 표시 장치 전체의 낭비 소비 전력을 저감할 수 있음과 함께 제조 코스트를 저감할 수 있다.

도면의 간단한 설명

제1도는 본 발명에 관한 양호한 제 1 및 실시예 2를 도시하는 액정 표시체 구동용 전원 회로의 구성을 도시하는 개략적인 회로도.

제2도는 제 1 및 실시예 2를 액정 표시체 구동에 사용한 경우의 프레임 기간과 회로 내의 중간 전위 Va와의 관계를 도시하는 그래프.

제3도는 본 발명에 관한 바람직한 실시예 3을 도시하는 액정 표시체 구동용의 전원 회로의 구성을 도시하는 개략적인 회로도.

제4도는 실시예 3을 액정 표시체 구동에 사용한 경우의 프레임 기간과 회로 내의 중간 전위 Va, Va'와의 관계를 도시하는 그래프.

제5도는 본 발명에 관한 바람직한 실시예 4를 도시하는 액정 표시체 구동용의 전원 회로의 구성을 도시하는 개략적인 회로도.

제6도는 실시예 4를 액정 표시체 구동에 사용한 경우의 프레임 기간과 회로 내의 중간 전위 Va와의 관계를 도시하는 그래프.

제7도는 본 발명에 관한 바람직한 실시예 5를 도시하는 액정 표시체 구동용의 전원 회로의 구성을 도시하는 개략적인 회로도.

제8도는 실시예 5를 액정 표시체 구동에 사용한 경우의 프레임 기간과 회로 내의 중간 전위 Va와의 관계를 도시하는 그래프.

제9도는 본 발명에 관한 바람직한 실시예 6을 도시하는 액정 표시체 구동용의 전원 회로의 구성을 도시하는 개략적인 회로도.

제10도는 상기 각 실시 형태의 전원 회로를 액정 패널에 접속한 상태를 표시하는 개략적인 구성도.

제11도는 종래의 액정 표시 장치의 구성, 특히 전원 회로의 부분을 도시하는 개략적인 회로도.

제12도는 액정 표시 장치의 구동 전위를 도시하는 그래프.

실시예

다음에, 본 발명을 보다 상세히 나타내기 위해, 본 발명에 관한 전원 회로, 특히 액정 구동용 전원에 사용되는 것, 및 이들을 사용한 액정 표시 장치의 실시형태에 대해서 첨부 도면을 참조하여 설명한다. 또한 본 발명은, 액정 표시체 구동용의 전원에 사용되는 전원 회로에 한정되는 것은 아니고, 복수의 출력 전위를 갖는 각종의 전원 회로의 구성으로서 널리 적용할 수 있는 것이나, 다음에 있어서는 액정 구동용 전원 및 액정 표시 장치에 채용하는 경우를 예로 하여 설명한다.

[실시예 1]

제1도는 실시예 1의 액정 표시체 구동용의 전원 회로의 회로 구성을 도시하는 것이다. 제1도에 있어서, 전원 전위 VDD, VEE(VDD>VEE)는 도시하지 아니한 외부 전원에서 공급되고, 이들의 전원 전위 VDD, VEE 사이에 저항 R1, R2, R3, R4, R5를 직렬로 접속해서 분압하고, 중간 전위 V1, V2, V3, V4를 발생시킨다. 이들의 중간 전위를 연산 증폭기 OP1, OP2, OP3, OP4로 구성하는 볼테지풀로워를 통해서 출력 임피던스를 저감하고 있다.

연산 증폭기 OP1, OP2, OP3, OP4의 출력은 연산 증폭기의 출력 전류를 제한하기 위한 저항 R8, R9, R10, R11을 통해서 출력되고, 출력 전위 V1, V2, V3, V4로서, 전원 전위 VDD = V0, VEE = V5와 함께 도시하지 아니한 액정 패널의 구동회로에 공급된다. 여기에서 출력 전위 V0와 V1, V1와 V2, V3와 V4, V4와 V5 사이에는 각각 평활 콘덴서 C1, C2, C3, C4가 접속되어 있다.

전원 전위 VDD와 VEE 사이에는 분압 저항 R1, R2, R3, R4, R5로 형성되는 회로에 대해서 병렬로 분압 회로 S가 접속되어 있다. 이 분압 회로 S에 있어서는, 고저항 R12과 콘덴서 C5가 병렬로 접속된 부문과, 고저항 R13과 콘덴서 C6가 병렬로 접속된 부문이 직렬로 접속되고, 이들의 접속점인 중간점 A, A'로부터 중간 전위 Va가 끌어내어진다.

이 중간 전위 Va는 본 실시 형태에 있어서는 R12 = R13으로 되도록 구성이 되어 있기 때문에 정상 상태에 있어서는

$$Va = (VDD + VEE) / 2 = V0 \quad \dots \quad (2)$$

의 값으로 설정되어 있다.

상기 연산 증폭기 OP1 및 OP2를 갖는 회로부(2a)에는 연산 증폭기를 동작시키는 동작 전위로서 전원 전위 VDD과 중간 전위 Va가 공급되고, 또한 연산 증폭기 OP3 및 OP4를 갖는 회로부(2b)에는 동작 전위로서 중간 전위 Va와 전원 전위 VEE가 공급된다.

상기 실시 형태에 있어서 액정 패널이 동작하고 있지 아니한 비구동시에 전원 회로내를 흐르는 정상 전류로서 연산 증폭기 OP1~OP4의 아이들링 전류가 존재한다. 이경우 이들의 아이들링 전류는 연산 증폭기 OP1~OP4로서 같은 정격의 것을 사용하므로서 거의 바alan스가 잡히고, 이상적으로는 중간점 A, A'의 중간 전위 Va는 상기 식 (2)의 값으로 안정될 것이다. 그러나 실제로는 상기한 바와같이 같은 정격의 연산 증폭기에 있어서도 특성에 분산이 있고 아이드リング 전류의 언바alan스가 다소라도 존재한다. 또한 액정을 이외의 예를 들면 액정 구동 회로에 흐르는 무효 전류의 언발alan스도 존재한다. 따라서 중간 전위 Va를 액정 패널의 비구동시에 안정시키기 위해서는 고저항(R12, R13)의 저항치를 높게 설정하므로서 중간 전위 Va를 램프할 필요가 있다.

한편, 액정 패널을 구동하는 경우에는 세그멘트 전극 SEn 및 코몬 전극 CEn에 인가하는 액정 구동 전위의 절환에 의해 비정상 전류가 흐른다. 이 비정상 전류는 종래예의 경우와 같이 고전위 VDD에서 저전위 VEE로 흐르는 전류의 일부이다. 본 실시 형태에 있어서는 출력 전위 V1, V2에 의해 액정 패널의 화소로 충전 전류가 흐르는 경우와, 출력 전위 V3, V4에 의해 액정 패널의 화소로부터 방전 전류가 흐르는 경우는 종래예와 같다.

그러나 액정 패널의 화소로부터 저항 R8, R9을 거쳐서 연산 증폭기 OP1, OP2에 흡수되는 방전 전류 I1 또는 I2가 발생하는 경우에는 연산 증폭기 OP1, OP2를 거쳐서 중간점 A에 전류 I5가 흐르고, 또한 연산 증폭기 OP3, OP4로부터 저항 R10, R11을 거쳐서 액정 패널의 화소로 흐르는 충전 전류 I3 또는 I4가 발생하는 경우에는, 중간점 A'로부터 연산 증폭기 OP3, OP4로 전류 I6가 흐르는 점이 본 실시 형태와 종래예와의 다른 점이다.

이 전류 I5의 발생은 중간 전위 Va를 일시적으로 상승시키고, 전류 I6의 발생은 중간 전위 Va를 일시적으로 강하시킨다. 따라서 어떤 경우에도 중간 전위 Va가 변화하므로써 연산 증폭기 OP1, OP2, OP3, OP4를 동작시키는 동작 전압이 변동하게 된다.

제2도에는 중간 전위 Va의 변동의 모양을 표시한다. Freq의 기간에 있어서는 세그멘트 전극 SEn의 오프 상태, 코몬 전극 CEn의 비선택 상태에서는 액정 패널의 세그멘트 전극 SEn에 출력 전위 V3가 공급되고 코몬

전극 CEn으로 출력 전위 V4가 공급된다. 한편, Fr1의 기간에 있어서는 마찬가지로 세그멘트 전극 SEn의 오프 상태, 코몬 전극 CEn의 비선택 상태에서는 세그멘트 전극 SEn에 출력 전위 V2가 공급되고 코몬 전극 CEn에 출력 전위 V1가 공급된다.

따라서, Fr0의 기간에서는 출력 전위 V3, V4에 있어서 흐르는 액정 화소로의 충전 전류 I3, I4에 의해 중간점 A, A'의 중간 전위 Va는 저하하고, Fr1의 기간에 있어서는 출력 전위 V1, V2에 있어서 흐르는 액정 화소로부터의 방전 전류 I1, I2에 의해 중간 전위 Va는 상승한다. 이 경우 액정의 노화를 방지하기 위해 Fr0와 Fr1에 있어서 역극성의 구동 전압에 의해 교류 구동하므로, 위 식 ① 및 ②의 관계로부터 방전 전류 I1 + I2의 Fr0 기간에 있어서 시간 적분치(전류에 의한 이동 전하량)와, 충전 전류 I3 + I4의 Fr1 기간에 있어서 시간 적분치가 거의 같게 된다. 이 때문에 제2도에 도시하는 바와 같이 중간 전위 Va는 $V_o = (VDD + VEE)/2$ 의 값을 중심으로 하여 상하로 거의 같은 폭으로 프레임 기간에 따른 주기로서 반복해서 변동하게 된다.

그런데 일반적으로 연산 증폭기는 전원 전압이 어느 정도 변동해도 그것이 소정의 범위 내의 변동이라면 출력 변동을 초래하지 아니한다. 이 소정 범위는 연산 증폭기의 특성에 의존한다. 따라서 중간 전위 Va의 전위 변동을 해당하는 소정의 범위 내로 억제하므로써 전원 회로로서 확실한 동작이 가능케 된다.

본 실시 형태에서는 상기한 바와 같이 종래의 전원 회로와 같이 동작시킬 수가 있음과 함께, 연산 증폭기의 동작 전압을 종래의 반으로 할 수가 있으므로 연산 증폭기로서 저내압의 염가 소자를 사용할 수가 있는 효과를 나타낸다.

중간 전위 Va의 변동폭은 제1도의 각 회로 정수에 의존하고, 특히 저항 R12, R13의 저항치 및 콘덴서 C5, C6의 용량치에 의해 크게 변한다. 또한 이들의 회로 정수 이외에도 구동되는 액정 표시체의 상황에 크게 영향받는다. 즉 중간전위 Va의 변동폭은 액정 패널의 모듈 자체의 구조나 액정의 구동 조건, 액정 패널에 표시되는 화상 패턴에 의존한다.

따라서 중간 전위 Va의 상하 변동폭의 설정은 액정 패널의 모듈 구조와 구동 조건이 결정된 시점에서 상기 변동폭을 가장 크게한다고 생각이 되는 웨스트 표시 패턴(예를 들면 전체면에 체크 무늬를 표시하는 패턴, 가로 스트라이프를 표시하는 패턴 등)으로 액정 패널을 구동하고, 이 때의 중간 전위의 변동폭이 연산 증폭기의 허용 동작 전압 범위를 이탈하지 아니하도록 제1도의 저항 R12, R13의 저항치 및 콘덴서 C5, C6의 용량치를 조정하므로 행해진다.

제10도에 도시하는 바와 같이, 세그멘트 전극 SEn 및 코몬 전극 CEn을 형성한 액정 패널(10)을 구동하기 위한 세그멘트 전극 구동 제어 회로(11) 및 코몬 전극 구동 제어 회로(12)에 접속하여 형성되는 액정 표시 장치에, 상기 구성의 전원회로(20)를 접속하였다. 액정 패널(10)을 0.33mm 핏치, 640×480 화소의 액정 모듈로 하고, 상기 세그멘트 전극 구동 제어 회로(11) 및 코몬 전극 구동 제어 회로(12)에 의해 1/240 뉴티, V-13V 바이어스, VDD-VEE=28vmax의 조건으로 시분할 구동을 행하였다. 이때의 회로 정수는 R1=R2=R4=R5=10kΩ, R3=90kΩ, R8=R9=R10=R11=4.7Ω, C1=C2=C3=C4=4.7μF, R12=R13=33kΩ, C5=C6=2.2μF이다.

상기한 조건으로 행한 실험 결과에 의하면 종래의 제11도에 도시하는 전원회로에서는 액정계의 소비 전류가 6.93mA인 것에 대해서 본 실시 형태에서는 소비전류지가 4.26mA로 되고 종래에 대해서 약 65% 정도의 값으로 저감되었다. 또한 연산 증폭기 자체의 전력 손실도 감소하였기 때문에 최대 손실이 비교적 작은 염가인 연산 증폭기로 디레이팅이 확보되도록 되었다. 즉 종래 구성에서는 웨스트 조건으로 소비 전력이 400mW인 것에 대해서 본 실시 형태에 있어서는 270mW로 할 수가 있었다.

상기 실시 형태에 있어서는 중간 전위 Va를 형성하기 위해 저항 R12, R13 외에 외부 전원으로부터 공급되는 전원 전압 VDD, VEE의 변동에 대한 안전성을 얻기 위해 콘덴서 C5, C6를 구비한 분압 회로 S를 설치하고 있으나, 분압 회로 S로서는 콘덴서를 포함하지 아니한 회로 구성이라도 좋고, 또한 콘덴서 C5, C6 중의 어느 한편만을 구비한 회로 구성으로 하여도 좋다.

[실시예 2]

다음에 실시예 1과 동일 구성의 전원 회로를 다른 액정 패널에 접속해서 액정 표시 장치를 형성한 실시예 2를 설명한다. 이 실시 형태에 있어서는, 제10도에 도시하는 액정 패널(10)로서 0.24mm 핏치, 640×480의 화소수를 구비한 것을 사용하고, 1/480 뉴티, V-22V 바이어스, VDD-VEE=35vmax의 조건으로 시분할 구동시켰다. 이때, 전원 회로의 회로 정수는 R3=180kΩ로 하였으나 다른 구성은 모두 실시예 1과 동일치로 설정하였다.

이 실시 형태에 있어서도 실시예 1과 같이 동작의 확실성을 확보하면서 소비 전력을 저감할 수 있는 양호한 결과가 얻어졌다. 여기에서 연산 증폭기 OP1~OP4로서는, 본 실시 형태와 동일한 조건으로 종래의 전원 회로를 구동하려면 40v 내압의 특수한 것을 사용할 필요가 있었으나 본 실시 형태에 있어서는 일반적인 30v 내압의 염가인 연산 증폭기의 사용이 가능해졌다.

[실시예 3]

제3도에는 본 발명에 관한 전원 회로의 실시예 3의 구성을 도시한다. 이 실시 형태에 있어서는 분압 회로 S'의 내부 구성 이외는 모두 실시예 1 및 실시예 2와 같다. 이 실시 형태에 있어서 분압 회로 S'는 중간 점 A와 중간 점 A' 사이에 제너다이오드 ZD1를 접속시킨 것이다. 이 제너다이오드 ZD1의 존재에 의해, 중간 점 A의 중간 전위 Va와 중간 점 A'의 중간 전위 Va' 사이에 제너 전압 Vz에 대응하는 일정한 전위차가 발생하기 때문에, 연산 증폭기 OP1 및 OP2에 공급되는 동작 전압 VDD-Va와, 연산 증폭기 OP3 및 OP4에 공급되는 동작 전압 Va'-VEE과의 합은 전원 전압 VDD-VEE 보다도 소정의 전위차 Vz 분만큼 저감된다.

여기에서 제4도에 도시하는 바와 같이, 중간 전위 Va, Va'는 각각 실시예 1의 중간 전위 Va와 같이 프레임 주기에 동기해서 상하로 변동한다. 이들의 변동폭은 상기 실시예 1과 같이해서 연산 증폭기의 정격에 맞추어서 설정된다. 중간 전위 Va와 Va'와의 전위차는 상시 거의 일정하다.

이 실시 형태에 있어서는, 실시예 1 및 실시예 2의 경우보다도, 연산 증폭기 OP1~OP4에 인가되는 동작

전압을 다시 저감할 수가 있고, 연산 증폭기의 허용손실이나 최대 정격에 대한 제한을 보다 저감할 수가 있다. 또한 이 실시 형태에 있어서, 전원 회로 전체의 소비 전력은 실시예 1과 거의 같다.

분압 회로 S'에 있어서, 중간점 A와 A' 사이에 삽입하는 삽입 회로부로서 예를 들면 제3도의 하부에 도시하는 복수의 다이오드 SD1, SD2, …, SDn-1, SDn를 접속해서 형성되는 직렬 회로 SRD를 사용해도 된다. 여기에서 다이오드의 접속수는 필요한 전위차에 따라 적당히 설정된다. 이 경우에는 중간점 A와 A'와의 전위차는 각 다이오드의 순방향 전압 강하의 합으로서 상시 거의 일정한 값을 취한다.

또한, 삽입 회로부로서는 단순한 저항, 콘덴서를 사용하는 것 등과 같이 결과적으로 중간 전압 Va과 Va' 사이에 전위차를 일으키는 것이면 되고, 이 전위차도 연산 증폭기의 동작 전압이 허용 범위 내에 수렴되는 것이면 반드시 일정치 아니해도 좋다.

[실시예 4]

다음에 제5도를 참조해서 본 발명에 관한 실시예 4에 대해서 설명한다. 이 실시 형태에 있어서는 상기 실시예 1 및 실시예 2의 회로 더해서 다시 리미터 회로 L를 설치하고 있다. 이 리미터 회로 L는 전원 전위 VDD와 중간점 A' 사이에 npn 형의 트랜지스터 Q1의 컬렉터 단자, 에미터 단자를 접속하고, 중간점 A와 전원 전위 VEE 사이에 pnp 형의 트랜지스터 Q2의 컬렉터 단자, 에미터 단자를 접속한 것이다. 여기에서 본 실시 형태와 같이 중간점 A와 A'가 동일 전위 Va인 경우에는 이들을 구별할 필요는 없으나 상기 실시예 3과 같이 중간점 A와 A' 사이에 전위차가 형성되는 경우에 있어서도 상기한 바와 같은 접속 구성으로 대응할 수 있다.

트랜지스터 Q1의 베이스 단자는 저항 R16을 거쳐서 전원 전위 VEE에 접속되고, 트랜지스터 Q2의 베이스 단자는 저항 R14을 거쳐서 전원 전위 VDD에 접속된다. 또한 트랜지스터 Q1의 베이스 전위와 트랜지스터 Q2의 베이스 전위 사이에 저항 R15이 접속된다.

이와 같은 회로 구성의 리미터 회로 L를 설치하므로서, 중간점 A, A'의 중간 전위 Va가 저항 R14, R15, R16의 저항치와 트랜지스터 Q1, Q2의 특성에 따라 결정되는 하한 전위 Vd를 하회(下回)하려면 트랜지스터 Q1가 온 상태로 되어 전원 전위 VDD로부터 중간점 A'로 전류가 흐르므로 중간 전위 Va는 항상 하한 전위 Vd 이상으로 보존된다. 한편, 중간 전위 Va가 꼭같이 설정된 상한 전위 Vu를 넘으려면 트랜지스터 Q2가 온 상태로 되어 중간점 A로부터 전원 전위 VEE로 향하는 전류가 발생하기 때문에, 중간 전위 Va는 상시 상한 전위 Vu 이하로 유지된다.

상기한 바와 같이 상한 전위 Vu와 하한 전위 Vd 사이에 보존된 중간 전위 Va를 표시하는 것이 제6도이다. 본 실시 형태에 있어서는 중간 전위 Va의 변동을 리미터 회로 L에 의해 소정의 상한 전위 Vu와 하한 전위 Vd 사이에 제한할 수가 있으므로, 상한 전위 Vu 및 하한 전위 Vd에 의해 정해지는 동작 전압 범위를 연산 증폭기 OP1~OP4의 허용 동작 전압 범위 내에 설정하므로써 안정된 출력 전압을 얻을 수가 있다.

이경우 중간 전위 Va의 변동은 리미터 회로 L에 의해 강제적으로 소정 범위 내로 제한되기 때문에, 전원 회로의 회로 정수를 중간 전위 Va의 변동 특성에 너무 구속되는 일이 없이 설정될 수 있다는 이점이 있다.

즉, 상기한 실시예 1 내지 실시예 3에 있어서는 예를 들면 저항 R12, R13의 저항치를 높게 하면 중간 전위 Va의 변동폭이 커져서 연산 증폭기의 허용 동작 전압 범위를 넘을 우려가 있고, 역으로 중간 전위 Va의 변동폭을 적게 하려고 해서 저항 R12, R13의 저항치를 적게 하면 전원 전위 VDD와 VEE 사이에 흐르는 정상 전류가 증가하고, 회로 전체의 소비 전력이 증대해버리는 딜레이머가 있다. 그러나 본 실시 형태에 있어서는, 리미터 회로 L이 없는 상태에 있어서 중간 전위 Va의 변동폭을 마음에 둘 필요가 없기 때문에 저항 R12, R13의 저항치를 높게 설정할 수가 있고 이들의 저항을 흐르는 정상 전류를 저감할 수 있어 회로의 소비 전력의 한층 더한 저감을 도모할 수가 있다.

본 실시 형태에 있어서는 실제로 실시예 1 및 실시예 2에 있어서 33kΩ였던 저항 R12, R13의 저항치를 200kΩ으로 할 수가 있었다. 이때 통상의 표시 패턴을 액정 패널면에 표시시키는 경우에는 제6도의 점선으로 표시되는 바와 같이 중간 전위 Va의 전위 변동폭은 약간의 것이고 연산 증폭기 OP1~OP4의 허용 동작 전압 범위 Vu~Vdd 내로 안정되어 있다. 그러나 액정 패널에 표시되는 화상 패턴이 보다 전력을 소비하는 워스트 패턴으로 되면, 저항 R12, R13의 저항치가 크므로 중간 전위 Va의 변동폭은 커져 연산 증폭기의 허용 동작 범위의 한계에 근접하거나 해당 범위를 넘으려 한다. 이때 리미터 회로 L에 의해서 상한 전위 Vu<Vu, 하한 전위 Vd>Vdd에서 중간 전위 Va가 제한되므로 연산 증폭기 OP1~OP4는 지장없이 안정 동작을 계속할 수가 있다.

상기한 리미터 회로 L는 저항 R14, R15, R16에 의해 트랜지스터 Q1, Q2의 동작점을 조정할 수가 있도록 되어 있고, 이와 같이 해서 설정한 트랜지스터 Q1의 베이스 전위를 VBQ1, 트랜지스터 Q2의 베이스 전위를 VBQ2로 하면, 트랜지스터 Q1가 온 상태로 되는 조건은,

$$Va \leq VBQ1 - VBE1 = Vd \quad \dots \quad (3)$$

트랜지스터 Q2가 온 상태로 되는 조건은,

$$Va \geq VBQ2 + VBE2 = Vu \quad \dots \quad (4)$$

이다. 여기에서 VBE1은 트랜지스터 Q1의 베이스 · 에미터간 전압, VBE2는 트랜지스터 Q2의 베이스 · 에미터간 전압이고, 통상의 실리콘제의 pn 접합을 구비한 트랜지스터에 있어서는 이들의 전압은 0.7V 정도이다.

또한, 리미터 회로로서는 상기한 구성에 한정되지 아니하고 각종의 공자의 리미터 회로를 사용할 수가 있다. 예를 들면 트랜지스터 Q1, Q2의 특성에 따라서는 R15를 불필요한 것으로도 할 수 있고, 또한 제5도의 리미터 회로 L의 내부에 점선으로 표시한 2 개의 저항을 저항 R14, R16 대신에 접속한 회로 구성에서도 마찬가지의 기능을 하도록 할 수가 있다. 또한, 다이오드나 부가 전원을 사용해도 구성된다. 혹은 또 트랜지스터 Q1, Q2 대신에 제너레이터를 각각 접속해서 전원전위 VDD와 중간 전위 Va 사이의 전위차 및

중간 전위 Va와 전원 전위 VEE 사이의 전위차를 각각 제너 전압 이하로 제한하도록 구성을 할 수도 있다.

[실시예 5]

다음에 제7도를 참조하여 본 발명에 관한 실시예 5에 대해서 설명을 한다. 이 실시 형태에 있어서는 실시 예 4에 대해서 리미터 회로 L'의 구성만이 다른 것이다. 이 리미터 회로 L'에 있어서는 전원 전위 VDD와 중간 전위 Va 사이에 전계 효과 트랜지스터(FET) F1를 접속하고, 중간 전위 Va와 전원 전위 VEE 사이에 전계 효과 트랜지스터 F2를 접속하고 있다. 또한 이들의 전계 효과 트랜지스터 F1, F2의 게이트 전위 V_m 를 고저항 R17과 R18로 구성되는 분압 회로에 의해 설정하고 있다.

이 실시 형태에 있어서도 실시예 4와 같이 제8도에 도시하는 바와 같이 중간 전위 Va의 상하 변동이 제한된다. 즉 중간 전압 Va가 저하해서,

$$V_a \leq V_m - V_{th1} = V_d \quad \dots \quad (5)$$

로 되면 전계 효과 트랜지스터 F1가 온 상태로 되고 전원 전압 VDD에서 중간 전위 Va로 전류가 흐르며, 중간 전위 Va의 전위 강하를 제한한다.

또한 중간 전위 Va가 상승해서,

$$V_a \geq V_m + V_{th2} = V_u \quad \dots \quad (6)$$

로 되면 전계 효과 트랜지스터 F2가 온 상태로 되고, 중간 전위 Va에서 전원 전위 VEE로 전류가 통하고 중간 전위 Va의 전위 상승을 제한한다.

[실시예 6]

마지막으로 제9도를 참조하여 본 발명에 관한 실시예 6에 대해서 설명을 한다. 이 실시 형태에 있어서는 2 개의 분압 회로 S1, S2를 설치하고 4 개의 연산 증폭기 OP1~OP4 중 연산 증폭기 OP1과 OP4에 대해서 분압 회로 S1에서 출력되는 중간 전위 Va1을 공급하고, 연산 증폭기 OP2와 OP3에 대해서 분압 회로 S2로 부터 출력되는 중간 전위 Va2를 공급하고 있다.

이와 같은 회로 구성에 있어서도, 기본적으로는 각 실시 형태와 마찬가지로 소비 전력의 저감과 연산 증폭기의 정격 요구 수준의 완화를 도모할 수가 있다. 또한, 이 실시 형태에 있어서는 일시에 각 출력 전위마다 설치된 1 개의 연산 증폭기를 경유한 1 개씩의 충전 전류 또는 방전 전류가 중간 전위에 대해서 유출 또는 유입되도록 되어 있다.

이 실시 형태에 도시하는 바와 같이 본 발명에 있어서는 연산 증폭기의 동작 전위로서 이용하는 중간 전위는 복수라도 좋고, 또한 분압 회로도 복수 설치해도 좋다. 또한 서로 다른 복수의 중간 전위를 형성하여 중간 전위간의 전위차에 의해 연산 증폭기를 동작시킬 수도 있다.

또한 본 발명의 중간 전위를 형성하기 위한 회로 구성으로서는 상기한 바와 같이 저항을 사용한 분압 회로에 한정되지 아니하고, 결과로서 전원 전위 VDD, VEE의 중간 전위를 얻을 수가 있는 것이라면 콘덴서나 인다크탄스 소자 등을 사용한 다른 각종의 공지의 전위 변환 회로를 사용해도 된다.

또한 본 발명의 출력 회로부의 구성으로서는 연산 증폭기에 의해 구성된 불데지풀로워에 한정되지 아니하고 각종의 회로 구성을 갖는 출력 회로부를 사용할 수가 있다. 예를 들면 전원 전위 및 이 전위에 의거해서 직접 혹은 간접적으로 형성된 복수의 전위로부터 이들과는 다른 전위를 생성해서 출력 전위로 하는 회로도 포함하는 것이다.

산업상이용가능성

이상과 같이 본 발명에 관한 전원 회로, 액정 표시체 구동용 전원 및 액정 표시 장치에 의하면, 전원 전압에 관계없이 출력 회로에 공급되는 구동 전압을 저감할 수 있어 출력 회로부의 내압을 낮게 설정할 수 있으므로 염가로 구성되고 제조 코스트를 저감할 수 있음과 함께, 출력 회로부에 관한 소비 전력을 저감할 수가 있다.

(57) 청구의 범위

청구항 1

제 1 전위와 제 2 전위 사이의 전위인 중간 전위를 복수 형성하는 중간 전위 형성부와, 상기 복수의 중간 전위 중 한 전위 및 상기 제 1 전위를 구동 전위로서 입력하여, 출력 전위를 출력하는 제 1 출력 회로부와, 상기 복수의 중간 전위 중 다른 전위 및 상기 제 2 전위를 구동 전위로서 입력하여, 출력 전위를 출력하는 제 2 출력 회로부를 구비하며, 상기 출력 전위를 부하에 공급하기 위한 전원 회로에 있어서, 상기 부하는 상기 제 1 출력 회로부의 출력 및 상기 제 2 출력 회로부의 출력에 시분할로 교호적으로 전류를 흘리는 것이고, 상기 중간 전위와 상기 제 1 전위 사이 및 상기 중간 전위와 상기 제 2 전위 사이 중 적어도 하나에는 용량 성분이 설치되어 있는 것을 특징으로 하는 전원 회로.

청구항 2

제1항에 있어서, 상기 중간 전위 형성부를, 상기 제 1 전위 및 상기 제 2 전위에 의거해서 상기 중간 전위를 형성하는 분압 회로부로 한 것을 특징으로 하는 전원 회로.

청구항 3

제2항에 있어서, 상기 분압 회로부에는, 그 분압 수단의 적어도 일부로서 분압 저항을 설치한 것을 특징

으로 하는 전원 회로.

청구항 4

제 1 전위와 제 2 전위 사이의 전위인 중간 전위를 복수 형성하는 중간 전위 형성부와, 상기 복수의 중간 전위 중 한 전위 및 상기 제 1 전위를 구동 전위로서 입력하여, 출력 전위를 출력하는 제 1 출력 회로부와, 상기 복수의 중간 전위 중 다른 전위 및 상기 제 2 전위를 구동 전위로서 입력하여, 출력 전위를 출력하는 제 2 출력 회로부를 구비하며, 상기 출력 전위를 부하에 공급하기 위한 전원 회로에 있어서, 상기 중간 전위 형성부는 상기 복수의 중간 전위를 발생하는 단자 사이에 제너 다이오드를 접속한 것을 특징으로 하는 전원 회로.

청구항 5

제 1 전위와 제 2 전위 사이의 전위인 중간 전위를 복수 형성하는 중간 전위 형성부와, 상기 복수의 중간 전위 중 하나의 전위 및 상기 제 1 전위를 구동 전위로서 입력하여, 출력 전위를 출력하는 제 1 출력 회로부와, 상기 복수의 중간 전위 중 다른 전위 및 상기 제 2 전위를 구동 전위로서 입력하여, 출력 전위를 출력하는 제 2 출력 회로부를 구비하며, 상기 출력 전위를 부하에 공급하기 위한 전원 회로에 있어서, 상기 중간 전위 형성부는 상기 복수의 중간 전위를 발생하는 단자 사이에 1 또는 복수의 순방향 다이오드를 접속한 것을 특징으로 하는 전원 회로.

청구항 6

제1항에 있어서, 상기 중간 전위의 전위 변동을 소정의 범위로 제한하는 전위 변동 제한 수단을 설치한 것을 특징으로 하는 전원 회로.

청구항 7

제6항에 있어서, 상기 전위 변동 제한 수단, 상기 중간 전위의 상한 전위 및 하한 전위를 각각 설정한 리미터 회로부로 한 것을 특징으로 하는 전원 회로.

청구항 8

제7항에 있어서, 상기 리미터 회로부에는, 상기 중간 전위의 상한 전위를 설정하는 제 1 능동 소자와, 상기 중간 전위의 하한 전위를 설정하는 제 2 능동 소자를 설치한 것을 특징으로 하는 전원 회로.

청구항 9

제 1 전위와 제 2 전위 사이의 전위인 중간 전위를 복수 형성하는 중간 전위 형성부와, 상기 복수의 중간 전위 중 한 전위 및 상기 제 1 전위를 구동 전위로서 입력하여, 출력 전위를 출력하는 제 1 출력 회로부와, 상기 복수의 중간 전위 중 다른 전위 및 상기 제 2 전위를 구동 전위로서 입력하여, 출력 전위를 출력하는 제 2 출력 회로부를 구비하며, 상기 출력 전위를 부하에 공급하기 위한 전원 회로에 있어서, 상기 중간 전위의 전위 변동을 소정의 범위로 제한하는 리미터 회로를 설치하고, 상기 리미터 회로는, 상기 제 1 전위와 중간 전위 사이에 접속되어 상기 중간 전위의 변동을 상기 소정 범위의 상한 전위로 제한하는 제 1 능동 소자와, 상기 중간 전위와 상기 제 2 전위 사이에 접속되어 상기 중간 전위의 변동을 상기 소정 범위의 하한 전위로 제한하는 제 2 능동 소자로 이루어지는 것을 특징으로 하는 전원 회로.

청구항 10

제1항 또는 제2항 또는 제3항중 어느 한 항에 기재된 전원 회로를 구비한 것을 특징으로 하는 액정 표시체 구동용 전원.

청구항 11

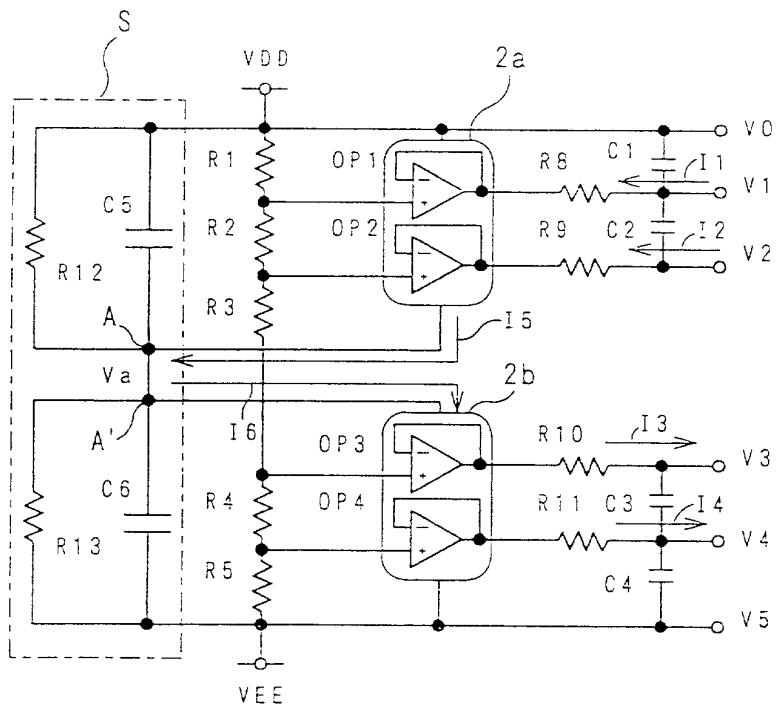
제10항에 기재된 액정 표시체 구동용 전원을 구비한 것을 특징으로 하는 액정 표시 장치.

청구항 12

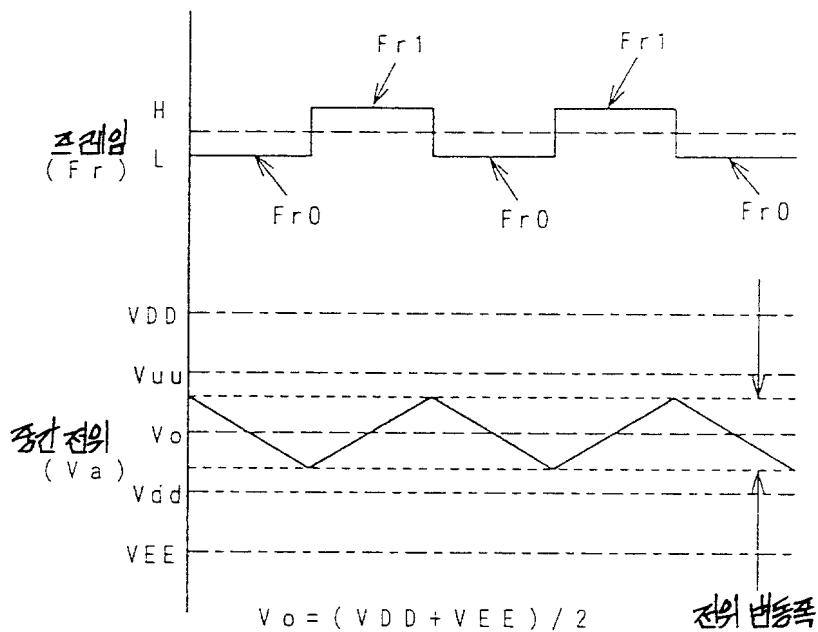
액정 패널과, 상기 액정 패널을 구동하기 위한 구동 회로와, 상기 구동 회로에 전위를 공급하는 전원 회로를 구비하는 액정 표시 장치에 있어서, 상기 전원 회로는, 제 1 전위와 제 2 전위 사이의 전위인 중간 전위를 복수 형성하는 중간 전위 형성부와, 상기 복수의 중간 전위 중 한 전위 및 상기 제 1 전위를 구동 전위로서 입력하여, 상기 구동 회로로 출력 전위를 출력하는 제 1 출력 회로부와, 상기 복수의 중간 전위 중 다른 전위 및 상기 제 2 전위를 구동 전위로서 입력하여, 상기 구동 회로로 출력 전위를 출력하는 제 2 출력 회로부와, 상기 중간 전위와 상기 제 1 전위 사이 또는 상기 중간 전위와 상기 제 2 전위 사이에 설치된 용량 성분을 가지며, 상기 구동 회로는, 제 1 프레임 기간에서, 상기 제 1 출력 회로로부터의 출력 전위를 사용하여 상기 액정 채널을 구동하고, 제 2 프레임 기간에서, 상기 제 2 출력 회로로부터의 출력 전위를 사용하여 상기 액정 패널을 구동하는 것을 특징으로 하는 액정 표시 장치.

도면

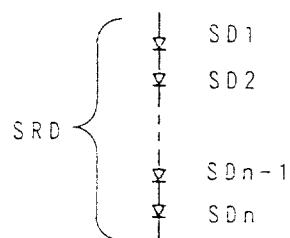
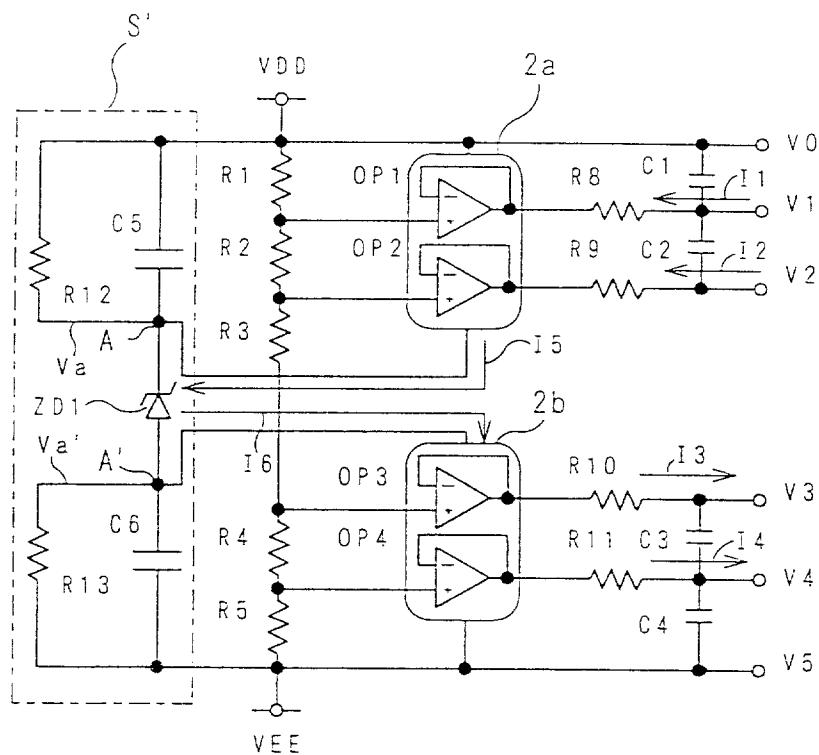
도면1



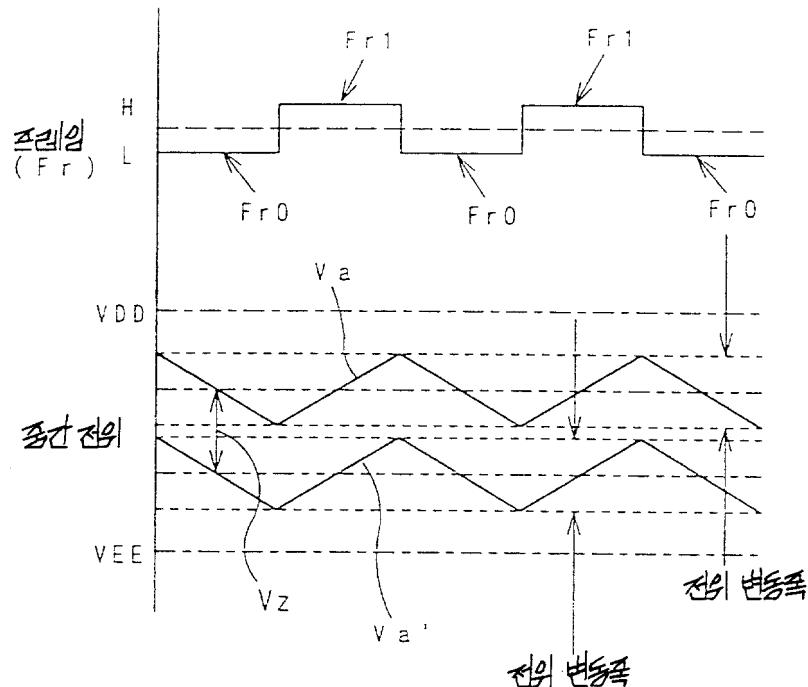
도면2



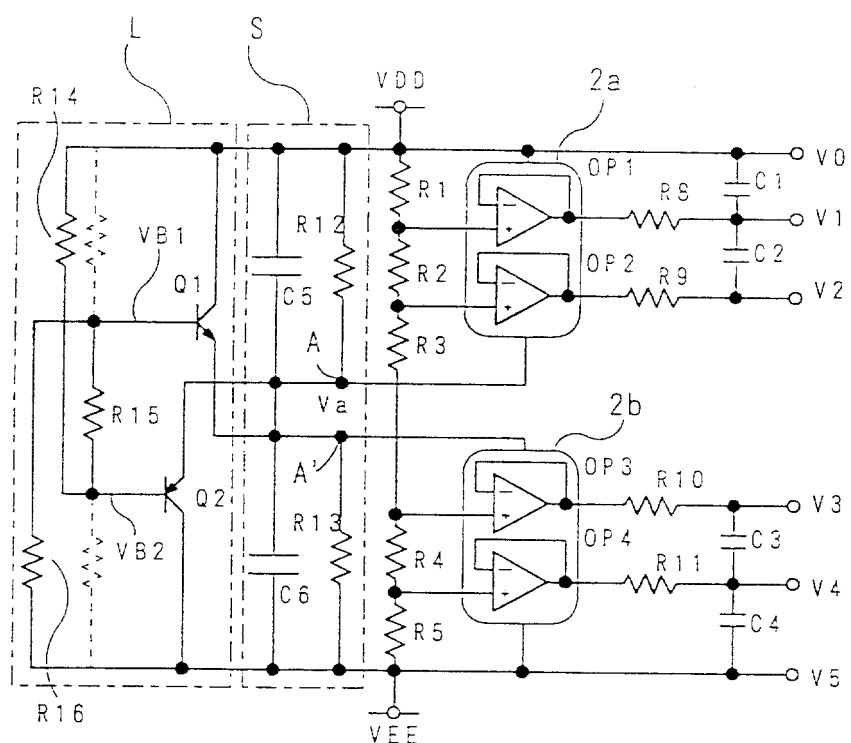
도면3



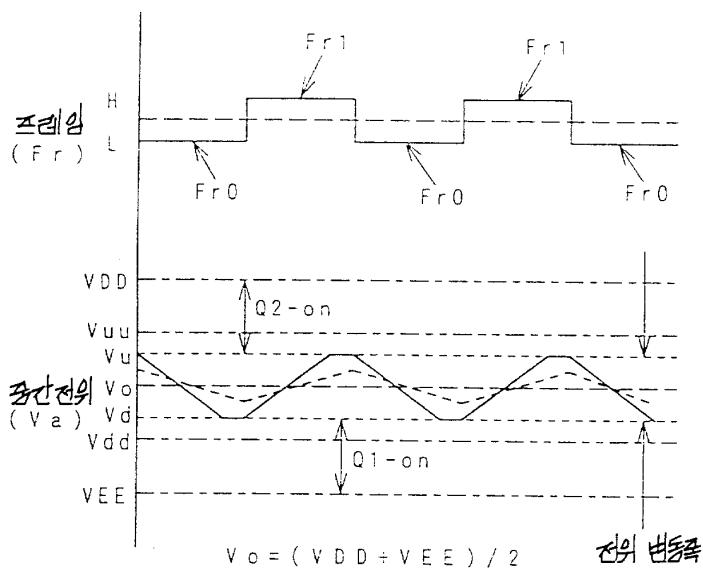
도면4



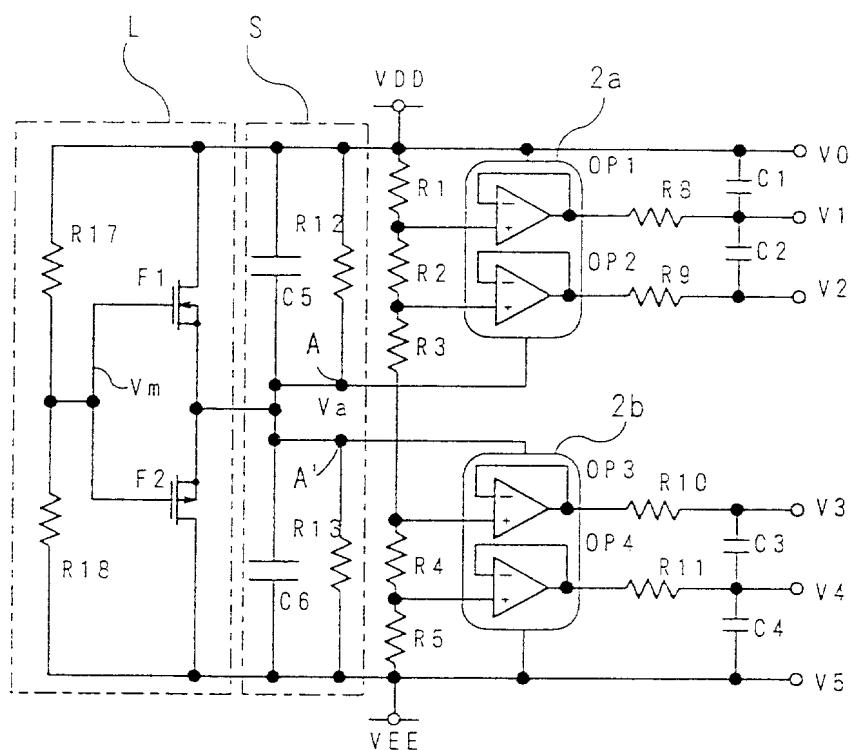
도면5



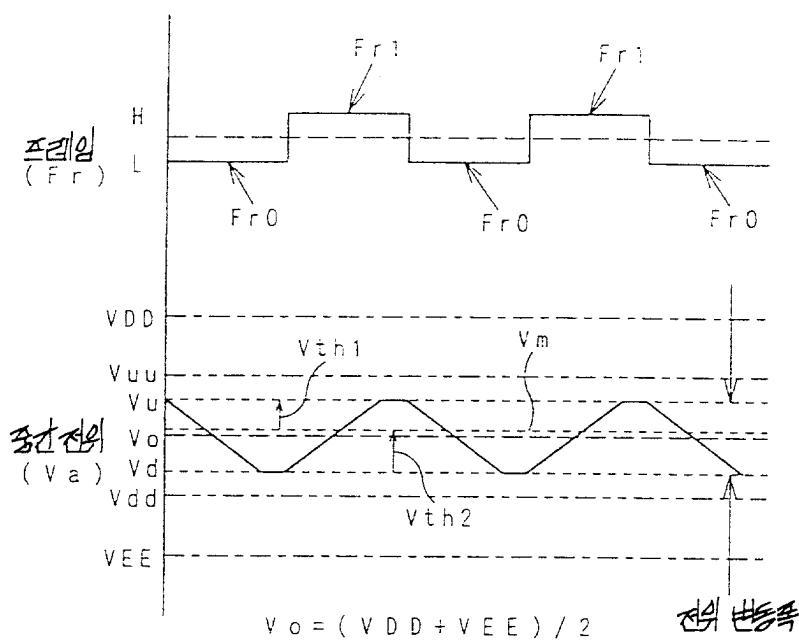
도면6



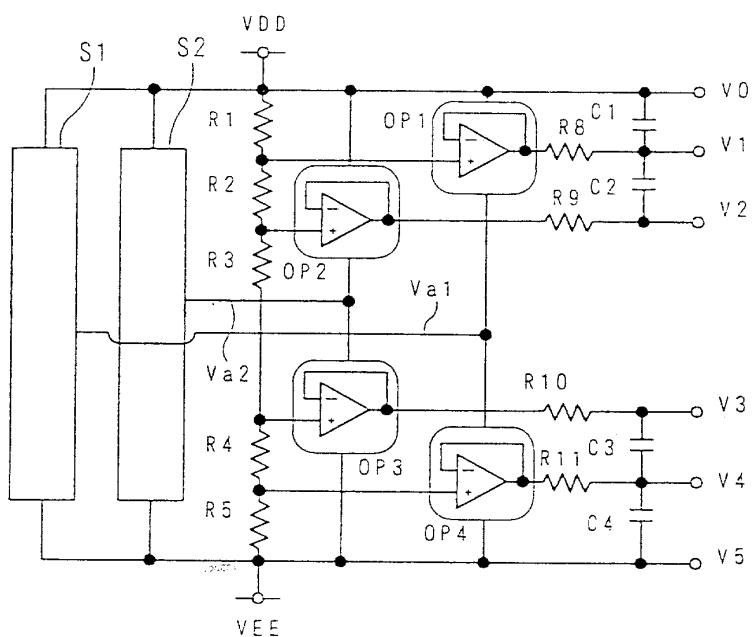
도면7



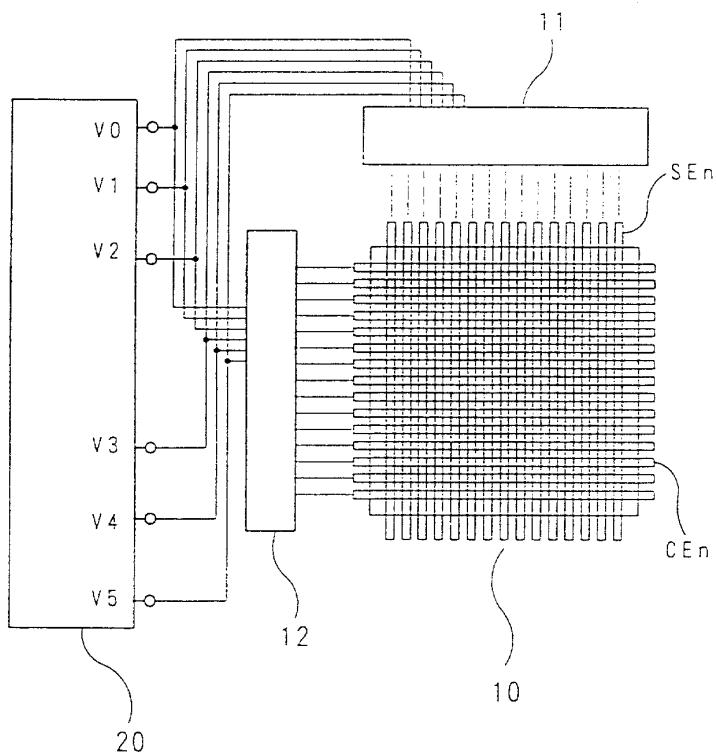
도면8



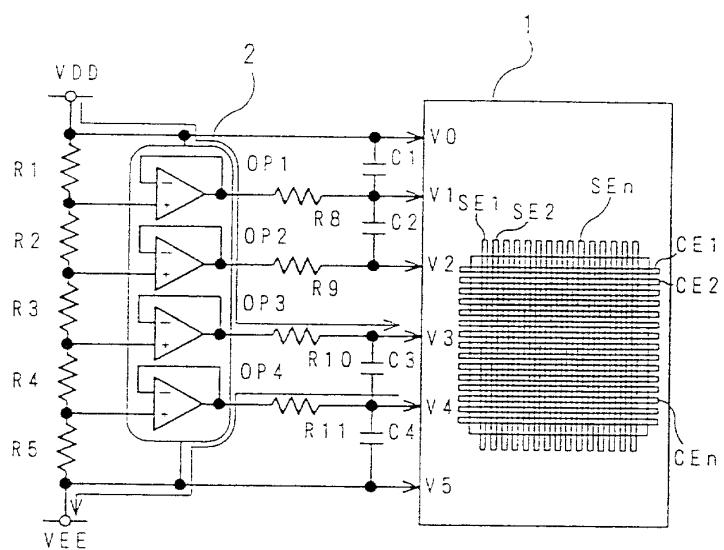
도면9



도면10



도면11



도면12

