(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 606 199**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **86 15325**

(51) Int Cl⁴ : G 11 C 17/00 // G 06 K 19/00.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 4 novembre 1986.

(30) Priorité :

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 18 du 6 mai 1988.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *Société dite : EUROTECHNIQUE.* — FR.

(72) Inventeur(s) : Alexis Marquot.

(73) Titulaire(s) :

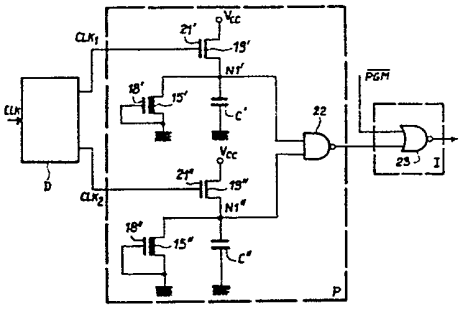
(74) Mandataire(s) : Brigitte Ruellan, Thomson-CSF et S.C.P.I.

(54) Circuit intégré du type circuit logique comportant une mémoire non volatile programmable électriquement.

(57) La présente invention concerne un circuit intégré du type circuit logique comportant une mémoire non volatile programmable électriquement constituée d'une matrice de cellules-mémoire du type à transistor à grille flottante 1, de circuits d'écriture et de lecture R, 11, 12, 13, L et de moyens 6, 7, 8 gérant l'interconnexion de ces circuits avec la mémoire, le circuit intégré recevant une tension d'alimentation générale Vcc, une tension de programmation Vpp et un signal-horloge extérieur divisé D en deux signaux-horloge complémentaires, lesdits signaux-horloge CLK1, CLK2 agissant entre autres sur le fonctionnement des circuits d'écriture.

Il comporte de plus un circuit P de détection de présence des signaux-horloge internes envoyant un signal interdisant l'écriture dans la mémoire lorsqu'il détecte l'absence d'un des signaux-horloge internes.

Application notamment aux cartes à mémoire.



CIRCUIT INTEGRE DU TYPE CIRCUIT LOGIQUE COMPORTANT UNE MEMOIRE NON VOLATILE PROGRAMMABLE ELECTRIQUEMENT.

La présente invention concerne un circuit intégré du type circuit logique comportant une mémoire non volatile programmable électriquement. Elle concerne plus particulièrement un circuit intégré dans lequel la mémoire non volatile programmable électriquement est constituée par une mémoire de type EPROM ou EEPROM. De tels circuits sont utilisés, par exemple, dans les cartes à mémoire appelées aussi cartes CCC. Dans ce cas, les mémoires non volatiles sont le plus souvent destinées à recevoir des informations confidentielles non modifiables qui ne doivent pas être soumises à des programmations parasites dues à des conditions anormales de fonctionnement de la carte.

Or, dans les mémoires de type EPROM ou EEPROM actuellement disponibles sur le marché, chaque élément de stockage d'informations ou cellule-mémoire est constitué par un transistor MOS à grille flottante. Ce type de transistor peut avoir deux états. Ainsi, dans le cas d'un transistor à canal N, dans un premier état, aucune charge n'est piégée sur la grille flottante. Un canal de conduction peut exister entre source et drain. Le transistor conduit alors et se comporte comme un interrupteur fermé. Dans un deuxième état, les électrons ont été piégés sur la grille flottante. Ils empêchent la création d'un canal de conduction dans le substrat entre source et drain. Dans ce cas, le transistor est bloqué et se comporte comme un interrupteur ouvert.

Pour programmer ou lire un transistor MOS à grille flottante, différentes tensions doivent pouvoir être appliquées sur les différentes électrodes du transistor. Ces tensions sont appliquées à l'aide de circuits d'écriture et de lecture commandés par des signaux spécifiques.

Ainsi, comme représenté sur la figure 1 qui concerne une

gate avalanche injection MOS), chaque transistor à grille flottante 1 comporte deux électrodes principales respectivement 2 et 3 et une grille de commande 5 empilée sur la grille flottante 4. Dans le cas d'une mémoire, les transistors à grille flottante 1 constituant les cellules-mémoire sont connectés sous forme matricielle. Ainsi, une première électrode principale 2 ou source dans la technologie utilisée, est reliée à la tension Vss correspondant à la masse tandis que l'autre électrode 3 ou drain est reliée par l'intermédiaire d'une ligne de bits non représentée et d'un transistor MOS 8 formant interrupteur à un décodeur d'adresse de colonne 7. La grille de commande 5 est reliée par l'intermédiaire d'une autre connexion dite ligne de mots non représentée à un décodeur d'adresse de ligne 6.

De manière plus spécifique, le décodeur d'adresse de colonne 7 est relié à la grille du transistor 8 dont la source est reliée à l'électrode 3 du transistor MOS 1 à grille flottante, tandis que son autre électrode ou drain est reliée par l'intermédiaire d'une ligne de charge constituée des transistors MOS 11 et 12 à la tension de programmation Vpp. En fait, la ligne de charge est constituée d'un transistor MOS 11 déplété dont le drain est relié à Vpp et la source connectée au drain d'un transistor MOS 12 enrichi, les deux grilles des transistors 11 et 12 étant connectées ensemble et reliées à un circuit de commande d'écriture constitué par une porte NI 13 alimentée à la tension Vpp. La porte NI 13 reçoit en entrée respectivement le signal de commande de programmation inversé $\overline{PGM}$ et la donnée à programmer inversée $\overline{D}$. Le signal $\overline{D}$ est issu d'un registre dynamique R de type connu. Ce registre R permet de réaliser le stockage et le rafraîchissement des données. De manière plus spécifique, il reçoit sur son entrée les données à écrire sous forme de niveau logique "1" ou "0". Il comporte essentiellement des moyens de stockage constitués par des capacités non représentées prévues devant deux inverseurs I1 et I2 et un transistor MOS 14 formant interrupteur connecté entre la sortie de l'inverseur I2 et l'entrée de l'inverseur I1. Ce transistor est commandé par le signal CLK représentant le signal horloge de la mémoire. Ce transistor MOS 14 est utilisé pour réaliser le rafraîchissement des données.

Ainsi, en sortie de l'inverseur I1, à savoir au noeud N', on obtient la donnée $\overline{D}$ qui est envoyée en entrée de la porte NI 13.

D'autre part, le noeud N entre la source du transistor MOS 12 et le drain du transistor MOS 8 est connecté à un amplificateur de lecture représenté par le bloc L.

Le circuit d'écriture décrit ci-dessus a un fonctionnement essentiellement dynamique. Ainsi, la donnée D en entrée du registre R est stockée sous forme de charge sur un noeud haute impédance, et ce stockage est rafraîchi périodiquement en utilisant le signal horloge CLK. Si ce stockage n'est pas rafraîchi, la donnée D est perdue et le circuit d'écriture a un comportement totalement imprévisible. Or, dans le cas où le circuit intégré est utilisé dans des cartes à mémoire par exemple, certaines zones de la mémoire non volatile sont réservées, c'est-à-dire que leur écriture est strictement contrôlée et le plus souvent soumise à la reconnaissance d'un code secret. Cependant, avec le circuit d'écriture décrit ci-dessus, si l'utilisateur envoie des impulsions sur l'alimentation en tension de programmation Vpp, alors que la tension Vcc est présente, mais que le signal horloge CLK est absent, on observe des programmations parasites dans la mémoire non volatile et cela même dans les zones réservées. Les zones réservées sont alors programmées de manière tout à fait aléatoire.

La présente invention a pour but de remédier à ces inconvénients permettant une écriture non contrôlée dans une mémoire non volatile programmable électriquement.

En conséquence, la présente invention a pour objet un circuit intégré du type circuit logique comportant une mémoire non volatile programmable électriquement constituée d'une matrice de cellules-mémoire du type à transistor à grille flottante, de circuits d'écriture et de lecture et de moyens gérant l'interconnexion de ces circuits avec la mémoire, le circuit intégré recevant une tension d'alimentation générale Vcc, une tension de programmation Vpp et un signal-horloge extérieur divisé en deux signaux-horloge internes complémentaires, lesdits signaux-horloge agissant entre autres sur le fonctionnement des circuits d'écriture, caractérisé en ce qu'il

comporte de plus un circuit de détection de présence des signaux-horloge internes envoyant un signal interdisant l'écriture dans la mémoire lorsqu'il détecte l'absence d'un des signaux-horloge internes.

Selon un mode de réalisation préférentiel, le circuit de détection est constitué d'un premier circuit comportant une capacité et une résistance montées en parallèle entre la masse et un noeud commun, la capacité étant régulièrement chargée par l'intermédiaire d'un des deux signaux-horloge internes et d'un deuxième circuit comportant une capacité et une résistance montées en parallèle entre la masse et un noeud commun, la capacité étant régulièrement chargée par l'intermédiaire de l'autre signal-horloge interne, les noeuds communs étant reliés respectivement à chaque entrée d'une porte NON-ET dont la sortie fournit un signal logique de présence ou d'absence du signal-horloge extérieur.

De préférence, la sortie du circuit de détection est connectée sur l'entrée d'une porte dont l'autre entrée reçoit un signal essentiel à la commande d'écriture de manière à bloquer l'écriture si le signal-horloge externe est absent.

D'autres caractéristiques et avantages de la présente invention apparaîtront à la lecture de la description de différents modes de réalisation faite ci-après avec référence aux dessins ci-annexés dans lesquels :

- la figure 1, déjà décrite, représente schématiquement une cellule-mémoire d'une mémoire EPROM connectée à ses circuits d'écriture et de lecture ainsi qu'aux moyens gérant l'interconnexion entre la cellule-mémoire et les circuits d'écriture et de lecture, et

- la figure 2 représente schématiquement un mode de réalisation d'un circuit de détection conforme à la présente invention.

Pour simplifier la description, dans les dessins les mêmes éléments portent les mêmes références. D'autre part, la description a été faite en se référant à des circuits MOS réalisés en technologie NMOS et à une mémoire EPROM dont les cellules-mémoire sont

constituées par des transistors MOS à grille flottante de type SAMOS (pour stacked gate avalanche injection MOS). Il est évident pour l'homme de l'art que la présente invention peut être utilisée avec d'autres technologies et d'autres types de mémoire EPROM ou EEPROM.

En général, dans les circuits intégrés du type carte à mémoire utilisant des mémoires non volatiles programmables électriquement de type EPROM, on n'utilise pas un seul signal-horloge CLK, mais deux signaux-horloge complémentaires CLK1 et CLK2 issus du signal-horloge CLK. Les signaux-horloge CLK1 et CLK2 sont obtenus en envoyant le signal-horloge externe CLK dans un diviseur D qui donne en sortie deux signaux CLK1 et CLK2 complémentaires.

Dans ce cas, le circuit de détection conforme à la présente invention peut être du type de celui représenté sur la figure 2. Ce circuit de détection P est constitué de deux circuits identiques détectant chacun la présence ou l'absence d'un des signaux-horloge internes CLK1, CLK2 et dont les sorties sont envoyées sur une porte NON-ET 22. De manière plus spécifique, les signaux CLK1 et CLK2 obtenus en sortie du diviseur D à partir du signal-horloge externe CLK appliqué sur une des entrées du circuit intégré sont envoyés chacun sur les grilles 21' et 21" de transistors MOS formant interrupteur 19' et 19" des premier et second circuits identiques constituant avec la porte 22 le circuit de détection P. Le premier circuit est réalisé en montant en parallèle une capacité C' avec une résistance réalisée par un transistor MOS 15'. Le transistor 15' est constitué par un transistor déplété monté en charge, c'est-à-dire dont la grille 18' est connectée à la source. La capacité C' et le transistor 15' sont montés entre la tension Vss formant la masse et le noeud commun N1'. D'autre part, le noeud N1' est relié à la tension d'alimentation Vcc par l'intermédiaire du transistor MOS 19' formant interrupteur, ce transistor MOS 19' recevant sur sa grille 21' le signal-horloge CLK1. La sortie du premier circuit est obtenue sur le noeud N1' et est envoyée sur une des entrées de la porte NON-ET 22. De même, le deuxième circuit comporte une capacité C" et une résistance réalisée par un transistor MOS 15" montés en

parallèle. Le transistor 15" est un transistor déplété monté en charge, c'est-à-dire dont la grille 18" est connectée à la source. La capacité C" et le transistor MOS 15" sont connectés entre la tension Vss formant la masse et le nœud commun N1". Le noeud N1" est connecté à la tension d'alimentation Vcc par l'intermédiaire du transistor MOS 19" formant interrupteur, ce transistor MOS recevant sur sa grille 21" le signal-horloge CLK2. D'autre part, le nœud N1" formant la sortie du second circuit de détection est connecté sur l'autre entrée de la porte NON-ET 22.

Sur la figure 2, on a aussi représenté un circuit permettant d'inhiber l'écriture dans une mémoire non volatile programmable électriquement en utilisant le signal en sortie de la porte NON-ET 22. Ce circuit d'inhibition I est constitué par une porte NI 23 qui reçoit sur une de ses entrées le signal de sortie de la porte NON-ET 22 et sur son autre entrée le signal de commande de programmation inversé $\overline{PGM}$.

On expliquera maintenant le fonctionnement du circuit de la figure 2. En fait, les premier et second circuits inclus dans le circuit de détection P fonctionnent chacun de manière identique. Ainsi, lorsque les deux signaux CLK1 et CLK2 constitués par des impulsions sont présents, les capacités C' et C" se chargent régulièrement à chaque passage au niveau logique "1". On obtient au niveau des nœuds N1' et N1" une tension qui correspond sensiblement à un niveau logique "1". Par ailleurs, les charges présentes sur les capacités C' et C" sont évacuées en continu vers la tension Vss représentant la masse par l'intermédiaire des transistors 15' et 15" montés en charge. Pour éviter un basculement de la tension au niveau des noeuds N1' et N1" entre un niveau logique "1" et un niveau logique "0", la constante de temps de décharge des circuits constitués chacun par la capacité C' ou C" et le transistor MOS 15' ou 15" monté en charge est supérieure à la période des signaux-horloge CLK1 et CLK2. En conséquence, puisque les noeuds N1' et N1" sont au niveau logique "1", la sortie de la porte NON-ET 22 se trouve au niveau logique "0". De ce fait, en sortie de la porte NI 23 on obtient un signal correspondant au signal de commande de programmation $\overline{PGM}$. Si le signal-horloge CLK est absent, les deux

signaux-horloge CLK1 et CLK2 ne sont plus des impulsions, mais des signaux stables et un des deux signaux-horloge CLK1 ou CLK2 se trouve à un niveau logique "0". En conséquence, un des transistors MOS interrupteurs 21' ou 21" est ouvert et la tension au niveau d'un des noeuds N1' ou N1" correspond à un niveau logique "0". Dans ce cas, la sortie de la porte NON-ET se trouve au niveau logique "1", ce qui entraîne un niveau logique "0" en sortie de la porte NI 23 quelque soit le niveau du signal $\overline{PGM}$. Il en résulte un blocage de l'écriture dans la mémoire non volatile programmable électriquement.

L'avantage du circuit décrit ci-dessus est d'interdire toute programmation aléatoire d'une mémoire non volatile programmable électriquement destinée principalement à recevoir des données confidentielles et cela dans le cas de fonctionnement en dehors des conditions normales de tension d'alimentation et de signaux-horloge. Ce circuit est d'autre part de conception très simple, nécessite peu de place et son fonctionnement est très fiable.

Il est évident pour l'homme de l'art que la présente invention peut s'appliquer à tout circuit intégré comportant des mémoires dont la programmation d'une cellule-mémoire est réalisée de la même manière que dans les EPROM ou EEPROM du type à transistor à grille flottante et dont les bornes des tensions d'alimentation et des signaux-horloge sont facilement accessibles de l'extérieur.

REVENDICATIONS

1. Un circuit intégré du type circuit logique comportant une mémoire non volatile programmable électriquement constituée d'une matrice de cellules-mémoire du type à transistor à grille flottante (1), de circuits d'écriture et de lecture (R, 11, 12, 13, L) et de moyens (6, 7, 8) gérant l'interconnexion de ces circuits avec la mémoire, le circuit intégré recevant une tension d'alimentation générale Vcc, une tension de programmation Vpp et un signal-horloge extérieur divisé (D) en deux signaux-horloge complémentaires, lesdits signaux-horloge (CLK1, CLK2) agissant entre autres sur le fonctionnement des circuits d'écriture, caractérisé en ce qu'il comporte de plus un circuit (P) de détection de présence des signaux-horloge internes envoyant un signal interdisant l'écriture dans la mémoire lorsqu'il détecte l'absence d'un des signaux-horloge internes.

2. Un circuit intégré selon la revendication 1, caractérisé en ce qu'il est constitué d'un premier circuit comportant une capacité (C') et une résistance (15') montées en parallèle entre la masse et un noeud commun (N1'), la capacité étant régulièrement chargée par l'intermédiaire d'un (CLK1) des deux signaux-horloge internes et d'un deuxième circuit comportant une capacité (C") et une résistance (15") montées en parallèle entre la masse et un noeud commun (N1"), la capacité (C") étant régulièrement chargée par l'intermédiaire de l'autre signal-horloge interne (CLK2), les noeuds communs étant reliés respectivement à chaque entrée d'une porte NON-ET (22) dont la sortie fournit un signal logique de présence ou d'absence des signaux-horloge.

3. Circuit intégré selon la revendication 2, caractérisé en ce que la résistance (15', 15") est constituée par un transistor MOS monté en charge.

4. Circuit intégré selon la revendication 3, caractérisé en ce que le transistor MOS monté en charge est constitué par un transistor MOS déplété dont la grille est connectée à une des

électrodes principales.

5. Circuit intégré selon l'une quelconque des revendications 2 à 4, caractérisé en ce que le noeud commun (N1', N1") est connecté à la tension d'alimentation Vcc par l'intermédiaire d'un transistor MOS (19', 19") dont la grille reçoit le signal-horloge (CLK1, CLK2).

6. Circuit intégré selon l'une quelconque des revendications 2 à 5, caractérisé en ce que la constante de décharge du circuit constitué par la capacité et la résistance est supérieure à la période du signal-horloge.

7. Circuit intégré selon l'une quelconque des revendications 1 à 6, caractérisé en ce que la sortie du circuit de détection (P) est connectée sur l'entrée d'une porte (23) dont l'autre entrée reçoit un signal essentiel ($\overline{PGM}$) à la commande d'écriture de manière à bloquer l'écriture si au moins un des signaux-horloge internes est absent.

FIG_1

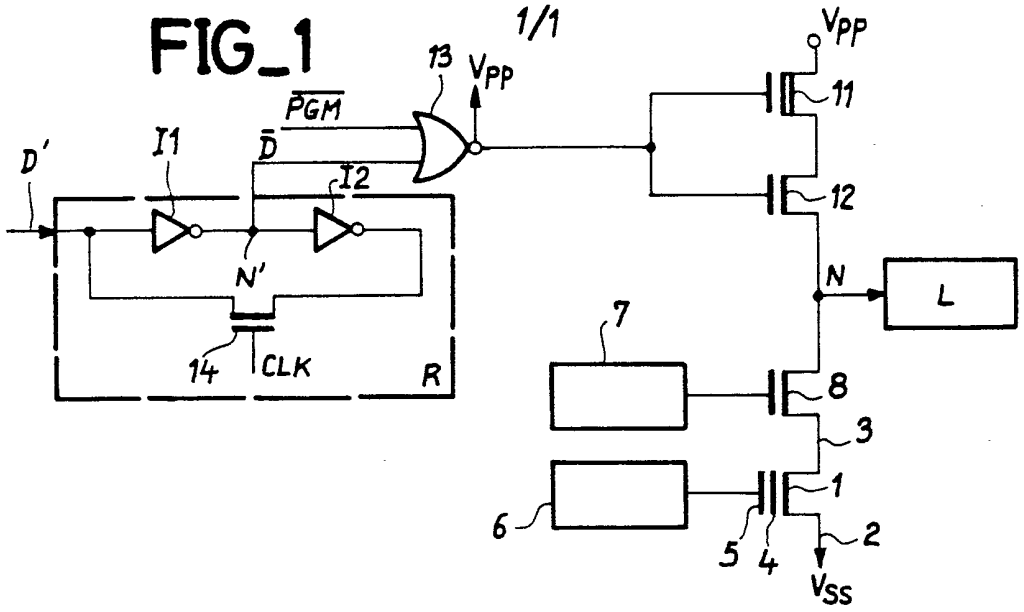
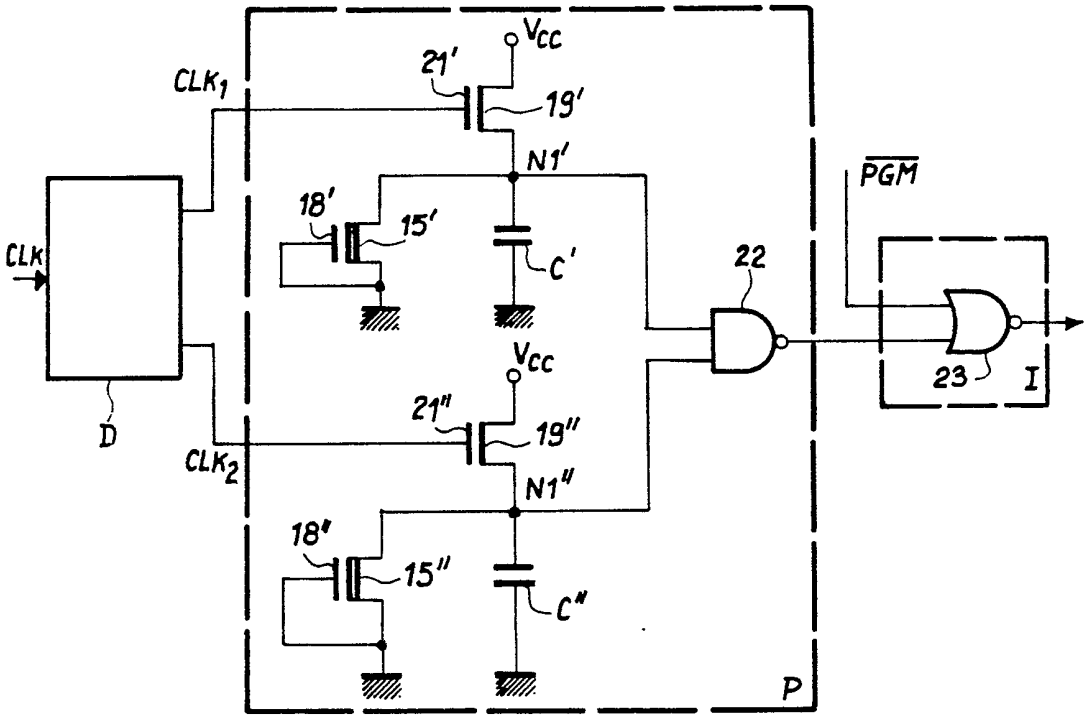

D'
I1
D̄
I2
PGM
13
VPP
VPP
11
12
N'
N
L
7
14
CLK
R
8
3
1
6
5
4
2
VSS

FIG_2


Vcc
21'
CLK1
19'
N1'
PGM
18'
15'
C'
22
CLK
Vcc
21''
19''
D
CLK2
N1''
18''
15''
C''
23
I
P