【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成17年6月2日(2005.6.2)

【公開番号】特開2003-198297(P2003-198297A)
【公開日】平成15年7月11日(2003.7.11)
【出願番号】特願2001-398504(P2001-398504)
【国際特許分類第７版】
　Ｈ０３Ｇ　3/30
　Ｈ０３Ｆ　3/45
【ＦＩ】
　Ｈ０３Ｇ　3/30　　Ｄ
　Ｈ０３Ｆ　3/45　　Ａ

【手続補正書】
【提出日】平成16年8月19日(2004.8.19)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】０００６
【補正方法】変更
【補正の内容】
【０００６】
　【課題を解決するための手段】
　以上の課題を解決するため、本発明に係る差動入力回路は、
　２つの入力信号のうち一方を基準信号（例えば、図１の参照信号Ｖｒｅｆ）として、該基準信号に対する他の入力信号（例えば、図１の入力信号Ｖｉｎ）の差分を所定の利得に基づいて増幅する差動増幅回路（例えば、図１の差動増幅回路１０）と、該差動増幅回路の後段に接続され、入力信号に対する所定の閾値を有するインバータ回路（例えば、図１のインバータ２０）とを備える差動入力回路であって、
　前記差動増幅回路と同一の特性を有する補正用差動増幅回路（例えば、図１の差動増幅回路３０）と、
　前記インバータ回路の閾値となる閾値信号を生成する閾値信号生成手段（例えば、図１のインバータ４０および抵抗５０）と、
　前記補正用差動増幅回路の出力信号と、前記閾値信号とを比較し、比較結果に応じて、前記差動増幅回路および前記補正用差動増幅回路の利得を調整するための利得調整信号を出力する電圧比較回路（例えば、図１の電圧比較回路６０）と、
　を備え、
　前記補正用差動増幅回路の２つの入力信号として前記基準信号を入力し、前記電圧比較回路は、前記比較結果に応じて、前記補正用差動増幅回路の出力信号を前記閾値信号と整合させるように前記利得調整信号を出力することを特徴としている。