



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0077315  
(43) 공개일자 2016년07월04일

(51) 국제특허분류(Int. Cl.)  
G09G 3/20 (2006.01) G09G 3/32 (2016.01)  
G09G 3/36 (2006.01)  
(21) 출원번호 10-2014-0186165  
(22) 출원일자 2014년12월22일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
손기민  
경기 용인시 기흥구 강남서로115번길 6, 302호 (구갈동, 세르빌)  
김인준  
경기 과천시 월릉면 엘지로 245, G동 604호 (과주LCD산업단지 정다운마을)  
(74) 대리인  
김기문

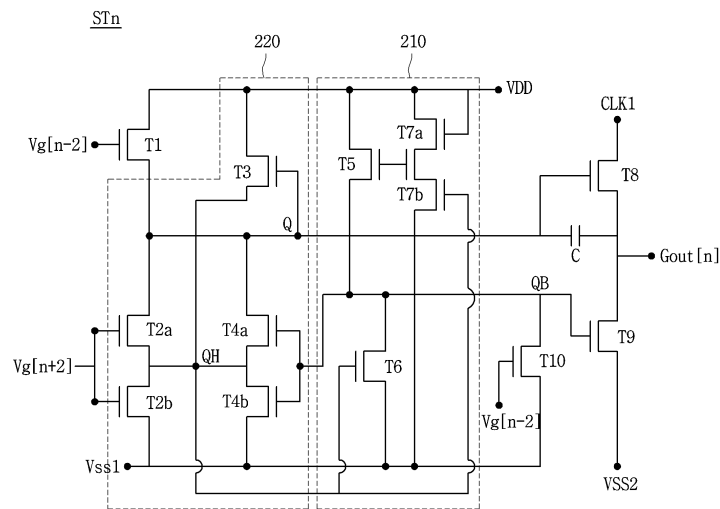
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 스캔 구동부 및 이를 이용한 표시장치

**(57) 요약**

본 발명에 따른 실시예에 따른 스캔 구동부는 클럭신호들에 대응하여 스캔 신호를 시프트 하여 출력하는 복수의 스테이지들로 구성된 시프트 레지스터를 포함하고, 상기 복수의 스테이지 중 제N 스테이지는, 풀업 트랜지스터를 구동하는 Q 노드 상의 전압을 따라가며 상기 Q 노드 상의 전압 보다 저 전위를 가지는 QH 노드의 전압을 유지함으로써 상기 Q 노드 상의 전압을 안정적으로 유지할 수 있고, 트랜지스터에 고 전압이 인가되는 것을 방지할 수 있는 스캔 구동부를 제공할 수 있다.

**대표도 - 도4**



## 명세서

### 청구범위

#### 청구항 1

클럭신호들에 대응하여 스캔 신호를 시프트 하여 출력하는 복수의 스테이지들로 구성된 시프트 레지스터;를 포함하고,

상기 복수의 스테이지 중 제N 스테이지는,

Q 노드의 전압에 대응하여 제N 클럭신호를 출력 단자로 출력하는 풀업 트랜지스터;

QB 노드의 전압에 대응하여 저전위공급단자로부터의 저전위전압을 상기 출력 단자로 출력하는 풀다운 트랜지스터;

상기 Q노드의 전압에 의해 구동하여 고전위공급단자로부터의 고전위전압을 QH노드로 제공하는 제3 트랜지스터;

상기 QH 노드에 소스 전극이 연결되고, 상기 Q 노드에 드레인 전극이 연결되며, 상기 제N 스테이지의 다음 스테이지의 출력 단자에 게이트 전극이 연결된 제2-1 트랜지스터; 및

상기 QH 노드에 소스 전극이 연결되고, 상기 Q 노드에 드레인 전극이 연결되며, 상기 QB노드에 게이트 전극이 연결된 제4-1 트랜지스터;를 포함하는 스캔 구동부.

#### 청구항 2

제1 항에 있어서,

상기 제N 스테이지의 다음 스테이지의 출력 단자에 게이트 전극이 연결되고 상기 QH 노드에 드레인 전극이 연결되며 상기 저전위공급단자에 소스 전극이 연결된 제2-2 트랜지스터; 및

상기 QB 노드에 게이트 전극이 연결되고, 상기 QH 노드에 드레인 전극이 연결되며, 상기 저전위공급단자에 소스 전극이 연결된 제4-2 트랜지스터;를 더 포함하는 스캔 구동부.

#### 청구항 3

제2 항에 있어서,

상기 제N 스테이지의 이전 스테이지의 출력 단자에 게이트 전극이 연결되고, 상기 고전위전압을 상기 Q 노드로 제공하는 제1 트랜지스터; 및

상기 제N 스테이지의 이전 스테이지의 출력 단자에 게이트 전극이 연결되고, 상기 QB 노드로 상기 저전위전압을 제공하는 제10 트랜지스터;를 더 포함하는 스캔 구동부.

#### 청구항 4

제3 항에 있어서,

상기 QH 노드에 게이트 전극이 연결되고 상기 QB 노드에 상기 저전위전압을 제공하는 제6 트랜지스터;를 더 포함하는 스캔 구동부.

#### 청구항 5

제4 항에 있어서,

드레인 및 게이트 전극이 상기 고전위공급단자에 연결된 제7-1 트랜지스터;

상기 QH 노드에 게이트 전극이 연결되고, 상기 제7-1 트랜지스터의 소스 전극에 드레인 전극이 연결되며, 상기 저전위공급단자에 소스 전극이 연결된 제7-2 트랜지스터; 및

상기 제7-1 트랜지스터의 소스 전극에 게이트 전극이 연결되고, 상기 고전위전원공급단자와 상기 QB 노드 사이

에 연결된 제5 트랜지스터;를 더 포함하는 스캔 구동부.

**청구항 6**

제1 항에 있어서,

상기 Q 노드 전압이 제1 로우 레벨(Low level)에서 제1 하이 레벨(High level)로 변동 시 상기 QH 노드 전압은 제2 로우 레벨에서 제2 하이 레벨로 변동하고,

상기 Q 노드 전압이 상기 제1 하이 레벨로부터 변동된 제3 하이 레벨에서 상기 제1 로우 레벨로 변동 시 상기 QH 노드 전압은 제2 하이 레벨에서 제2 로우 레벨로 변동하는 스캔 구동부.

**청구항 7**

제6 항에 있어서,

상기 QH 노드 전압은 상기 제2로우 레벨에서 상기 제1 로우 레벨로 변동하여 다시 제2 로우 레벨로 변동할 때까지 상기 Q노드 상의 전압의 최대 전압보다 낮은 전압을 유지하는 스캔 구동부.

**청구항 8**

제5 항에 있어서,

상기 제2-1 트랜지스터 및 상기 제4-1 트랜지스터의 게이트 단자와 소스 단자 사이의 전압은 음의 값을 가지는 스캔 구동부.

**청구항 9**

상기 제1 항에 따른 스캔 구동부; 및

상기 스캔 구동부에 연결된 복수의 스캔 라인을 포함하는 표시패널;을 포함하는 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 스캔 구동부와 이를 이용한 표시장치에 관한 것이다.

**배경 기술**

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기 전계발광표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다. 앞서 설명한 표시장치 중 일부 예컨대, 액정표시장치나 유기전계발광표시장치에는 매트릭스 형태로 배치된 복수의 서브 픽셀을 포함하는 표시패널과 표시패널을 구동하는 구동부가 포함된다. 구동부에는 표시패널에 스캔 신호(또는 게이트신호)를 공급하는 스캔 구동부 및 표시패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0003] 위와 같은 표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔 신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있게 된다.

[0004] 한편, 스캔 신호를 출력하는 스캔 구동부는 집적회로 형태로 표시패널의 외부기관에 실장되는 외장형과 박막 트랜지스터 공정과 함께 이루어지는 게이트인패널(Gate In Panel) 형태로 표시패널에 형성되는 내장형으로 구분된다.

[0005] 내장형 스캔 구동부는 풀업 트랜지스터 및 상기 풀업 트랜지스터의 게이트 단자 및 소스 단자를 방전 시키기 위한 방전 트랜지스터를 기본적으로 포함하고 상기 풀업 트랜지스터의 게이트 단자인 Q 노드 상의 부트 스트랩을 이용하여 클럭 신호를 출력단으로 스캔 신호로써 순차적으로 출력하게 된다. 그 후, Q 노드 및 출력단을 방전하기 위하여 방전 트랜지스터가 턴온된다. 한편 상기 방전 트랜지스터가 턴온되기 전에는 안정적으로 턴오프 상태를 유지하여 상기 Q 노드 및 출력단의 전압을 안정적으로 유지할 필요가 있다. 즉 상기 방전을 위한 트랜지스터가 안정적으로 턴오프 상태를 유지해야 상기 Q 노드 및 출력단이 방전되지 않고 전압이 유지될 수 있다. 그러나 트랜지스터의 특성에 따라 문턱 전압(Vth)의 시프트 현상이 일어나 문턱 전압(Vth)이 음의 값을 가지는 경우,

방전 트랜지스터가 턴 오프 상태를 안정적으로 유지되지 못하는 문제가 있었고, 상기 Q 노드 상에 걸리는 고전압 및 고 전류에 의하여 트랜지스터들의 게이트 절연막의 브레이크 다운(Break down) 현상이 일어나는 문제가 있어, 상기 Q 노드의 전압 및 출력단의 출력 신호가 요구되는 레벨에 도달하지 못하는 문제가 있었다.

**발명의 내용**

**해결하려는 과제**

- [0006] 본 발명에 따른 실시예는 문턱 전압이 음의 값으로 시프팅한 경우에도 q 노드 전압을 안정적으로 유지할 수 있는 스캔 구동부 및 이를 이용한 표시장치를 제공할 수 있다.
- [0007] 또한 본 발명에 따른 실시예는 트랜지스터의 누설 전류를 보상하여 Q 노드의 전압을 안정적으로 유지할 수 있는 스캔 구동부 및 이를 이용한 표시장치를 제공할 수도 있다.
- [0008] 또한 본 발명에 따른 또 다른 실시예는 트랜지스터의 게이트 단자에 공급되는 전압의 레벨을 하향 조정함으로써 브레이크다운에 따른 트랜지스터의 불량 문제를 해결할 수 있는 스캔 구동부 및 이를 이용한 표시장치를 제공할 수도 있다.

**과제의 해결 수단**

- [0009] 본 발명에 따른 실시예에 따른 스캔 구동부는 클럭신호들에 대응하여 스캔 신호를 시프트 하여 출력하는 복수의 스테이지들로 구성된 시프트 레지스터를 포함하고, 상기 복수의 스테이지 중 제N 스테이지는, 풀업 트랜지스터의 게이트 단자 전압인 Q 노드와 상기 Q 노드 전압을 따라가는 QH노드 그리고 상기 QH 노드에 연결된 제2-1 트랜지스터와 제4-1 트랜지스터를 포함하고, Q 노드 충전 시 제2-1 트랜지스터와 제4-1 트랜지스터의 소스 단자 전압인 QH노드 전압은 상기 제2-1 트랜지스터와 제4-1 트랜지스터의 게이트 단자 전압, 즉 제N 스테이지의 두 단 후 스테이지인 제N+2 스테이지의 출력인 로직 로우의 전압보다 높아지도록 하여 상기 제2-1 트랜지스터와 제4-1 트랜지스터의 문턱 전압이 음의 방향으로 시프트 한다고 해도 상기 제2-1 트랜지스터와 제4-1 트랜지스터는 안정적으로 턴 오프를 유지할 수 있는 스캔 구동부를 제공할 수 있다. 그리고 제2-2 트랜지스터 및 제4-2 트랜지스터를 더 포함할 수 있고 상기 제2-2 트랜지스터와 제4-2 트랜지스터의 누설 전류는 고전위전원에 의해 보강할 수 있도록 하여 상기 Q 노드 보다 낮은 전압을 가진 QH노드의 전압을 유지하여 트랜지스터에 고전압이 인가되는 것을 방지할 수 있는 스캔 구동부를 제공할 수 있다.

**발명의 효과**

- [0010] 본 발명에 따른 실시예는 문턱 전압이 음의 값으로 시프팅한 경우에도 q 노드 전압을 안정적으로 유지할 수 있고, 트랜지스터의 누설 전류를 보상할 수 있으며, 트랜지스터의 게이트 단자에 공급되는 전압의 레벨을 하향 조정함으로써 브레이크다운에 따른 트랜지스터의 불량 문제를 해결할 수 있는 스캔 구동부 및 이를 이용한 표시장치를 제공할 수 있다.

**도면의 간단한 설명**

- [0011] 도 1은 표시장치의 개략적인 블록도.
- 도 2는 도 1에 도시된 서브 픽셀의 구성 예시도.
- 도 3은 본 발명의 실시예에 따른 시프트 레지스터의 블록 구성도.
- 도 4는 본 발명의 실시예에 따른 제N스테이지의 회로도.
- 도 5는 제N스테이지의 동작 파형을 나타낸 도면.
- 도 6은 Q노드 전압 및 QB 노드 상의 전압을 나타낸 파형도.

**발명을 실시하기 위한 구체적인 내용**

- [0012] 이하, 본 발명의 실시예에 의한 스캔 구동부 및 이를 이용한 표시장치의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시 예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에

걸쳐서 동일한 참조 번호들은 동일한 구성요소들을 나타낸다.

- [0013] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장될 수 있다.
- [0014] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며, 따라서 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0015] 도 1은 표시장치의 개략적인 블록도이고, 도 2는 도 1에 도시된 서브 픽셀의 구성 예시도이다.
- [0016] 도 1에 도시된 바와 같이, 표시장치에는 표시패널(100), 타이밍 컨트롤러(110), 데이터 구동부(120) 및 스캔 구동부(130, 140)가 포함된다.
- [0017] 표시패널(100)에는 상호 교차할 수 있는 데이터 라인들(DL) 및 스캔 라인들(GL)에 구분되어 연결된 서브 픽셀들이 포함된다. 표시패널(100)은 서브 픽셀들이 형성되는 표시영역(100A)과 표시영역(100A)의 외측으로 각종 신호 라인들이나 패드 등이 형성되는 비표시영역(100B)을 포함한다. 표시패널(100)은 액정표시장치(LCD), 유기발광표시장치(OLED), 전기영동표시장치(EPD) 등으로 구현될 수 있다.
- [0018] 도 2에 도시된 바와 같이, 하나의 서브 픽셀(SP)에는 스캔 라인(GL1)과 데이터 라인(DL1)에 연결된 스위칭 트랜지스터(SW)와 스위칭 트랜지스터(SW)를 통해 공급된 스캔 신호에 대응하여 공급된 데이터신호(DATA)에 대응하여 동작하는 픽셀회로(PC)가 포함된다. 서브 픽셀(SP)은 픽셀회로(PC)의 구성에 따라 액정소자를 포함하는 액정표시패널이나 유기발광소자를 포함하는 유기발광표시패널 등으로 구현될 수 있다.
- [0019] 표시패널(100)이 액정표시패널로 구성된 경우, 이는 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 또는 ECB(Electrically Controlled Birefringence) 모드로 구현될 수 있다. 표시패널(100)이 유기발광표시패널로 구성된 경우, 이는 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 구현될 수 있다.
- [0020] 타이밍 컨트롤러(110)는 영상보드에 연결된 LVDS 또는 TMDS 인터페이스 수신회로를 통해 수직 동기신호, 수평동기신호, 데이터 인에이블 신호, 도트 클럭 등의 타이밍신호를 입력받는다. 타이밍 컨트롤러(110)는 입력된 타이밍신호를 기준으로 데이터 구동부(120)와 스캔 구동부(130, 140)의 동작 타이밍을 제어하기 위한 타이밍 제어 신호들을 발생할 수 있다.
- [0021] 데이터 구동부(120)는 다수의 소스 드라이브 IC(Integrated Circuit)들을 포함한다. 소스 드라이브 IC들은 타이밍 컨트롤러(110)로부터 디지털 비디오 데이터들(RGB)과 소스 타이밍 제어신호(DDC)를 공급받는다. 소스 드라이브 IC들은 소스 타이밍 제어신호(DDC)에 응답하여 디지털 비디오 데이터들(RGB)을 감마전압으로 변환하여 데이터전압을 생성하고, 데이터전압을 표시패널(100)의 데이터 라인들(DL)을 통해 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정에 의해 표시패널(100)의 데이터 라인들(DL)에 접속된다.
- [0022] 스캔 구동부(130, 140)는 레벨 시프터(130) 및 시프트 레지스터(140)를 포함한다. 스캔 구동부(130, 140)는 레벨 시프터(130)와 시프트 레지스터(140)가 구분되어 형성된 게이트인패널(Gate In Panel; 이하 GIP) 방식으로 형성된다. 레벨 시프터(130)는 레벨 시프터(130)는 IC 형태로 표시패널(100)에 접속되는 외부 기판에 형성된다.
- [0023] 레벨 시프터(130)는 타이밍 컨트롤러(110)의 제어하에 클럭신호들(clk), 리셋클럭신호들(reset\_clk) 및 스타트신호(vst)의 레벨을 시프팅한 후 시프트 레지스터(140)에 공급한다. 시프트 레지스터(140)는 GIP 방식에 의해 표시패널(100)의 비표시영역(100B)에 박막 트랜지스터(이하 TFT) 형태로 형성될 수 있다. 시프트 레지스터(140)는 클럭신호들(clk), 리셋클럭신호들(reset\_clk) 및 스타트신호(vst)에 대응하여 스캔 신호를 시프팅하고 출력하는 스테이지들로 구성될 수 있다. 시프트 레지스터(140)에 포함된 스테이지들은 출력단들을 통해 스캔 신호들을 순차적으로 출력한다.

[0024] <시프트 레지스터의 블록 구성도>

[0025] 도 3은 본 발명의 실시예에 따른 시프트 레지스터의 블록 구성도이다.

[0026] 도 3에 도시된 바와 같이, 본 발명의 실시예에 따른 시프트 레지스터에는 다수의 스테이지들(ST<sub>n-2</sub>~ST<sub>n+1</sub>)이 포함될 수 있다. 다수의 스테이지들(ST<sub>n-2</sub>~ST<sub>n+1</sub>)에는 4상의 클럭신호들(clk1~clk4), 고전위전압(VDD) 및 제1 저전위전압(VSS1) 그리고 제2 저전위전압(VSS2)이 공급될 수 있다.

[0027] 또한 상기 다수의 스테이지들(ST<sub>n-2</sub>~ST<sub>n+1</sub>) 각각은 이전 스테이지의 출력 신호 및 다음 스테이지의 출력 신호를 입력 받을 수 있다.

[0028] 제N-2 스테이지(ST<sub>n-2</sub>)는 제N-4 스테이지(ST<sub>n-4</sub>)로부터 출력되는 스캔 신호(Vg[n-4]), 제1클럭신호(clk1) 및 제N 스테이지(ST<sub>n</sub>)의 출력단자(Gout [n])로부터 출력되는 스캔 신호(Vg[n])를 기반으로 동작한다. 제N-2 스테이지(ST<sub>n-2</sub>)는 자신의 출력단(Gout [n-2])을 통해 제N-2 스캔 신호(Vg[n-2])를 출력할 수 있다.

[0029] 제N-1 스테이지(ST<sub>n-1</sub>)는 제N-3 스테이지로부터 출력되는 스캔 신호, 제2클럭신호(clk2) 및 제N+1 스테이지(ST<sub>n+1</sub>)의 출력단자(Gout [n+1])로부터 출력되는 스캔 신호(Vg[n+1])를 기반으로 동작한다. 제N-1 스테이지(ST<sub>n-1</sub>)는 자신의 출력단(Gout [n-1])을 통해 제N-1 스캔 신호(Vg[n-1])를 출력할 수 있다.

[0030] 제N 스테이지(ST<sub>n</sub>)는 제N-2 스테이지(ST<sub>n-1</sub>)로부터 출력되는 스캔 신호(Vg[n-1]), 제3클럭신호(clk3) 및 제N+2 스테이지(ST<sub>n+2</sub>)의 출력단자(Gout [n+2])로부터 출력되는 스캔 신호(Vg[n+2])를 기반으로 동작한다. 제N 스테이지(ST<sub>n</sub>)는 자신의 출력단(Gout [n])을 통해 제N 스캔 신호(Vg[n])를 출력할 수 있다.

[0031] 제N+1 스테이지(ST<sub>n+1</sub>)는 제N-2 스테이지(ST<sub>n-2</sub>)로부터 출력되는 스캔 신호(Vg[n-2]), 제4클럭신호(clk4) 및 제N+3 스테이지(ST<sub>n+3</sub>)의 출력단자(Gout [n+3])로부터 출력되는 스캔 신호(Vg[n+3])를 기반으로 동작한다. 제N+1 스테이지(ST<sub>n+1</sub>)는 자신의 출력단(Gout [n+1])을 통해 제N+1 스캔 신호(Vg[n+1])를 출력할 수 있다.

[0032] 다수의 스테이지들(ST<sub>n-2</sub> ~ ST<sub>n+1</sub>)은 위와 같이 두 단 전의 출력단으로부터 출력되는 스캔 신호를 후단이 이용하도록 중속적으로 접속된다. 예컨대, 제N스테이지(ST<sub>n</sub>)의 출력단자(Gout [n])로부터 출력되는 스캔 신호(Vg<sub>out</sub> [n])는 제N+2스테이지(ST<sub>n+2</sub>)의 스타트신호단자(VST)에 공급된다. 또한, 다수의 스테이지들(ST<sub>n-2</sub>~ST<sub>n+1</sub>)은 위와 같이 자신보다 두 단 후에 위치하는 출력단자로부터 출력되는 스캔 신호를 리셋 신호(Q노드의 리셋 신호)로 이용하도록 접속된다. 예컨대, 제N스테이지(ST<sub>n</sub>)의 출력단자(Gout [n])로부터 출력되는 스캔 신호(Vg[n])는 제N-2스테이지(ST<sub>n-2</sub>)의 리셋단자(Reset)에 공급된다.

[0033] 한편 상기 제1 및 제2 저전위전압(VSS1, VSS2)는 서로 다른 전위를 가진 저전위전압 또는 서로 동일한 저전위전압이 될 수 있다.

[0034] 도 4는 본 발명의 실시예에 따른 제N스테이지의 회로도이고, 도 5는 제N스테이지의 동작 파형을 나타낸 도면이다.

[0035] 이하, 도 4 및 도 5를 참조하여, 제N스테이지(ST<sub>n</sub>)를 일례로 다수의 스테이지들(ST<sub>n-2</sub>~ST<sub>n+1</sub>)에 대한 회로의 구성에 대해 구체적으로 설명한다.

[0036] <제N스테이지의 동작 관계>

[0037] 제N스테이지(ST<sub>n</sub>)에는 커패시터(C), 풀업 트랜지스터(T8), 풀다운 트랜지스터(T9), 인버터부(210; T5, T6, T7a, T7b), Q노드 충전부(T1), 안정화부(220; T2a, T2b, T3, T4a, T4b) 및 QB노드 방전부(T10)가 포함될 수 있다.

[0038] 먼저, 풀업 트랜지스터(T8), 풀다운 트랜지스터(T9), 인버터부(210; T5, T6, T7a, T7b), Q노드 충전부(T1), 안정화부(220; T2a, T2b, T3, T4a, T4b) 및 QB노드 방전부(T10)의 역할 및 이들 간의 접속 관계를 설명하면 다음과 같다.

[0039] 상기 풀업 트랜지스터(T8)는 Q노드(Q)의 전위에 대응하여 제N클럭신호를 제N스테이지의 출력단자(Gout [n])에 출력한다. 이하, 설명의 편의를 위해 제N클럭신호를 제1클럭신호(clk1)로 정의한다. 그러나 클럭신호의 경우 스테이지의 위치에 따라 다른 신호(예컨대 제2클럭신호, 제3클럭신호 등)가 선택되어 입력될 수 있음을 참고한다. 풀업트랜지스터(T8)는 Q노드(Q)에 게이트전극이 연결되고 제1클럭신호(clk1)를 공급하는 제1클럭신호단자(CLK[n])에 제1전극이 연결되며 제N스테이지의 출력단자(Gout [n])에 제2전극이 연결된다. 상기 제1 전극은 드레인 전극이 될 수 있고, 제2 전극은 소스 전극이 될 수 있으나 이에 한정되지 않고, 전류의 방향에 따라서 달라질 수 있다. 또한 이하 설명할 트랜지스터의 제1 및 제2 전극도 동일하게 설명할 수 있다.

- [0040] 상기 풀다운 트랜지스터(T9)는 QB노드(QB)의 전위에 대응하여 제2 저전위전압(VSS2)을 제N스테이지의 출력단자(Gout[n])에 출력한다. 풀다운 트랜지스터(T9)는 QB노드(QB)에 게이트전극이 연결되고 저전위전압을 공급하는 저전위전압단자(VSS)에 제2전극이 연결되며 제N스테이지의 출력단자(Gout[n])에 제1전극이 연결된다.
- [0041] 상기 인버터부(210)의 제5 트랜지스터(T5)는 게이트전극 상의 전압에 대응하여 제1 전극(드레인 전극)이 연결된 고전위전압단자(VDD)로부터의 고전위전압을 제2 전극(소스 전극)이 연결된 QB 노드에 공급하여 QB 노드를 충전할 수 있고, 제6 트랜지스터(T6)는 QH노드에 연결된 게이트전극 상의 전압에 대응하여 제1 전극(드레인 전극)이 연결된 QB 노드에 제2 전극(소스 전극)이 연결된 제1 저전위전압단자(VSS1) 상의 제1 저전위전압을 공급하여 QB 노드를 방전할 수 있다. 그리고 제7-1 트랜지스터(T7a)는 게이트단자 및 제1 전극(드레인 전극)이 공통으로 고전위공급단자(VDD)에 연결되고 제2 전극(소스 전극)이 제5 트랜지스터(T5)에 연결되어 다이오드 커넥션(Diode connection)으로 항상 턴온될 수 있다. 그리고 제7-2 트랜지스터(T7b)는 QH 노드에 연결된 게이트 전극 상의 전압에 대응하여 동작하고 제1 전극(드레인 전극)이 제5 트랜지스터(T5)의 게이트 단자에 연결되고 제2 전극(소스 전극)이 저전위공급단자(VSS)에 연결될 수 있다. 그리고 상기 제7-1 트랜지스터(T7a)의 제2 전극과 제7-2 트랜지스터(Tb)의 제1 전극이 서로 연결되고 공통으로 제5 트랜지스터(T5)의 게이트 단자에 연결될 수 있다.
- [0042] 상기 인버터부(210)에서 상기 제7-2 트랜지스터(T7b)의 소스 단자의 전압, 즉 제5 트랜지스터(T5)의 게이트 단자의 전압은, 상기 제7-2 트랜지스터(T7b)의 게이트 단자에 공급되는 GH 노드 상의 전압이 증가하는 경우 낮아질 수 있고, 반대로 낮아지는 경우 높아질 수 있다. 이 때 상기 GH 노드 상의 전압이 증가하여 상기 제5 트랜지스터(T5)의 게이트 단자의 전압이 낮아지는 경우 상기 제5 트랜지스터(T5)는 턴오프되고, 반대로 상기 GH 노드 상의 전압이 감소하여 상기 제5 트랜지스터(T5)의 게이트 단자의 전압이 증가하는 경우 상기 제5 트랜지스터(T5)는 턴온될 수 있다.
- [0043] 상기 Q노드 충전부(T1; 제1 트랜지스터)는 제N스테이지(STn)의 전 전단 스테이지인 제N-2 스테이지(STn-2)의 출력 전압(Vg[n-2])에 의해 동작하여 고전위공급단자(VDD) 상의 고전위전압을 Q 노드에 공급하여 Q 노드를 충전할 수 있도록, 게이트 전극이 제N-2 스테이지(STn-2)의 출력 단자(Gout[n-2])에 연결되고 제1 전극이 고전위공급단자(VDD)에 연결되며 제2 전극이 Q 노드에 연결될 수 있다.
- [0044] 상기 QB 노드 방전부인 제10 트랜지스터(T10)는 제N스테이지(STn)의 전 전단 스테이지인 제N-2 스테이지(STn-2)의 출력 전압(Vg[n-2])에 의해 동작하여 제1 전극(드레인 전극)이 연결된 QB 노드 상의 전압을 제2 전극(소스 전극)이 연결된 제1 저전위공급단자(VSS1)로 방전할 수 있다. 한편 상기 제10 트랜지스터(T10)와 인버터부(210)의 제6 트랜지스터(T6)는 서로 QB 노드를 방전할 수 있는 구성으로써, 이들 중 어느 하나가 열화에 의해 완전히 턴온되지 않는다고 하더라도 나머지 하나에 의해 턴온될 수 있다. 즉 상기 제10 및 제6 트랜지스터(T10, T6)는 서로 상호 보완적으로 동작하여 상기 QB 노드를 안정적으로 방전할 수 있다.
- [0045] 상기 안정화부(220)의 제2-1 트랜지스터(T2a) 및 제2-2 트랜지스터(T2b)는 서로 직렬 연결되고 이들의 게이트전극이 공통으로 제N스테이지(STn)의 다음 다음단 스테이지인 제N+2 스테이지(STn+2)의 출력단자(Gout[n+2])에 연결되고 상기 제2-1 트랜지스터(T2a)의 제2 전극(소스 전극) 및 제2-2 트랜지스터(T2b)의 제1 전극(드레인 전극)은 서로 연결되면서 QH 노드에 공통 연결되고, 상기 제2-1 트랜지스터(T2a)의 제1 전극은 Q 노드에 연결되고, 상기 제2-2 트랜지스터(T2b)의 제2 전극이 제2 저전위공급단자(VSS2)에 연결될 수 있고, 상기 제2-1 트랜지스터(T2a) 및 제2-2 트랜지스터(T2b)는 제N+2 스테이지(STn+2)의 출력단자(Gout[n+2])의 출력전압(Vg[n+2])에 의해 동작하여 Q노드 및 QH노드를 방전할 수 있다. 그리고 제4-1 트랜지스터(T4a) 및 제4-2 트랜지스터(T4b)는 서로 직렬 연결되고 이들의 게이트전극이 공통으로 QB 노드에 연결되고 상기 제4-1 트랜지스터(T4a)의 제2 전극(소스 전극) 및 제4-2 트랜지스터(T4b)의 제1 전극(드레인 전극)은 서로 연결되면서 QH 노드에 공통 연결되고, 상기 제4-1 트랜지스터(T4a)의 제1 전극은 Q 노드에 연결되고, 상기 제4-2 트랜지스터(T4b)의 제2 전극(소스 전극)이 제2 저전위공급단자(VSS2)에 연결될 수 있고, 상기 제4-1 트랜지스터(T4a) 및 제4-2 트랜지스터(T4b)는 QB 노드 상의 전압에 의해 동작하여 Q노드 및 QH노드를 방전할 수 있다. 또한 제3 트랜지스터(T3)는 게이트 전극이 Q 노드에 연결되고, 제1 전극이 고전위공급단자(VDD)에 연결되며, 제2 전극이 QH 노드에 연결될 수 있고, Q 노드의 전압에 의해 동작하여 QH 노드에 고전위전압을 공급할 수 있다. 이 때 상기 Q 노드의 전압에 따라 상기 QH 노드의 전압도 변할 수 있다.
- [0046] 한편, 위의 설명에서는 시프트 레지스터가 N타입 트랜지스터로 구성된 것을 일례로 하였으나, 본 발명은 이에 한정되지 않는다.
- [0047] 다음, 클럭신호들의 체계를 설명하면 다음과 같다.

- [0048] 4상의 클럭신호들(clk1 ~ clk4)의 체계를 보면 제1 내지 제4클럭신호들(clk1 ~ clk4)은 순차적으로 로직 하이 상태에서 로직 로우 상태로 전환되도록 형성된다. 이때, 제1 내지 제4클럭신호들(clk1 ~ clk4)은 상호 비중첩하는 구간을 갖도록 형성될 수 있다. 다만 클럭신호들은 4상 체계가 아닌 6 내지 8상 체계로 확장하여 사용할 수도 있다.
- [0049] 한편 전 전단의 스테이지가 존재하지 않는 첫 번째 그리고 두 번째 스테이지의 경우에는 별도의 스타트 신호(VST)를 공급받을 수 있도록 할 수 있다.
- [0050] <제N스테이지의 동작 특성>
- [0051] 이하, 제N스테이지의 동작 특성에 대해 설명한다.
- [0052] Q 노드는 로직 하이에 해당하는 제N스테이지(STn)의 두 단 전 스테이지인 제N-2 스테이지(STn-2)의 출력 전압(Vg[n-2])의 전위에 대응하여 충전되고, 로직 로우에 해당하는 제N+2스테이지의 출력단자(Gout[n+2])에 대응하여 방전될 수 있다. Q 노드가 충전된 상태일 때에는 제1클럭신호(clk1)의 로직 하이에 해당하는 스캔 신호가 출력되는 반면, Q 노드가 방전된 상태일 때에는 제2 저전위전압(VSS2)의 로직 로우에 해당하는 스캔 신호가 출력될 수 있다.
- [0053] 구체적으로 설명하면, Q 노드는 로직 하이(H)에 해당하는 제N-2 스테이지(STn-2)의 출력 전압(Vg[n-2])에 대응하여 제1트랜지스터(T1)가 턴온됨에 따라 충전될 수 있다.
- [0054] 또한 Q 노드 상의 전압에 의해 안정화부(220)의 제3 트랜지스터(T3)는 턴온되어 고전위공급단자(VDD)의 고전위 전원이 QH 노드를 충전할 수 있다. 따라서 QH 노드의 전위는 Q 노드가 로직 하이의 전위를 가질 때 함께 로직 하이가 될 수 있어 상기 QH 노드의 전위는 근사적으로 동일 타이밍(Timing)에 Q 노드의 전위를 따라가게 된다. 즉 Q 노드 전압이 제1 시점(t1)에서 제1 로우 레벨(LL 1)에서 제1 하이 레벨(HL 1)로 변동 시 상기 QH 노드 전압은 제1 시점(t1)에서 제2 로우 레벨(LL 2)에서 제2 하이 레벨(HL 2)로 변동하고, 상기 Q 노드 전압이 상기 제1 시점(t1) 다음 시점인 제2 시점(t2)에서 상기 제1 하이 레벨(HL 1)에서 변동한 제3 하이 레벨(HL 3)에서 상기 제1 로우 레벨(LL 1)로 변동 시 상기 QH 노드 전압은 제2 시점(t2)에서 상기 제2 하이 레벨(HL 2)에서 제2 로우 레벨(LL 2)로 변동할 수 있고, 이 때 상기 QH 노드 전압은 상기 제2 로우 레벨(LL 2)에서 상기 제2 하이 레벨(HL 2)로 변동하여 다시 제2 로우 레벨(LL 2)로 변동할 때까지, 즉 t1 부터 t2 시점까지, 상기 제2 하이 레벨(High level 2)을 유지할 수 있다. 또한 상기 제2 하이 레벨(HL2)은 상기 Q노드 상의 전압의 최대 전압보다 낮게 형성된다.
- [0055] 이 경우 제2-1 트랜지스터(T2a)와 제4-1 트랜지스터(T4a)의 게이트 및 소스 단자 사이의 전압(Vgs)이 0보다 작은 값을 가지기 때문에 이들의 문턱 전압(Vth)이 시프트(shift)하여 0이하의 값을 가지는 경우라고 하여도 턴오프를 유지하여 Q 노드의 전위를 안정적으로 유지할 수 있다. 또한 제2-2 트랜지스터(T2b) 및 제4-2 트랜지스터(T4b)의 게이트 및 소스 단자 사이의 전압(Vgs)는 0이 될 수 있고, 이들의 누설 전류는 제3 트랜지스터(T3)에 의해 공급되는 고전위전원이 QH에 공급됨으로써 보장될 수 있고, 상기 제2-2 트랜지스터(T2b) 및 제4-2 트랜지스터(T4b)의 누설 전류 보장에 따라 QH 노드의 전압이 유지될 수 있다.
- [0056] 또한 QB 노드는 로직 하이의 QH 노드 상의 전압에 의해 제6 트랜지스터(T6)가 턴온됨으로써 저전위전압으로 방전될 수 있다. 그리고 QB 노드는 저전위전압이 되므로 풀다운 트랜지스터(T9)는 턴온되지 않을 수 있다. 그리고 이러한 상태는 상기 QH 노드 상의 전압이 동일 타이밍으로 Q 노드의 전압을 따라가게 되므로 상기 Q 노드가 방전되기 전까지 상기 QH 노드의 전압이 유지되어 상기 QB 노드를 안정적으로 방전할 수 있다.
- [0057] 한편 Q 노드가 충전됨에 커패시터(C)에 의해 제1클럭신호(clk1)의 로직 하이가 되면 상기 Q 노드가 부트 스트랩(boot strap)되어 풀업 트랜지스터(T8)는 완전히 턴온되면서 제N스테이지의 출력단자(Gout[n])를 통해 로직 하이의 제1클럭신호(clk1)를 출력한다. 로직 하이의 제1클럭신호(clk1)가 출력된 이후 Q 노드는 안정화부(220)에 의해 방전될 수 있다.
- [0058] 이후 로직 로우에 해당하는 제N스테이지(STn)의 전 전단 스테이지인 제N-2 스테이지(STn-2)의 출력 전압(Vg[n-2])의 전위에 대응하여 제1트랜지스터(T1)는 턴오프되고, 제N+2스테이지의 출력단자(Gout[n+2])의 전위에 대응하여 제2 트랜지스터들(T2a, Tab)과 제4 트랜지스터들(T4a, T4b)의 턴온동작에 따라 Q노드는 방전될 수 있다. 그리고 Q 노드 방전에 따라 인버터부(210)의 제5 트랜지스터(T5)에 의한 고전위전원이 QB 노드에 공급되고 그에 따라 풀다운 트랜지스터(T9)가 턴온됨으로써 제N스테이지(STn)의 출력단자(Gout[n])가 제2 저전위전원(VSS2)으로 방전될 수 있다.

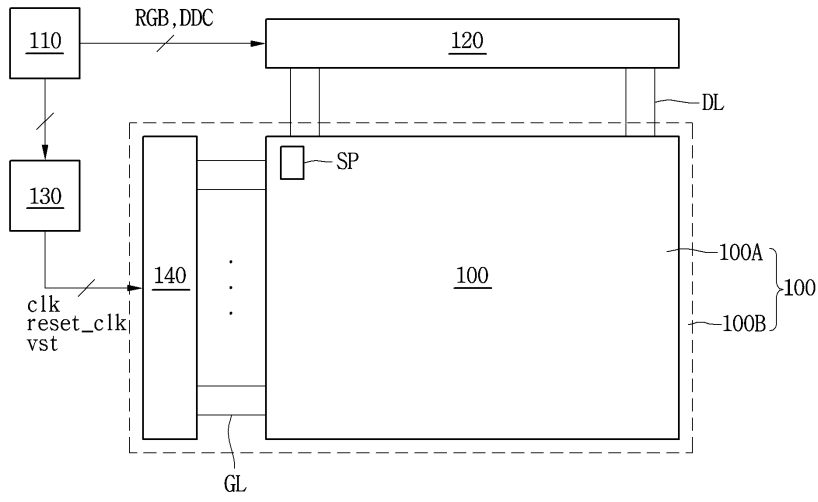
- [0059] 도 6은 Q노드 전압 및 QB 노드 상의 전압을 나타낸 파형도이다.
- [0060] 도 6에서  $V_{gs}$ 는 Q노드를 게이트 전극으로 하는 트랜지스터의 저전위전압(VSS) 대비 게이트 전극 상의 전압 또는 QH노드를 게이트 전극으로 하는 트랜지스터의 저전위전압(VSS) 대비 게이트 전극 상의 전압을 의미한다.
- [0061] 도 6을 참조하면, QH노드상의 전압은 Q노드 상의 전압과 동일한 타이밍을 가지는 전압으로 Q노드의 경우 부트스트랩에 의하여 50V까지 증가할 수 있으나 QH 노드의 전압은 최대 고전위전원(VDD; 일 예로 24V)까지 증가하게 된다. 따라서 제6 트랜지스터(T6) 및 제7-2 트랜지스터(T7b)의 게이트 전극에는 Q 노드 전압이 아닌 QH 노드 전압이 인가되기 때문에 Q노드 전압 대비 상대적으로 낮은 전압이 걸리고, 상기 제6 트랜지스터(T6) 및 제7-2 트랜지스터(T7b)의 게이트 및 소스단자 사이의 전압( $V_{gs}$ )은 제1 저전위전원(VSS1; 일 예로 -14V)과 상기 고전위전원(VDD)의 차 전압이 걸림으로써 상기 Q노드 전압과 상기 제1 저전위전원(VSS1)의 차 전압 대비 작은 전압이 걸리게 된다. 따라서 트랜지스터에 고 전압이 걸리는 것을 방지하여 게이트 절연막의 브레이크다운(Breakdown) 현상을 막을 수 있다.
- [0062] 한편 Q 노드 충전 시 제2-1 트랜지스터(T2a)와 제4-1 트랜지스터(T4a)의 소스 단자의 전압, 즉 QH노드 전압은 상기 제2-1 트랜지스터(T2a)와 제4-1 트랜지스터(T4a)의 게이트 단자 전압, 즉 제N 스테이지(STn)의 두 단 후 스테이지인 제N+2 스테이지의 출력인 로직 로우의 전압보다 높으므로 상기 제2-1 트랜지스터(T2a)와 제4-1 트랜지스터(T4a)의 게이트 및 소스 전극 사이의 전압( $V_{gs}$ )은 음의 값이 되어, 상기 제2-1 트랜지스터(T2a)와 제4-1 트랜지스터(T4a)의 문턱 전압이 음의 방향으로 시프트 한다고 해도 상기 제2-1 트랜지스터(T2a)와 제4-1 트랜지스터(T4a)는 안정적으로 턴 오프를 유지할 수 있다. 이 때 상기 제2-1 트랜지스터(T2a)와 제4-1 트랜지스터(T4a)의 문턱 전압의 시프팅을 고려하여 상기 고전위전원(VDD)의 레벨을 결정할 수 있다.
- [0063] 또한 제2-2 트랜지스터(T2b)와 제4-2 트랜지스터(T4b)의 누설 전류는 제3 트랜지스터(T3)를 경유하는 고전위전원(VDD)에 의해 보장할 수 있고 QH노드의 전압을 유지시킬 수 있다.
- [0064] 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술할 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

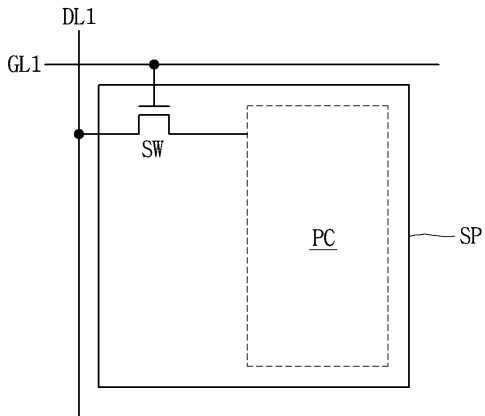
- [0065] 100 표시패널
- 100A 표시영역
- 100B 비표시영역
- 110 타이밍 컨트롤러
- 120 데이터 구동부
- 130 레벨 시프터
- 130, 140 스캔 구동부
- 140 시프트 레지스터

도면

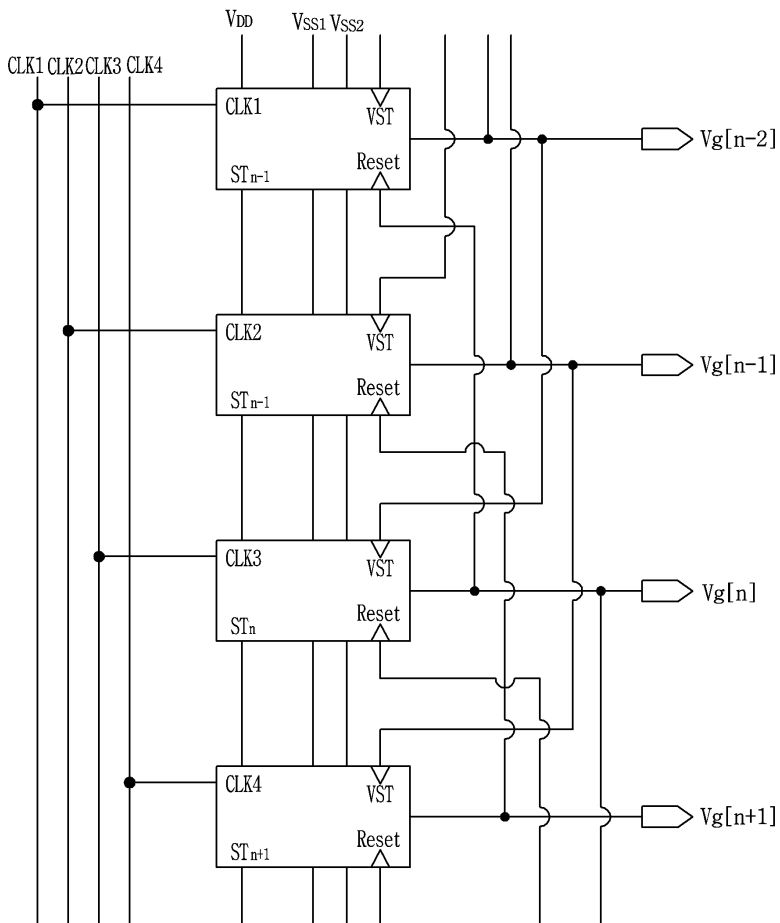
도면1



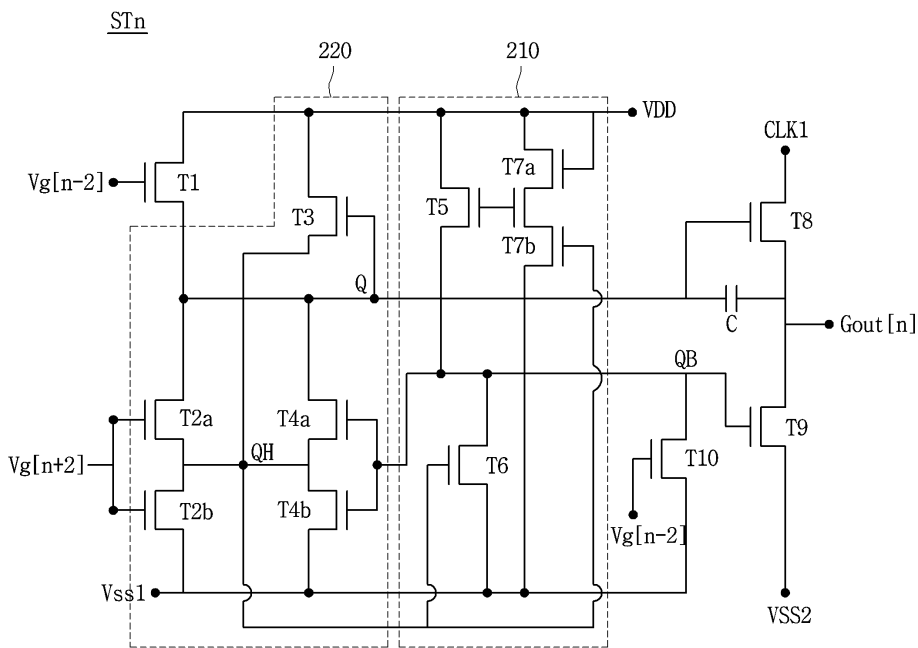
도면2



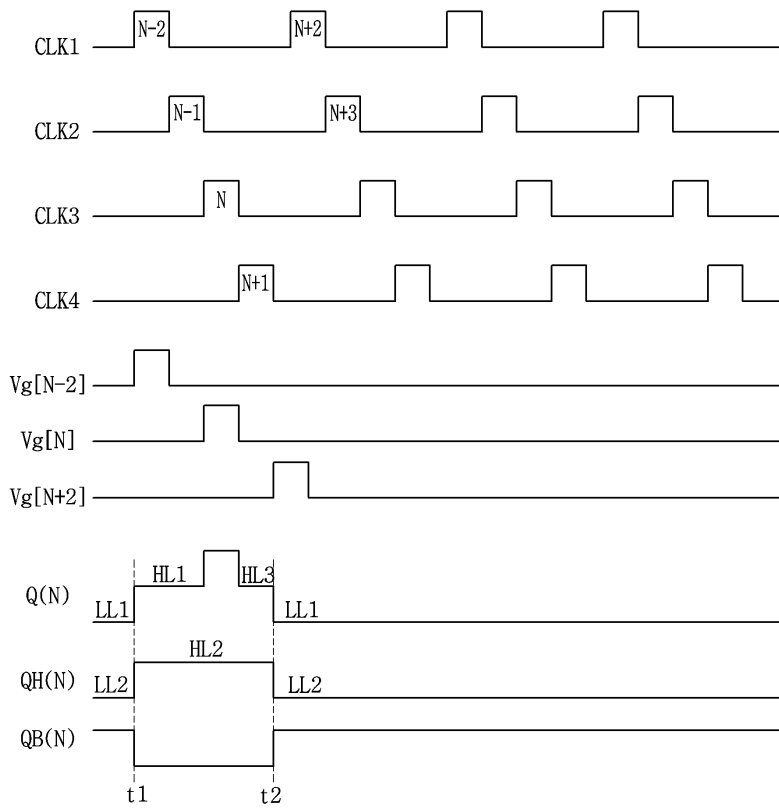
도면3



도면4



도면5



도면6

