

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5244859号

(P5244859)

(45) 発行日 平成25年7月24日 (2013. 7. 24)

(24) 登録日 平成25年4月12日 (2013. 4. 12)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 F 9 / 3 0 (2006. 01)

G 0 9 F 9 / 3 0 3 3 8

H 0 1 L 2 7 / 3 2 (2006. 01)

G 0 9 F 9 / 3 0 3 6 5 Z

G 0 9 F 9 / 0 0 (2006. 01)

G 0 9 F 9 / 0 0 3 3 8

G 0 9 G 3 / 2 0 (2006. 01)

G 0 9 G 3 / 2 0 6 2 4 B

請求項の数 9 (全 71 頁) 最終頁に続く

(21) 出願番号 特願2010-129709 (P2010-129709)

(22) 出願日 平成22年6月7日 (2010. 6. 7)

(62) 分割の表示 特願2006-110543 (P2006-110543)
の分割

原出願日 平成18年4月13日 (2006. 4. 13)

(65) 公開番号 特開2010-256914 (P2010-256914A)

(43) 公開日 平成22年11月11日 (2010. 11. 11)

審査請求日 平成22年6月7日 (2010. 6. 7)

(73) 特許権者 000183646

出光興産株式会社

東京都千代田区丸の内3丁目1番1号

(74) 代理人 100086759

弁理士 渡辺 喜平

(72) 発明者 井上 一吉

千葉県袖ヶ浦市上泉1280番地

(72) 発明者 矢野 公規

千葉県袖ヶ浦市上泉1280番地

(72) 発明者 田中 信夫

千葉県袖ヶ浦市上泉1280番地

審査官 山崎 仁之

最終頁に続く

(54) 【発明の名称】 電気光学装置、及び、電流制御用TFT基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

電流により駆動される電気光学素子と、この電気光学素子に電流を供給する駆動トランジスタと、この駆動トランジスタを制御するスイッチングトランジスタと、前記駆動トランジスタのゲート電極にキャパシタ電圧を印加するためのキャパシタと、前記電気光学素子に供給される電流を測定するための測定用トランジスタとが形成された電流制御用TFTを備え、

前記スイッチングトランジスタのゲート線が、前記スイッチングトランジスタを制御するための走査線と接続され、該スイッチングトランジスタのソース線が、前記電気光学素子へ供給される電流を制御するためのデータ線と接続され、該スイッチングトランジスタのドレイン線が、前記駆動トランジスタのゲート線及び前記キャパシタの第一電極と並列に接続され、

前記駆動トランジスタのソース線が、前記電気光学素子へ電流を供給するための駆動線と接続され、該駆動トランジスタのドレイン線が、前記電気光学素子、前記キャパシタの第二電極及び前記測定用トランジスタのソース線と並列に接続され、

前記測定用トランジスタのゲート線が、前記走査線と接続され、該測定用トランジスタのドレイン線が、前記電気光学素子へ供給される電流を測定するための測定線と接続された電気光学装置であって、

基板の上方に、第一のマスクによって、前記走査線、前記スイッチングトランジスタのゲート電極及びゲート線、並びに、前記測定用トランジスタのゲート電極及びゲート線が

形成され、

スイッチングトランジスタ用のゲート絶縁膜の上方に、第二のハーフトーンマスクによって、前記データ線、キャパシタの第一電極、測定線、スイッチングトランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、駆動トランジスタのゲート線及びゲート電極が形成され、

駆動トランジスタ、測定用トランジスタ及びキャパシタ用のゲート絶縁膜の上方に、第三のハーフトーンマスクによって、前記駆動トランジスタ及び測定用トランジスタの活性層、並びに、測定線のコンタクトホールが形成され、

第四のマスク又は第四のハーフトーンマスクによって、前記EL駆動線、キャパシタの第二電極、画素電極、駆動トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、測定用トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線が形成され、

絶縁保護膜に対して、第五のマスクによって、走査線用パッド、データ線用パッド、EL駆動線用パッド、測定線用パッド及び画素電極が露出したことを特徴とする電気光学装置。

【請求項2】

電流により駆動される電気光学素子と、この電気光学素子に電流を供給する駆動トランジスタと、この駆動トランジスタを制御するスイッチングトランジスタと、前記駆動トランジスタのゲート電極にキャパシタ電圧を印加するためのキャパシタと、前記電気光学素子に供給される電流を測定するための測定用トランジスタとが形成された電流制御用TFTを備え、

前記スイッチングトランジスタのゲート線が、前記スイッチングトランジスタを制御するための走査線と接続され、該スイッチングトランジスタのソース線が、前記電気光学素子へ供給される電流を制御するためのデータ線と接続され、該スイッチングトランジスタのドレイン線が、前記駆動トランジスタのゲート線及び前記キャパシタの第一電極と並列に接続され、

前記駆動トランジスタのソース線が、前記電気光学素子へ電流を供給するための駆動線と接続され、該駆動トランジスタのドレイン線が、前記電気光学素子、前記キャパシタの第二電極及び前記測定用トランジスタのソース線と並列に接続され、

前記測定用トランジスタのゲート線が、前記走査線と接続され、該測定用トランジスタのドレイン線が、前記電気光学素子へ供給される電流を測定するための測定線と接続された電気光学装置であって、

基板の上方に、第一のマスクによって、前記走査線、スイッチングトランジスタのゲート電極及びゲート線、並びに、測定用トランジスタのゲート電極及びゲート線が形成され、

スイッチングトランジスタ用のゲート絶縁膜の上方に、第二のハーフトーンマスクによって、前記データ線、キャパシタの第一電極、測定線、スイッチングトランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、駆動トランジスタのゲート線及びゲート電極が形成され、

駆動トランジスタ、測定用トランジスタ及びキャパシタ用のゲート絶縁膜の上方に、第三のハーフトーンマスクによって、前記駆動トランジスタ及び測定用トランジスタの活性層、並びに、測定線のコンタクトホール、データ線用パッドの開口部、走査線用パッドの開口部、測定線用パッドの開口部が形成され、

第四のマスク又は第四のハーフトーンマスクによって、前記EL駆動線、キャパシタの第二電極、画素電極、データ線用パッド、走査線用パッド、測定線用パッド、駆動トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、測定用トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線が形成され、

絶縁保護膜に対して、第五のマスクによって、走査線用パッド、データ線用パッド、EL駆動線用パッド、測定線用パッド及び画素電極が露出したことを特徴とする電気光学装

10

20

30

40

50

置。

【請求項 3】

前記電気光学素子を、直流電流駆動型の電気光学素子としたことを特徴とする請求項 1 又は 2 に記載の電気光学装置。

【請求項 4】

前記直流電流駆動型の電気光学素子を、有機 EL 素子及び／又は直流駆動型無機 EL 素子としたことを特徴とする請求項 3 に記載の電気光学装置。

【請求項 5】

電流により駆動される電気光学素子と、この電気光学素子に電流を供給する駆動トランジスタと、この駆動トランジスタを制御するスイッチングトランジスタと、前記駆動トランジスタのゲート電極にキャパシタ電圧を印加するためのキャパシタと、前記電気光学素子に供給される電流を測定するための測定用トランジスタとが形成された電流制御用 T F T を備え、

10

前記スイッチングトランジスタのゲート線が、前記スイッチングトランジスタを制御するための走査線と接続され、該スイッチングトランジスタのソース線が、前記電気光学素子へ供給される電流を制御するためのデータ線と接続され、該スイッチングトランジスタのドレイン線が、前記駆動トランジスタのゲート線及び前記キャパシタの第一電極と並列に接続され、

前記駆動トランジスタのソース線が、前記電気光学素子へ電流を供給するための駆動線と接続され、該駆動トランジスタのドレイン線が、前記電気光学素子及び前記測定用トランジスタのソース線と並列に接続され、

20

前記キャパシタの第二電極が、蓄えられた電荷を開放するためのキャパシタ線と接続され、

前記測定用トランジスタのゲート線が、前記走査線と接続され、該測定用トランジスタのドレイン線が、前記電気光学素子へ供給される電流を測定するための測定線と接続された電気光学装置であって、

基板の上方に、第一のマスクによって、前記走査線、キャパシタ線、キャパシタの第二電極、スイッチングトランジスタのゲート電極及びゲート線、並びに、測定用トランジスタのゲート電極及びゲート線が形成され、

スイッチングトランジスタ及びキャパシタ用のゲート絶縁膜の上方に、第二のハーフトーンマスクによって、前記データ線、キャパシタの第一電極、測定線、スイッチングトランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、駆動トランジスタのゲート線及びゲート電極が形成され、

30

駆動トランジスタ及び測定用トランジスタ用のゲート絶縁膜の上方に、第三のハーフトーンマスクによって、前記駆動トランジスタ及び測定用トランジスタの活性層、並びに、測定線のコンタクトホールが形成され、

第四のマスク又は第四のハーフトーンマスクによって、前記 EL 駆動線、画素電極、駆動トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、測定用トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線が形成され、

40

絶縁保護膜に対して、第五のマスクによって、走査線用パッド、データ線用パッド、EL 駆動線用パッド、測定線用パッド及び画素電極が露出したことを特徴とする電気光学装置。

【請求項 6】

電流により駆動される電気光学素子と、この電気光学素子に電流を供給する駆動トランジスタと、この駆動トランジスタを制御するスイッチングトランジスタと、前記駆動トランジスタのゲート電極にキャパシタ電圧を印加するためのキャパシタと、前記電気光学素子に供給される電流を測定するための測定用トランジスタとが形成された電流制御用 T F T を備え、

前記スイッチングトランジスタのゲート線が、前記スイッチングトランジスタを制御す

50

るための走査線と接続され、該スイッチングトランジスタのソース線が、前記電気光学素子へ供給される電流を制御するためのデータ線と接続され、該スイッチングトランジスタのドレイン線が、前記駆動トランジスタのゲート線及び前記キャパシタの第一電極と並列に接続され、

前記駆動トランジスタのソース線が、前記電気光学素子へ電流を供給するための駆動線と接続され、該駆動トランジスタのドレイン線が、前記電気光学素子及び前記測定用トランジスタのソース線と並列に接続され、

前記キャパシタの第二電極が、蓄えられた電荷を開放するためのキャパシタ線と接続され、

前記測定用トランジスタのゲート線が、前記走査線と接続され、該測定用トランジスタのドレイン線が、前記電気光学素子へ供給される電流を測定するための測定線と接続された電気光学装置であって、

10

基板の上方に、第一のマスクによって、前記走査線、キャパシタ線、キャパシタの第二電極、スイッチングトランジスタのゲート電極及びゲート線、並びに、測定用トランジスタのゲート電極及びゲート線が形成され、

スイッチングトランジスタ及びキャパシタ用のゲート絶縁膜の上方に、第二のハーフトンマスクによって、前記データ線、キャパシタの第一電極、測定線、スイッチングトランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、駆動トランジスタのゲート線及びゲート電極が形成され、

駆動トランジスタ及び測定用トランジスタ用のゲート絶縁膜の上方に、第三のハーフトンマスクによって、前記駆動トランジスタ及び測定用トランジスタの活性層、並びに、測定線のコンタクトホール、データ線用パッドの開口部、走査線用パッドの開口部、測定線用パッドの開口部、キャパシタ線用の開口部が形成され、

20

第四のマスク又は第四のハーフトンマスクによって、前記EL駆動線、画素電極、データ線用パッド、走査線用パッド、測定線用パッド、キャパシタ線用パッド、駆動トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、測定用トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線が形成され、

絶縁保護膜に対して、第五のマスクによって、走査線用パッド、データ線用パッド、EL駆動線用パッド、測定線用パッド、キャパシタ線用パッド及び画素電極が露出したことを特徴とする電気光学装置。

30

【請求項7】

前記電気光学素子を、直流電流駆動型及び／又は交流電流駆動型の電気光学素子としたことを特徴とする請求項5又は6に記載の電気光学装置。

【請求項8】

前記直流電流駆動型及び／又は交流電流駆動型の電気光学素子を、直流駆動型無機EL素子、有機EL素子及び／又は交流駆動型無機EL素子としたことを特徴とする請求項7に記載の電気光学装置。

【請求項9】

前記電流制御用TFT基板を作動させるための、走査線駆動回路、データ線駆動回路、電源線制御回路及び電流測定回路を備え、前記電流測定回路が、前記電気光学素子に供給される電流を測定し、この電流の測定値にもとづいて、前記データ線駆動回路、走査線駆動回路及び電源線制御回路の少なくとも一つ以上が制御されることを特徴とする請求項1～8のいずれか一項に記載の電気光学装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学装置、及び、電流制御用TFT基板の製造方法に関し、特に、直接的に交流電流を制御し、高周波の交流電流を出力することができ、また、安定して大電力を出力することができ、さらに、製造原価のコストダウンを図ることの可能な電気光学装

50

置、及び、電流制御用TFT基板の製造方法に関する。

【背景技術】

【0002】

有機EL表示装置は、LCD(Liquid Crystal Display)表示装置に代わる次世代の表示装置や固体照明として注目されている。その理由は、有機EL(Electronic Luminescence)素子が、自発光素子であるために視野角依存性が少なく、また、バックライトや反射光が不要であるために低消費電力であるなどといった優れた特性を有しているからである。

また、有機EL表示装置の駆動方式として、単純マトリクス駆動方式とアクティブマトリクス駆動方式があり、アクティブマトリクス駆動方式の方が、画質や応答速度などの点で単純マトリクス駆動方式より優れている。アクティブマトリクス駆動方式の有機EL表示装置は、各画素にスイッチングトランジスタや駆動トランジスタなどの形成されたTFT(薄膜トランジスタ)基板(一般的に、電流制御用TFT基板とも呼称される。)を有しており、各有機EL素子に流れる電流量を制御している。

【0003】

ところで、上記アクティブマトリクス駆動方式の有機EL表示装置は、優れた特性を有しているものの、駆動トランジスタの特性のばらつきのために、各画素において有機EL素子に流れる電流量が異なり、輝度むらが発生することがあった。また、有機EL素子は、電流発光装置であり、電流の大小により発光強度を変化させることができるものの、連続発光させた場合、時間の経過とともに発光強度が低下していた。

このような短所を解決するために、様々な駆動回路を有する有機EL表示装置が提案されてきた。

【0004】

(従来例)

たとえば、特許文献1には、光学的フィードバックを可能とするアドレス可能画像表示画素の技術が開示されている。このアドレス可能画像表示画素は、光センサとフィードバック読み出し回路が基板上に形成されている。光センサは、基板上に形成され、発光体の発する光に反応してフィードバック電圧信号を生成するために発光体の発する光を検出するように発光体と光学的に結合しており、また、フィードバック読み出し回路は、フィードバック電圧信号に反応して発光体の光出力を示すフィードバック信号を出力し、トランジスタ増幅器、読み出し回路をリセットする手段、及び、選択スイッチを備えている。

【0005】

また、特許文献2には、アクティブマトリクス構成において、各画素に電流測定素子を設けずに有機EL素子に流れる電流を測定し、TFT特性のばらつきによる輝度むらを補正する電気光学装置の技術が開示されている。この電気光学装置は、アクティブ素子と有機EL素子がマトリクス状に配置され、有機EL素子に電流を供給する複数の電流供給線が配置され、各電流供給線に電流測定素子が設けられており、一本の走査線に走査電圧を与え、それと同期して各データ線に所定のデータ電圧を供給し、電流測定素子により有機EL素子に流れる電流値を測定する。次に、同一の走査線に走査電圧を与え、それと同期して各データ線に電気光学素子を0階調にするデータ信号を供給する。この駆動動作を各走査線に対して行い、得られた電流測定値にもとづいて各アクティブ素子に与えるデータ電圧を補正することの特徴としている。

【0006】

また、特許文献3には、駆動トランジスタの特性のばらつきを補償するための補償トランジスタを各画素に設けた電気光学装置の技術が開示されている。この電気光学装置は、各画素の駆動トランジスタと補償トランジスタがカレント・ミラー回路を構成しており、各画素の駆動トランジスタと補償トランジスタの利得係数を一致させることにより、各画素に形成されている駆動トランジスタにばらつきが発生しても、各画素の被駆動素子に同じ大きさの電流を供給することができ、駆動トランジスタの特性ばらつきに起因する輝度むらを抑えることができる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2003-271098号公報

【特許文献2】特開2002-278513号公報

【特許文献3】特開2006-39574号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、上記特許文献1、3に記載された技術は、各画素の構成要素が増大し、構造が複雑化するために歩留まりが低下するといった問題や、製造原価のコストダウンを図ることができないといった問題があった。

10

また、特許文献3に記載された技術は、製造段階において、各画素の駆動トランジスタと補償トランジスタの利得係数を一致させ、駆動トランジスタの特性のばらつきに起因する輝度むらを抑えることができるものの、使用されると、各画素の駆動トランジスタと補償トランジスタの通電される時間が異なり、劣化による性能の差が、輝度むらとして現れるといった問題があった。

さらに、上記特許文献2に記載された技術は、多数（ n 個）の有機EL素子に電流を供給する一本の電流供給線に電流測定素子を接続してあり、同一列の各画素に対して、一つの画素の有機EL素子に流れる電流を測定できるものの、測定中は、同一列の他の画素に電流を流さないようにする必要がある（同一列の多数の画素に電流を流しながらでは、一つの画素の有機EL素子に流れる電流変動分を測定できない。）。すなわち、同一列の他の画素に電流を流さない状態で測定する必要がある、測定条件が制限されるといった問題があった。

20

【0009】

また、一般的な有機EL表示装置は、複数のシリコン半導体を用いた薄膜トランジスタの配設された電流制御用TFT基板を有しているが、電流を大量に流した場合、シリコン半導体それ自体が劣化し、有機EL発光素子に印加する電圧や電流を制御できなくなる場合があるといった問題があった。さらに、直流電流を大量に流すことにより、有機EL発光装置の寿命が短くなるといった問題があった。

30

また、電気光学素子として無機EL素子を用いた電気光学装置は、交流電源により無機EL素子を駆動させているが、一回の駆動中に交流駆動を行うことはできず、次ぎの駆動においては、電圧を反転させてから無機EL素子を駆動させている。すなわち、見かけ上、交流駆動となっているものの、一回のスキャン中は直流駆動であり、交流駆動の周波数を上げるには、スキャンの周波数をも上げる必要があり、高周波数化を図れないといった問題があった。

【0010】

本発明は、係る課題に鑑みなされたものであり、直接的に交流電流を制御し、高周波の交流電流を出力することができ、また、安定して大電力を出力することができ、さらに、製造原価のコストダウンを図ることの可能な電気光学装置、及び、電流制御用TFT基板の製造方法の提供を目的とする。

40

【課題を解決するための手段】

【0011】

上記目的を達成するために、本発明の電気光学装置は、電流により駆動される電気光学素子と、この電気光学素子に電流を供給する駆動トランジスタと、この駆動トランジスタを制御するスイッチングトランジスタと、前記駆動トランジスタのゲート電極にキャパシタ電圧を印加するためのキャパシタと、前記電気光学素子に供給される電流を測定するための測定用トランジスタを備えた電気光学装置であって、前記スイッチングトランジスタのゲート線が、前記スイッチングトランジスタを制御するための走査線と接続され、該スイッチングトランジスタのソース線が、前記電気光学素子へ供給される電流を制御するた

50

めのデータ線と接続され、該スイッチングトランジスタのドレイン線が、前記駆動トランジスタのゲート線及び前記キャパシタの第一電極と並列に接続され、前記駆動トランジスタのソース線が、前記電気光学素子へ電流を供給するための駆動線と接続され、該駆動トランジスタのドレイン線が、前記電気光学素子、前記キャパシタの第二電極及び前記測定用トランジスタのソース線と並列に接続され、前記測定用トランジスタのゲート線が、前記走査線と接続され、該測定用トランジスタのドレイン線が、前記電気光学素子へ供給される電流を測定するための測定線と接続された構成としてある。

【0012】

このようにすると、走査線に直流電圧を印加すると、スイッチングトランジスタ及び測定用トランジスタがon状態となり、データ線より供給される直流電圧・電流により、スイッチングトランジスタを介して駆動トランジスタのon状態を制御する。また、駆動線より駆動トランジスタ及び測定用トランジスタを通り、測定線に流れる直流電流を測定できる。したがって、測定線を介して、電気光学素子に供給される直流電流が、所望の電流値になるまでデータ線の電圧・電流を制御することができ、電気光学素子の輝度を微調整することができる。

10

【0013】

さらに、キャパシタの第一電極は、スイッチングトランジスタのドレイン線及び駆動トランジスタのゲート線と並列に接続されており、さらに、キャパシタの第二電極は、駆動トランジスタのドレイン線、電気光学素子及び測定用トランジスタのソース線と並列に接続されており、電気光学素子に供給される直流電流が、所望の電流値になったところで、走査線の電圧を切り、スイッチングトランジスタ及び測定用トランジスタをoff状態にしても、キャパシタに蓄えられた電圧により、駆動トランジスタはon状態が維持され、かつ、測定用トランジスタを通して計測された直流電流が、駆動トランジスタを介して、駆動線から電気光学素子に供給され、直流駆動型の電気光学素子の安定した発光が可能となる。

20

【0014】

また、好ましくは、前記電気光学素子を、直流電流駆動型の電気光学素子とするとよい。

【0015】

このようにすると、直流電流駆動型の電気光学素子の安定した発光が可能となる。

30

【0016】

また、好ましくは、前記直流電流駆動型の電気光学素子を、有機EL素子及び／又は直流駆動型無機EL素子とするとよい。

【0017】

このようにすると、有機EL素子及び／又は直流駆動型無機EL素子の安定した発光が可能となる。

【0018】

また、本発明の電気光学装置は、電流により駆動される電気光学素子と、この電気光学素子に電流を供給する駆動トランジスタと、この駆動トランジスタを制御するスイッチングトランジスタと、前記駆動トランジスタのゲート電極にキャパシタ電圧を印加するためのキャパシタと、前記電気光学素子に供給される電流を測定するための測定用トランジスタを備えた電気光学装置であって、前記スイッチングトランジスタのゲート線が、前記スイッチングトランジスタを制御するための走査線と接続され、該スイッチングトランジスタのソース線が、前記電気光学素子へ供給される電流を制御するためのデータ線と接続され、該スイッチングトランジスタのドレイン線が、前記駆動トランジスタのゲート線及び前記キャパシタの第一電極と並列に接続され、前記駆動トランジスタのソース線が、前記電気光学素子へ電流を供給するための駆動線と接続され、該駆動トランジスタのドレイン線が、前記電気光学素子及び前記測定用トランジスタのソース線と並列に接続され、前記キャパシタの第二電極が、蓄えられた電荷を開放するためのキャパシタ線と接続され、前記測定用トランジスタのゲート線が、前記走査線と接続され、該測定用トランジスタのド

40

50

レイン線が、前記電気光学素子へ供給される電流を測定するための測定線と接続された構成としてある。

【0019】

このようにすると、走査線に直流電圧を印加すると、スイッチングトランジスタ及び測定用トランジスタがon状態となり、データ線より供給される直流電圧・電流により、スイッチングトランジスタを介して駆動トランジスタのon状態を制御する。また、駆動線より駆動トランジスタ及び測定用トランジスタを通り、測定線に流れる直流電流又は交流電流を測定できる。したがって、測定線を介して、電気光学素子に供給される直流電流又は交流電流が、所望の電流値になるまでデータ線の直流電圧・電流を制御することができ、電気光学素子の輝度を微調整することができる。

10

【0020】

さらに、キャパシタの第一電極は、スイッチングトランジスタのドレイン線及び駆動トランジスタのゲート線と並列に接続されており、さらに、キャパシタの第二電極は、陰極に接地されたキャパシタ線と接続されており、電気光学素子に供給される直流電流又は交流電流が、所望の電流値になったところで、走査線の電圧を切り、スイッチングトランジスタ及び測定用トランジスタをoff状態にしても、キャパシタに蓄えられた電圧により、駆動トランジスタはon状態が維持され、かつ、測定用トランジスタを通して計測された直流電流又は交流電流が、駆動トランジスタを介して、駆動線から電気光学素子に供給され、直流駆動型又は交流駆動型の電気光学素子の安定した発光が可能となる。

20

【0021】

また、好ましくは、前記電気光学素子を、直流電流駆動型及び／又は交流電流駆動型の電気光学素子とする。

【0022】

このようにすると、直流電流駆動型及び／又は交流電流駆動型の電気光学素子の安定した発光が可能となる。

【0023】

また、好ましくは、前記直流電流駆動型及び／又は交流電流駆動型の電気光学素子を、直流駆動型無機EL素子、有機EL素子及び／又は交流駆動型無機EL素子とする。

【0024】

このようにすると、直流駆動型無機EL素子、有機EL素子及び／又は交流駆動型無機EL素子の安定した発光が可能となる。

30

【0025】

また、好ましくは、前記電気光学素子、駆動トランジスタ、スイッチングトランジスタ、キャパシタ及び測定用トランジスタからなる画素を、電流制御用TFT基板に配設する。

このようにすると、電気光学装置に、TFT（薄膜トランジスタ）技術を用いることができる。

【0026】

また、好ましくは、前記電流制御用TFT基板を作動させるための、走査線駆動回路、データ線駆動回路、電源線制御回路及び電流測定回路を備え、前記電流測定回路が、前記電気光学素子に供給される電流を測定し、この電流の測定値にもとづいて、前記データ線駆動回路、走査線駆動回路及び電源線制御回路の少なくとも一つ以上が制御されるとよい。

40

【0027】

このようにすると、電気光学素子に供給される電流を測定でき、この測定値にもとづいて、データ線駆動回路、走査線駆動回路及び電源線制御回路の少なくとも一つ以上が制御されるので、設定された電流を確実に電気光学素子に供給することができる。

【0028】

また、上記目的を達成するために、本発明の電流制御用TFT基板の製造方法は、基板

50

の上方に、導電体層及び第一のレジストを積層し、第一のマスクによって、走査線、スイッチングトランジスタのゲート電極及びゲート線を形成する工程と、スイッチングトランジスタ用のゲート絶縁膜を積層する工程と、アモルファスSi（ケイ素）若しくは多結晶Siを有する活性層、又は、酸化物半導体層、導電体層及び第二のレジストを積層し、第二のハーフトーンマスクによって、データ線、スイッチングトランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、駆動トランジスタのゲート線及びゲート電極を形成する工程と、駆動トランジスタ用のゲート絶縁膜を積層する工程と、酸化物半導体層及び第三のレジストを積層し、第三のマスクによって、駆動トランジスタの活性層を形成する工程と、酸化物導電体層及び第四レジストを積層し、第四のマスク又は第四のハーフトーンマスクによって、EL駆動線、駆動トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、画素電極を形成する工程と、絶縁保護膜及び第五のレジストを積層し、第五のマスクによって、走査線用パッド、データ線用パッド、EL駆動線用パッド及び画素電極を露出させる工程とを有する方法としてある。

10

【0029】

このように、本発明は、TFT基板の製造方法としても有効であり、駆動トランジスタの活性層をn型酸化物半導体層としてあるので、駆動トランジスタに大きな電流や大電力を投入した場合であっても、駆動トランジスタの性能劣化が小さく、安定性に優れるとともに、TFT基板の耐久性を向上させることができる。また、第四のハーフトーンマスクを用いて、EL駆動線、駆動トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極、ドレイン線、画素電極を製造することができ、使用するマスク数を削減できるので、製造工程が削減されることにより、生産効率が向上し製造原価のコストダウンを図ることができる。さらに、保護用絶縁膜が形成されているので、TFT基板に、有機EL材料、電極及び保護膜を設けることにより、有機EL表示装置を容易に得ることができる。

20

【0030】

また、本発明の電流制御用TFT基板の製造方法は、基板の上方に、導電体層及び第一のレジストを積層し、第一のマスクによって、走査線、スイッチングトランジスタのゲート電極及びゲート線、並びに、測定用トランジスタのゲート電極及びゲート線を形成する工程と、スイッチングトランジスタ用のゲート絶縁膜を積層する工程と、アモルファスSi（ケイ素）若しくは多結晶Siを有する活性層、又は、酸化物半導体層、導電体層及び第二のレジストを積層し、第二のハーフトーンマスクによって、データ線、キャパシタの第一電極、測定線、スイッチングトランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、駆動トランジスタのゲート線及びゲート電極を形成する工程と、駆動トランジスタ、測定用トランジスタ及びキャパシタ用のゲート絶縁膜を積層する工程と、酸化物半導体層及び第三のレジストを積層し、第三のハーフトーンマスクによって、駆動トランジスタ及び測定用トランジスタの活性層、並びに、測定線のコンタクトホールを形成する工程と、酸化物導電体層及び第四のレジストを積層し、第四のマスク又は第四のハーフトーンマスクによって、EL駆動線、キャパシタの第二電極、画素電極、駆動トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、測定用トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線を形成する工程と、絶縁保護膜及び第五のレジストを積層し、第五のマスクによって、走査線用パッド、データ線用パッド、EL駆動線用パッド、測定線用パッド及び画素電極を露出させる工程とを有する方法としてある。

30

40

このようにすると、直流電流によって駆動される電気光学素子に対して、電流測定回路によって測定された、所定の予定値とほぼ同じ値の駆動電流を供給することができるので、優れた品質の画像を提供することができる。また、駆動トランジスタ及び測定用トランジスタの活性層をn型酸化物半導体層としてあるので、駆動トランジスタ及び測定用トランジスタに大きな電流や大電力を投入した場合であっても、駆動トランジスタ及び測定用トランジスタの性能劣化が小さく、安定性に優れるとともに、TFT基板の耐久性を向上

50

させることができる。また、使用するマスク数を削減できるので、製造工程が削減されることにより、生産効率が向上し製造原価のコストダウンを図ることができる。

【0031】

また、本発明の電流制御用TFT基板の製造方法は、基板の上方に、導電体層及び第一のレジストを積層し、第一のマスクによって、走査線、スイッチングトランジスタのゲート電極及びゲート線、並びに、測定用トランジスタのゲート電極及びゲート線を形成する工程と、スイッチングトランジスタ用のゲート絶縁膜を積層する工程と、アモルファスSi（ケイ素）若しくは多結晶Siを有する活性層、又は、酸化物半導体層、導電体層及び第二のレジストを積層し、第二のハーフトーンマスクによって、データ線、キャパシタの第一電極、測定線、スイッチングトランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、駆動トランジスタのゲート線及びゲート電極を形成する工程と、駆動トランジスタ、測定用トランジスタ及びキャパシタ用のゲート絶縁膜を積層する工程と、酸化物半導体層及び第三のレジストを積層し、第三のハーフトーンマスクによって、駆動トランジスタ及び測定用トランジスタの活性層、並びに、測定線のコンタクトホール、データ線用パッドの開口部、走査線用パッドの開口部、測定線用パッドの開口部を形成する工程と、酸化物導電体層及び第四レジストを積層し、第四のマスク又は第四のハーフトーンマスクによって、EL駆動線、キャパシタの第二電極、画素電極、データ線用パッド、走査線用パッド、測定線用パッド、駆動トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、測定用トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線を形成する工程と、絶縁保護膜及び第五のレジストを積層し、第五のマスクによって、走査線用パッド、データ線用パッド、EL駆動線用パッド、測定線用パッド及び画素電極を露出させる工程とを有する方法としてある。

このようにすると、データ線用パッド、走査線用パッド、測定線用パッド及びEL駆動線用パッドが、保護用絶縁膜のすぐ下層に形成されるので、データ線用パッド、走査線用パッド、測定線用パッド及びEL駆動線用パッドへの接続性を向上させることができる。

【0032】

また、本発明の電流制御用TFT基板の製造方法は、基板の上方に、導電体層及び第一のレジストを積層し、第一のマスクによって、走査線、キャパシタ線、キャパシタの第二電極、スイッチングトランジスタのゲート電極及びゲート線、並びに、測定用トランジスタのゲート電極及びゲート線を形成する工程と、スイッチングトランジスタ及びキャパシタ用のゲート絶縁膜を積層する工程と、アモルファスSi（ケイ素）若しくは多結晶Siを有する活性層、又は、酸化物半導体層、導電体層及び第二のレジストを積層し、第二のハーフトーンマスクによって、データ線、キャパシタの第一電極、測定線、スイッチングトランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、駆動トランジスタのゲート線及びゲート電極を形成する工程と、駆動トランジスタ及び測定用トランジスタ用のゲート絶縁膜を積層する工程と、酸化物半導体層及び第三のレジストを積層し、第三のハーフトーンマスクによって、駆動トランジスタ及び測定用トランジスタの活性層、並びに、測定線のコンタクトホールを形成する工程と、酸化物導電体層及び第四レジストを積層し、第四のマスク又は第四のハーフトーンマスクによって、EL駆動線、画素電極、駆動トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、測定用トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線を形成する工程と、絶縁保護膜及び第五のレジストを積層し、第五のマスクによって、走査線用パッド、データ線用パッド、EL駆動線用パッド、測定線用パッド、キャパシタ線用パッド及び画素電極を露出させる工程とを有する方法としてある。

このようにすると、交流電流又は直流電流によって駆動される電気光学素子に対して、電流測定回路によって測定された、所定の予定値とほぼ同じ値の駆動電流を供給することができるので、優れた品質の画像を提供することができる。また、駆動トランジスタ及び測定用トランジスタの活性層をn型酸化物半導体層としてあるので、駆動トランジスタ及

び測定用トランジスタに大きな電流や大電力を投入した場合であっても、駆動トランジスタ及び測定用トランジスタの性能劣化が小さく、安定性に優れるとともに、T F T基板の耐久性を向上させることができる。また、使用するマスク数を削減できるので、製造工程が削減されることにより、生産効率が向上し製造原価のコストダウンを図ることができる。

【0033】

また、本発明の電流制御用T F T基板の製造方法は、基板の上方に、導電体層及び第一のレジストを積層し、第一のマスクによって、走査線、キャパシタ線、キャパシタの第二電極、スイッチングトランジスタのゲート電極及びゲート線、並びに、測定用トランジスタのゲート電極及びゲート線を形成する工程と、スイッチングトランジスタ及びキャパシタ用のゲート絶縁膜を積層する工程と、アモルファスS i（ケイ素）若しくは多結晶S iを有する活性層、又は、酸化物半導体層、導電体層及び第二のレジストを積層し、第二のハーフトーンマスクによって、データ線、キャパシタの第一電極、測定線、スイッチングトランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、駆動トランジスタのゲート線及びゲート電極を形成する工程と、駆動トランジスタ及び測定用トランジスタ用のゲート絶縁膜を積層する工程と、酸化物半導体層及び第三のレジストを積層し、第三のハーフトーンマスクによって、駆動トランジスタ及び測定用トランジスタの活性層、並びに、測定線のコンタクトホール、データ線用パッドの開口部、走査線用パッドの開口部、測定線用パッドの開口部、キャパシタ線用の開口部を形成する工程と、酸化物導電体層及び第四レジストを積層し、第四のマスク又は第四のハーフトーンマスクによって、E L駆動線、画素電極、データ線用パッド、走査線用パッド、測定線用パッド、キャパシタ線用パッド、駆動トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線、並びに、測定用トランジスタのソース線、ソース電極、チャンネル部、ドレイン電極及びドレイン線を形成する工程と、絶縁保護膜及び第五のレジストを積層し、第五のマスクによって、走査線用パッド、データ線用パッド、E L駆動線用パッド、測定線用パッド、キャパシタ線用パッド及び画素電極を露出させる工程とを有する方法としてある。

このようにすると、データ線用パッド、走査線用パッド、測定線用パッド、キャパシタ線用パッド及びE L駆動線用パッドが、保護用絶縁膜のすぐ下層に形成されるので、データ線用パッド、走査線用パッド、測定線用パッド、キャパシタ線用パッド及びE L駆動線用パッドへの接続性を向上させることができる。

【発明の効果】

【0034】

本発明における電気光学装置、及び、電流制御用T F T基板の製造方法によれば、直接的に交流電流を制御し、高周波の交流電流を出力することができ、また、安定して大電力を出力することができ、さらに、製造原価のコストダウンを図ることができる。

【図面の簡単な説明】

【0035】

【図1】本発明の第一実施形態にかかる有機E L表示装置の概略ブロック図を示している。

【図2】本発明の第一実施形態にかかる有機E L表示装置の画素の構成を説明するための概略ブロック図を示している。

【図3】本発明の第一実施形態にかかる有機E L表示装置に使用させるT F T基板の製造方法を説明するための概略フローチャート図を示している。

【図4】本発明の第一実施形態にかかる有機E L表示装置に使用させるT F T基板の製造方法の、第一のマスクを用いた処理を説明するための概略図であり、（a）は金属層成膜／第一のレジスト塗布／露光／現像された断面図を、（b）は第一のエッチング／第一のレジスト剥離された断面図を、（c）は第一のレジストが剥離された後のT F T基板の要部の平面図を示している。

【図5】本発明の第一実施形態にかかる有機E L表示装置に使用させるT F T基板の製造

方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)はゲート絶縁膜成膜/ α -Si:H(i)膜成膜/ α -Si:H(n)膜成膜/金属層成膜/第二のレジスト塗布/ハーフトーン露光/現像された断面図を、(b)は第二のエッチング/第二のレジストの再形成された断面図を、(c)は第三のエッチング/第二のレジスト剥離された断面図を示している。

【図6】本発明の第一実施形態にかかる有機EL表示装置に使用させるTFE基板の製造方法の、スイッチングトランジスタが形成された後のTFE基板の要部の概略平面図を示している。

【図7】本発明の第一実施形態にかかる有機EL表示装置に使用させるTFE基板の製造方法の、第三のマスクを用いた処理を説明するための概略図であり、(a)はゲート絶縁膜成膜/n型酸化物半導体層成膜/第三のレジスト塗布/露光/現像された断面図を、(b)は第四のエッチング/第三のレジスト剥離された断面図を示している。

【図8】本発明の第一実施形態にかかる有機EL表示装置に使用させるTFE基板の製造方法の、第三のレジストが剥離された後のTFE基板の要部の概略平面図を示している。

【図9】本発明の第一実施形態にかかる有機EL表示装置に使用させるTFE基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は酸化物透明導電体層成膜/金属層成膜/第四のレジスト塗布/ハーフトーン露光/現像された断面図を、(b)は第五のエッチング/第四のレジストの再形成された断面図を示している。

【図10】本発明の第一実施形態にかかる有機EL表示装置に使用させるTFE基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、第六のエッチング/第四のレジスト剥離された断面図を示している。

【図11】本発明の第一実施形態にかかる有機EL表示装置に使用させるTFE基板の製造方法の、第四のレジストが剥離された後のTFE基板の要部の概略平面図を示している。

【図12】本発明の第一実施形態にかかる有機EL表示装置に使用させるTFE基板の製造方法の、第五のマスクを用いた処理を説明するための概略図であり、(a)は保護用絶縁膜成膜/第五のレジスト塗布/露光/現像された断面図を、(b)は第七のエッチング/第五のレジスト剥離された断面図を示している。

【図13】本発明の第一実施形態にかかる有機EL表示装置に使用させるTFE基板の製造方法の、第五のレジストが剥離された後のTFE基板の要部の概略平面図を示している。

【図14】本発明の第一実施形態の応用例にかかる有機EL表示装置に使用させるTFE基板の製造方法を説明するための概略フローチャート図を示している。

【図15】本発明の第一実施形態の応用例にかかる有機EL表示装置に使用させるTFE基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)はゲート絶縁膜成膜/n型酸化物半導体層成膜/酸化物透明導電体層成膜/金属層成膜/第二のレジスト塗布/ハーフトーン露光/現像された断面図を、(b)は第二のエッチング/第二のレジストの再形成された断面図を、(c)は第三のエッチング/第二のレジスト剥離された断面図を示している。

【図16】本発明の第一実施形態の応用例にかかる有機EL表示装置に使用させるTFE基板の製造方法の、スイッチングトランジスタが形成された後のTFE基板の要部の概略平面図を示している。

【図17】本発明の第二実施形態にかかる有機EL表示装置の概略ブロック図を示している。

【図18】本発明の第二実施形態にかかる有機EL表示装置の画素の構成を説明するための概略ブロック図を示している。

【図19】本発明の第二実施形態にかかる有機EL表示装置に使用させるTFE基板の製造方法を説明するための概略フローチャート図を示している。

【図20】本発明の第二実施形態にかかる有機EL表示装置に使用させるTFE基板の製

10

20

30

40

50

造方法の、第一のマスクを用いた処理を説明するための概略図であり、(a)は金属層成膜／第一のレジスト塗布／露光／現像された断面図を、(b)は第一のエッチング／第一のレジスト剥離された断面図を、(c)は第一のレジストが剥離された後のTFT基板の要部の平面図を示している。

【図21】本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)はゲート絶縁膜成膜／ α -Si:H(i)膜成膜／ α -Si:H(n)膜成膜／金属層成膜／第二のレジスト塗布／ハーフトーン露光／現像された断面図を、(b)は第二のエッチング／第二のレジストの再形成された断面図を、(c)は第三のエッチング／第二のレジスト剥離された断面図を示している。

10

【図22】本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、スイッチングトランジスタが形成された後のTFT基板の要部の概略平面図を示している。

【図23】本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)はゲート絶縁膜成膜／n型酸化物半導体層成膜／第三のレジスト塗布／ハーフトーン露光／現像された断面図を、(b)は第四のエッチング／第三のレジストの再形成された断面図を示している。

【図24】本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は酸化物透明導電体層成膜／金属層成膜／第三のレジスト塗布／ハーフトーン露光／現像された断面図を、(b)は第四のエッチング／第三のレジストの再形成された断面図を示している。

20

【図25】本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、第五のエッチング／第三のレジスト剥離された断面図を示している。

【図26】本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は酸化物透明導電体層成膜／金属層成膜／第四のレジスト塗布／ハーフトーン露光／現像された断面図を、(b)は第六のエッチング／第四のレジストの再形成された断面図を示している。

30

【図27】本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、第七のエッチング／第四のレジスト剥離された断面図を示している。

【図28】本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第四のレジストが剥離された後のTFT基板の要部の概略平面図を示している。

【図29】本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第五のマスクを用いた処理を説明するための概略図であり、(a)は保護用絶縁膜成膜／第五のレジスト塗布／露光／現像された断面図を、(b)は第七のエッチング／第五のレジスト剥離された断面図を示している。

40

【図30】本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第五のレジストが剥離された後のTFT基板の要部の概略平面図を示している。

【図31】本発明の第二実施形態の応用例にかかる有機EL表示装置に使用させるTFT基板の製造方法を説明するための概略フローチャート図を示している。

【図32】本発明の第二実施形態の応用例にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)はゲート絶縁膜成膜／n型酸化物半導体層成膜／第三のレジスト塗布／ハーフトーン露光／現像された断面図を、(b)は第四のエッチング／第三のレジストの再形成

50

された断面図を示している。

【図 3 3】本発明の第二実施形態の応用例にかかる有機 E L 表示装置に使用させる T F T 基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、第五のエッチング／第三のレジスト剥離された断面図を示している。

【図 3 4】本発明の第二実施形態の応用例にかかる有機 E L 表示装置に使用させる T F T 基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、第五のエッチング／第三のレジスト剥離された断面図を示している。

【図 3 5】本発明の第二実施形態の応用例にかかる有機 E L 表示装置に使用させる T F T 基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、（a）は酸化物透明導電体層成膜／金属層成膜／第四のレジスト塗布／ハーフトーン露光／現像された断面図を、（b）は第六のエッチング／第四のレジストの再形成／第七のエッチング／第四のレジスト剥離された断面図を示している。

10

【図 3 6】本発明の第二実施形態の応用例にかかる有機 E L 表示装置に使用させる T F T 基板の製造方法の、第四のレジストが剥離された後の T F T 基板の要部の概略平面図を示している。

【図 3 7】本発明の第二実施形態の応用例にかかる有機 E L 表示装置に使用させる T F T 基板の製造方法の、第五のマスクを用いた処理を説明するための概略図であり、（a）は保護用絶縁膜成膜／第五のレジスト塗布／露光／現像された断面図を、（b）は第八のエッチング／第五のレジスト剥離された断面図を示している。

【図 3 8】本発明の第二実施形態の応用例にかかる有機 E L 表示装置に使用させる T F T 基板の製造方法の、第五のレジストが剥離された後の T F T 基板の要部の概略平面図を示している。

20

【図 3 9】本発明の第三実施形態にかかる分散型無機 E L 表示装置の概略ブロック図を示している。

【図 4 0】本発明の第三実施形態にかかる分散型無機 E L 表示装置の画素の構成を説明するための概略ブロック図を示している。

【図 4 1】本発明の第三実施形態にかかる分散型無機 E L 表示装置に使用させる T F T 基板の製造方法を説明するための概略フローチャート図を示している。

【図 4 2】本発明の第三実施形態にかかる分散型無機 E L 表示装置に使用させる T F T 基板の製造方法の、第一のマスクを用いた処理を説明するための概略図であり、（a）は金属層成膜／第一のレジスト塗布／露光／現像された断面図を、（b）は第一のエッチング／第一のレジスト剥離された断面図を、（c）は第一のレジストが剥離された後の T F T 基板の要部の平面図を示している。

30

【図 4 3】本発明の第三実施形態にかかる分散型無機 E L 表示装置に使用させる T F T 基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、（a）はゲート絶縁膜成膜／ α -S i : H (i) 膜成膜／ α -S i : H (n) 膜成膜／金属層成膜／第二のレジスト塗布／ハーフトーン露光／現像された断面図を、（b）は第二のエッチング／第二のレジストの再形成された断面図を、（c）は第三のエッチング／第二のレジスト剥離された断面図を示している。

【図 4 4】本発明の第三実施形態にかかる分散型無機 E L 表示装置に使用させる T F T 基板の製造方法の、スイッチングトランジスタが形成された後の T F T 基板の要部の概略平面図を示している。

40

【図 4 5】本発明の第三実施形態にかかる分散型無機 E L 表示装置に使用させる T F T 基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、（a）はゲート絶縁膜成膜／n型酸化物半導体層成膜／第三のレジスト塗布／ハーフトーン露光／現像された断面図を、（b）は第四のエッチング／第三のレジストの再形成された断面図を示している。

【図 4 6】本発明の第三実施形態にかかる分散型無機 E L 表示装置に使用させる T F T 基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、第五のエッチング／第三のレジスト剥離された断面図を示している。

50

【図４７】本発明の第三実施形態にかかる分散型無機ＥＬ表示装置に使用させるＴＦＴ基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、第五のエッチング／第三のレジスト剥離された断面図を示している。

【図４８】、本発明の第三実施形態にかかる分散型無機ＥＬ表示装置に使用させるＴＦＴ基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、（ａ）は酸化物透明導電体層成膜／金属層成膜／第四のレジスト塗布／ハーフトーン露光／現像された断面図を、（ｂ）は第六のエッチング／第四のレジストの再形成された断面図を示している。

【図４９】本発明の第三実施形態にかかる分散型無機ＥＬ表示装置に使用させるＴＦＴ基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、第七のエッチング／第四のレジスト剥離された断面図を示している。

10

【図５０】本発明の第三実施形態にかかる分散型無機ＥＬ表示装置に使用させるＴＦＴ基板の製造方法の、第四のレジストが剥離された後のＴＦＴ基板の要部の概略平面図を示している。

【図５１】本発明の第三実施形態にかかる分散型無機ＥＬ表示装置に使用させるＴＦＴ基板の製造方法の、第五のマスクを用いた処理を説明するための概略図であり、（ａ）は保護用絶縁膜成膜／第五のレジスト塗布／露光／現像された断面図を、（ｂ）は第八のエッチング／第五のレジスト剥離された断面図を示している。

【図５２】本発明の第三実施形態にかかる分散型無機ＥＬ表示装置に使用させるＴＦＴ基板の製造方法の、第五のレジストが剥離された後のＴＦＴ基板の要部の概略平面図を示している。

20

【図５３】本発明の第三実施形態の応用例にかかる分散型無機ＥＬ表示装置に使用させるＴＦＴ基板の製造方法を説明するための概略フローチャート図を示している。

【図５４】本発明の第三実施形態の応用例にかかる分散型無機ＥＬ表示装置に使用させるＴＦＴ基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、（ａ）はゲート絶縁膜成膜／ｎ型酸化物半導体層成膜／第三のレジスト塗布／ハーフトーン露光／現像された断面図を、（ｂ）は第四のエッチング／第三のレジストの再形成された断面図を示している。

【図５５】本発明の第三実施形態の応用例にかかる分散型無機ＥＬ表示装置に使用させるＴＦＴ基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、第五のエッチング／第三のレジスト剥離された断面図を示している。

30

【図５６】本発明の第三実施形態の応用例にかかる分散型無機ＥＬ表示装置に使用させるＴＦＴ基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、第五のエッチング／第三のレジスト剥離された断面図を示している。

【図５７】本発明の第三実施形態の応用例にかかる分散型無機ＥＬ表示装置に使用させるＴＦＴ基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、（ａ）は酸化物透明導電体層成膜／金属層成膜／第四のレジスト塗布／ハーフトーン露光／現像された断面図を、（ｂ）は第六のエッチング／第四のレジストの再形成／第七のエッチング／第四のレジスト剥離された断面図を示している。

【図５８】本発明の第三実施形態の応用例にかかる分散型無機ＥＬ表示装置に使用させるＴＦＴ基板の製造方法の、第四のレジストが剥離された後のＴＦＴ基板の要部の概略平面図を示している。

40

【図５９】本発明の第三実施形態の応用例にかかる分散型無機ＥＬ表示装置に使用させるＴＦＴ基板の製造方法の、第五のマスクを用いた処理を説明するための概略図であり、（ａ）は保護用絶縁膜成膜／第五のレジスト塗布／露光／現像された断面図を、（ｂ）は第八のエッチング／第五のレジスト剥離された断面図を示している。

【図６０】本発明の第三実施形態の応用例にかかる分散型無機ＥＬ表示装置に使用させるＴＦＴ基板の製造方法の、第五のレジストが剥離された後のＴＦＴ基板の要部の概略平面図を示している。

【発明を実施するための形態】

50

【0036】

[有機EL表示装置の第一実施形態]

図1は、本発明の第一実施形態にかかる有機EL表示装置の概略ブロック図を示している。

同図において、電気光学装置としての有機EL表示装置1は、データ線駆動回路11、走査線駆動回路12、電源線制御回路13及び電流制御用TFT基板100（適宜、TFT基板100と略称する。）を備えている。また、TFT基板100は、 m （列： m は自然数） $\times n$ （行： n は自然数）個の画素10がマトリクス状に配設されている。

【0037】

データ線駆動回路11は、第1のデータ線111、第2のデータ線112…第 m のデータ線113を介して、各画素10と接続されており、たとえば、第 m のデータ線113を介して、第 m 列に配設された n 個の画素10と並列に接続されている。このデータ線駆動回路11は、各画素10にデータ信号を出力する。

【0038】

また、走査線駆動回路12は、第1の走査線121、第2の走査線122…第 n の走査線123を介して、各画素10と接続されており、たとえば、第 n の走査線123を介して、第 n 行に配設された m 個の画素10と並列に接続されている。この走査線駆動回路12は、各画素10に走査信号を出力する。

【0039】

さらに、電源線制御回路13は、第1のEL駆動線131、第2のEL駆動線132…第 m のEL駆動線133を介して、各画素10と接続されており、たとえば、第 m のEL駆動線133を介して、第 m 列に配設された画素10と並列に接続されている。この電源線制御回路13は、各画素10に駆動電流を供給する。

【0040】

次に、画素10の構成について、図面を参照して説明する。

図2は、本発明の第一実施形態にかかる有機EL表示装置の画素の構成を説明するための概略ブロック図を示している。

同図において、画素10は、スイッチングトランジスタ2、駆動トランジスタ3及び有機EL素子4を有している。また、スイッチングトランジスタ2及び駆動トランジスタ3は、薄膜トランジスタとして、TFT基板100上に形成される。

スイッチングトランジスタ2は、ゲート線21を介して走査線120と接続され、ソース線22を介してデータ線110と接続され、ドレイン線23が、駆動トランジスタ3のゲート線31と接続されている。また、駆動トランジスタ3は、ソース線32を介してEL駆動線130と接続され、ドレイン線33を介して有機EL素子4と接続されている。

【0041】

上記構成のTFT基板100は、走査線120からスイッチングトランジスタ2のゲート信号（走査信号）が入力されると、スイッチングトランジスタ2がonの状態となる。続いて、データ線110からデータ信号（駆動トランジスタ3のゲート電圧）が駆動トランジスタ3のゲート電極34に印加され、駆動トランジスタ3がonの状態となる。このゲート電圧に応じて駆動トランジスタ3のソース・ドレイン間の抵抗値が決定され、EL駆動線130から有機EL素子4に、データ信号に応じた駆動電流が供給され、この駆動電流に応じた輝度で有機EL素子4が発光する。

なお、本実施形態のアクティブマトリクス構成は、基本的な構成としてあるが、この構成に限定されるものではなく、たとえば、駆動トランジスタ3のon状態に保持するためのキャパシタなどを設けた構成としてもよい。

【0042】

また、本発明の有機EL表示装置1は、駆動トランジスタ3の活性層を、酸化物半導体層としての n 型酸化物半導体層371としてある。このようにすると、駆動トランジスタ3に大きな電流や大電力を投入した場合であっても、駆動トランジスタ3の活性層にアモ

10

20

30

40

50

ルファスSiやポリSi半導体を用いたものと比べると、その性能劣化が小さく、安定性に優れるとともに、TFT基板100の耐久性を向上させることができる。したがって、有機EL表示装置1の寿命を大きく延ばすことができる。

次に、上記TFT基板100の製造方法及び構成について、図面を参照して説明する。まず、TFT基板100の製造方法について説明する。

【0043】

[電流制御用TFT基板の製造方法の第一実施形態]

図3は、本発明の第一実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法を説明するための概略フローチャート図を示している。なお、本実施形態の製造方法は、請求項9に対応している。

同図において、まず、基板上に、金属層210及び第一のレジスト211をこの順に積層し、第一のマスク212によって、走査線120、スイッチングトランジスタ2のゲート電極24及びゲート線21を形成する(ステップS1)。

次に、第一のマスク212を用いた処理について、図面を参照して説明する。

【0044】

(第一のマスクを用いた処理)

図4は、本発明の第一実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第一のマスクを用いた処理を説明するための概略図であり、(a)は金属層成膜/第一のレジスト塗布/露光/現像された断面図を、(b)は第一のエッチング/第一のレジスト剥離された断面図を、(c)は第一のレジストが剥離された後のTFT基板の要部の平面図を示している。

同図(a)において、まず、透光性のガラス基板101が用意される。

なお、TFT基板100の基材となる板状部材は、上記ガラス基板101に限定されるものではなく、たとえば、樹脂製の板状部材やシート状部材などでもよい。使用される樹脂として、ポリアクリル樹脂、ポリスチレン樹脂、ポリカーボネート樹脂、ポリアリレート樹脂などを挙げることができる。また、ポリカーボネート樹脂、ポリアリレート樹脂などの耐熱樹脂が好適である。また、透光性の基材に限定されるものではなく、たとえば、遮光性や半透明の基材でもよい。

【0045】

まず、ガラス基板101上に、Al(アルミニウム)とMo(モリブデン)をこれらの順に高周波スパッタリング法を用いて、それぞれ膜厚約250nm、50nmに積層し、走査線120、ゲート電極24及びゲート線21を形成するための、導電体層としての金属層210を形成する。また、Mo以外の金属としては、Ti(チタン)、Cr(クロム)などを使用することができる。

なお、ゲート線21として、Ag(銀)、Cu(銅)などの金属薄膜や合金薄膜を用いることもできるが、Al系がよい。また、Alは純粋Alでもよいが、Nd(ネオジウム)、Ce(セリウム)、Mo、W(タングステン)、Nb(ニオブ)などの金属が添加されていてもよい。Ce、W、Nbなどは、透明導電体層との電池反応を抑える上でも好適である。添加量は、適宜選択できるが、約0.1~2wt%が好ましい。

【0046】

次に、金属層210上に、第一のレジスト211が塗布され、第一のマスク212を用いて、ホトリソグラフィ法により、所定の形状に第一のレジスト211を形成する。

【0047】

次に、同図(b)に示すように、金属層210を、燐酸、酢酸、硝酸及び水からなるエッチング液(体積比は、それぞれ9:8:1:2)を用いて第一のエッチングし、走査線120、ゲート線21及びゲート電極24を形成する(ステップS1)。

続いて、第一のレジスト211をアッシングすると、同図(c)に示すように、ガラス基板101上に、走査線120、並びに、この走査線120と接続されたゲート線21及びゲート電極24が露出する。同図(b)に示す、走査線120は、同図(c)におけるA-A断面を示しており、ゲート電極24は、B-B断面を示している。

【0048】

次に、図3に示すように、ガラス基板101、走査線120、ゲート線21及びゲート電極24上に、グロー放電CVD（化学蒸着法）法により、窒化シリコン（SiNx）膜であるゲート絶縁膜20を膜厚約300nm堆積する（ステップS2）。このゲート絶縁膜20は、スイッチングトランジスタ2用のゲート絶縁膜20として形成される。なお、本実施形態では、放電ガスとして、SiH₄-NH₃-N₂系の混合ガスを用いる。

【0049】

次に、図3に示すように、α-Si:H(i)膜271、α-Si:H(n)膜272、導電体層としての金属層273及び第二のレジスト274を積層し、第二のハーフトーンマスク275によって、データ線110、スイッチングトランジスタ2のソース線22、ソース電極25、チャンネル部27、ドレイン電極26及びドレイン線23、並びに、駆動トランジスタ3のゲート線31及びゲート電極34を形成する（ステップS3）。 10

次に、第二のハーフトーンマスク275を用いた処理について、図面を参照して説明する。

【0050】

（第二のハーフトーンマスクを用いた処理）

図5は、本発明の第一実施形態にかかる有機EL表示装置に使用させるTFE基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、（a）はゲート絶縁膜成膜／α-Si:H(i)膜成膜／α-Si:H(n)膜成膜／金属層成膜／第二のレジスト塗布／ハーフトーン露光／現像された断面図を、（b）は第二のエッチング／第二のレジストの再形成された断面図を、（c）は第三のエッチング／第二のレジスト剥離された断面図を示している。 20

同図（a）において、ゲート絶縁膜20上に、まず、アモルファスSi（ケイ素）の絶縁層としてのα-Si:H(i)膜271を膜厚約350nm積層する。この際、放電ガスとして、SiH₄-N₂系の混合ガスを用いる。

次に、アモルファスSiのn型半導体層としてのα-Si:H(n)膜272を、SiH₄-H₂-PH₃系の混合ガスを用いて膜厚約300nm堆積する。続いて、MoとAlとMoを、これらの順に高周波スパッタリング法を用いて膜厚約50nm、250nm、50nm積層し、Mo層／Al層／Mo層からなる金属層273を形成する。なお、金属層273のMo層は、Al層を保護するバリヤー金属層として機能する。また、本実施形態では、スイッチングトランジスタ2の活性層として、アモルファスSiを使用しているが、これに限定されるものではなく、たとえば、多結晶Siを使用してもよい。 30

【0051】

次に、金属層273上に、第二のレジスト274が塗布され、第二のハーフトーンマスク275及びハーフトーン露光によって、第二のレジスト274を所定の形状に形成する。すなわち、第二のレジスト274は、データ線110、スイッチングトランジスタ2のソース線22、ソース電極25、ゲート電極24、ドレイン電極26、ドレイン線23、駆動トランジスタ3のゲート線31、ゲート電極34を覆い、かつ、ハーフトーンマスク部276によって、チャンネル部27を覆う部分が他の部分より薄い形状に形成される。

【0052】

次に、同図（b）に示すように、第二のエッチングとして、まず、第二のレジスト274、並びに、燐酸、酢酸、硝酸及び水からなるエッチング液（体積比は、それぞれ9：8：1：2）を用いて、金属層273をエッチングする。続いて、α-Si:H(n)膜272及びα-Si:H(i)膜271に対して、CHF₃ガスを用いたドライエッチングとヒドラジン水溶液（NH₂NH₂・H₂O）を用いたウェットエッチングを併用してエッチングし、データ線110、ソース線22、ドレイン線23、ゲート線31及びゲート電極34を形成する。 40

【0053】

続いて、上記第二のレジスト274をアッシングし、チャンネル部27の上方の金属層273が露出し、かつ、データ線110、スイッチングトランジスタ2のソース線22、 50

ソース電極 25、ドレイン電極 26、ドレイン線 23、駆動トランジスタ 3 のゲート線 31、ゲート電極 34 が覆われる形状に、第二のレジスト 274 を再形成する。

【0054】

次に、同図 (c) に示すように、第三のエッチングとして、再形成された第二のレジスト 274、並びに、燐酸、酢酸、硝酸及び水からなるエッチング液（体積比は、それぞれ 9：8：1：2）を用いて、金属層 273 をエッチングし、ソース電極 25 及びドレイン電極 26 を形成する。さらに、 α -Si:H (n) 膜 272 に対して、CHF ガスを用いたドライエッチングとヒドラジン水溶液 ($\text{NH}_2\text{NH}_2 \cdot \text{H}_2\text{O}$) を用いたウェットエッチングを併用してエッチングし、 α -Si:H (i) 膜 271 からなるチャンネル部 27 を形成するとともに、スイッチングトランジスタ 2 のソース電極 25 及びドレイン電極 26 を形成する（ステップ S3）。

10

【0055】

続いて、再形成された第二のレジスト 274 をアッシングすると、同図 (c) に示すように、ゲート絶縁膜 20 上に、データ線 110、スイッチングトランジスタ 2 のソース線 22、ソース電極 25、チャンネル部 27、ドレイン電極 26、ドレイン線 23、駆動トランジスタ 3 のゲート線 31、ゲート電極 34 が露出する。図 5 (c) に示す、データ線 110、スイッチングトランジスタ 2 のソース線 22、ソース電極 25、ゲート電極 24、チャンネル部 27、ドレイン電極 26、ドレイン線 23、駆動トランジスタ 3 のゲート線 31、ゲート電極 34 は、図 6 における C-C 断面を示している。

【0056】

20

次に、図 3 に示すように、ガラス基板 101 の上方に、グロー放電 CVD（化学蒸着法）法により、窒化シリコン (SiN_x) 膜であるゲート絶縁膜 30 を膜厚約 300 nm 堆積する。このゲート絶縁膜 30 は、駆動トランジスタ 3 用のゲート絶縁膜 30 として形成される。なお、本実施形態では、放電ガスとして、 SiH_4 - NH_3 - N_2 系の混合ガスを用いる。

【0057】

次に、図 3 に示すように、ゲート絶縁膜 30 上に、酸化物半導体層としての n 型酸化物半導体層 371 及び第三のレジスト 372 を積層し、第三のマスク 373 によって、駆動トランジスタ 3 の活性層を形成する（ステップ S5）。

次に、第三のマスク 373 を用いた処理について、図面を参照して説明する。

30

【0058】

（第三のマスクを用いた処理）

図 7 は、本発明の第一実施形態にかかる有機 EL 表示装置に使用させる TFT 基板の製造方法の、第三のマスクを用いた処理を説明するための概略図であり、(a) はゲート絶縁膜成膜／n 型酸化物半導体層成膜／第三のレジスト塗布／露光／現像された断面図を、(b) は第四のエッチング／第三のレジスト剥離された断面図を示している。

同図において、ゲート絶縁膜 30 上に、酸化インジウム－酸化亜鉛 (In_2O_3 : ZnO = 約 97 : 3 wt %) のターゲットを用い、所定の酸素：アルゴン比（約 10 : 90 Vol. %）状態に維持しつつ基板温度約 100℃未満の条件にて、膜厚約 150 nm の n 型酸化物半導体層 371 を成膜する。この条件では、n 型酸化物半導体層 371 は、非晶質膜として得られる。通常、200℃以下の低温で成膜した場合は、非晶質膜として得られ、200℃を超える高温で成膜した場合、結晶質膜として得られる。また、非晶質膜は、熱処理により結晶化させることもでき、本実施形態では、結晶化させて用いる。

40

【0059】

なお、n 型酸化物半導体層 371 は、上記酸化インジウム－酸化亜鉛からなる酸化物半導体層に限定されるものではなく、たとえば、酸化インジウム－酸化ガリウム－酸化亜鉛系や、酸化インジウム－酸化サマリウム、酸化亜鉛－酸化マグネシウムなどからなる酸化物半導体層としてもよい。

また、本実施形態における酸化インジウム－酸化亜鉛薄膜のキャリアー密度は、 10^{16} cm^{-3} 以下であり、十分に半導体として作動する領域であった。また、ホール移動

50

度は、 $25 \text{ cm}^2 / \text{V} \cdot \text{sec}$ であった。キャリア密度は 10^{17} cm^{-3} 未満であれば、十分に作動領域になり、かつ、移動度は、非晶質シリコンのそれに比べて10倍以上大きく、十分に有用な半導体薄膜である。通常、酸化物半導体は、ホール移動度が $10 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 以上であることが望ましく、さらに好適には、 $50 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 以上であることが望ましい。このように、アモルファスSiより高移動度の酸化物半導体を用いることにより、大電流の投入による発熱や応答速度の遅延がなくなり、安定した駆動が可能となる。

【0060】

また、n型酸化物半導体層371は、透明性が必要なことから、エネルギーギャップは、約3.0 eV以上の酸化物を用いるとよい。好ましくは約3.2 eV以上、より好ましくは約3.4 eV以上である。上記の酸化インジウム－酸化亜鉛系、酸化インジウム－酸化ガリウム－酸化亜鉛系や、酸化インジウム－酸化サマリウム、酸化亜鉛－酸化マグネシウムなどからなるn型酸化物半導体層のエネルギーギャップは、3.2 eV以上であり、好適に使用される。

10

また、n型酸化物半導体層371は、非晶質の場合、稀酸水溶液やリン酸、酢酸及び硝酸からなる混酸に溶解可能であるが、加熱結晶化させることにより、稀酸水溶液やリン酸、酢酸及び硝酸からなる混酸に不溶となり、耐性を示すようになる。また、結晶化の温度は、添加する酸化亜鉛の量により制御できる。

【0061】

続いて、n型酸化物半導体層371上に、第三のレジスト372を塗布し、第三のマスク373及び露光技術を用いて、ゲート電極34の上方に、第三のレジスト372を形成する。

20

【0062】

次に、同図(b)に示すように、第四のエッチングとして、まず、第三のレジスト372及び稀酸水溶液を用いて、n型酸化物半導体層371をエッチングし、n型酸化物半導体層371からなる駆動トランジスタ3の活性層を形成する。続いて、第三のレジスト372をアッシングし、n型酸化物半導体層371を露出させる。図7(b)に示すゲート電極34及びn型酸化物半導体層371は、図8におけるD-D断面を示している。

なお、本実施形態では、理解しやすいように、ドレイン線23とゲート線31及びゲート電極34を接続し、ゲート電極34の上方にn型酸化物半導体層371を形成してあるが、これに限定されるものではなく、たとえば、n型酸化物半導体層371をスイッチングトランジスタ2のドレイン電極26の上方に形成してもよい。また、n型酸化物半導体層371を形成したところで、約180℃以上の温度にて、TFT基板100を熱処理し、n型酸化物半導体371の活性層を結晶化する。熱処理温度は、約150℃以上あれば、問題ないが、好ましくは約200℃以上が好適である。また、上記熱処理温度は、ガラス基板100や樹脂基板が変形しない温度とする必要がある。

30

【0063】

次に、図3に示すように、酸化物導電体層としての酸化物透明導電体層374、補助導電体層(補助金属層)としての金属層375及び第四のレジスト376を積層し、第四のハーフトーンマスク377によって、EL駆動線130、駆動トランジスタ3のソース線32、ソース電極35、チャンネル部37、ドレイン電極36及びドレイン線33、並びに、画素電極38を形成する(ステップS6)。

40

次に、第四のハーフトーンマスク377を用いた処理について、図面を参照して説明する。

【0064】

(第四のハーフトーンマスクを用いた処理)

図9は、本発明の第一実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)は酸化物透明導電体層成膜/金属層成膜/第四のレジスト塗布/ハーフトーン露光/現像された断面図を、(b)は第五のエッチング/第四のレジストの再形成された断面図を

50

示している。

同図 (a) において、露出したゲート絶縁膜 30 及び n 型酸化物半導体層 371 上に、まず、酸化インジウム－酸化スズ－酸化亜鉛 ($\text{In}_2\text{O}_3 : \text{SnO}_2 : \text{ZnO} = \text{約 } 60 : 20 : 20 \text{ wt } \%$) ターゲットを用いて、高周波スパッタリング法により、酸素約 1%、アルゴン約 99%、さらに、酸化物透明導電体層 374 を結晶化させない条件で厚み約 120 nm の酸化物透明導電体層 374 を形成する。

【0065】

ここで、上記酸化インジウム－酸化スズ－酸化亜鉛からなる酸化物透明導電体層 374 は、非晶質でありながら、稀酸水溶液には溶解するが、リン酸、酢酸及び硝酸からなる混酸には溶解しないので、有用である。このとき、酸化スズの含有量は、約 10～40 重量% であり、酸化亜鉛は約 10～40 重量%、残りが酸化インジウムとするとよい。酸化スズ及び酸化亜鉛がそれぞれ約 10 重量% 未満では、リン酸、酢酸及び硝酸からなる混酸への耐性がなくなり、溶解するようになる。また、酸化スズが約 40 重量% を超えると、稀酸水溶液に溶解しなくなったり、比抵抗が大きくなったりする。また、酸化亜鉛が約 40 重量% を超えると、リン酸、酢酸及び硝酸からなる混酸への耐性が無くなったりする場合がある。酸化スズと酸化亜鉛の比は適宜選択すればよい。

【0066】

また、酸化物透明導電体層 374 は、本実施形態で用いた酸化インジウム－酸化スズ－酸化亜鉛系の透明導電膜に限定されるものではなく、稀酸水溶液でエッチングが可能であり、かつ、リン酸、酢酸及び硝酸からなる混酸に溶解しない透明導電膜であれば用いることができる。

また、非晶質状態では、稀酸水溶液や、リン酸、酢酸及び硝酸からなる混酸に溶解する場合でも、加熱などにより結晶化などの膜質変化をもたらし、リン酸、酢酸及び硝酸からなる混酸に不溶となれば使用可能となる。このような透明導電膜としては、酸化インジウムに、酸化スズ、酸化ゲルマニウム、酸化ジルコニウム、酸化タングステン、酸化モリブデン、酸化セリウムなどのランタノイド系元素を含むものが挙げられる。これらのなかでも、酸化インジウムと酸化スズ、酸化インジウムと酸化タングステン、酸化インジウムと酸化セリウムなどの酸化ランタノイド系元素の組合せは好適に用いられる。添加する金属の量としては、酸化インジウムに対して約 1～20 wt%、好ましくは約 3～15 wt% である。約 1 wt% 未満では、成膜時に結晶化し、稀酸水溶液に溶解しなくなったり、比抵抗が大きくなり、透明導電膜として好適に使用できないものになったりする場合がある。約 20 wt% を超えると、加熱などにより結晶化などの膜質変化を起こさせる場合に、膜質変化が起きず、リン酸、酢酸及び硝酸からなる混酸に溶解し、画素電極 38 の形成が難しくなるなどの問題が発生することがある。

【0067】

続いて、Mo と Al と Mo を、これらの順に高周波スパッタリング法を用いて膜厚約 50 nm、250 nm、50 nm 積層し、Mo 層 / Al 層 / Mo 層からなる補助導電体層としての金属層 375 を形成する。

次に、金属層 375 上に、第四のレジスト 376 が塗布され、第四のハーフトーンマスク 377 及びハーフトーン露光によって、第四のレジスト 376 を所定の形状に形成する。すなわち、第四のレジスト 376 は、EL 駆動線 130、駆動トランジスタ 3 のソース線 32、ソース電極 35、ドレイン電極 36、ドレイン線 33、画素電極 38 を覆い、かつ、ハーフトーンマスク部 378 によって、画素電極 38 を覆う部分が他の部分より薄い形状に形成される。

【0068】

次に、同図 (b) に示すように、第五のエッチングとして、まず、第四のレジスト 376、並びに、リン酸、酢酸、硝酸及び水からなるエッチング液 (体積比は、それぞれ 9 : 8 : 1 : 2) を用いて、金属層 375 をエッチングする。続いて、第四のレジスト 376 及び稀酸水溶液を用いて、酸化物透明導電体層 374 をエッチングし、EL 駆動線 130、駆動トランジスタ 3 のソース線 32、ソース電極 35、チャンネル部 37、ドレイン電極

36、ソース線32、画素電極38を形成する（ステップS6）。

【0069】

続いて、上記第四のレジスト376をアッシングし、画素電極38の上方の金属層375が露出し、かつ、EL駆動線130、駆動トランジスタ3のソース線32、ソース電極35、ドレイン電極36、ドレイン線33が覆われる形状に、第四のレジスト376を再形成する。

なお、本実施形態では、補助導電体層としての金属層375を積層しているので、第四のハーフトーンマスク377を使用しているが、金属層375を積層しない場合には、第四のマスクを使用することができる。

【0070】

図10は、本発明の第一実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、第六のエッチング／第四のレジスト剥離された断面図を示している。

同図において、第六のエッチングとして、再形成された第四のレジスト376、並びに、燐酸、酢酸、硝酸及び水からなるエッチング液（体積比は、それぞれ9：8：1：2）を用いて、金属層375をエッチングし、画素電極38を露出させる。なお、有機EL表示装置1がトップエミッション構造などの場合には、画素電極38上の金属層375を除去する必要はなく、第四のハーフトーンマスク377の代わりに、第四のマスクを用いることができる。

【0071】

続いて、再形成された第四のレジスト376をアッシングすると、同図に示すように、ゲート絶縁膜30上に、EL駆動線130、駆動トランジスタ3のソース線32、ソース電極35、チャンネル部37、ドレイン電極36、ドレイン線33、画素電極38が露出する。図10に示す、EL駆動線130、駆動トランジスタ3のソース線32、ソース電極35、ゲート電極34、チャンネル部37、ドレイン電極36、ドレイン線33、画素電極38は、図11におけるE-E断面を示している。

【0072】

次に、図3に示すように、保護用絶縁膜40及び第五のレジスト41を積層し、第五のマスクによって、走査線用パッド124、データ線用パッド114、EL駆動線用パッド134及び画素電極38を露出させる（ステップS7）。

次に、第五のマスク42を用いた処理について、図面を参照して説明する。

【0073】

（第五のマスクを用いた処理）

図12は、本発明の第一実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第五のマスクを用いた処理を説明するための概略図であり、（a）は保護用絶縁膜成膜／第五のレジスト塗布／露光／現像された断面図を、（b）は第七のエッチング／第五のレジスト剥離された断面図を示している。

同図（a）において、ガラス基板101の上方に、グロー放電CVD（化学蒸着法）法により、窒化シリコン（SiNx）膜である保護用絶縁膜40を膜厚約250nm堆積する。なお、本実施形態では、放電ガスとして、SiH₄-NH₃-N₂系の混合ガスを用いる。

【0074】

次に、保護用絶縁膜40上に、第五のレジスト41を塗布し、第五のマスク42及び露光技術を用いて、画素電極38、データ線用パッド114、走査線用パッド124及びEL駆動線用パッド134の上方に、開口部を有する第五のマスク42を形成する。

続いて、第七のエッチングとして、CHF（CF₄、CHF₃など）ガスを用いたドライエッチングにより、保護用絶縁膜40、ゲート絶縁膜30、ゲート絶縁膜20をエッチングし、画素電極38、データ線用パッド114、走査線用パッド124及びEL駆動線用パッド134を露出させる（ステップS7）。

【0075】

続いて、第五のレジスト41をアッシングすると、同図に示すように、保護用絶縁膜40が露出する。図12(b)に示す、画素電極38、駆動トランジスタ3のソース線32、ソース電極35、ゲート電極34、チャンネル部37、ドレイン電極36、ドレイン線33は、図13におけるF-F断面を示している。

なお、本実施形態では、スイッチングトランジスタ2、駆動トランジスタ3及び画素電極38の位置や形状を、理解しやすい位置や形状としてあるが、これに限定されるものではない。

【0076】

このように、本実施形態の電流制御用TFT基板の製造方法によれば、駆動トランジスタ3の活性層をn型酸化物半導体層371としてあるので、駆動トランジスタ3に大きな電流や大電力を投入した場合であっても、駆動トランジスタ3の性能劣化が小さく、安定性に優れるとともに、TFT基板100の耐久性を向上させることができる。また、第四のハーフトーンマスク377を用いて、EL駆動線130、駆動トランジスタ3のソース線32、ソース電極35、チャンネル部37、ドレイン電極36、ドレイン線33、画素電極38を製造することができ、使用するマスク数を削減できるので、製造工程が削減されることにより、生産効率が向上し製造原価のコストダウンを図ることができる。さらに、保護用絶縁膜40が形成されているので、TFT基板100に、有機EL材料、電極及び保護膜を設けることにより、有機EL表示装置1を容易に得ることができる。

次に、上記TFT基板100の構成について、図面を参照して説明する。

【0077】

[電流制御用TFT基板の第一実施形態]

本実施形態のTFT基板100は、図1に示すように、ガラス基板101に、m(列：mは自然数)×n(行：nは自然数)個の画素10がマトリクス状に配設されている。

また、行方向(水平方向)に、n本の走査線121、122…123が形成され、たとえば、第nの走査線123は、第n行に配設されたm個の画素10と並列に接続されている。

また、列方向(垂直方向)に、m本のデータ線111、112…113が形成され、たとえば、第mのデータ線113を介して、第m列に配設されたn個の画素10と並列に接続されている。

さらに、列方向(垂直方向)に、m本のEL駆動線131、132…133が形成され、たとえば、第mのEL駆動線133を介して、第m列に配設された画素10と並列に接続されている。

【0078】

また、各画素10は、図13に示すように、電気光学素子である有機EL素子4(図2参照)に電流を供給する駆動トランジスタ3と、この駆動トランジスタ3を制御するスイッチングトランジスタ2を有している。

【0079】

スイッチングトランジスタ2は、図5及び図6に示すように、ゲート線21を介して走査線120と接続されたゲート電極24と、ゲート電極24上に形成されたゲート絶縁膜20と、このゲート絶縁膜20上に形成された活性層としての α -Si:H(i)膜271および α -Si:H(n)膜272と、ソース線22を介してデータ線110と接続されたソース電極25と、ドレイン線23およびゲート線31を介して駆動トランジスタ3のゲート電極34と接続されたドレイン電極26を備えている。

【0080】

駆動トランジスタ3は、図10及び図11に示すように、ゲート電極34と、ゲート電極34上に形成されたゲート絶縁膜30と、このゲート絶縁膜30上に形成された活性層としてのn型酸化物半導体層371と、ソース線32を介してEL駆動線130と接続されたソース電極35と、ドレイン線33を介して画素電極38と接続されたドレイン電極36を備えている。

【0081】

また、駆動トランジスタ3は、ソース線32、ソース電極35、ドレイン電極36、ドレイン線33が、酸化物透明導電体層374からなり、この酸化物透明導電体層374が、有機EL素子4の画素電極38を兼ねている。このようにすると、製造する際に使用するマスク数を削減でき、製造工程が削減されることにより、生産効率が向上し製造原価のコストダウンを図ることができる。

なお、「酸化物透明導電体層374が、画素電極38を兼ねる」とは、形成された酸化物透明導電体層374が、画素電極38としての機能を有することをいう。

【0082】

また、好ましくは、EL駆動線130、ソース線32、ソース電極35、ドレイン電極36、ドレイン線33の上方に、補助導電体層としての金属層375を形成するとよい。このようにすると、各線や電極の電気抵抗を低減することができ、信頼性を向上させることができるのと同時に、エネルギー効率の低下を抑制することができる。

【0083】

このように、本実施形態のTFT基板100は、駆動トランジスタ3の活性層をn型酸化物半導体層371としてあるので、駆動トランジスタ3に大きな電流や大電力を投入した場合であっても、駆動トランジスタ3の性能劣化が小さく、安定性に優れるとともに、TFT基板100の耐久性を向上させることができる。

また、上述した有機EL表示装置の第一実施形態、電流制御用TFT基板の製造方法の第一実施形態、及び、電流制御用TFT基板の第一実施形態は、様々な応用例を有している。たとえば、上記各実施形態では、スイッチングトランジスタ2の活性層として、 α -Si:H(i)膜271を用いているが、 α -Si:H(i)膜271の代わりに、酸化物半導体層を用いてもよい。

次に、 α -Si:H(i)膜271の代わりに、酸化物半導体層を用いた電流制御用TFT基板の製造方法の応用例について、図面を参照して説明する。

【0084】

[電流制御用TFT基板の製造方法の応用例]

図14は、本発明の第一実施形態の応用例にかかる有機EL表示装置に使用させるTFT基板の製造方法を説明するための概略フローチャート図を示している。なお、本応用例の製造方法は、請求項9に対応している。

同図において、本応用例のTFT基板の製造方法は、上述した第一実施形態と比べて、ステップS4(図3参照)の代わりに、n型酸化物半導体層271'、酸化物透明導電体層272'、金属層273及び第二のレジスト274を積層し、第二のハーフトーンマスク275によって、データ線110'、スイッチングトランジスタ2'のソース線22'、ソース電極25'、チャンネル部27'、ドレイン電極26'及びドレイン線23'、並びに、駆動トランジスタ3のゲート線31'及びゲート電極34'を形成する(ステップS3')点が相違する。他の方法は第一実施形態とほぼ同様としてある。

したがって、図14において、図3と同様の方法については同一の符号を付して、その詳細な説明を省略する。

次に、第二のハーフトーンマスク275を用いた処理について、図面を参照して説明する。

【0085】

(第二のハーフトーンマスクを用いた処理)

図15は、本発明の第一実施形態の応用例にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)はゲート絶縁膜成膜/n型酸化物半導体層成膜/酸化物透明導電体層成膜/金属層成膜/第二のレジスト塗布/ハーフトーン露光/現像された断面図を、(b)は第二のエッチング/第二のレジストの再形成された断面図を、(c)は第三のエッチング/第二のレジスト剥離された断面図を示している。

同図(a)において、ゲート絶縁膜20上に、酸化インジウム-酸化亜鉛(In_2O_3 : ZnO =約97:3wt%)のターゲットを用い、所定の酸素:アルゴン比(約10:

10

20

30

40

50

90 Vol. %) 状態に維持しつつ基板温度約100℃未満の条件にて、膜厚約150 nmのn型酸化物半導体層271'を成膜する。この条件では、n型酸化物半導体層271'は、非晶質膜として得られる。

【0086】

次に、n型酸化物半導体層271'上に、まず、酸化インジウム－酸化スズ－酸化亜鉛 ($\text{In}_2\text{O}_3 : \text{SnO}_2 : \text{ZnO} = \text{約} 60 : 20 : 20 \text{ wt} \%$) ターゲットを用いて、高周波スパッタリング法により、酸素約1%、アルゴン約99%、さらに、酸化物透明導電体層272'を結晶化させない条件で厚み約120 nmの酸化物透明導電体層272'を形成する。続いて、MoとAlとMoを、これらの順に高周波スパッタリング法を用いて膜厚約50 nm、250 nm、50 nm積層し、Mo層/Al層/Mo層からなる、補助導電体層としての金属層273を形成する。なお、金属層273のMo層は、Al層を保護するバリヤー金属層として機能する。

10

【0087】

次に、金属層273上に、第二のレジスト274が塗布され、第二のハーフトーンマスク275及びハーフトーン露光によって、第二のレジスト274を所定の形状に形成する。すなわち、第二のレジスト274は、データ線110'、スイッチングトランジスタ2のソース線22'、ソース電極25'、ゲート電極24、ドレイン電極26'、ドレイン線23'、駆動トランジスタ3のゲート線31'、ゲート電極34'を覆い、かつ、ハーフトーンマスク部276によって、チャンネル部27'を覆う部分が他の部分より薄い形状に形成される。

20

【0088】

次に、同図(b)に示すように、第二のエッチングとして、まず、第二のレジスト274、並びに、燐酸、酢酸、硝酸及び水からなるエッチング液(体積比は、それぞれ9:8:1:2)を用いて、金属層273をエッチングする。続いて、酸化物透明導電体層272'及びn型酸化物半導体層271'に対して、稀酸水溶液を用いてエッチングし、データ線110'、ソース線22'、ドレイン線23'、ゲート線31'及びゲート電極34'を形成する。

ここで、n型酸化物半導体層271'を熱処理により結晶化させる。これにより、燐酸、酢酸、硝酸及び水からなるエッチング液(体積比は、それぞれ9:8:1:2)や稀酸水溶液に対して、n型酸化物半導体層271'が耐性を有する。

30

【0089】

続いて、上記第二のレジスト274をアッシングし、チャンネル部27'の上方の金属層273が露出し、かつ、データ線110'、スイッチングトランジスタ2'のソース線22'、ソース電極25'、ドレイン電極26'、ドレイン線23'、駆動トランジスタ3のゲート線31'、ゲート電極34'が覆われる形状に、第二のレジスト274を再形成する。

【0090】

次に、同図(c)に示すように、第三のエッチングとして、再形成された第二のレジスト274、並びに、燐酸、酢酸、硝酸及び水からなるエッチング液(体積比は、それぞれ9:8:1:2)を用いて、金属層273及び酸化物透明導電体層272'をエッチングし、チャンネル部27'、ソース電極25'及びドレイン電極26'を形成する(ステップS3')。

40

【0091】

続いて、再形成された第二のレジスト274をアッシングすると、同図(c)に示すように、ゲート絶縁膜20上に、データ線110'、スイッチングトランジスタ2'のソース線22'、ソース電極25'、チャンネル部27'、ドレイン電極26'、ドレイン線23'、駆動トランジスタ3のゲート線31'、ゲート電極34'が露出する。図15(c)に示す、データ線110'、スイッチングトランジスタ2'のソース線22'、ソース電極25'、ゲート電極24、チャンネル部27'、ドレイン電極26'、ドレイン線23'、駆動トランジスタ3のゲート線31'、ゲート電極34'は、図16におけるC

50

‘－C’断面を示している。

なお、その他の方法は、上記第一実施形態とほぼ同様としてある。

【0092】

このように、本応用例の電流制御用TFT基板の製造方法によれば、上記第一実施形態の製造方法とほぼ同様の効果を有するとともに、駆動トランジスタ3を製造する際に使用するn型酸化物半導体層371や酸化物透明導電体層374の材料を共用化することができるので、製造原価のコストダウンを図ることができる。

【0093】

[有機EL表示装置の第二実施形態]

図17は、本発明の第二実施形態にかかる有機EL表示装置の概略ブロック図を示している。

10

同図において、電気光学装置としての有機EL表示装置1aは、データ線駆動回路11、走査線駆動回路12、電源線制御回路13a、電流測定回路15及び電流制御用TFT基板100a（適宜、TFT基板100aと略称する。）を備えている。また、TFT基板100aは、m（列：mは自然数）×n（行：nは自然数）個の画素10aがマトリクス状に配設されている。

【0094】

データ線駆動回路11は、第1のデータ線111、第2のデータ線112…第mのデータ線113を介して、各画素10aと接続されており、たとえば、第mのデータ線113を介して、第m列に配設されたn個の画素10aと並列に接続されている。このデータ線駆動回路11は、各画素10aにデータ信号を出力する。

20

【0095】

また、走査線駆動回路12は、第1の走査線121、第2の走査線122…第nの走査線123を介して、各画素10aと接続されており、たとえば、第nの走査線123を介して、第n行に配設されたm個の画素10aと並列に接続されている。この走査線駆動回路12は、各画素10aに走査信号を出力する。

【0096】

さらに、電源線制御回路13aは、第1のEL駆動線131a、第2のEL駆動線132a…第nのEL駆動線133aを介して、各画素10aと接続されており、たとえば、第nのEL駆動線133aを介して、第n行に配設されたm個の画素10aと並列に接続されている。この電源線制御回路13aは、各画素10aに直流の駆動電流を供給する。

30

【0097】

さらに、電流測定回路15は、第1の測定線151、第2の測定線152…第mの測定線153を介して、各画素10aと接続されており、たとえば、第mの測定線153を介して、第m列に配設されたn個の画素10aと並列に接続されている。この電流測定回路15は、各画素10aの有機EL素子4に供給される電流を測定する。

【0098】

また、好ましくは、電流測定回路15が、有機EL素子4に供給される直流電流を測定し、この電流の測定値にもとづいて、制御部（図示せず）がデータ線駆動回路11、走査線駆動回路12及び電源線制御回路13aの少なくとも一つ以上を制御するとよい。このようにすると、有機EL素子4に供給される直流電流を測定でき、この測定値にもとづいて、データ線駆動回路11、走査線駆動回路12及び電源線制御回路13aの少なくとも一つ以上が制御されるので、好適な駆動電流を有機EL素子4に供給することができる。

40

なお、上記制御部は、通常、電流測定回路15の内部に設けられるが、これに限定されるものではない。また、一般的に、上記測定値にもとづいて、データ線駆動回路11が制御される。

【0099】

次に、画素10aの構成について、図面を参照して説明する。

図18は、本発明の第二実施形態にかかる有機EL表示装置の画素の構成を説明するための概略ブロック図を示している。

50

同図において、画素10aは、有機EL素子4に直流電流を供給する駆動トランジスタ3、この駆動トランジスタ3を制御するスイッチングトランジスタ2、駆動トランジスタ3のゲート電極34にキャパシタ電圧を印加するためのキャパシタ6、有機EL素子4に供給される直流電流を測定するための測定用トランジスタ5、及び、直流電流により駆動される電気光学素子としての有機EL素子4を有している。また、スイッチングトランジスタ2、駆動トランジスタ3及び測定用トランジスタ5は、薄膜トランジスタとして、TFT基板100a上に形成され、さらに、キャパシタ6及び有機EL素子4の画素電極38もTFT基板100a上に形成される

【0100】

スイッチングトランジスタ2は、ゲート線21を介して走査線120と接続され、ソース線22を介してデータ線110と接続され、ドレイン線23が、駆動トランジスタ3のゲート線31及びキャパシタ6の第一電極61と並列に接続されている。

また、駆動トランジスタ3は、ソース線32を介してEL駆動線130と接続され、ドレイン線33を介して、有機EL素子4、キャパシタ6の第二電極62及び測定用トランジスタ5のソース線52と並列に接続されている。

さらに、測定用トランジスタ5は、ゲート線51が走査線120と接続され、ドレイン線53が測定線150と接続されている。

【0101】

次に、TFT基板100aの動作について、図18を用いて説明する。

上記構成のTFT基板100aは、走査線120に走査信号が入力されると、スイッチングトランジスタ2のゲート電極34にゲート信号（走査信号）が入力され、スイッチングトランジスタ2がonの状態となるとともに、走査線120から測定用トランジスタ5のゲート電極54にゲート信号（走査信号）が入力され、測定用トランジスタ5がonの状態となる。

【0102】

続いて、データ線110からデータ信号（駆動トランジスタ3のゲート電圧）が駆動トランジスタ3のゲート電極34に印加され、駆動トランジスタ3がonの状態となるとともに、キャパシタ6に、データ線110からのデータ信号に応じた電荷が蓄えられる。この際、駆動トランジスタ3のゲート電極34に印加されたゲート電圧に応じて、駆動トランジスタ3のソース・ドレイン間の抵抗値が決定され、EL駆動線130から、ソース・ドレイン間の抵抗値に応じた駆動電流がドレイン線33に供給される。ここで、測定用トランジスタ5は、on状態にあるので、上記駆動電流（測定電流 $I(m \times (n-1))$ ）は、有機EL素子4にほとんど流れることなく、測定用トランジスタ5のソース線52及びドレイン線53を経由して、測定線150に流れる。

【0103】

次に、電流測定回路15は、上記測定電流 $I(m \times (n-1))$ を測定し、制御部が、測定電流 $I(m \times (n-1))$ の測定値にもとづいて、データ線駆動回路11を制御する。すなわち、制御部は、測定値が所定の予定値より小さい場合、データ線110へのデータ信号の電圧を上げ、これにより、駆動トランジスタ3のソース・ドレイン間の抵抗値が低くなり、駆動電流が増加する。これに対し、測定値が所定の予定値より大きい場合、データ線110へのデータ信号の電圧を下げ、これにより、駆動トランジスタ3のソース・ドレイン間の抵抗値が高くなり、駆動電流が減少する。制御部が上記制御を繰り返すことにより、測定値が所定の予定値とほぼ同じ値となる。

【0104】

次に、測定値が所定の予定値とほぼ同じ値となると、走査線駆動回路12が、走査線120への走査信号の出力を停止する。この停止により、スイッチングトランジスタ2及び測定用トランジスタ5がoffの状態となる。スイッチングトランジスタ2がoffの状態になると、データ線110から駆動トランジスタ3にゲート電圧を印加させることができなくなるが、キャパシタ6に蓄えられた電荷によって、データ線110から印加されていたゲート電圧と同じ電圧が、駆動トランジスタ3のゲート電極34に印加される。すな

10

20

30

40

50

わち、スイッチングトランジスタ2がon状態の間、データ線110からキャパシタ6の第一電極61に直流電圧が印加され、さらに、EL駆動線130からキャパシタ6の第二電極62に直流電圧が印加されたことによって、キャパシタ6に電荷が蓄えられており、キャパシタ6によってゲート電極34にゲート電圧が印加される。

【0105】

そして、駆動トランジスタ3が、キャパシタ6によりon状態に維持され、測定用トランジスタ5がoff状態となっているので、EL駆動線130からの直流電流が、駆動トランジスタ3を経由して、有機EL素子4に供給される。このため、TFT基板100aは、直流電流制御用TFT基板と呼称される。

この直流電流は、上記測定電流 $I(m \times (n-1))$ と同じであり、制御部によって制御された所定の予定値とほぼ同じ駆動電流が、有機EL素子4に供給され、この駆動電流に応じた輝度で有機EL素子4が発光する。

なお、上記駆動電流を変更する場合は、走査線120に走査信号を出力し、変更したい駆動電流に応じたデータ信号をデータ線110に出力する。

【0106】

次に、有機EL表示装置1aは、列方向に並設された画素10a'に対して、画素10aとほぼ同様な動作を行うことができ、これにより、全ての画素10aに対して、駆動トランジスタ3の特性が変化(劣化)した場合であっても、所定の予定値とほぼ同じ駆動電流を供給することができる。したがって、有機EL表示装置1aは、優れた品質の画像を提供することができる。

なお、本実施形態の有機EL表示装置1aは、制御部が、各画素10aの所定の予定値を記憶する記憶手段と、測定値と所定の予定値との差を算出する演算処理部を備え、測定値が所定の予定値とほぼ同じ値となるように制御しているが、制御方法はこの方法に限定されるものではなく、様々な制御方法を採用することができる。

【0107】

このように、本実施形態の有機EL表示装置1aは、直流電流によって駆動される有機EL素子4に対して、電流測定回路15によって測定された、所定の予定値とほぼ同じ値の駆動電流を供給することができるので、優れた品質の画像を提供することができる。なお、本実施形態では、電気光学素子として、有機EL素子4を用いているが、これに限定されるものではなく、たとえば、直流電流駆動型の電気光学素子に広く適用することができる。

また、本実施形態の有機EL表示装置1aは、駆動トランジスタ3の活性層を、酸化物半導体層としてのn型酸化物半導体層371としてある。このようにすると、駆動トランジスタ3に大きな電流や大電力を投入した場合であっても、駆動トランジスタ3の活性層にアモルファスSiやポリSi半導体を用いたものと比べると、その性能劣化が小さく、安定性に優れるとともに、TFT基板100aの耐久性を向上させることができる。したがって、有機EL表示装置1aの寿命を大きく延ばすことができる。

次に、上記TFT基板100aの製造方法及び構成について、図面を参照して説明する。まず、TFT基板100aの製造方法について説明する。

【0108】

[電流制御用TFT基板の製造方法の第二実施形態]

図19は、本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法を説明するための概略フローチャート図を示している。なお、本実施形態の製造方法は、請求項10に対応している。

同図において、まず、基板上に、金属層210及び第一のレジスト211をこの順に積層し、第一のマスク212によって、走査線120、スイッチングトランジスタ2のゲート電極24及びゲート線21、並びに、測定用トランジスタ5のゲート電極54及びゲート線51を形成する(ステップS1a)。

次に、第一のマスク212を用いた処理について、図面を参照して説明する。

【0109】

(第一のマスクを用いた処理)

図20は、本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第一のマスクを用いた処理を説明するための概略図であり、(a)は金属層成膜/第一のレジスト塗布/露光/現像された断面図を、(b)は第一のエッチング/第一のレジスト剥離された断面図を、(c)は第一のレジストが剥離された後のTFT基板の要部の平面図を示している。

同図(a)において、まず、透光性のガラス基板101が用意される。

【0110】

まず、ガラス基板101上に、Al(アルミニウム)とMo(モリブデン)をこれらの順に高周波スパッタリング法を用いて、それぞれ膜厚約250nm、50nmに積層し、走査線120、ゲート電極24、54及びゲート線21、51を形成するための、導電体層としての金属層210を形成する。

続いて、金属層210上に、第一のレジスト211が塗布され、第一のマスク212を用いて、ホトリソグラフィ法により、所定の形状に第一のレジスト211を形成する。

【0111】

次に、同図(b)に示すように、金属層210を、磷酸、酢酸、硝酸及び水からなるエッチング液(体積比は、それぞれ9:8:1:2)を用いて第一のエッチングし、走査線120、ゲート線21、51及びゲート電極24、54を形成する(ステップS1a)。

続いて、第一のレジスト211をアッシングすると、同図(c)に示すように、ガラス基板101上に、走査線120、並びに、この走査線120と接続されたゲート線21、51及びゲート電極24、54が露出する。同図(b)に示す、走査線120は、同図(c)におけるAa-Aa断面を示しており、スイッチングトランジスタ2のゲート電極24は、Ba-Ba断面を示しており、測定用トランジスタ5のゲート電極54は、Ba'-Ba'断面を示している。

【0112】

次に、図19に示すように、ガラス基板101、走査線120、ゲート線21、51及びゲート電極24、54上に、グロー放電CVD(化学蒸着法)法により、窒化シリコン(SiNx)膜であるゲート絶縁膜20を膜厚約300nm堆積する(ステップS2)。このゲート絶縁膜20は、スイッチングトランジスタ2及び測定用トランジスタ5用のゲート絶縁膜20として形成される。なお、本実施形態では、放電ガスとして、SiH₄-NH₃-N₂系の混合ガスを用いる。

【0113】

次に、図19に示すように、α-Si:H(i)膜271、α-Si:H(n)膜272、導電体層としての金属層273及び第二のレジスト274を積層し、第二のハーフトーンマスク275aによって、データ線110、キャパシタ6の第一電極61、測定線150、スイッチングトランジスタ2のソース線22、ソース電極25、チャンネル部27、ドレイン電極26及びドレイン線23、並びに、駆動トランジスタ3のゲート線31及びゲート電極34を形成する(ステップS3a)。

次に、第二のハーフトーンマスク275aを用いた処理について、図面を参照して説明する。

【0114】

(第二のハーフトーンマスクを用いた処理)

図21は、本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a)はゲート絶縁膜成膜/α-Si:H(i)膜成膜/α-Si:H(n)膜成膜/金属層成膜/第二のレジスト塗布/ハーフトーン露光/現像された断面図を、(b)は第二のエッチング/第二のレジストの再形成された断面図を、(c)は第三のエッチング/第二のレジスト剥離された断面図を示している。

同図(a)において、ゲート絶縁膜20上に、まず、アモルファスSi(ケイ素)の絶縁層としてのα-Si:H(i)膜271を膜厚約350nm積層する。この際、放電ガ

10

20

30

40

50

スとして、 $\text{SiH}_4\text{--N}_2$ 系の混合ガスを用いる。

次に、アモルファス Si の n 型半導体層としての $\alpha\text{--Si:H}(n)$ 膜272を、 $\text{SiH}_4\text{--H}_2\text{--PH}_3$ 系の混合ガスを用いて膜厚約300nm堆積する。続いて、 Mo と Al と Mo を、これらの順に高周波スパッタリング法を用いて膜厚約50nm、250nm、50nm積層し、 Mo 層/ Al 層/ Mo 層からなる金属層273を形成する。

【0115】

次に、金属層273上に、第二のレジスト274が塗布され、第二のハーフトーンマスク275a及びハーフトーン露光によって、第二のレジスト274を所定の形状に形成する。すなわち、第二のレジスト274は、データ線110、第一電極61、測定線150、スイッチングトランジスタ2のソース線22、ソース電極25、ゲート電極24、ドレイン電極26、ドレイン線23、駆動トランジスタ3のゲート線31、ゲート電極34を覆い、かつ、ハーフトーンマスク部276によって、チャンネル部27を覆う部分が他の部分より薄い形状に形成される。

10

【0116】

次に、同図(b)に示すように、第二のエッチングとして、まず、第二のレジスト274、並びに、磷酸、酢酸、硝酸及び水からなるエッチング液(体積比は、それぞれ9:8:1:2)を用いて、金属層273をエッチングする。続いて、 $\alpha\text{--Si:H}(n)$ 膜272及び $\alpha\text{--Si:H}(i)$ 膜271に対して、 CHF ガスを用いたドライエッチングとヒドラジン水溶液($\text{NH}_2\text{NH}_2\cdot\text{H}_2\text{O}$)を用いたウェットエッチングを併用してエッチングし、データ線110、第一電極61、測定線150、ソース線22、ドレイン線23、ゲート線31及びゲート電極34を形成する。

20

【0117】

続いて、上記第二のレジスト274をアッシングし、チャンネル部27の上方の金属層273が露出し、かつ、データ線110、第一電極61、測定線150、スイッチングトランジスタ2のソース線22、ソース電極25、ドレイン電極26、ドレイン線23、駆動トランジスタ3のゲート線31、ゲート電極34が覆われる形状に、第二のレジスト274を再形成する。

【0118】

次に、同図(c)に示すように、第三のエッチングとして、再形成された第二のレジスト274、並びに、磷酸、酢酸、硝酸及び水からなるエッチング液(体積比は、それぞれ9:8:1:2)を用いて、金属層273をエッチングし、ソース電極25及びドレイン電極26を形成する。さらに、 $\alpha\text{--Si:H}(n)$ 膜272に対して、 CHF ガスを用いたドライエッチングとヒドラジン水溶液($\text{NH}_2\text{NH}_2\cdot\text{H}_2\text{O}$)を用いたウェットエッチングを併用してエッチングし、 $\alpha\text{--Si:H}(i)$ 膜271からなるチャンネル部27を形成するとともに、スイッチングトランジスタ2のソース電極25及びドレイン電極26を形成する(ステップS3a)。

30

【0119】

続いて、再形成された第二のレジスト274をアッシングすると、同図(c)に示すように、ゲート絶縁膜20上に、データ線110、第一電極61、測定線150、スイッチングトランジスタ2のソース線22、ソース電極25、チャンネル部27、ドレイン電極26、ドレイン線23、駆動トランジスタ3のゲート線31、ゲート電極34が露出する。図21(c)に示す、データ線110、第一電極61、測定線150、スイッチングトランジスタ2のソース線22、ソース電極25、ゲート電極24、チャンネル部27、ドレイン電極26、ドレイン線23、駆動トランジスタ3のゲート線31、ゲート電極34は、図22におけるCa-Ca断面を示している。

40

【0120】

次に、図19に示すように、ガラス基板101の上方に、グロー放電CVD(化学蒸着法)法により、窒化シリコン(SiN_x)膜であるゲート絶縁膜30を膜厚約300nm堆積する(ステップS4a)。このゲート絶縁膜30は、駆動トランジスタ3、測定用トランジスタ5及びキャパシタ6用のゲート絶縁膜30として形成される。なお、本実施形

50

態では、放電ガスとして、 $\text{SiH}_4 - \text{NH}_3 - \text{N}_2$ 系の混合ガスを用いる。

【0121】

次に、図19に示すように、ゲート絶縁膜30上に、酸化物半導体層としてのn型酸化物半導体層371及び第三のレジスト372を積層し、第三のハーフトーンマスク373aによって、駆動トランジスタ3及び測定用トランジスタ5の活性層、並びに、測定線150のコンタクトホール155を形成する（ステップS5a）。

次に、第三のハーフトーンマスク373aを用いた処理について、図面を参照して説明する。

【0122】

（第三のハーフトーンマスクを用いた処理）

図23は、本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、（a）はゲート絶縁膜成膜／n型酸化物半導体層成膜／第三のレジスト塗布／ハーフトーン露光／現像された断面図を、（b）は第四のエッチング／第三のレジストの再形成された断面図を示している。

同図において、ゲート絶縁膜30上に、酸化インジウム－酸化亜鉛（ $\text{In}_2\text{O}_3 : \text{ZnO} = \text{約} 97 : 3 \text{ wt} \%$ ）のターゲットを用い、所定の酸素：アルゴン比（約10：90 Vol. %）状態に維持しつつ基板温度約100℃未満の条件にて、膜厚約150nmのn型酸化物半導体層371を成膜する。この条件では、n型酸化物半導体層371は、非晶質膜として得られる。

【0123】

続いて、n型酸化物半導体層371上に、第三のレジスト372を塗布し、第三のハーフトーンマスク373a及びハーフトーン露光技術を用いて、第三のレジスト372を所定の形状に形成する。すなわち、第三のレジスト372は、コンタクトホール155の上方を除くガラス基板101の上方全面を覆い、かつ、ハーフトーンマスク部3731によって、ゲート電極34及びドレイン線53を覆う部分が他の部分より厚い形状に形成される。

【0124】

次に、同図（b）に示すように、第四のエッチングとして、まず、第三のレジスト372及び稀酸水溶液を用いて、n型酸化物半導体層371をエッチングし、さらに、第三のレジスト372及びCHF（ CF_4 ， CHF_3 など）ガスを用いたドライエッチングにより、ゲート絶縁膜30をエッチングし、コンタクトホール155を形成する。

続いて、第三のレジスト372をアッシングし、ゲート電極34及びドレイン線53が覆われる形状に、第三のレジスト372を再形成する。

【0125】

図24は、本発明の第二実施形態にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、第五のエッチング／第三のレジスト剥離された断面図を示している。

同図において、第五のエッチングとして、再形成された第三のレジスト372及び稀酸水溶液を用いて、n型酸化物半導体層371をエッチングし、n型酸化物半導体層371からなる駆動トランジスタ3及び測定用トランジスタ5の活性層を形成する。続いて、第三のレジスト372をアッシングし、n型酸化物半導体層371を露出させる。図24に示すゲート電極34、第一電極61、ゲート電極54、n型酸化物半導体層371及びコンタクトホール155は、図25におけるD-a-D-a断面を示している。

また、n型酸化物半導体層371を形成したところで、約180℃以上の温度にて、TFT基板100aを熱処理し、n型酸化物半導体371の活性層を結晶化する。

【0126】

次に、図19に示すように、酸化物導電体層としての酸化物透明導電体層374、補助導電体層（補助金属層）としての金属層375及び第四のレジスト376を積層し、第四のハーフトーンマスク377によって、EL駆動線130、キャパシタ6の第二電極62

10

20

30

40

50

、画素電極 3 8、駆動トランジスタ 3 のソース線 3 2、ソース電極 3 5、チャンネル部 3 7、ドレイン電極 3 6 及びドレイン線 3 3、並びに、測定用トランジスタ 5 のソース線 5 2、ソース電極 5 5、チャンネル部 5 7、ドレイン電極 5 6 及びドレイン線 5 3 を形成する（ステップ S 6 a）。

次に、第四のハーフトーンマスク 3 7 7 を用いた処理について、図面を参照して説明する。

【0 1 2 7】

（第四のハーフトーンマスクを用いた処理）

図 2 6 は、本発明の第二実施形態にかかる有機 E L 表示装置に使用させる T F T 基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、（a）は酸化物透明導電体層成膜／金属層成膜／第四のレジスト塗布／ハーフトーン露光／現像された断面図を、（b）は第六のエッチング／第四のレジストの再形成された断面図を示している。なお、同図では、理解しやすいように、E L 駆動線 1 3 0 を省略してある。

10

同図（a）において、露出したゲート絶縁膜 3 0 及び n 型酸化物半導体層 3 7 1 上に、まず、酸化インジウム－酸化スズ－酸化亜鉛（ In_2O_3 ： SnO_2 ： ZnO =約 6 0：2 0：2 0 w t %）ターゲットを用いて、高周波スパッタリング法により、酸素約 1 %、アルゴン約 9 9 %、さらに、酸化物透明導電体層 3 7 4 を結晶化させない条件で厚み約 1 2 0 n m の酸化物透明導電体層 3 7 4 を形成する。

【0 1 2 8】

20

続いて、Mo と Al と Mo を、これらの順に高周波スパッタリング法を用いて膜厚約 5 0 n m、2 5 0 n m、5 0 n m 積層し、Mo 層／Al 層／Mo 層からなる補助導電体層としての金属層 3 7 5 を形成する。

次に、金属層 3 7 5 上に、第四のレジスト 3 7 6 が塗布され、第四のハーフトーンマスク 3 7 7 及びハーフトーン露光によって、第四のレジスト 3 7 6 を所定の形状に形成する。すなわち、第四のレジスト 3 7 6 は、E L 駆動線 1 3 0、キャパシタ 6 の第二電極 6 2、画素電極 3 8、駆動トランジスタ 3 のソース線 3 2、ソース電極 3 5、ドレイン電極 3 6 及びドレイン線 3 3、並びに、測定用トランジスタ 5 のソース線 5 2、ソース電極 5 5、ドレイン電極 5 6 及びドレイン線 5 3 を覆い、かつ、ハーフトーンマスク部 3 7 8 によって、画素電極 3 8 を覆う部分が他の部分より薄い形状に形成される。

30

【0 1 2 9】

次に、同図（b）に示すように、第六のエッチングとして、まず、第四のレジスト 3 7 6、並びに、燐酸、酢酸、硝酸及び水からなるエッチング液（体積比は、それぞれ 9：8：1：2）を用いて、金属層 3 7 5 をエッチングする。続いて、第四のレジスト 3 7 6 及び稀酸水溶液を用いて、酸化物透明導電体層 3 7 4 をエッチングし、E L 駆動線 1 3 0、キャパシタ 6 の第二電極 6 2、画素電極 3 8、駆動トランジスタ 3 のソース線 3 2、ソース電極 3 5、チャンネル部 3 7、ドレイン電極 3 6 及びドレイン線 3 3、並びに、測定用トランジスタ 5 のソース線 5 2、ソース電極 5 5、チャンネル部 5 7、ドレイン電極 5 6 及びドレイン線 5 3 を形成する（ステップ S 6 a）。

【0 1 3 0】

40

続いて、上記第四のレジスト 3 7 6 をアッシングし、画素電極 3 8 の上方の金属層 3 7 5 が露出し、かつ、E L 駆動線 1 3 0、キャパシタ 6 の第二電極 6 2、駆動トランジスタ 3 のソース線 3 2、ソース電極 3 5、ドレイン電極 3 6 及びドレイン線 3 3、並びに、測定用トランジスタ 5 のソース線 5 2、ソース電極 5 5、ドレイン電極 5 6 及びドレイン線 5 3 が覆われる形状に、第四のレジスト 3 7 6 を再形成する。

【0 1 3 1】

図 2 7 は、本発明の第二実施形態にかかる有機 E L 表示装置に使用させる T F T 基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、第七のエッチング／第四のレジスト剥離された断面図を示している。

同図において、第七のエッチングとして、再形成された第四のレジスト 3 7 6、並びに

50

、燐酸、酢酸、硝酸及び水からなるエッチング液（体積比は、それぞれ9：8：1：2）を用いて、金属層375をエッチングし、画素電極38を露出させる。

【0132】

続いて、再形成された第四のレジスト376をアッシングすると、同図に示すように、ゲート絶縁膜30上に、EL駆動線130、キャパシタ6の第二電極62、画素電極38、駆動トランジスタ3のソース線32、ソース電極35、チャンネル部37、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、チャンネル部57、ドレイン電極56及びドレイン線53が露出する。図27に示す、EL駆動線130、キャパシタ6の第二電極62、画素電極38、駆動トランジスタ3のソース線32、ソース電極35、チャンネル部37、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、チャンネル部57、ドレイン電極56及びドレイン線53は、図28におけるEa-Ea断面を示している。

10

また、測定用トランジスタ5のドレイン線53は、コンタクトホール155を介して測定線150と接続されている。

【0133】

次に、図19に示すように、保護用絶縁膜40及び第五のレジスト41を積層し、第五のマスクによって、走査線用パッド124、データ線用パッド114、EL駆動線用パッド134、測定線用パッド154及び画素電極38を露出させる（ステップS7a）。

次に、第五のマスク42を用いた処理について、図面を参照して説明する。

20

【0134】

（第五のマスクを用いた処理）

図29は、本発明の第二実施形態にかかる有機EL表示装置に使用させるTFE基板の製造方法の、第五のマスクを用いた処理を説明するための概略図であり、（a）は保護用絶縁膜成膜／第五のレジスト塗布／露光／現像された断面図を、（b）は第八のエッチング／第五のレジスト剥離された断面図を示している。

同図（a）において、ガラス基板101の上方に、グロー放電CVD（化学蒸着法）法により、窒化シリコン（SiNx）膜である保護用絶縁膜40を膜厚約250nm堆積する。なお、本実施形態では、放電ガスとして、SiH₄-NH₃-N₂系の混合ガスを用いる。

30

【0135】

次に、保護用絶縁膜40上に、第五のレジスト41を塗布し、第五のマスク42及び露光技術を用いて、画素電極38、データ線用パッド114、走査線用パッド124、測定線用パッド154及びEL駆動線用パッド134の上方に、開口部を有する第五のマスク42を形成する。なお、同図において、データ線用パッド114、走査線用パッド124、EL駆動線用パッド134及び測定線用パッド154を省略してある（なお、データ線用パッド114、走査線用パッド124及びEL駆動線用パッド134については、図12参照。また、測定線用パッド154は、データ線用パッド114とほぼ同様である。）。

。

続いて、第八のエッチングとして、CHF（CF₄、CHF₃など）ガスを用いたドライエッチングにより、保護用絶縁膜40、ゲート絶縁膜30、ゲート絶縁膜20をエッチングし、画素電極38、データ線用パッド114、走査線用パッド124、測定線用パッド154及びEL駆動線用パッド134を露出させる（ステップS7a）。

40

【0136】

続いて、再形成された第五のレジスト41をアッシングすると、同図に示すように、保護用絶縁膜40が露出する。図29（b）に示す、EL駆動線130、キャパシタ6の第二電極62、画素電極38、駆動トランジスタ3のソース線32、ソース電極35、チャンネル部37、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、チャンネル部57、ドレイン電極56及びドレイン線53は、図30におけるFa-Fa断面を示している。

50

なお、本実施形態では、スイッチングトランジスタ2、駆動トランジスタ3、キャパシタ6、測定用トランジスタ5及び画素電極38の位置や形状を、理解しやすい位置や形状としてあるが、これに限定されるものではない。

【0137】

このように、本実施形態の電流制御用TFT基板100aの製造方法によれば、直流電流によって駆動される有機EL素子4に対して、電流測定回路15によって測定された、所定の予定値とほぼ同じ値の駆動電流を供給することができるので、優れた品質の画像を提供することができる。また、駆動トランジスタ3及び測定用トランジスタ5の活性層をn型酸化物質半導体層371としてあるので、駆動トランジスタ3及び測定用トランジスタ5に大きな電流や大電力を投入した場合であっても、駆動トランジスタ3及び測定用トランジスタ5の性能劣化が小さく、安定性に優れるとともに、TFT基板100aの耐久性を向上させることができる。また、第四のハーフトーンマスク377を用いて、EL駆動線130、キャパシタ6の第二電極62、画素電極38、駆動トランジスタ3のソース線32、ソース電極35、チャンネル部37、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、チャンネル部57、ドレイン電極56及びドレイン線53を製造することができ、使用するマスク数を削減できるので、製造工程が削減されることにより、生産効率が向上し製造原価のコストダウンを図ることができる。さらに、保護用絶縁膜40が形成されているので、TFT基板100aに、有機EL材料、電極及び保護膜を設けることにより、有機EL表示装置1aを容易に得ることができる。

次に、上記TFT基板100aの構成について、図面を参照して説明する。

【0138】

[電流制御用TFT基板の第二実施形態]

本実施形態のTFT基板100は、図17に示すように、ガラス基板101に、 m （列： m は自然数） $\times$ n （行： n は自然数）個の画素10aがマトリクス状に配設されている。

また、行方向（水平方向）に、 n 本の走査線121、122…123が形成され、たとえば、第 n の走査線123は、第 n 行に配設された m 個の画素10aと並列に接続されている。

さらに、行方向（水平方向）に、 n 本のEL駆動線131a、132a…133aが形成され、たとえば、第 n のEL駆動線133を介して、第 n 行に配設された m 個の画素10aと並列に接続されている。

また、列方向（垂直方向）に、 m 本のデータ線111、112…113が形成され、たとえば、第 m のデータ線113を介して、第 m 列に配設された n 個の画素10aと並列に接続されている。

さらに、列方向（垂直方向）に、 m 本の測定線151、152…153が形成され、たとえば、第 m のEL駆動線133を介して、第 m 列に配設された n 個の画素10aと並列に接続されている。

【0139】

また、各画素10aは、図30に示すように、電気光学素子である有機EL素子4（図18参照）に電流を供給する駆動トランジスタ3と、この駆動トランジスタ3を制御するスイッチングトランジスタ2と、駆動トランジスタ3のon状態を維持するためのキャパシタ6と、有機EL素子4（図18参照）に供給される電流を測定するための測定用トランジスタ5を有している。

【0140】

スイッチングトランジスタ2は、図21及び図22に示すように、ゲート線21を介して走査線120と接続されたゲート電極24と、ゲート電極24上に形成されたゲート絶縁膜20と、このゲート絶縁膜20上に形成された活性層としての α -Si:H(i)膜271および α -Si:H(n)膜272と、ソース線22を介してデータ線110と接続されたソース電極25と、ドレイン線23及びゲート線31を介して駆動トランジスタ

3のゲート電極34と接続され、かつ、ドレイン線23を介してキャパシタ6の第一電極61と接続されたドレイン電極26を備えている。

【0141】

駆動トランジスタ3は、図27及び図28に示すように、ゲート電極34と、ゲート電極34上に形成されたゲート絶縁膜30と、このゲート絶縁膜30上に形成された活性層としてのn型酸化物半導体層371と、ソース線32を介してEL駆動線130と接続されたソース電極35と、ドレイン線33を介して画素電極38及びキャパシタ6の第二電極62と接続され、かつ、ドレイン線33及びソース線52を介して測定用トランジスタ5のソース電極55と接続されたドレイン電極36を備えている。

【0142】

また、駆動トランジスタ3は、ソース線32、ソース電極35、ドレイン電極36、ドレイン線33が、酸化物透明導電体層374からなり、この酸化物透明導電体層374が、有機EL素子4の画素電極38及びキャパシタ6の第二電極62を兼ねている。このようにすると、製造する際に使用するマスク数を削減でき、製造工程が削減されることにより、生産効率が向上し製造原価のコストダウンを図ることができる。なお、「酸化物透明導電体層374が、画素電極38及び第二電極62を兼ねる」とは、形成された酸化物透明導電体層374が、画素電極38及び第二電極62としての機能を有することをいう。

【0143】

測定用トランジスタ5は、図27及び図28に示すように、ゲート線51を介して走査線120と接続されたゲート電極54と、ゲート電極54上に形成されたゲート絶縁膜20及びゲート絶縁膜30と、このゲート絶縁膜30上に形成された活性層としてのn型酸化物半導体層371と、ソース電極55と、一部がコンタクトホール155内に形成されたドレイン線53を介して測定線150と接続されたドレイン電極56を備えている。

【0144】

また、好ましくは、EL駆動線130、キャパシタ6の第二電極62、駆動トランジスタ3のソース線32、ソース電極35、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、ドレイン電極56及びドレイン線53の上方に、補助導電体層としての金属層375を形成するとよい。このようにすると、各線や電極の電気抵抗を低減することができ、信頼性を向上させることができるとともに、エネルギー効率の低下を抑制することができる。

【0145】

キャパシタ6は、第一電極61と第二電極62の間にゲート絶縁膜30が積層されている。このキャパシタ6は、on状態のスイッチングトランジスタ2を介して、データ線110から直流電圧が第一電極61に印加され、さらに、on状態の駆動トランジスタ3を介して、EL駆動線130から直流電圧が第二電極62に印加されるので、第一電極61には、データ線110から印加された直流電圧に相当する電荷が蓄積される。したがって、スイッチングトランジスタ2がoffされても、第一電極61に蓄えられた電荷によって、EL駆動線130から直流電圧が印加されていたときと同じ状態で、スイッチングトランジスタ2のon状態が維持される。

【0146】

このように、本実施形態のTF T基板100aは、有機EL素子4のように直流電流駆動型の電気光学素子に使用され、直流電流によって駆動される有機EL素子4に対して、電流測定回路15によって測定された、所定の予定値とほぼ同じ値の駆動電流を供給することができるので、優れた品質の画像を提供することができる。また、駆動トランジスタ3及び測定用トランジスタ5の活性層をn型酸化物半導体層371としてあるので、駆動トランジスタ3及び測定用トランジスタ5に大きな電流や大電力を投入した場合であっても、駆動トランジスタ3の性能劣化が小さく、安定性に優れるとともに、TF T基板100aの耐久性を向上させることができる。

【0147】

また、上述した有機EL表示装置の第二実施形態、電流制御用TF T基板の製造方法の

10

20

30

40

50

第二実施形態、及び、電流制御用TFT基板の第二実施形態は、様々な応用例を有している。

たとえば、上記電流制御用TFT基板の製造方法の第二実施形態では、データ線用パッド114、走査線用パッド124、EL駆動線用パッド134及び測定線用パッド154は、ゲート絶縁膜30の下方に形成されるが、これに限定されるものではなく、たとえば、保護用絶縁膜40の下方であって、かつ、ゲート絶縁膜30の上方に（すなわち、保護用絶縁膜40により接近した上方に）、データ線用パッド114b、走査線用パッド124b、EL駆動線用パッド134b及び測定線用パッド154bを形成してもよい。

次に、上記電流制御用TFT基板の製造方法の第二実施形態にかかる応用例について、図面を参照して説明する。

10

【0148】

[電流制御用TFT基板の製造方法の応用例]

図31は、本発明の第二実施形態の応用例にかかる有機EL表示装置に使用させるTFT基板の製造方法を説明するための概略フローチャート図を示している。なお、本応用例の製造方法は、請求項11に対応している。

同図において、本応用例のTFT基板の製造方法は、上述した第二実施形態と比べて、ステップS5bにおいて、上記ステップS5a（図19参照）に加え、データ線用パッド114bの開口部114b'、走査線用パッド124bの開口部124b'、測定線用パッド154bの開口部154b'を形成し、さらに、ステップS6bにおいて、上記ステップS6aに加え、データ線用パッド114b、走査線用パッド124b、測定線用パッド154bを形成する点が相違する。他の方法は第二実施形態とほぼ同様としてある。

20

したがって、図31において、図19と同様の方法については同一の符号を付して、その詳細な説明を省略する。

【0149】

ステップS5bでは、図31に示すように、ゲート絶縁膜30上に、酸化物半導体層としてのn型酸化物半導体層371及び第三のレジスト372を積層し、第三のハーフトーンマスク373aによって、駆動トランジスタ3及び測定用トランジスタ5の活性層、並びに、測定線150のコンタクトホール155、データ線用パッド114bの開口部114b'、走査線用パッド124bの開口部124b'、測定線用パッド154bの開口部154b'を形成する。

30

次に、ステップS5bにおける第三のハーフトーンマスク373aを用いた処理について、図面を参照して説明する。

【0150】

（第三のハーフトーンマスクを用いた処理）

図32は、本発明の第二実施形態の応用例にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、（a）はゲート絶縁膜成膜／n型酸化物半導体層成膜／第三のレジスト塗布／ハーフトーン露光／現像された断面図を、（b）は第四のエッチング／第三のレジストの再形成された断面図を示している。

なお、ステップS5bの、駆動トランジスタ3及び測定用トランジスタ5の活性層の形成方法は、第二実施形態のステップS5aとほぼ同様である（図23、24参照）。したがって、図32においては、測定線150のコンタクトホール155、データ線用パッド114bの開口部114b'、走査線用パッド124bの開口部124b'、測定線用パッド154bの開口部154b'について図示している。

40

同図において、ゲート絶縁膜30上に、n型酸化物半導体層371を成膜し、続いて、n型酸化物半導体層371上に、第三のレジスト372を塗布し、第三のハーフトーンマスク373a及びハーフトーン露光技術を用いて、第三のレジスト372を所定の形状に形成する。すなわち、第三のレジスト372は、コンタクトホール155、データ線用パッド114bの開口部114b'、走査線用パッド124bの開口部124b'、測定線用パッド154bの開口部154b'の上方を除くガラス基板101の上方を覆い、かつ

50

、ハーフトーンマスク部 3731 によって、ゲート電極 34 及びゲート電極 54 を覆う部分より薄い形状に形成される。

【0151】

次に、同図 (b) に示すように、第四のエッチングとして、まず、第三のレジスト 372 及び稀酸水溶液を用いて、n 型酸化物半導体層 371 をエッチングし、さらに、第三のレジスト 372 及び CHF (CF₄, CHF₃ など) ガスを用いたドライエッチングにより、ゲート絶縁膜 30 をエッチングし、コンタクトホール 155、データ線用パッド 114b の開口部 114b'、走査線用パッド 124b の開口部 124b'、測定線用パッド 154b の開口部 154b' を形成する。

続いて、第三のレジスト 372 をアッシングし、ゲート電極 34 及びゲート電極 54 が覆われる形状に、第三のレジスト 372 を再形成する。

【0152】

図 33 は、本発明の第二実施形態の応用例にかかる有機 EL 表示装置に使用させる TFT 基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、第五のエッチング／第三のレジスト剥離された断面図を示している。

同図において、第五のエッチングとして、再形成された第三のレジスト 372 及び稀酸水溶液を用いて、n 型酸化物半導体層 371 をエッチングし、n 型酸化物半導体層 371 からなる駆動トランジスタ 3 及び測定用トランジスタ 5 の活性層を形成するとともに、ゲート絶縁膜 30 を露出させる。続いて、第三のレジスト 372 をアッシングし、n 型酸化物半導体層 371 を露出させる。図 33 に示すデータ線用パッド 114b の開口部 114b'、測定線用パッド 154b の開口部 154b'、走査線用パッド 124b の開口部 124b'、測定線 150 のコンタクトホール 155 は、図 34 における Db-Db 断面を示している。

【0153】

次に、図 31 に示すように、酸化物透明導電体層 374、金属層 375 及び第四のレジスト 376 を積層し、第四のハーフトーンマスク 377 によって、EL 駆動線 130、キャパシタ 6 の第二電極 62、画素電極 38、データ線用パッド 114b、走査線用パッド 124b、測定線用パッド 154b、駆動トランジスタ 3 のソース線 32、ソース電極 35、チャンネル部 37、ドレイン電極 36 及びドレイン線 33、並びに、測定用トランジスタ 5 のソース線 52、ソース電極 55、チャンネル部 57、ドレイン電極 56 及びドレイン線 53 を形成する (ステップ S6b)。

次に、第四のハーフトーンマスク 377 を用いた処理について、図面を参照して説明する。

【0154】

(第四のハーフトーンマスクを用いた処理)

図 35 は、本発明の第二実施形態の応用例にかかる有機 EL 表示装置に使用させる TFT 基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、(a) は酸化物透明導電体層成膜／金属層成膜／第四のレジスト塗布／ハーフトーン露光／現像された断面図を、(b) は第六のエッチング／第四のレジストの再形成／第七のエッチング／第四のレジスト剥離された断面図を示している。

なお、ステップ S6b の、駆動トランジスタ 3 及び測定用トランジスタ 5 の製造方法は、第二実施形態のステップ S6a とほぼ同様である (図 26, 27 参照)。したがって、図 35 においては、データ線用パッド 114b、走査線用パッド 124b、測定線用パッド 154b、測定用トランジスタ 5 のドレイン線 53 について図示している。

同図 (a) において、露出したゲート絶縁膜 30 及び n 型酸化物半導体層 371 上に、まず、酸化インジウム-酸化スズ-酸化亜鉛 (In₂O₃:SnO₂:ZnO=約 60:20:20wt%) ターゲットを用いて、高周波スパッタリング法により、酸素約 1%、アルゴン約 99%、さらに、酸化物透明導電体層 374 を結晶化させない条件で厚み約 120nm の酸化物透明導電体層 374 を形成する。

【0155】

続いて、MoとAlとMoを、これらの順に高周波スパッタリング法を用いて膜厚約50nm、250nm、50nm積層し、Mo層／Al層／Mo層からなる補助導電体層としての金属層375を形成する。

次に、金属層375上に、第四のレジスト376が塗布され、第四のハーフトーンマスク377及びハーフトーン露光によって、第四のレジスト376を所定の形状に形成する。すなわち、第四のレジスト376は、EL駆動線130、キャパシタ6の第二電極62、画素電極38、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b、駆動トランジスタ3のソース線32、ソース電極35、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、ドレイン電極56及びドレイン線53を覆い、かつ、ハーフトーンマスク部378によって、画素電極38を覆う部分が他の部分より薄い形状に形成される。

10

【0156】

次に、同図(b)に示すように、第六のエッチングとして、まず、第四のレジスト376、並びに、燐酸、酢酸、硝酸及び水からなるエッチング液（体積比は、それぞれ9：8：1：2）を用いて、金属層375をエッチングする。続いて、第四のレジスト376及び稀酸水溶液を用いて、酸化物透明導電体層374をエッチングし、EL駆動線130、キャパシタ6の第二電極62、画素電極38、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b、駆動トランジスタ3のソース線32、ソース電極35、チャンネル部37、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、チャンネル部57、ドレイン電極56及びドレイン線53を形成する（ステップS6b）。

20

【0157】

なお、ステップS6bにおいては、上述したように、上記第四のレジスト376をアッシングし、画素電極38の上方の金属層375が露出し、かつ、EL駆動線130、キャパシタ6の第二電極62、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b、駆動トランジスタ3のソース線32、ソース電極35、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、ドレイン電極56及びドレイン線53が覆われる形状に、第四のレジスト376を再形成する。

そして、第七のエッチングとして、再形成された第四のレジスト376、並びに、燐酸、酢酸、硝酸及び水からなるエッチング液（体積比は、それぞれ9：8：1：2）を用いて、金属層375をエッチングし、画素電極38を露出させる。

30

【0158】

続いて、再形成された第四のレジスト376をアッシングすると、同図に示すように、ゲート絶縁膜30上に、EL駆動線130、キャパシタ6の第二電極62、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b、画素電極38、駆動トランジスタ3のソース線32、ソース電極35、チャンネル部37、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、チャンネル部57、ドレイン電極56及びドレイン線53が露出する。図35に示す、EL駆動線130、キャパシタ6の第二電極62、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b、画素電極38、駆動トランジスタ3のソース線32、ソース電極35、チャンネル部37、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、チャンネル部57、ドレイン電極56及びドレイン線53は、図36におけるEb-Eb断面を示している。

40

【0159】

（第五のマスクを用いた処理）

図37は、本発明の第二実施形態の応用例にかかる有機EL表示装置に使用させるTFT基板の製造方法の、第五のマスクを用いた処理を説明するための概略図であり、(a)は保護用絶縁膜成膜／第五のレジスト塗布／露光／現像された断面図を、(b)は第八のエッチング／第五のレジスト剥離された断面図を示している。

50

同図（a）において、ガラス基板101の上方に、グロー放電CVD（化学蒸着法）法により、窒化シリコン（SiNx）膜である保護用絶縁膜40を膜厚約250nm堆積する。なお、本実施形態では、放電ガスとして、 $\text{SiH}_4 - \text{NH}_3 - \text{N}_2$ 系の混合ガスを用いる。

【0160】

次に、保護用絶縁膜40上に、第五のレジスト41を塗布し、第五のマスキング42及び露光技術を用いて、画素電極38、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b及びEL駆動線用パッド134の上方に、開口部を有する第五のマスキング42を形成する。なお、同図において、データ線用パッド114b、走査線用パッド124b、EL駆動線用パッド134及び測定線用パッド154bを図示してある（なお、その他の構造については、図29参照）。

10

続いて、第八のエッチングとして、CHF（ CF_4 、 CHF_3 など）ガスを用いたドライエッチングにより、保護用絶縁膜40をエッチングし、画素電極38、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b及びEL駆動線用パッド134を露出させる（ステップS7a）。

【0161】

続いて、再形成された第五のレジスト41をアッシングすると、同図に示すように、保護用絶縁膜40が露出する。図37（b）に示す、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b及びEL駆動線用パッド134は、図38におけるFb-Fb断面を示している。

20

【0162】

このように、本実施形態の電流制御用TFT基板100bの製造方法によれば、第二実施形態の製造方法とほぼ同様の効果を有するとともに、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b及びEL駆動線用パッド134が、保護用絶縁膜40のすぐ下層に形成されるので、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b及びEL駆動線用パッド134への接続性を向上させることができる。

【0163】

[分散型無機EL表示装置の第三実施形態]

図39は、本発明の第三実施形態にかかる分散型無機EL表示装置の概略ブロック図を示している。

30

同図において、電気光学装置としての分散型無機EL表示装置1cは、データ線駆動回路11、走査線駆動回路12、電源線制御回路13a、電流測定回路15及び電流制御用TFT基板100c（適宜、TFT基板100cと略称する。）を備えている。また、TFT基板100cは、m（列：mは自然数）×n（行：nは自然数）個の画素10cがマトリクス状に配設されている。

【0164】

データ線駆動回路11は、第1のデータ線111、第2のデータ線112…第mのデータ線113を介して、各画素10cと接続されており、たとえば、第mのデータ線113を介して、第m列に配設されたn個の画素10cと並列に接続されている。このデータ線駆動回路11は、各画素10cにデータ信号を出力する。

40

【0165】

また、走査線駆動回路12は、第1の走査線121、第2の走査線122…第nの走査線123を介して、各画素10cと接続されており、たとえば、第nの走査線123を介して、第n行に配設されたm個の画素10cと並列に接続されている。この走査線駆動回路12は、各画素10cにデータ信号を出力する。

【0166】

さらに、電源線制御回路13aは、第1のEL駆動線131a、第2のEL駆動線132a…第nのEL駆動線133aを介して、各画素10cと接続されており、たとえば、第nのEL駆動線133aを介して、第n行に配設されたm個の画素10cと並列に接続

50

されている。この電源線制御回路13aは、各画素10cに交流の駆動電流を供給する。

【0167】

さらに、電流測定回路15は、第1の測定線151、第2の測定線152…第mの測定線153を介して、各画素10cと接続されており、たとえば、第mの測定線153を介して、第m列に配設されたn個の画素10cと並列に接続されている。この電流測定回路15は、各画素10cの分散型無機EL素子4cに供給され交流電流を測定する。

【0168】

また、好ましくは、電流測定回路15が、分散型無機EL素子4cに供給される交流電流を測定し、この交流電流の測定値にもとづいて、制御部（図示せず）がデータ線駆動回路11、走査線駆動回路12及び電源線制御回路13aの少なくとも一つ以上を制御する
10
とよい。このようにすると、分散型無機EL素子4cに供給される交流電流を測定でき、この測定値にもとづいて、データ線駆動回路11、走査線駆動回路12及び電源線制御回路13aの少なくとも一つ以上が制御されるので、好適な駆動電流を分散型無機EL素子4cに供給することができる。

【0169】

次に、画素10cの構成について、図面を参照して説明する。

図40は、本発明の第三実施形態にかかる分散型無機EL表示装置の画素の構成を説明するための概略ブロック図を示している。

同図において、画素10cは、分散型無機EL素子4cに交流電流を供給する駆動トランジスタ3、この駆動トランジスタ3を制御するスイッチングトランジスタ2、駆動トランジスタ3のゲート電極34にキャパシタ電圧を印加するためのキャパシタ6、キャパシタ線160、分散型無機EL素子4cに供給される交流電流を測定するための測定用トランジスタ5、及び、交流電流により駆動される電気光学素子としての分散型無機EL素子4cを有している。また、スイッチングトランジスタ2、駆動トランジスタ3及び測定用トランジスタ5は、薄膜トランジスタとして、TFT基板100c上に形成され、さらに、キャパシタ6及び分散型無機EL素子4cの画素電極38もTFT基板100c上に形成される
20

【0170】

スイッチングトランジスタ2は、ゲート線21を介して走査線120と接続され、ソース線22を介してデータ線110と接続され、ドレイン線23が、駆動トランジスタ3のゲート線31及びキャパシタ6の第一電極61と並列に接続されている。また、キャパシタ6の第二電極62は、キャパシタ線160と接続されており、キャパシタ線160は接地又は接地に相当する接続がなされていることが好ましい。
30

また、駆動トランジスタ3は、ソース線32を介してEL駆動線130と接続され、ドレイン線33を介して、分散型無機EL素子4c及び測定用トランジスタ5のソース線52と並列に接続されている。

さらに、測定用トランジスタ5は、ゲート線51が走査線120と接続され、ドレイン線53が測定線150と接続されている。

【0171】

次に、TFT基板100cの動作について、図40を用いて説明する。
40

上記構成のTFT基板100cは、走査線120に走査信号が入力されると、スイッチングトランジスタ2のゲート電極34にゲート信号（走査信号）が入力され、スイッチングトランジスタ2がonの状態となるとともに、走査線120から測定用トランジスタ5のゲート電極54にゲート信号（走査信号）が入力され、測定用トランジスタ5がonの状態となる。

【0172】

続いて、データ線110からデータ信号（駆動トランジスタ3のゲート電圧（直流電圧））が駆動トランジスタ3のゲート電極34に印加され、駆動トランジスタ3がonの状態となるとともに、キャパシタ6に、データ線110からのデータ信号に応じた電荷が蓄えられる。この際、駆動トランジスタ3のゲート電極34に印加されたゲート電圧に応じ
50

て、駆動トランジスタ3のソース・ドレイン間の抵抗値が決定され、EL駆動線130から、ソース・ドレイン間の抵抗値に応じた駆動電流がドレイン線33に供給される。ここで、測定用トランジスタ5は、on状態にあるので、上記駆動電流（測定電流 $I(m \times (n-1))$ ）は、分散型無機EL素子4cにほとんど流れることなく、測定用トランジスタ5のソース線52及びドレイン線53を経由して、測定線150に流れる。

【0173】

次に、電流測定回路15は、上記測定電流 $I(m \times (n-1))$ を測定し、制御部が、測定電流 $I(m \times (n-1))$ の測定値にもとづいて、データ線駆動回路11を制御する。すなわち、制御部は、測定値が所定の予定値より小さい場合、データ線110へのデータ信号の電圧を上げ、これにより、駆動トランジスタ3のソース・ドレイン間の抵抗値が低くなり、駆動電流が増加する。これに対し、測定値が所定の予定値より大きい場合、データ線110へのデータ信号の電圧を下げ、これにより、駆動トランジスタ3のソース・ドレイン間の抵抗値が高くなり、駆動電流が減少する。制御部が上記制御を繰り返すことにより、測定値が所定の予定値とほぼ同じ値となる。

10

【0174】

次に、測定値が所定の予定値とほぼ同じ値となると、走査線駆動回路12が、走査線120への走査信号の出力を停止する。この停止により、スイッチングトランジスタ2及び測定用トランジスタ5がoffの状態となる。スイッチングトランジスタ2がoffの状態になると、データ線110から駆動トランジスタ3にゲート電圧を印加させることができなくなるが、キャパシタ6に蓄えられた電荷によって、データ線110から印加されていたゲート電圧と同じ電圧が、駆動トランジスタ3のゲート電極34に印加される。すなわち、スイッチングトランジスタ2がon状態の間、データ線110からキャパシタ6の第二電極62に直流電圧が印加され、さらに、キャパシタ6の第一電極61がキャパシタ線160と接続されていることによって、キャパシタ6に電荷が蓄えられており、キャパシタ6によってゲート電極34にゲート電圧が印加される。なお、キャパシタ6の第二電極62は、キャパシタ線160と接続されているので、駆動電流（交流電流）の影響を受けることはない。このため、TFT基板100cは、交流電流制御用TFT基板と呼称される。また、このTFT基板100cは、直流電流制御用TFT基板としても使用することができる。

20

【0175】

そして、駆動トランジスタ3が、キャパシタ6によりon状態に維持され、測定用トランジスタ5がoff状態となっているので、EL駆動線130から交流電流が、駆動トランジスタ3を経由して、分散型無機EL素子4cに供給される。

30

この交流電流は、上記測定電流 $I(m \times (n-1))$ と同じであり、制御部によって制御された所定の予定値とほぼ同じ駆動電流が、分散型無機EL素子4cに供給され、この駆動電流に応じた輝度で分散型無機EL素子4cが発光する。

なお、上記駆動電流を変更した場合は、走査線120に走査信号を出力し、変更したい駆動電流に応じたデータ信号をデータ線110に出力する。

【0176】

次に、分散型無機EL表示装置1cは、画素10c'に対して、画素10cとほぼ同様な動作を行うことができ、これにより、全ての画素10cに対して、駆動トランジスタ3の特性が変化（劣化）した場合であっても、所定の予定値とほぼ同じ駆動電流を供給することができる。したがって、分散型無機EL表示装置1cは、優れた品質の画像を提供することができる。

40

なお、本実施形態の分散型無機EL表示装置1cは、制御部が、各画素10cの所定の予定値を記憶する記憶手段と、測定値と所定の予定値との差を算出する演算処理部を備え、測定値が所定の予定値とほぼ同じ値となるように制御しているが、制御方法はこの方法に限定されるものではなく、様々な制御方法を採用することができる。

【0177】

このように、本実施形態の分散型無機EL表示装置1cは、交流電流によって駆動され

50

る分散型無機EL素子4cに対して、電流測定回路15によって測定された、所定の予定値とほぼ同じ値の駆動電流を供給することができるので、優れた品質の画像を提供することができる。なお、本実施形態では、交流電流駆動型の電気光学素子として、分散型無機EL素子4cを用いているが、これに限定されるものではなく、たとえば、直流電流駆動型及び／又は交流電流駆動型の電気光学素子に広く適用することができる。

また、本実施形態の分散型無機EL表示装置1cは、駆動トランジスタ3の活性層を、酸化物半導体層としてのn型酸化物半導体層371としてある。このようにすると、駆動トランジスタ3に大きな電流や大電力を投入した場合であっても、駆動トランジスタ3の活性層にアモルファスSiやポリSi半導体を用いたものと比べると、その性能劣化が小さく、安定性に優れるとともに、TFT基板100cの耐久性を向上させることができる。したがって、分散型無機EL表示装置1cの寿命を大きく延ばすことができる。

10

【0178】

なお、本実施形態の表示装置1cは、駆動トランジスタ3の活性層として、アモルファスSiやポリSi半導体を用いた場合であっても、直流駆動型の電気光学素子又は交流駆動型の電気光学素子のいずれにも対応することができる点で、極めて有用である。また、交流電流を電気光学素子に供給する場合、高周波の電力をも供給できる点でも有用である。さらに、従来の技術では、スキャンごとの電圧を反転させたり、走査線ごとに電圧を反転させて交流駆動したりしていたが、これらを行わなくてもすむ点で、有用である。

次に、上記TFT基板100cの製造方法及び構成について、図面を参照して説明する。まず、TFT基板100cの製造方法について説明する。

20

【0179】

[電流制御用TFT基板の製造方法の第三実施形態]

図41は、本発明の第三実施形態にかかる分散型無機EL表示装置に使用させるTFT基板の製造方法を説明するための概略フローチャート図を示している。なお、本実施形態の製造方法は、請求項12に対応している。

同図において、まず、基板上に、金属層210及び第一のレジスト211をこの順に積層し、第一のマスク212によって、走査線120、キャパシタ線160、キャパシタ6の第二電極62、スイッチングトランジスタ2のゲート電極24及びゲート線21、並びに、測定用トランジスタ5のゲート電極54及びゲート線51を形成する（ステップS1c）。

30

次に、第一のマスク212を用いた処理について、図面を参照して説明する。

【0180】

（第一のマスクを用いた処理）

図42は、本発明の第三実施形態にかかる分散型無機EL表示装置に使用させるTFT基板の製造方法の、第一のマスクを用いた処理を説明するための概略図であり、（a）は金属層成膜／第一のレジスト塗布／露光／現像された断面図を、（b）は第一のエッチング／第一のレジスト剥離された断面図を、（c）は第一のレジストが剥離された後のTFT基板の要部の平面図を示している。

同図（a）において、まず、透光性のガラス基板101が用意される。

【0181】

まず、ガラス基板101上に、Al（アルミニウム）とMo（モリブデン）をこれらの順に高周波スパッタリング法を用いて、それぞれ膜厚約250nm、50nmに積層し、走査線120、キャパシタ線160、キャパシタ6の第二電極62、ゲート電極24及びゲート線21を形成するための、導電体層としての金属層210を形成する。

続いて、金属層210上に、第一のレジスト211が塗布され、第一のマスク212を用いて、ホトリソグラフィ法により、所定の形状に第一のレジスト211を形成する。

【0182】

次に、同図（b）に示すように、金属層210を、磷酸、酢酸、硝酸及び水からなるエッチング液（体積比は、それぞれ9：8：1：2）を用いて第一のエッチングし、走査線120、キャパシタ線160、キャパシタ6の第二電極62、ゲート線21、51及びゲ

50

ート電極 24, 54 を形成する (ステップ S1c)。

続いて、第一のレジスト 211 をアッシングすると、同図 (c) に示すように、ガラス基板 101 上に、走査線 120、キャパシタ線 160、このキャパシタ線 160 と接続されたキャパシタ 6 の第二電極 62、並びに、走査線 120 と接続されたゲート線 21, 51 及びゲート電極 24, 54 が露出する。同図 (b) に示す、走査線 120 は、同図 (c) における A c - A c 断面を示しており、スイッチングトランジスタ 2 のゲート電極 24、測定用トランジスタ 5 のゲート電極 54、第一電極 61 は、B c - B c 断面を示している。

【0183】

次に、図 41 に示すように、ガラス基板 101、走査線 120、キャパシタ線 160、キャパシタ 6 の第二電極 62、ゲート線 21, 51 及びゲート電極 24, 54 上に、グロー放電 CVD (化学蒸着法) 法により、窒化シリコン (SiNx) 膜であるゲート絶縁膜 20 を膜厚約 300 nm 堆積する (ステップ S2c)。このゲート絶縁膜 20 は、スイッチングトランジスタ 2、測定用トランジスタ 5 及びキャパシタ 6 用のゲート絶縁膜 20 として形成される。なお、本実施形態では、放電ガスとして、SiH₄-NH₃-N₂ 系の混合ガスを用いる。

【0184】

次に、図 41 に示すように、α-Si:H(i) 膜 271、α-Si:H(n) 膜 272、導電体層としての金属層 273 及び第二のレジスト 274 を積層し、第二のハーフトーンマスク 275c によって、データ線 110、キャパシタ 6 の第一電極 61、測定線 150、スイッチングトランジスタ 2 のソース線 22、ソース電極 25、チャンネル部 27、ドレイン電極 26 及びドレイン線 23、並びに、駆動トランジスタ 3 のゲート線 31 及びゲート電極 34 を形成する (ステップ S3c)。

次に、第二のハーフトーンマスク 275c を用いた処理について、図面を参照して説明する。

【0185】

(第二のハーフトーンマスクを用いた処理)

図 43 は、本発明の第三実施形態にかかる分散型無機 EL 表示装置に使用させる TFT 基板の製造方法の、第二のハーフトーンマスクを用いた処理を説明するための概略図であり、(a) はゲート絶縁膜成膜/α-Si:H(i) 膜成膜/α-Si:H(n) 膜成膜/金属層成膜/第二のレジスト塗布/ハーフトーン露光/現像された断面図を、(b) は第二のエッチング/第二のレジストの再形成された断面図を、(c) は第三のエッチング/第二のレジスト剥離された断面図を示している。

同図 (a) において、ゲート絶縁膜 20 上に、まず、アモルファス Si (ケイ素) の絶縁層としての α-Si:H(i) 膜 271 を膜厚約 350 nm 積層する。この際、放電ガスとして、SiH₄-N₂ 系の混合ガスを用いる。

次に、アモルファス Si の n 型半導体層としての α-Si:H(n) 膜 272 を、SiH₄-H₂-PH₃ 系の混合ガスを用いて膜厚約 300 nm 堆積する。続いて、Mo と Al と Mo を、これらの順に高周波スパッタリング法を用いて膜厚約 50 nm、250 nm、50 nm 積層し、Mo 層/Al 層/Mo 層からなる金属層 273 を形成する。

【0186】

次に、金属層 273 上に、第二のレジスト 274 が塗布され、第二のハーフトーンマスク 275c 及びハーフトーン露光によって、第二のレジスト 274 を所定の形状に形成する。すなわち、第二のレジスト 274 は、データ線 110、キャパシタ 6 の第一電極 61、測定線 150、スイッチングトランジスタ 2 のソース線 22、ソース電極 25、ゲート電極 24、ドレイン電極 26、ドレイン線 23、駆動トランジスタ 3 のゲート線 31、ゲート電極 34 を覆い、かつ、ハーフトーンマスク部 276 によって、チャンネル部 27 を覆う部分が他の部分より薄い形状に形成される。

【0187】

次に、同図 (b) に示すように、第二のエッチングとして、まず、第二のレジスト 27

10

20

30

40

50

4、並びに、燐酸、酢酸、硝酸及び水からなるエッチング液（体積比は、それぞれ9：8：1：2）を用いて、金属層273をエッチングする。続いて、 α -Si：H（n）膜272及び α -Si：H（i）膜271に対して、CHFガスを用いたドライエッチングとヒドラジン水溶液（ $\text{NH}_2\text{NH}_2 \cdot \text{H}_2\text{O}$ ）を用いたウェットエッチングを併用してエッチングし、データ線110、キャパシタ6の第一電極61、測定線150、ソース線22、ドレイン線23、ゲート線31及びゲート電極34を形成する。ここで、キャパシタ6は、ゲート絶縁膜20によって絶縁されている。

【0188】

続いて、上記第二のレジスト274をアッシングし、チャンネル部27の上方の金属層273が露出し、かつ、データ線110、第一電極61、測定線150、スイッチングトランジスタ2のソース線22、ソース電極25、ドレイン電極26、ドレイン線23、駆動トランジスタ3のゲート線31、ゲート電極34が覆われる形状に、第二のレジスト274を再形成する。

10

【0189】

次に、同図（c）に示すように、第三のエッチングとして、再形成された第二のレジスト274、並びに、燐酸、酢酸、硝酸及び水からなるエッチング液（体積比は、それぞれ9：8：1：2）を用いて、金属層273をエッチングし、ソース電極25及びドレイン電極26を形成する。さらに、 α -Si：H（n）膜272に対して、CHFガスを用いたドライエッチングとヒドラジン水溶液（ $\text{NH}_2\text{NH}_2 \cdot \text{H}_2\text{O}$ ）を用いたウェットエッチングを併用してエッチングし、 α -Si：H（i）膜271からなるチャンネル部27を形成するとともに、スイッチングトランジスタ2のソース電極25及びドレイン電極26を形成する（ステップS3c）。

20

【0190】

続いて、再形成された第二のレジスト274をアッシングすると、同図（c）に示すように、ゲート絶縁膜20上に、データ線110、第一電極61、測定線150、スイッチングトランジスタ2のソース線22、ソース電極25、チャンネル部27、ドレイン電極26、ドレイン線23、駆動トランジスタ3のゲート線31、ゲート電極34が露出する。図43（c）に示す、データ線110、キャパシタ線160、第一電極61、測定線150、スイッチングトランジスタ2のソース線22、ソース電極25、ゲート電極24、チャンネル部27、ドレイン電極26、ドレイン線23、駆動トランジスタ3のゲート線31、ゲート電極34は、図44におけるCc-Cc断面を示している。

30

【0191】

次に、図41に示すように、ガラス基板101の上方に、グロー放電CVD（化学蒸着法）法により、窒化シリコン（SiNx）膜であるゲート絶縁膜30を膜厚約300nm堆積する（ステップS4c）。このゲート絶縁膜30は、駆動トランジスタ3及び測定用トランジスタ5用のゲート絶縁膜30として形成される。なお、本実施形態では、放電ガスとして、 SiH_4 - NH_3 - N_2 系の混合ガスを用いる。

【0192】

次に、図41に示すように、ゲート絶縁膜30上に、酸化物半導体層としてのn型酸化物半導体層371及び第三のレジスト372を積層し、第三のハーフトーンマスク373aによって、駆動トランジスタ3及び測定用トランジスタ5の活性層、並びに、測定線150のコンタクトホール155を形成する（ステップS5a）。

40

次に、第三のハーフトーンマスク373aを用いた処理について、図面を参照して説明する。

【0193】

（第三のハーフトーンマスクを用いた処理）

図45は、本発明の第三実施形態にかかる分散型無機EL表示装置に使用させるTF基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、（a）はゲート絶縁膜成膜／n型酸化物半導体層成膜／第三のレジスト塗布／ハーフトーン露光／現像された断面図を、（b）は第四のエッチング／第三のレジストの再形成

50

された断面図を示している。

同図において、ゲート絶縁膜 30 上に、酸化インジウム－酸化亜鉛 ($\text{In}_2\text{O}_3 : \text{ZnO} = \text{約 } 97 : 3 \text{ wt } \%$) のターゲットを用い、所定の酸素：アルゴン比 (約 10 : 90 Vol. %) 状態に維持しつつ基板温度約 100℃未満の条件にて、膜厚約 150nm の n 型酸化物半導体層 371 を成膜する。この条件では、n 型酸化物半導体層 371 は、非晶質膜として得られる。

【0194】

続いて、n 型酸化物半導体層 371 上に、第三のレジスト 372 を塗布し、第三のハーフトーンマスク 373a 及びハーフトーン露光技術を用いて、第三のレジスト 372 を所定の形状に形成する。すなわち、第三のレジスト 372 は、コンタクトホール 155 の上 10
方を除くガラス基板 101 の上方全面を覆い、かつ、ハーフトーンマスク部 3731 によって、ゲート電極 34 及びドレイン線 53 を覆う部分が他の部分より厚い形状に形成される。

【0195】

次に、同図 (b) に示すように、第四のエッチングとして、まず、第三のレジスト 372 及び稀酸水溶液を用いて、n 型酸化物半導体層 371 をエッチングし、さらに、第三のレジスト 372 及び CHF (CF_4 , CHF_3 など) ガスを用いたドライエッチングにより、ゲート絶縁膜 30 をエッチングし、コンタクトホール 155 を形成する。

続いて、第三のレジスト 372 をアッシングし、ゲート電極 34 及びドレイン線 53 が 20
覆われる形状に、第三のレジスト 372 を再形成する。

【0196】

図 46 は、本発明の第三実施形態にかかる分散型無機 EL 表示装置に使用させる TFT 基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、第五のエッチング／第三のレジスト剥離された断面図を示している。

同図において、第五のエッチングとして、再形成された第三のレジスト 372 及び稀酸水溶液を用いて、n 型酸化物半導体層 371 をエッチングし、n 型酸化物半導体層 371 からなる駆動トランジスタ 3 及び測定用トランジスタ 5 の活性層を形成する。続いて、第三のレジスト 372 をアッシングし、n 型酸化物半導体層 371 を露出させる。図 46 に示すゲート電極 34、キャパシタ 6、ゲート電極 54、n 型酸化物半導体層 371 及びコンタクトホール 155 は、図 47 における Dc-Dc 断面を示している。 30

また、n 型酸化物半導体層 371 を形成したところで、約 180℃以上の温度にて、TFT 基板 100c を熱処理し、n 型酸化物半導体 371 の活性層を結晶化する。

【0197】

次に、図 41 に示すように、酸化物導電体層としての酸化物透明導電体層 374、補助導電体層 (補助金属層) としての金属層 375 及び第四のレジスト 376 を積層し、第四のハーフトーンマスク 377c によって、EL 駆動線 130、画素電極 38、駆動トランジスタ 3 のソース線 32、ソース電極 35、チャンネル部 37、ドレイン電極 36 及びドレイン線 33、並びに、測定用トランジスタ 5 のソース線 52、ソース電極 55、チャンネル部 57、ドレイン電極 56 及びドレイン線 53 を形成する (ステップ S6c)。

次に、第四のハーフトーンマスク 377c を用いた処理について、図面を参照して説明 40
する。

【0198】

(第四のハーフトーンマスクを用いた処理)

図 48 は、本発明の第三実施形態にかかる分散型無機 EL 表示装置に使用させる TFT 基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、(a) は酸化物透明導電体層成膜／金属層成膜／第四のレジスト塗布／ハーフトーン露光／現像された断面図を、(b) は第六のエッチング／第四のレジストの再形成された断面図を示している。なお、同図では、理解しやすいように、EL 駆動線 130 を省略してある。

同図 (a) において、露出したゲート絶縁膜 30 及び n 型酸化物半導体層 371 上に、 50

まず、酸化インジウム－酸化スズ－酸化亜鉛（ $\text{In}_2\text{O}_3 : \text{SnO}_2 : \text{ZnO} = \text{約} 60 : 20 : 20 \text{ wt} \%$ ）ターゲットを用いて、高周波スパッタリング法により、酸素約1%、アルゴン約99%、さらに、酸化物透明導電体層374を結晶化させない条件で厚み約120nmの酸化物透明導電体層374を形成する。

【0199】

続いて、MoとAlとMoを、これらの順に高周波スパッタリング法を用いて膜厚約50nm、250nm、50nm積層し、Mo層／Al層／Mo層からなる補助導電体層としての金属層375を形成する。

次に、金属層375上に、第四のレジスト376が塗布され、第四のハーフトーンマスク377c及びハーフトーン露光によって、第四のレジスト376を所定の形状に形成する。すなわち、第四のレジスト376は、EL駆動線130、画素電極38、駆動トランジスタ3のソース線32、ソース電極35、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、ドレイン電極56及びドレイン線53を覆い、かつ、ハーフトーンマスク部378によって、画素電極38を覆う部分が他の部分より薄い形状に形成される。

【0200】

次に、同図（b）に示すように、第六のエッチングとして、まず、第四のレジスト376、並びに、燐酸、酢酸、硝酸及び水からなるエッチング液（体積比は、それぞれ9：8：1：2）を用いて、金属層375をエッチングする。続いて、第四のレジスト376及び稀酸水溶液を用いて、酸化物透明導電体層374をエッチングし、EL駆動線130、画素電極38、駆動トランジスタ3のソース線32、ソース電極35、チャンネル部37、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、チャンネル部57、ドレイン電極56及びドレイン線53を形成する（ステップS6c）。

【0201】

続いて、上記第四のレジスト376をアッシングし、画素電極38の上方の金属層375が露出し、かつ、EL駆動線130、駆動トランジスタ3のソース線32、ソース電極35、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、ドレイン電極56及びドレイン線53が覆われる形状に、第四のレジスト376を再形成する。

【0202】

図49は、本発明の第三実施形態にかかる分散型無機EL表示装置に使用させるTF基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、第七のエッチング／第四のレジスト剥離された断面図を示している。

同図において、第七のエッチングとして、再形成された第四のレジスト376、並びに、燐酸、酢酸、硝酸及び水からなるエッチング液（体積比は、それぞれ9：8：1：2）を用いて、金属層375をエッチングし、画素電極38を露出させる。

【0203】

続いて、再形成された第四のレジスト376をアッシングすると、同図に示すように、ゲート絶縁膜30上に、EL駆動線130、画素電極38、駆動トランジスタ3のソース線32、ソース電極35、チャンネル部37、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、チャンネル部57、ドレイン電極56及びドレイン線53が露出する。図49に示す、EL駆動線130、キャパシタ6、画素電極38、駆動トランジスタ3のソース線32、ソース電極35、チャンネル部37、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、チャンネル部57、ドレイン電極56及びドレイン線53は、図50におけるEc－Ec、Ec'－Ec'、Ec''－Ec''断面を示している。

また、測定用トランジスタ5のドレイン線53は、コンタクトホール155を介して測定線150と接続されている。

【0204】

次に、図 4 1 に示すように、保護用絶縁膜 4 0 及び第五のレジスト 4 1 を積層し、第五のマスキング 4 2 c によって、走査線用パッド 1 2 4、データ線用パッド 1 1 4、E L 駆動線用パッド 1 3 4、測定線用パッド 1 5 4、キャパシタ線用パッド 1 6 4 及び画素電極 3 8 を露出させる（ステップ S 7 c）。

次に、第五のマスキング 4 2 c を用いた処理について、図面を参照して説明する。

【0205】

（第五のマスキングを用いた処理）

図 5 1 は、本発明の第三実施形態にかかる分散型無機 E L 表示装置に使用させる T F T 基板の製造方法の、第五のマスキングを用いた処理を説明するための概略図であり、（a）は保護用絶縁膜成膜／第五のレジスト塗布／露光／現像された断面図を、（b）は第八のエッチング／第五のレジスト剥離された断面図を示している。

同図（a）において、ガラス基板 1 0 1 の上方に、グロー放電 C V D（化学蒸着法）法により、窒化シリコン（S i N x）膜である保護用絶縁膜 4 0 を膜厚約 2 5 0 n m 堆積する。なお、本実施形態では、放電ガスとして、S i H₄ - N H₃ - N₂ 系の混合ガスを用いる。

【0206】

次に、保護用絶縁膜 4 0 上に、第五のレジスト 4 1 を塗布し、第五のマスキング 4 2 c 及び露光技術を用いて、画素電極 3 8、データ線用パッド 1 1 4、走査線用パッド 1 2 4、測定線用パッド 1 5 4、キャパシタ線用パッド 1 6 4 及び E L 駆動線用パッド 1 3 4 の上方に、開口部を有する第五のレジスト 4 1 を形成する。なお、同図において、データ線用パッド 1 1 4、走査線用パッド 1 2 4、E L 駆動線用パッド 1 3 4、キャパシタ線用パッド 1 6 4 及び測定線用パッド 1 5 4 を省略してある（なお、データ線用パッド 1 1 4、走査線用パッド 1 2 4 及び E L 駆動線用パッド 1 3 4 については、図 1 2 参照。また、測定線用パッド 1 5 4 は、データ線用パッド 1 1 4 とほぼ同様である。さらに、キャパシタ線用パッド 1 6 4 は、走査線用パッド 1 2 4 とほぼ同様である。）。

続いて、第八のエッチングとして、C H F（C F₄、C H F₃ など）ガスを用いたドライエッチングにより、保護用絶縁膜 4 0、ゲート絶縁膜 3 0、ゲート絶縁膜 2 0 をエッチングし、画素電極 3 8、データ線用パッド 1 1 4、走査線用パッド 1 2 4、測定線用パッド 1 5 4、キャパシタ線用パッド 1 6 4 及び E L 駆動線用パッド 1 3 4 を露出させる（ステップ S 7 c）。

【0207】

続いて、再形成された第五のレジスト 4 1 をアッシングすると、同図に示すように、保護用絶縁膜 4 0 が露出する。図 5 1（b）に示す、E L 駆動線 1 3 0、キャパシタ 6、画素電極 3 8、駆動トランジスタ 3 のソース線 3 2、ソース電極 3 5、チャンネル部 3 7、ドレイン電極 3 6 及びドレイン線 3 3、並びに、測定用トランジスタ 5 のソース線 5 2、ソース電極 5 5、チャンネル部 5 7、ドレイン電極 5 6 及びドレイン線 5 3 は、図 5 2 における F c - F c、F c' - F c'、F c'' - F c'' 断面を示している。

なお、本実施形態では、スイッチングトランジスタ 2、駆動トランジスタ 3、キャパシタ 6、測定用トランジスタ 5 及び画素電極 3 8 の位置や形状を、理解しやすい位置や形状としてあるが、これに限定されるものではない。

【0208】

このように、本実施形態の電流制御用 T F T 基板 1 0 0 c の製造方法によれば、交流電流によって駆動される分散型無機 E L 素子 4 c に対して、電流測定回路 1 5 によって測定された、所定の予定値とほぼ同じ値の駆動電流を供給することができるので、優れた品質の画像を提供することができる。また、駆動トランジスタ 3 及び測定用トランジスタ 5 の活性層を n 型酸化化合物半導体層 3 7 1 としてあるので、駆動トランジスタ 3 及び測定用トランジスタ 5 に大きな電流や大電力を投入した場合であっても、駆動トランジスタ 3 及び測定用トランジスタ 5 の性能劣化が小さく、安定性に優れるとともに、T F T 基板 1 0 0 c の耐久性を向上させることができる。また、第四のハーフトーンマスク 3 7 7 c を用いて、E L 駆動線 1 3 0、画素電極 3 8、駆動トランジスタ 3 のソース線 3 2、ソース電極 3

5、チャンネル部37、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、チャンネル部57、ドレイン電極56及びドレイン線53を製造することができ、使用するマスク数を削減できるので、製造工程が削減されることにより、生産効率が向上し製造原価のコストダウンを図ることができる。さらに、保護用絶縁膜40が形成されているので、TF T基板100cに、分散型無機EL材料、電極及び保護膜を設けることにより、分散型無機EL表示装置1cを容易に得ることができる。

次に、上記TF T基板100cの構成について、図面を参照して説明する。

【0209】

[電流制御用TF T基板の第三実施形態]

10

本実施形態のTF T基板100は、図39に示すように、ガラス基板101に、m（行：mは自然数）×n（列：nは自然数）個の画素10cがマトリクス状に配設されている。

また、行方向（水平方向）に、n本の走査線121、122…123が形成され、たとえば、第nの走査線123は、第n行に配設されたm個の画素10cと並列に接続されている。

さらに、行方向（水平方向）に、n本のEL駆動線131a、132a…133aが形成され、たとえば、第nのEL駆動線133を介して、第n行に配設されたm個の画素10cと並列に接続されている。

また、行方向（水平方向）に、n本のキャパシタ線160が形成され、たとえば、第nのキャパシタ線160を介して、第n行に配設されたm個の画素10cと並列に接続されている。

20

さらに、列方向（垂直方向）に、m本のデータ線111、112…113が形成され、たとえば、第mのデータ線113を介して、第m列に配設されたn個の画素10cと並列に接続されている。

また、列方向（垂直方向）に、m本の測定線151、152…153が形成され、たとえば、第mのEL駆動線133を介して、第m列に配設されたn個の画素10cと並列に接続されている。

【0210】

また、各画素10cは、図52に示すように、電気光学素子である分散型無機EL素子4c（図40参照）に電流を供給する駆動トランジスタ3と、この駆動トランジスタ3を制御するスイッチングトランジスタ2と、駆動トランジスタ3のon状態を維持するためのキャパシタ6と、分散型無機EL素子4c（図40参照）に供給される電流を測定するための測定用トランジスタ5を有している。

30

【0211】

スイッチングトランジスタ2は、図43及び図44に示すように、ゲート線21を介して走査線120と接続されたゲート電極24と、ゲート電極24上に形成されたゲート絶縁膜20と、このゲート絶縁膜20上に形成された活性層としてのα-Si:H(i)膜271およびα-Si:H(n)膜272と、ソース線22を介してデータ線110と接続されたソース電極25と、ドレイン線23及びゲート線31を介して駆動トランジスタ3のゲート電極34と接続され、かつ、ドレイン線23を介してキャパシタ6の第一電極61と接続されたドレイン電極26を備えている。

40

【0212】

キャパシタ6は、第一電極61と第二電極62の間に、絶縁層としてのゲート絶縁膜20が積層されており、on状態のスイッチングトランジスタ2を介して、第一電極61にデータ線110から直流電圧が印加され、さらに、第二電極62がキャパシタ線160と接続されているので、第一電極61には、データ線110から印加された直流電圧に相当する電荷が蓄積される。したがって、スイッチングトランジスタ2がoffされても、第一電極61に蓄えられた電荷によって、データ線110から直流電圧が印加されていたときと同じ状態で、スイッチングトランジスタ2のon状態が維持される。

50

【0213】

駆動トランジスタ3は、図49及び図50に示すように、ゲート電極34と、ゲート電極34上に形成されたゲート絶縁膜30と、このゲート絶縁膜30上に形成された活性層としてのn型酸化物半導体層371と、ソース線32を介してEL駆動線130と接続されたソース電極35と、ドレイン線33を介して画素電極38と接続され、かつ、ドレイン線33及びソース線52を介して測定用トランジスタ5のソース電極55と接続されたドレイン電極36を備えている。

【0214】

また、駆動トランジスタ3は、ソース線32、ソース電極35、ドレイン電極36、ドレイン線33が、酸化物透明導電体層374からなり、この酸化物透明導電体層374が、分散型無機EL素子4cの画素電極38を兼ねている。このようにすると、製造する際に使用するマスク数を削減でき、製造工程が削減されることにより、生産効率が向上し製造原価のコストダウンを図ることができる。なお、「酸化物透明導電体層374が、画素電極38を兼ねる」とは、形成された酸化物透明導電体層374が、画素電極38としての機能を有することをいう。

【0215】

測定用トランジスタ5は、図49及び図50に示すように、ゲート線51を介して走査線120と接続されたゲート電極54と、ゲート電極54上に形成されたゲート絶縁膜20及びゲート絶縁膜30と、このゲート絶縁膜30上に形成された活性層としてのn型酸化物半導体層371と、ソース電極55と、一部がコンタクトホール155内に形成されたドレイン線53を介して測定線150と接続されたドレイン電極56を備えている。

【0216】

また、好ましくは、EL駆動線130、駆動トランジスタ3のソース線32、ソース電極35、ドレイン電極36及びドレイン線33、並びに、測定用トランジスタ5のソース線52、ソース電極55、ドレイン電極56及びドレイン線53の上方に、補助導電体層としての金属層375を形成するとよい。このようにすると、各線や電極の電気抵抗を低減することができ、信頼性を向上させることができるとともに、エネルギー効率の低下を抑制することができる。

【0217】

このように、本実施形態のTF T基板100cは、分散型無機EL素子4cのように交流電流駆動型の電気光学素子に使用され、交流電流によって駆動される分散型無機EL素子4cに対して、電流測定回路15によって測定された、所定の予定値とほぼ同じ値の駆動電流を供給することができるので、優れた品質の画像を提供することができる。また、駆動トランジスタ3及び測定用トランジスタ5の活性層をn型酸化物半導体層371としてあるので、駆動トランジスタ3及び測定用トランジスタ5に大きな電流や大電力を投入した場合であっても、駆動トランジスタ3の性能劣化が小さく、安定性に優れるとともに、TF T基板100cの耐久性を向上させることができる。

【0218】

また、上述した分散型無機EL表示装置の第三実施形態、電流制御用TF T基板の製造方法の第三実施形態、及び、電流制御用TF T基板の第三実施形態は、様々な応用例を有している。

たとえば、上記電流制御用TF T基板の製造方法の第三実施形態では、データ線用パッド114、走査線用パッド124、EL駆動線用パッド134及び測定線用パッド154は、ゲート絶縁膜30の下方に形成されるが、これに限定されるものではなく、たとえば、保護用絶縁膜40の下方であって、かつ、ゲート絶縁膜30の上方に（すなわち、保護用絶縁膜40により接近した上方に）、データ線用パッド114b、走査線用パッド124b、EL駆動線用パッド134及び測定線用パッド154bを形成してもよい。

次に、上記電流制御用TF T基板の製造方法の第三実施形態にかかる応用例について、図面を参照して説明する。

【0219】

[電流制御用TFT基板の製造方法の応用例]

図53は、本発明の第三実施形態の応用例にかかる分散型無機EL表示装置に使用させるTFT基板の製造方法を説明するための概略フローチャート図を示している。なお、本応用例の製造方法は、請求項13に対応している。

同図において、本応用例のTFT基板の製造方法は、上述した第三実施形態と比べて、ステップS5dにおいて、上記ステップS5a（図41参照）に加え、データ線用パッド114bの開口部114b'、走査線用パッド124bの開口部124b'、測定線用パッド154bの開口部154b'、キャパシタ線用パッド164dの開口部164d'を形成し、さらに、ステップS6dにおいて、上記ステップS6cに加え、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b、キャパシタ線用パッド164dを形成する点が相違する。他の方法は第二実施形態とほぼ同様としてある。

したがって、図53において、図41と同様の方法については同一の符号を付して、その詳細な説明を省略する。

【0220】

ステップS5dでは、図53に示すように、ゲート絶縁膜30上に、酸化物半導体層としてのn型酸化物半導体層371及び第三のレジスト372を積層し、第三のハーフトーンマスク373dによって、駆動トランジスタ3及び測定用トランジスタ5の活性層、並びに、測定線150のコンタクトホール155、データ線用パッド114bの開口部114b'、走査線用パッド124bの開口部124b'、測定線用パッド154bの開口部154b'、キャパシタ線用パッド164dの開口部164d'を形成する。

次に、ステップS5dにおける第三のハーフトーンマスク373dを用いた処理について、図面を参照して説明する。

【0221】

（第三のハーフトーンマスクを用いた処理）

図54は、本発明の第三実施形態の応用例にかかる分散型無機EL表示装置に使用させるTFT基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、（a）はゲート絶縁膜成膜／n型酸化物半導体層成膜／第三のレジスト塗布／ハーフトーン露光／現像された断面図を、（b）は第四のエッチング／第三のレジストの再形成された断面図を示している。

なお、ステップS5dの、駆動トランジスタ3及び測定用トランジスタ5の活性層の形成方法は、第二実施形態のステップS5aとほぼ同様である（図45、46参照）。したがって、図54においては、データ線用パッド114bの開口部114b'、走査線用パッド124bの開口部124b'、測定線用パッド154bの開口部154b'、キャパシタ線用パッド164dの開口部164d'について図示している。

同図において、ゲート絶縁膜30上に、n型酸化物半導体層371を成膜し、続いて、n型酸化物半導体層371上に、第三のレジスト372を塗布し、第三のハーフトーンマスク373d及びハーフトーン露光技術を用いて、第三のレジスト372を所定の形状に形成する。すなわち、第三のレジスト372は、コンタクトホール155、データ線用パッド114bの開口部114b'、走査線用パッド124bの開口部124b'、測定線用パッド154bの開口部154b'、キャパシタ線用パッド164dの開口部164d'の上方を除くガラス基板101の上方を覆い、かつ、ハーフトーンマスク部3731によって、ゲート電極34及びゲート電極54を覆う部分より薄い形状に形成される。

【0222】

次に、同図（b）に示すように、第四のエッチングとして、まず、第三のレジスト372及び稀酸水溶液を用いて、n型酸化物半導体層371をエッチングし、さらに、第三のレジスト372及びCHF（CF₄，CHF₃など）ガスを用いたドライエッチングにより、ゲート絶縁膜30をエッチングし、コンタクトホール155、データ線用パッド114bの開口部114b'、走査線用パッド124bの開口部124b'、測定線用パッド154bの開口部154b'、キャパシタ線用パッド164dの開口部164d'を形成する。

続いて、第三のレジスト 372 をアッシングし、ゲート電極 34 及びゲート電極 54 が覆われる形状に、第三のレジスト 372 を再形成する。

【0223】

図 55 は、本発明の第三実施形態の応用例にかかる分散型無機 EL 表示装置に使用される TFT 基板の製造方法の、第三のハーフトーンマスクを用いた処理を説明するための概略図であり、第五のエッチング／第三のレジスト剥離された断面図を示している。

同図において、第五のエッチングとして、再形成された第三のレジスト 372 及び稀酸水溶液を用いて、n 型酸化物半導体層 371 をエッチングし、n 型酸化物半導体層 371 からなる駆動トランジスタ 3 及び測定用トランジスタ 5 の活性層を形成するとともに、ゲート絶縁膜 30 を露出させる。続いて、第三のレジスト 372 をアッシングし、n 型酸化物半導体層 371 を露出させる。図 55 に示すデータ線用パッド 114b の開口部 114b'、測定線用パッド 154b の開口部 154b'、走査線用パッド 124b の開口部 124b'、キャパシタ線用パッド 164d の開口部 164d' は、図 56 における Dd-Dd 断面を示している。

【0224】

次に、図 53 に示すように、酸化物透明導電体層 374、金属層 375 及び第四のレジスト 376 を積層し、第四のハーフトーンマスク 377 によって、EL 駆動線 130、画素電極 38、データ線用パッド 114b、走査線用パッド 124b、測定線用パッド 154b、キャパシタ線用パッド 164d、駆動トランジスタ 3 のソース線 32、ソース電極 35、チャンネル部 37、ドレイン電極 36 及びドレイン線 33、並びに、測定用トランジスタ 5 のソース線 52、ソース電極 55、チャンネル部 57、ドレイン電極 56 及びドレイン線 53 を形成する（ステップ S6d）。

次に、第四のハーフトーンマスク 377 を用いた処理について、図面を参照して説明する。

【0225】

（第四のハーフトーンマスクを用いた処理）

図 57 は、本発明の第三実施形態の応用例にかかる分散型無機 EL 表示装置に使用される TFT 基板の製造方法の、第四のハーフトーンマスクを用いた処理を説明するための概略図であり、（a）は酸化物透明導電体層成膜／金属層成膜／第四のレジスト塗布／ハーフトーン露光／現像された断面図を、（b）は第六のエッチング／第四のレジストの再形成／第七のエッチング／第四のレジスト剥離された断面図を示している。

なお、ステップ S6d の、駆動トランジスタ 3 及び測定用トランジスタ 5 の製造方法は、第二実施形態のステップ S6c とほぼ同様である（図 48、49 参照）。したがって、図 57 においては、データ線用パッド 114b の開口部 114b'、走査線用パッド 124b の開口部 124b'、測定線用パッド 154b の開口部 154b'、キャパシタ線用パッド 164d の開口部 164d' について図示している。

同図（a）において、露出したゲート絶縁膜 30 及び n 型酸化物半導体層 371 上に、まず、酸化インジウム－酸化スズ－酸化亜鉛（ $\text{In}_2\text{O}_3 : \text{SnO}_2 : \text{ZnO} = \text{約 } 60 : 20 : 20 \text{ wt } \%$ ）ターゲットを用いて、高周波スパッタリング法により、酸素約 1%、アルゴン約 99%、さらに、酸化物透明導電体層 374 を結晶化させない条件で厚み約 120nm の酸化物透明導電体層 374 を形成する。

【0226】

続いて、Mo と Al と Mo を、これらの順に高周波スパッタリング法を用いて膜厚約 50nm、250nm、50nm 積層し、Mo 層／Al 層／Mo 層からなる補助導電体層としての金属層 375 を形成する。

次に、金属層 375 上に、第四のレジスト 376 が塗布され、第四のハーフトーンマスク 377 及びハーフトーン露光によって、第四のレジスト 376 を所定の形状に形成する。すなわち、第四のレジスト 376 は、EL 駆動線 130、画素電極 38、データ線用パッド 114b、走査線用パッド 124b、測定線用パッド 154b、キャパシタ線用パッド 164d、駆動トランジスタ 3 のソース線 32、ソース電極 35、ドレイン電極 36 及

びドレイン線 33、並びに、測定用トランジスタ 5 のソース線 52、ソース電極 55、ドレイン電極 56 及びドレイン線 53 を覆い、かつ、ハーフトーンマスク部 378 によって、画素電極 38 を覆う部分が他の部分より薄い形状に形成される。

【0227】

次に、同図 (b) に示すように、第六のエッチングとして、まず、第四のレジスト 376、並びに、燐酸、酢酸、硝酸及び水からなるエッチング液（体積比は、それぞれ 9 : 8 : 1 : 2）を用いて、金属層 375 をエッチングする。続いて、第四のレジスト 376 及び稀酸水溶液を用いて、酸化物透明導電体層 374 をエッチングし、EL 駆動線 130、画素電極 38、データ線用パッド 114b、走査線用パッド 124b、測定線用パッド 154b、キャパシタ線用パッド 164d、駆動トランジスタ 3 のソース線 32、ソース電極 35、チャンネル部 37、ドレイン電極 36 及びドレイン線 33、並びに、測定用トランジスタ 5 のソース線 52、ソース電極 55、チャンネル部 57、ドレイン電極 56 及びドレイン線 53 を形成する（ステップ S6d）。

10

【0228】

なお、ステップ S6b においては、上述したように、上記第四のレジスト 376 をアッシングし、画素電極 38 の上方の金属層 375 が露出し、かつ、EL 駆動線 130、データ線用パッド 114b、走査線用パッド 124b、測定線用パッド 154b、キャパシタ線用パッド 164d、駆動トランジスタ 3 のソース線 32、ソース電極 35、ドレイン電極 36 及びドレイン線 33、並びに、測定用トランジスタ 5 のソース線 52、ソース電極 55、ドレイン電極 56 及びドレイン線 53 が覆われる形状に、第四のレジスト 376 を再形成する。

20

そして、第七のエッチングとして、再形成された第四のレジスト 376、並びに、燐酸、酢酸、硝酸及び水からなるエッチング液（体積比は、それぞれ 9 : 8 : 1 : 2）を用いて、金属層 375 をエッチングし、画素電極 38 を露出させる。

【0229】

続いて、再形成された第四のレジスト 376 をアッシングすると、同図に示すように、ゲート絶縁膜 30 上に、EL 駆動線 130、データ線用パッド 114b、走査線用パッド 124b、測定線用パッド 154b、キャパシタ線用パッド 164d、画素電極 38、駆動トランジスタ 3 のソース線 32、ソース電極 35、チャンネル部 37、ドレイン電極 36 及びドレイン線 33、並びに、測定用トランジスタ 5 のソース線 52、ソース電極 55、チャンネル部 57、ドレイン電極 56 及びドレイン線 53 が露出する。図 57 に示す、EL 駆動線 130、データ線用パッド 114b、走査線用パッド 124b、測定線用パッド 154b、キャパシタ線用パッド 164d、画素電極 38、駆動トランジスタ 3 のソース線 32、ソース電極 35、チャンネル部 37、ドレイン電極 36 及びドレイン線 33、並びに、測定用トランジスタ 5 のソース線 52、ソース電極 55、チャンネル部 57、ドレイン電極 56 及びドレイン線 53 は、図 58 における E d - E d 断面を示している。

30

【0230】

（第五のマスクを用いた処理）

図 59 は、本発明の第三実施形態の応用例にかかる分散型無機 EL 表示装置に使用させる TFT 基板の製造方法の、第五のマスクを用いた処理を説明するための概略図であり、(a) は保護用絶縁膜成膜／第五のレジスト塗布／露光／現像された断面図を、(b) は第八のエッチング／第五のレジスト剥離された断面図を示している。

40

同図 (a) において、ガラス基板 101 の上方に、グロー放電 CVD（化学蒸着法）法により、窒化シリコン（SiNx）膜である保護用絶縁膜 40 を膜厚約 250 nm 堆積する。なお、本実施形態では、放電ガスとして、SiH₄-NH₃-N₂ 系の混合ガスを用いる。

【0231】

次に、保護用絶縁膜 40 上に、第五のレジスト 41 を塗布し、第五のマスク 42 及び露光技術を用いて、画素電極 38、データ線用パッド 114b、走査線用パッド 124b、測定線用パッド 154b、キャパシタ線用パッド 164d 及び EL 駆動線用パッド 134

50

の上方に、開口部を有する第五のマスク42を形成する。なお、同図において、データ線用パッド114b、走査線用パッド124b、EL駆動線用パッド134、キャパシタ線用パッド164d及び測定線用パッド154bを図示してある（なお、その他の構造については、図51参照）。

続いて、第八のエッチングとして、CHF（CF₄，CHF₃など）ガスを用いたドライエッチングにより、保護用絶縁膜40、ゲート絶縁膜30、ゲート絶縁膜20をエッチングし、画素電極38、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b、キャパシタ線用パッド164d及びEL駆動線用パッド134を露出させる（ステップS7c）。

【0232】

続いて、再形成された第五のレジスト41をアッシングすると、同図に示すように、保護用絶縁膜40が露出する。図59（b）に示す、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b、キャパシタ線用パッド164d及びEL駆動線用パッド134は、図60におけるFd-Fd断面を示している。

【0233】

このように、本実施形態の電流制御用TF T基板100dの製造方法によれば、第三実施形態の製造方法とほぼ同様の効果を有するとともに、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b、164d及びEL駆動線用パッド134が、保護用絶縁膜40のすぐ下層に形成されるので、データ線用パッド114b、走査線用パッド124b、測定線用パッド154b、キャパシタ線用パッド164d及びEL駆動線用パッド134への接続性を向上させることができる。

【0234】

以上、本発明の電気光学装置、及び、電流制御用TF T基板の製造方法について、好ましい実施形態を示して説明したが、本発明に係る電気光学装置、及び、電流制御用TF T基板の製造方法は、上述した実施形態にのみ限定されるものではなく、本発明の範囲で種々の変更実施が可能であることは言うまでもない。

たとえば、第一実施形態にかかるTF T基板100の製造方法の応用例として、スイッチングトランジスタ2の活性層として、n型酸化物半導体層を用いた応用例を説明したが、この応用は、第二実施形態及び第三実施形態、並びに、これらの応用例にかかるTF T基板の製造方法に対しても適用することができる。

また、第三実施形態にかかるTF T基板100cは、分散型無機EL素子4cに対応した構成としてあるが、この構成に限定されるものではなく、たとえば、一枚のTF T基板が、該TF T基板に混載された直流駆動型及び交流駆動型の電気光学素子を駆動させることも可能となり、様々なバリエーション（応用技術）を実現することができる。

さらに、第二実施形態及び第三実施形態の電気光学装置（有機EL表示装置1、分散型無機EL表示装置1c）における回路構成は、上記構成に限定されるものではなく、たとえば、補足的な回路（予備用のキャパシタやトランジスタなど）を備えた構成としてもよい。

【産業上の利用可能性】

【0235】

本発明の電気光学装置、及び、電流制御用TF T基板の製造方法は、液晶素子、有機EL素子、無機EL素子などを用いた電気光学装置、及び、電流制御用TF T基板の製造方法に限定されるものではなく、たとえば、液晶や有機EL以外の素材を用いた表示装置、あるいは、他の用途に使用されるTF T基板の製造方法としても、本発明を適用することが可能である。

【符号の説明】

【0236】

- 1, 1a 有機EL表示装置
- 1c 分散型無機EL表示装置
- 2, 2' スwitchングトランジスタ

10

20

30

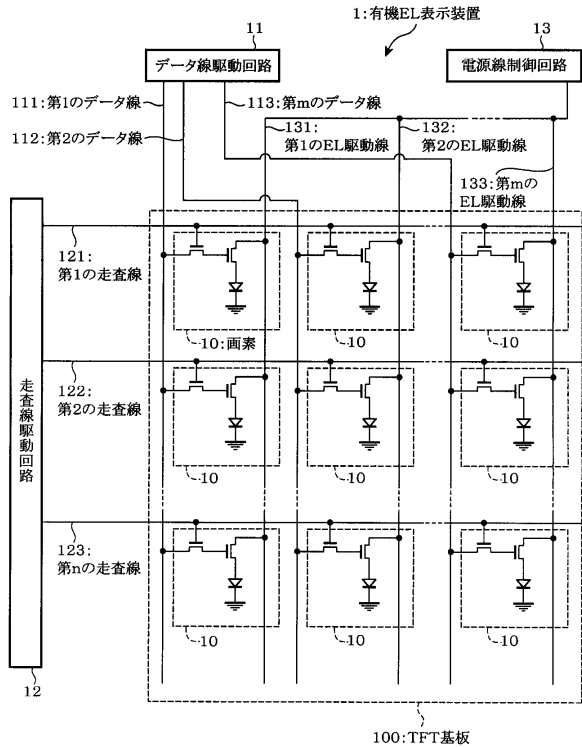
40

50

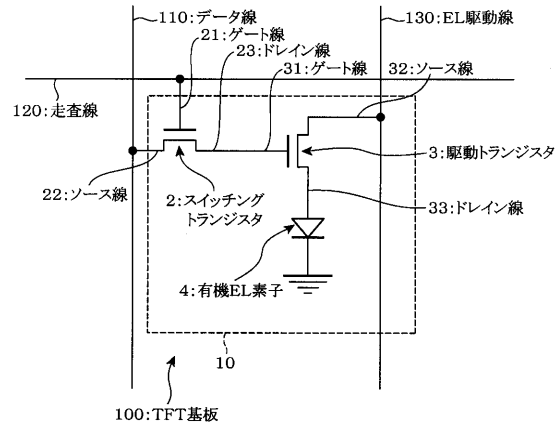
3	駆動トランジスタ	
4	有機EL素子	
4 c	分散型無機EL素子	
5	測定用トランジスタ	
6	キャパシタ	
1 0,	1 0 a, 1 0 a', 1 0 c	画素
1 1	データ線駆動回路	
1 2	走査線駆動回路	
1 3,	1 3 a	電源線制御回路
1 5	電流測定回路	10
2 0	ゲート絶縁膜	
2 1	ゲート線	
2 2,	2 2'	ソース線
2 3,	2 3'	ドレイン線
2 4	ゲート電極	
2 5,	2 5'	ソース電極
2 6,	2 6'	ドレイン電極
2 7,	2 7'	チャンネル部
3 0	ゲート絶縁膜	
3 1,	3 1'	ゲート線
3 2	ソース線	20
3 3	ドレイン線	
3 4,	3 4'	ゲート電極
3 5	ソース電極	
3 6	ドレイン電極	
3 7	チャンネル部	
4 0	保護用絶縁膜	
4 1	第五のレジスト	
4 2,	4 2 c	第五のマスク
5 1	ゲート線	30
5 2	ソース線	
5 3	ドレイン線	
5 4	ゲート電極	
5 5	ソース電極	
5 6	ドレイン電極	
5 7	チャンネル部	
6 1	第一電極	
6 2	第二電極	
1 0 0,	1 0 0 a, 1 0 0 b, 1 0 0 c	TFT基板
1 0 1	ガラス基板	40
1 1 0,	1 1 0'	データ線
1 1 1	第1のデータ線	
1 1 2	第2のデータ線	
1 1 3	第mのデータ線	
1 1 4	データ線用パッド	
1 1 4 b	データ線用パッド	
1 1 4 b'	開口部	
1 2 0,	1 2 0 a, 1 2 0 a'	走査線
1 2 1	第1の走査線	
1 2 2	第2の走査線	50

1 2 3	第 n の走査線	
1 2 4	走査線用パッド	
1 2 4 b	走査線用パッド	
1 2 4 b ′	開口部	
1 3 0, 1 3 0 a, 1 3 0 a ′	E L 駆動線	
1 3 1, 1 3 1 a	第 1 の E L 駆動線	
1 3 2, 1 3 2 a	第 2 の E L 駆動線	
1 3 3	第 m の E L 駆動線	
1 3 3 a	第 n の E L 駆動線	
1 3 4	E L 駆動線用パッド	10
1 5 0	測定線	
1 5 1	第 1 の測定線	
1 5 2	第 2 の測定線	
1 5 3	第 m の測定線	
1 5 4	測定線用パッド	
1 5 4 b	測定線用パッド	
1 5 4 b ′	開口部	
1 5 5	コンタクトホール	
1 6 0	キャパシタ線	
1 6 4, 1 6 4 d	キャパシタ線用パッド	20
1 6 4 d ′	開口部	
2 1 0	金属層	
2 1 1	第一のレジスト	
2 1 2	第一のマスク	
2 7 1	α -S i : H (i) 膜	
2 7 1 ′	n 型酸化物半導体層	
2 7 2	α -S i : H (n) 膜	
2 7 2 ′	酸化物透明導電体層	
2 7 3	金属層	
2 7 4	第二のレジスト	30
2 7 5, 2 7 5 a, 2 7 5 c	第二のハーフトーンマスク	
2 7 6	ハーフトーンマスク部	
3 7 1	n 型酸化物半導体層	
3 7 2	第三のレジスト	
3 7 3	第三のマスク	
3 7 3 a, 3 7 3 d	第三のハーフトーンマスク	
3 7 4	酸化物透明導電体層	
3 7 5	金属層	
3 7 6	第四のレジスト	
3 7 7, 3 7 7 c	第四のハーフトーンマスク	40
3 7 8	ハーフトーンマスク部	
3 7 3 1	ハーフトーンマスク部	

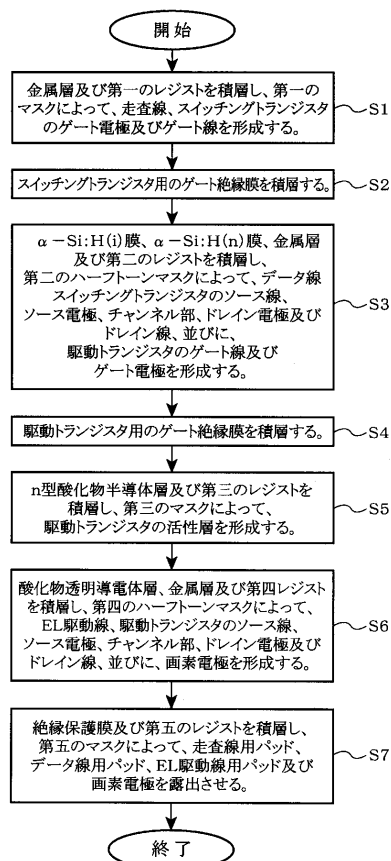
【図 1】



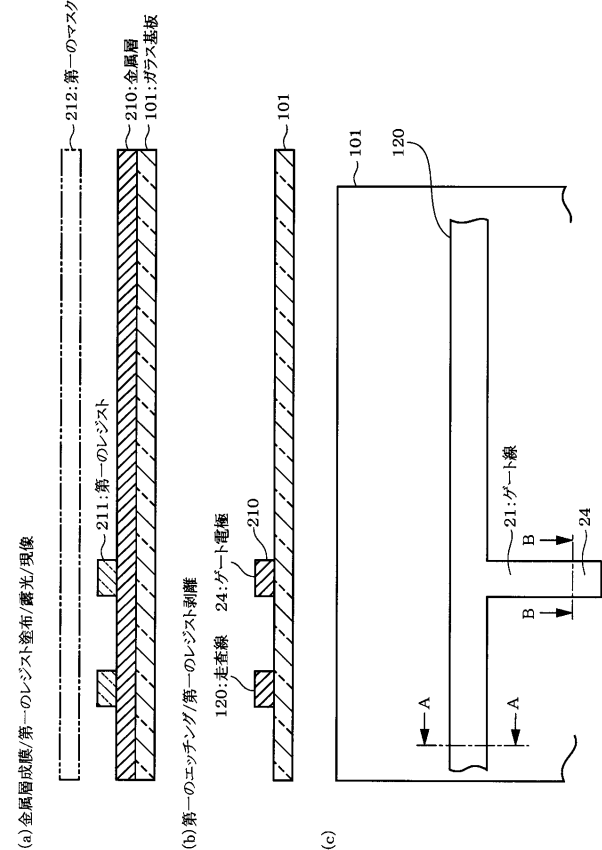
【図 2】



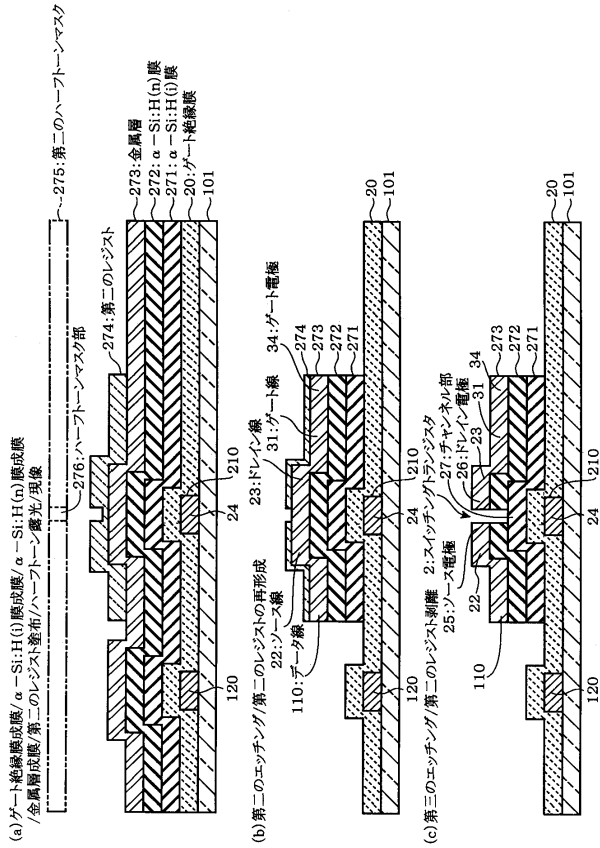
【図 3】



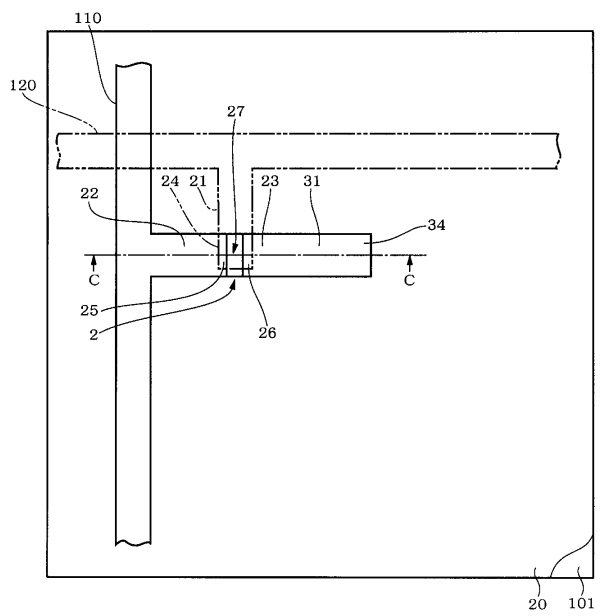
【図 4】



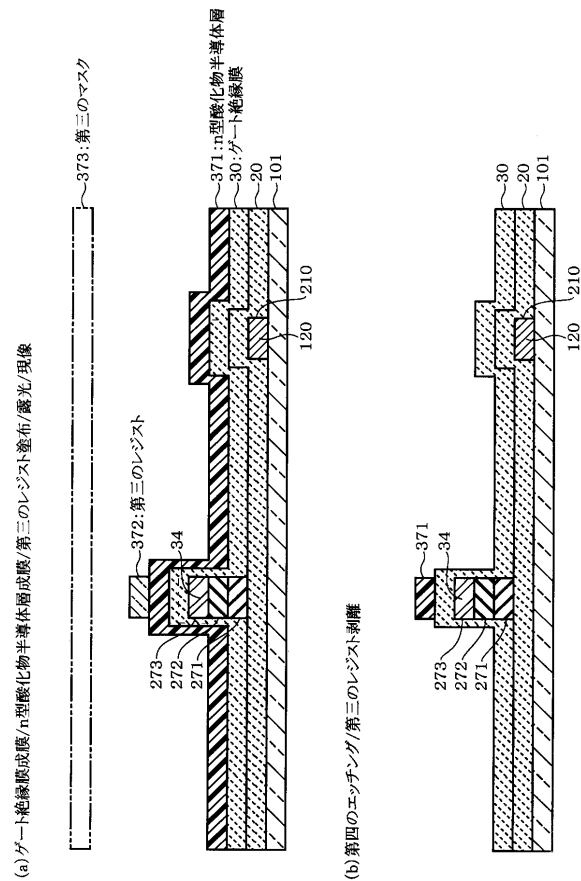
【図 5】



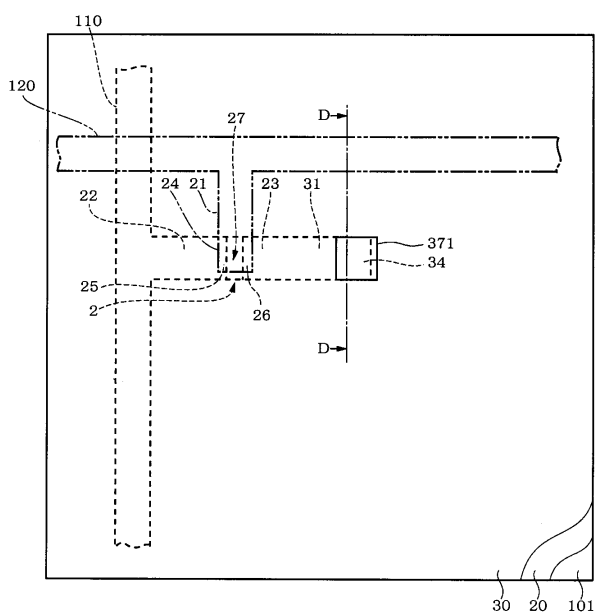
【図 6】



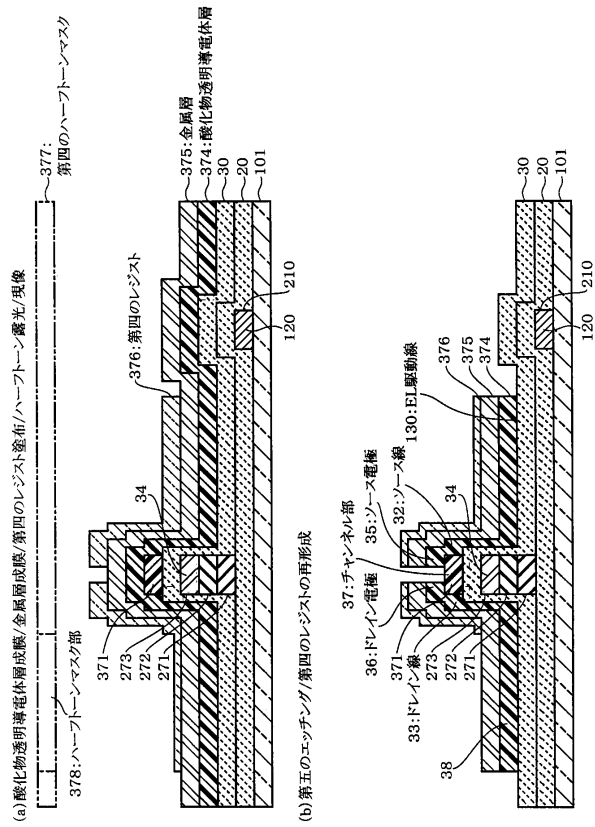
【图 7】



【图 8】

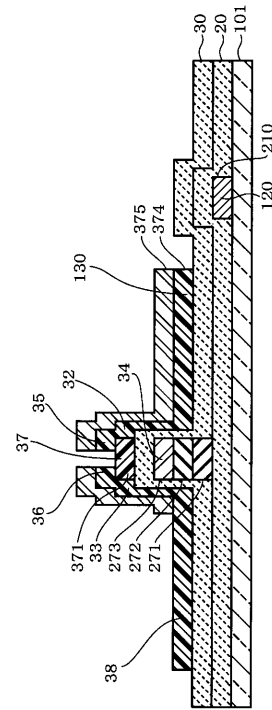


【図 9】

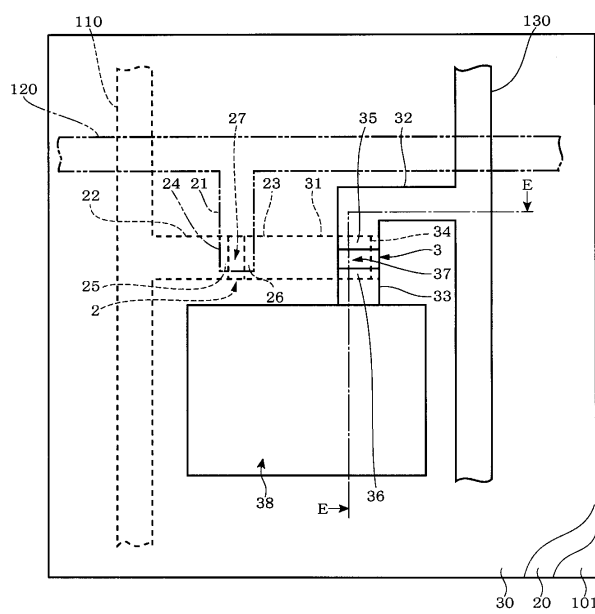


【図 10】

第六のエッチング/第四のレジスト剥離

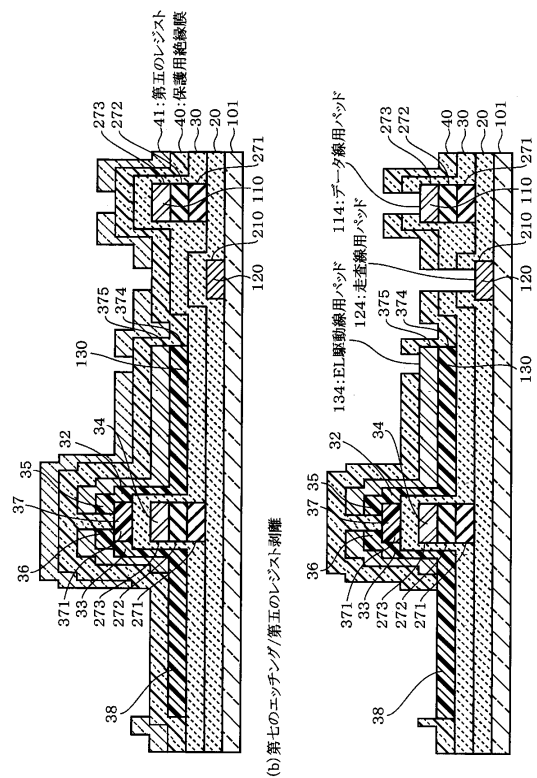


【図 11】



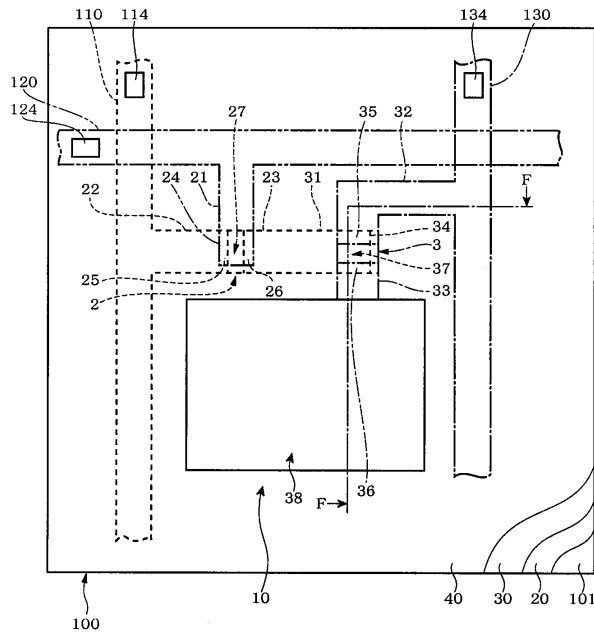
(a) 保護用絶縁膜形成/第五のレジスト塗布/露光/現像

【図 12】

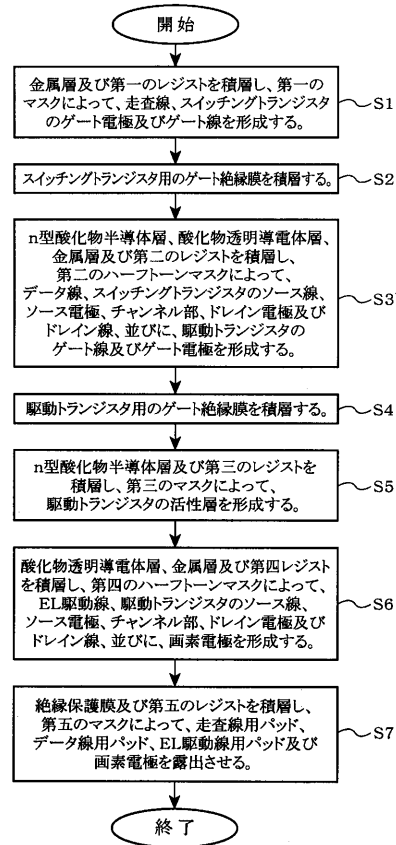


(b) 第七のエッチング/第五のレジスト剥離

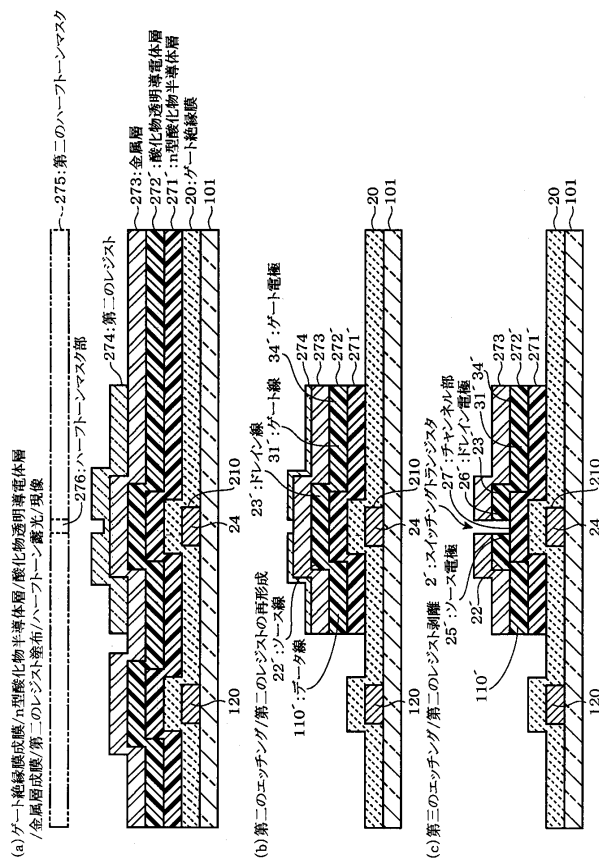
【図 13】



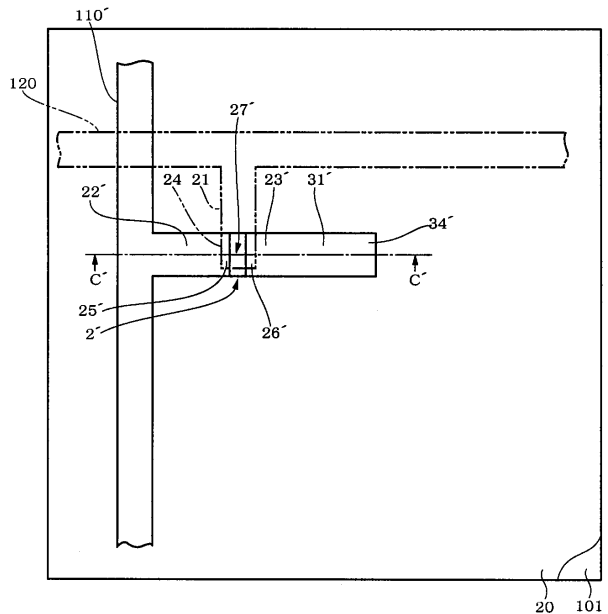
【図 14】



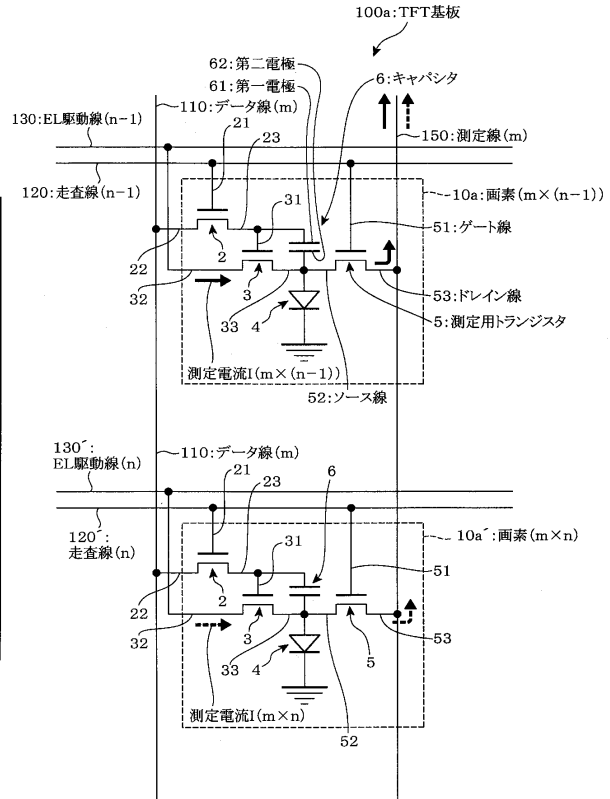
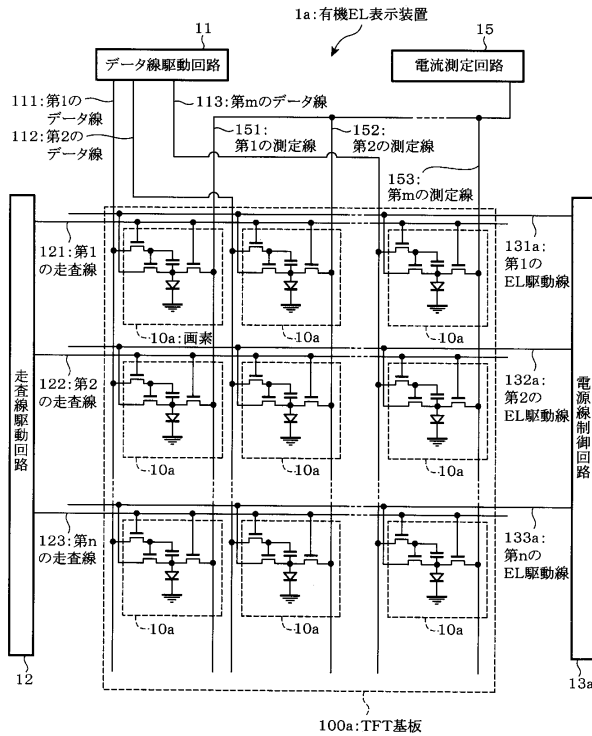
【図 15】



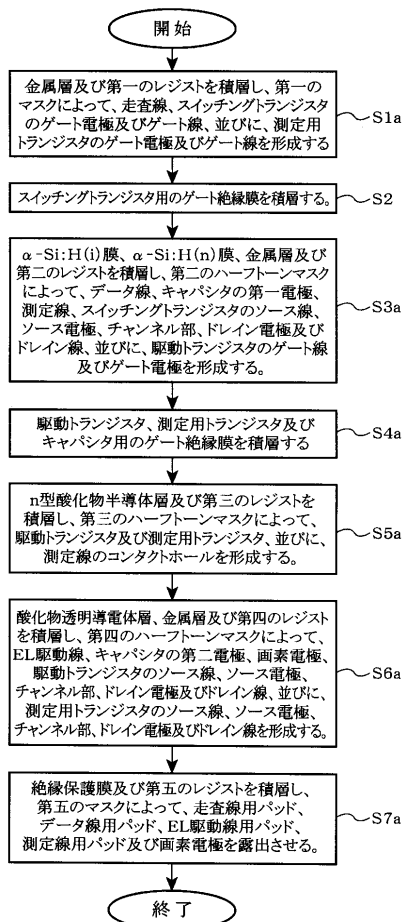
【図 16】



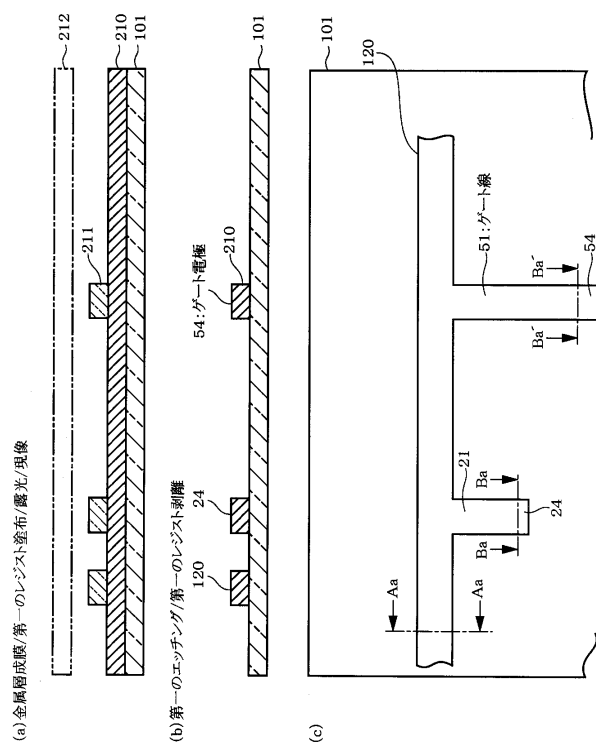
【图 18】



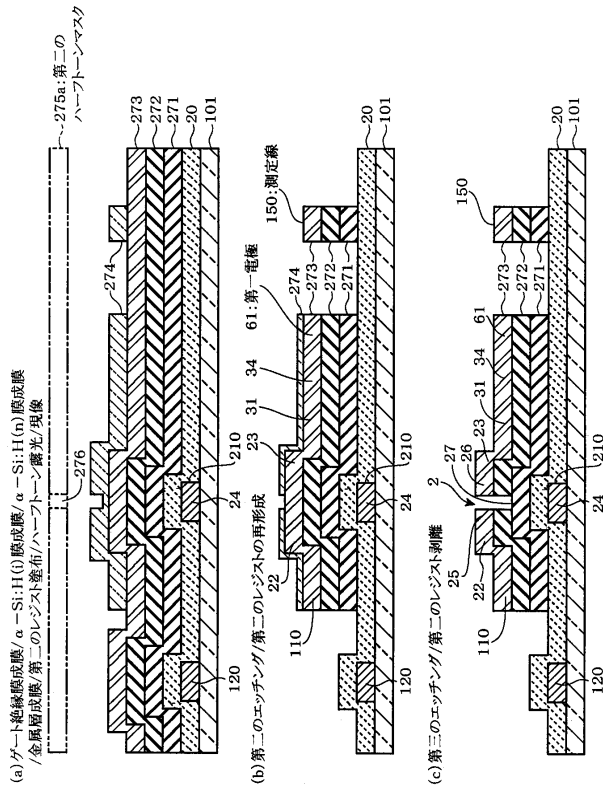
【図 19】



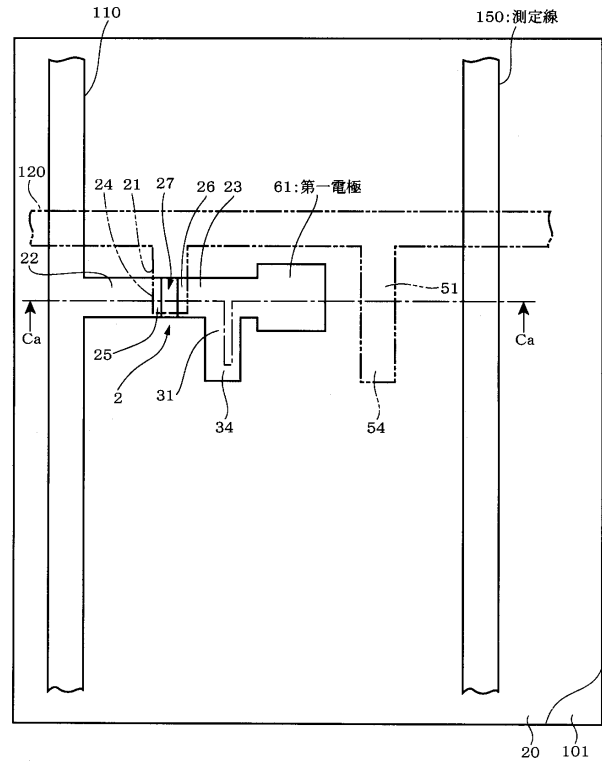
【図 20】



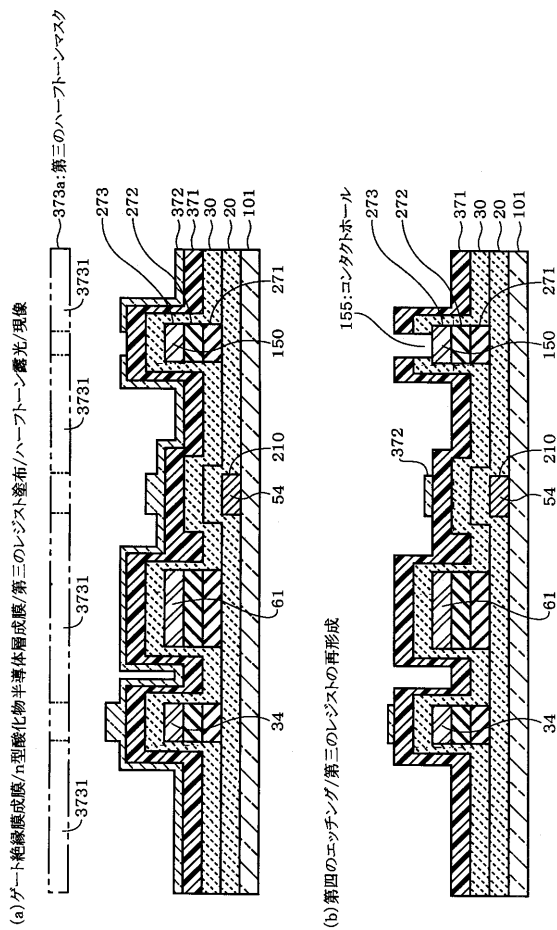
【図 2 1】



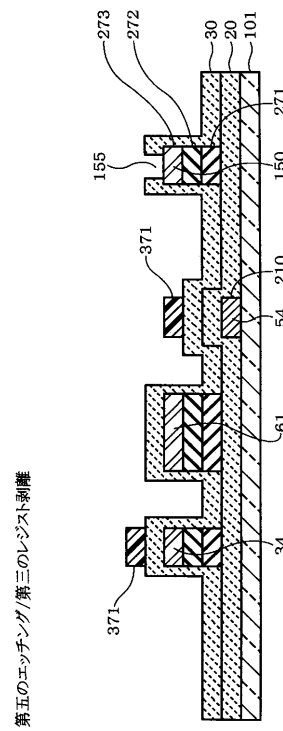
【図 2 2】



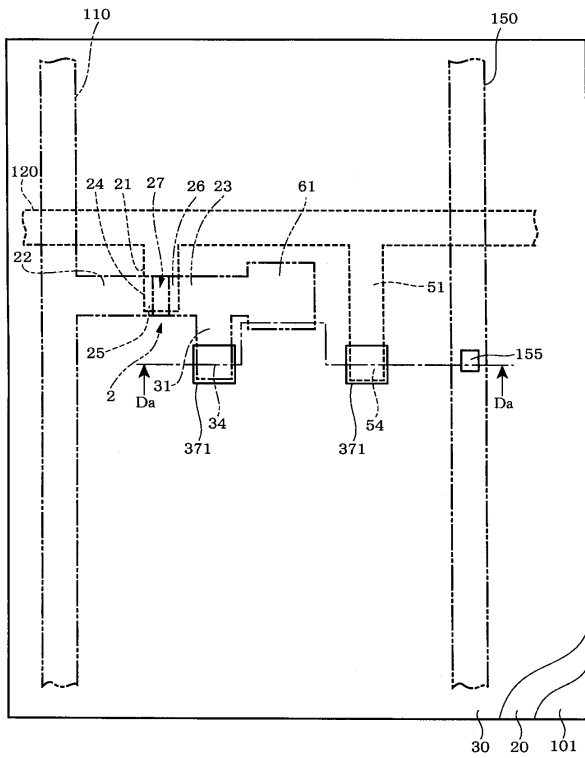
【図 2 3】



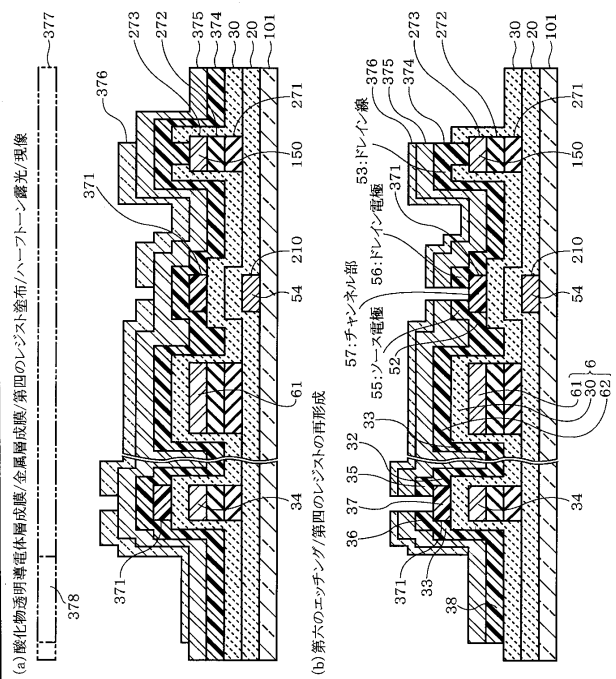
【図 2 4】



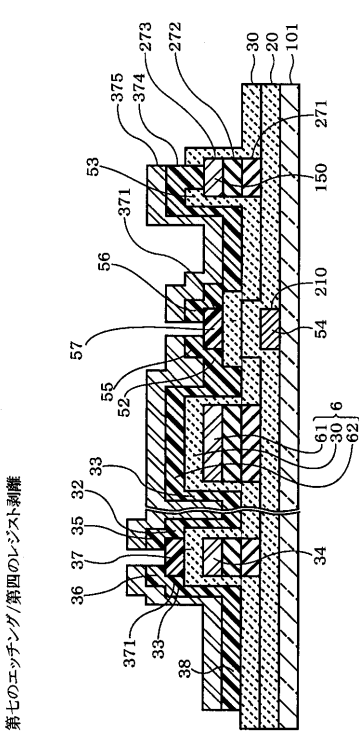
【図 2 5】



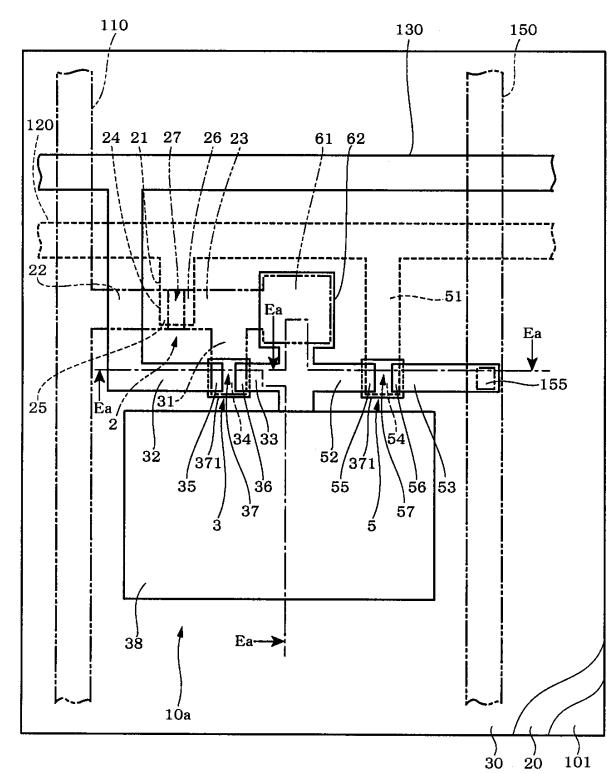
【図 26】



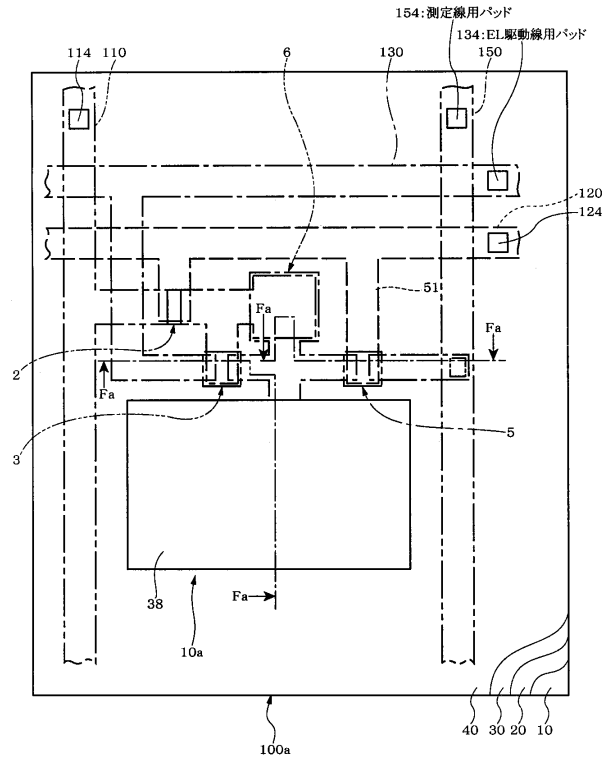
【図 27】



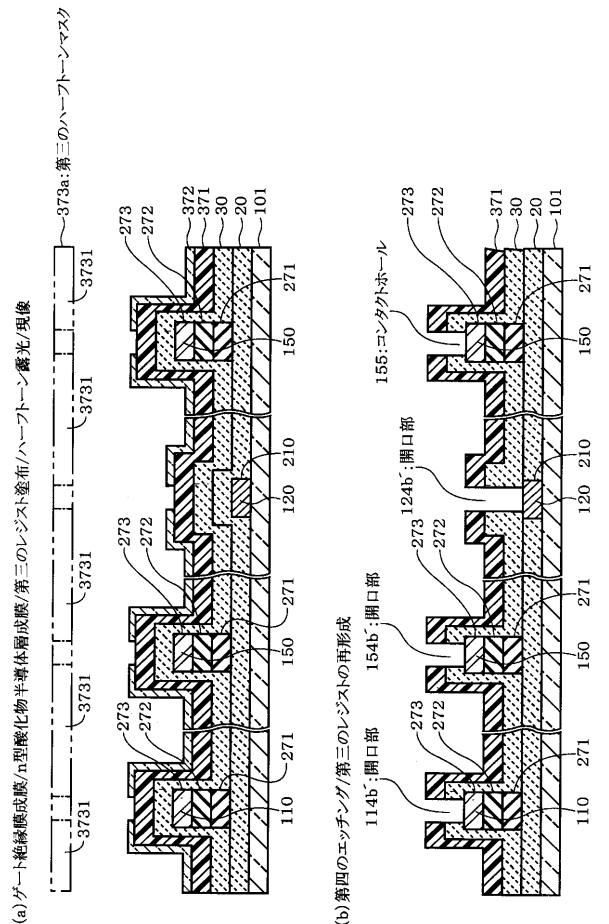
【图 28】



【図 30】

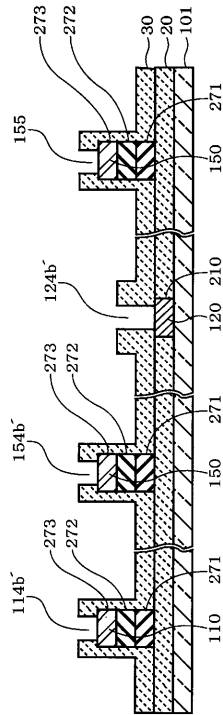


【図 3 2】

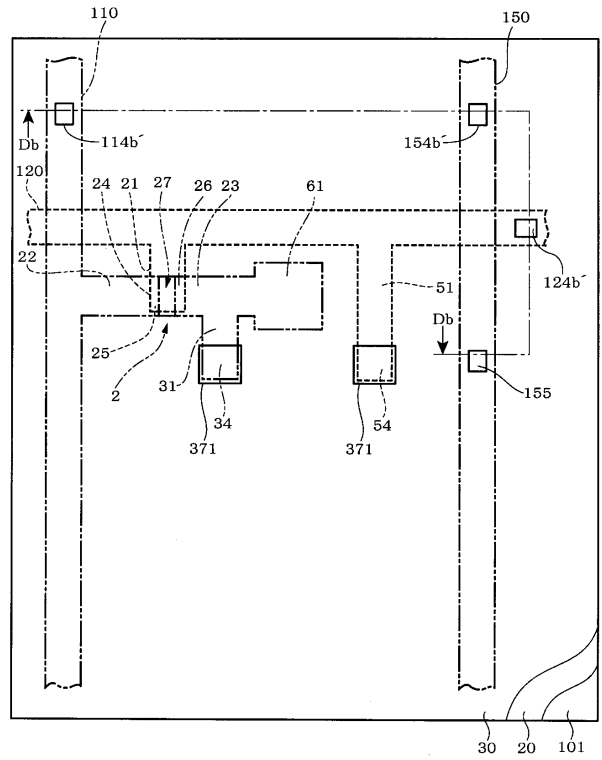


【図 3 3】

第五のエッチング/第三のレジスト剥離



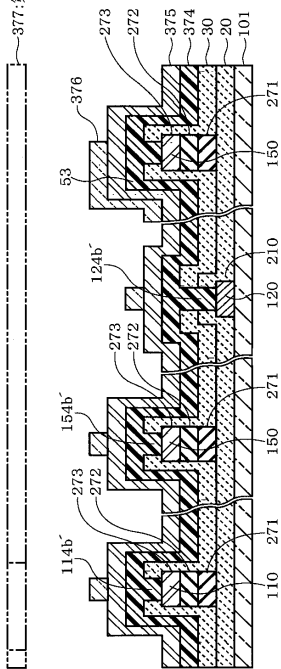
【図 3 4】



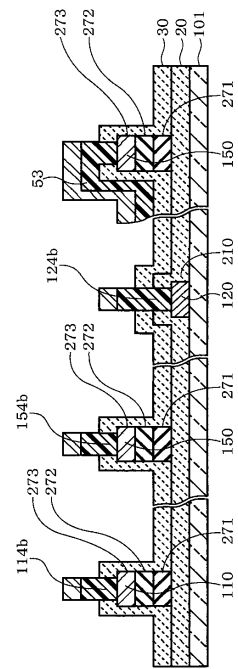
【図 3 5】

377: 第四のハーフトーンマスク

(a) 酸化物透明導電体層成膜/金属層成膜/第四のレジスト塗布/ハーフトーン露光/現像

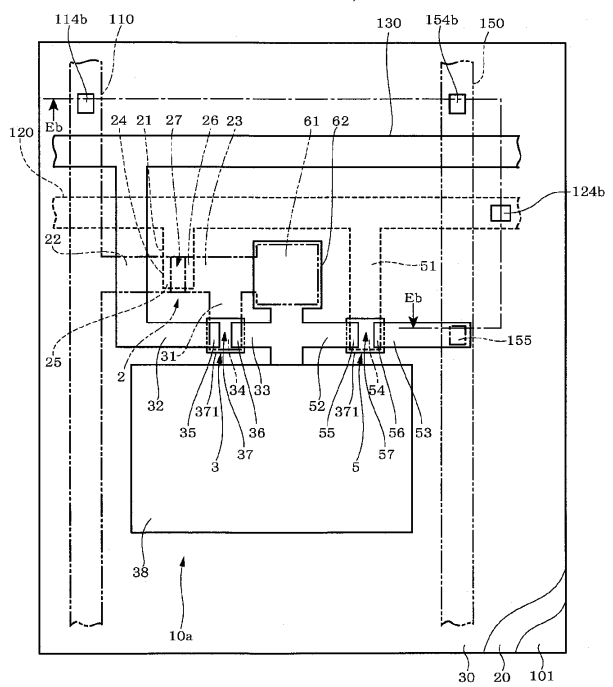


(b) 第六のエッチング/第四のレジストの再形成/第七のエッチング/第四のレジスト剥離

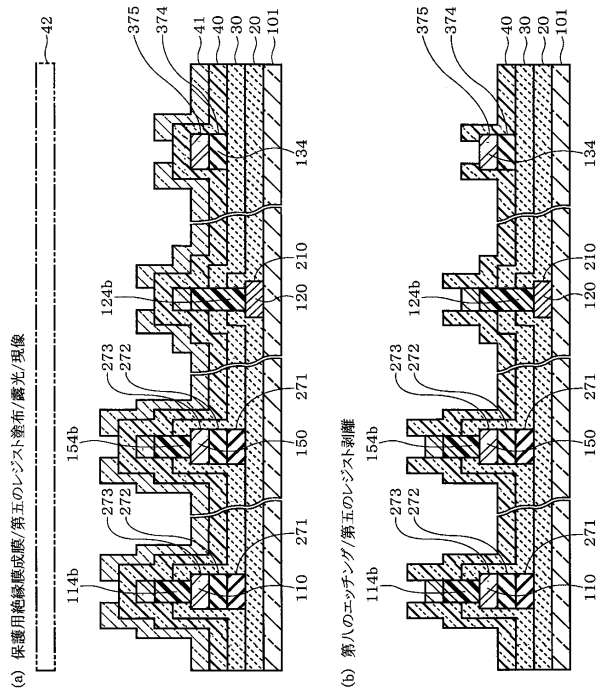


【図 3 6】

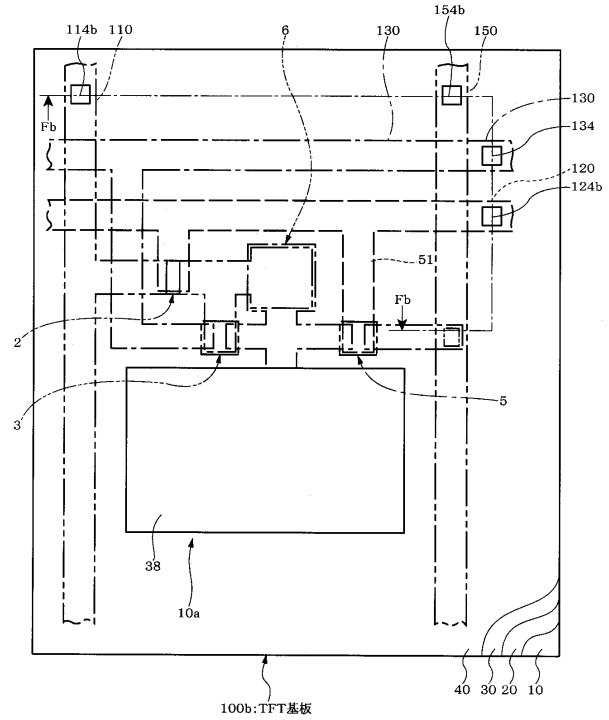
100b: TFT基板



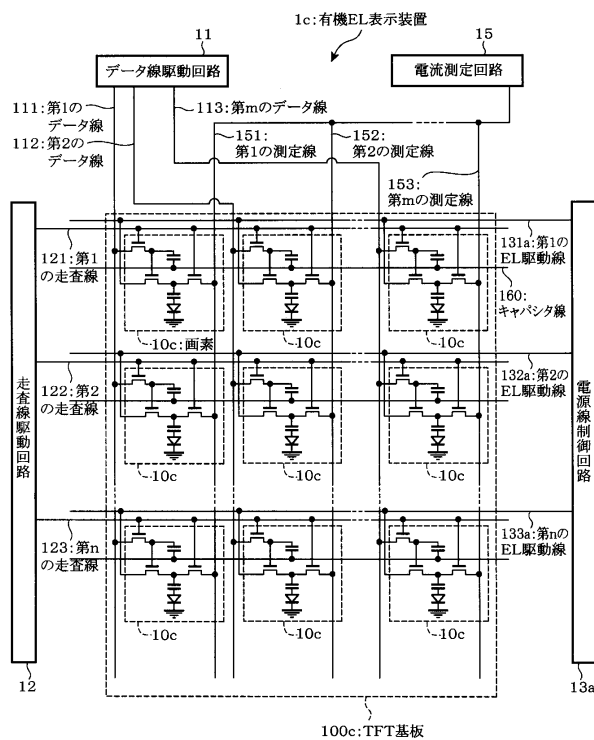
【図 37】



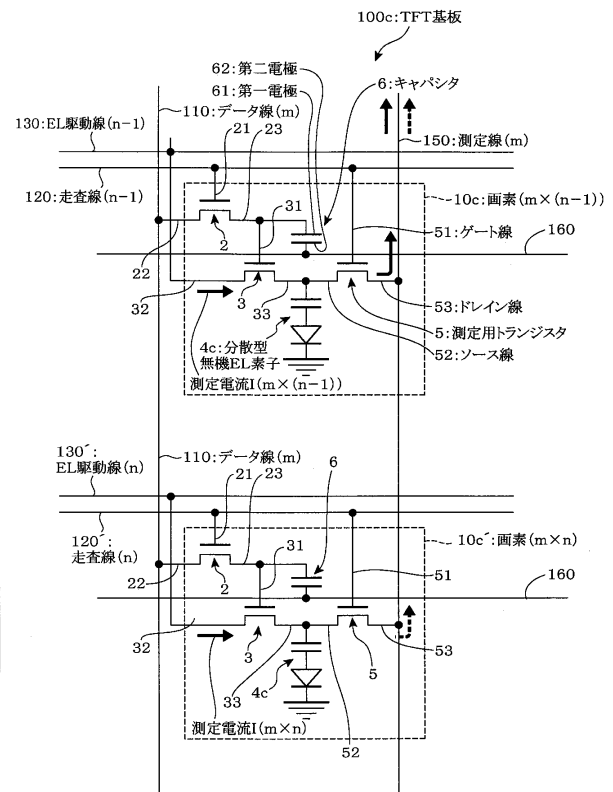
【図 38】



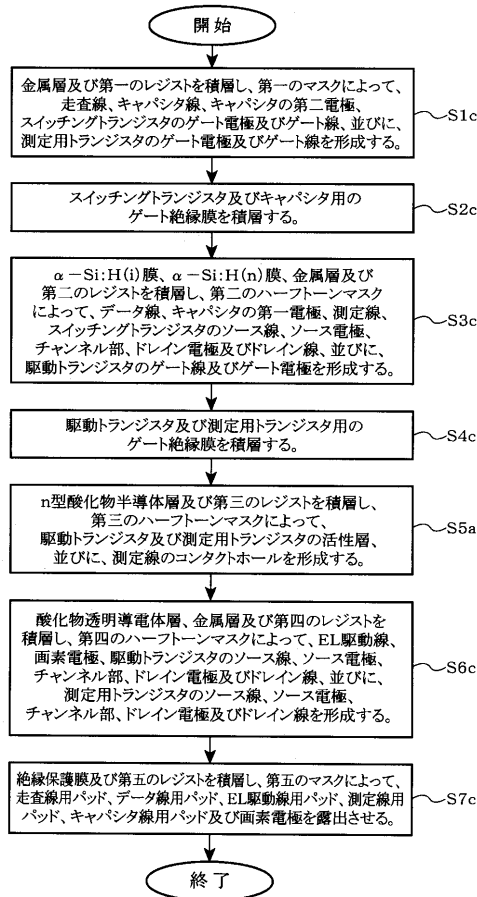
【図 39】



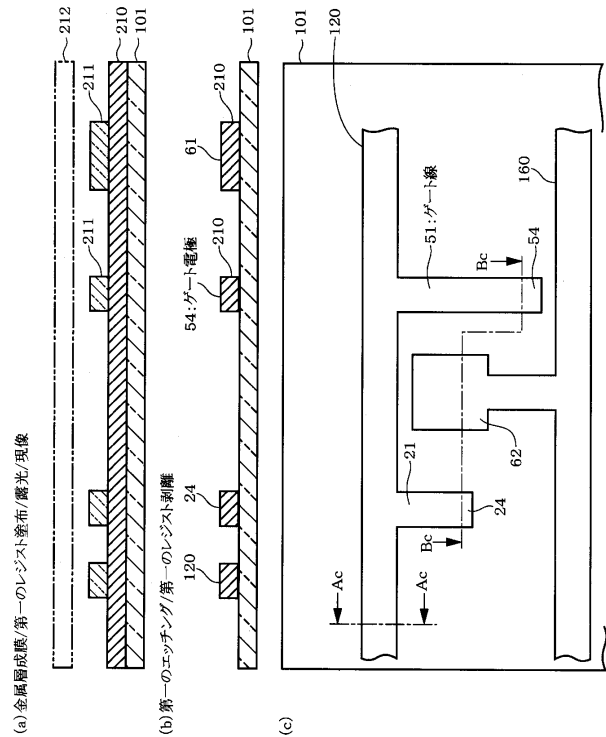
【図 40】



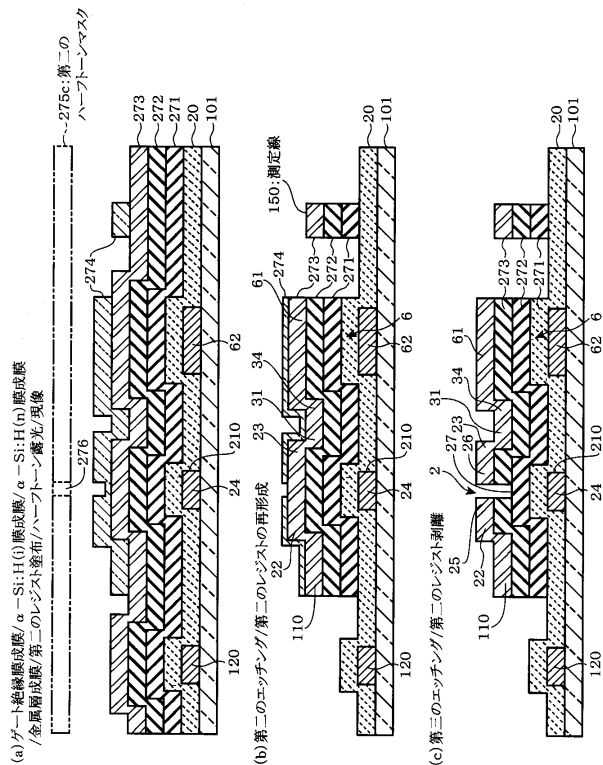
【図 4 1】



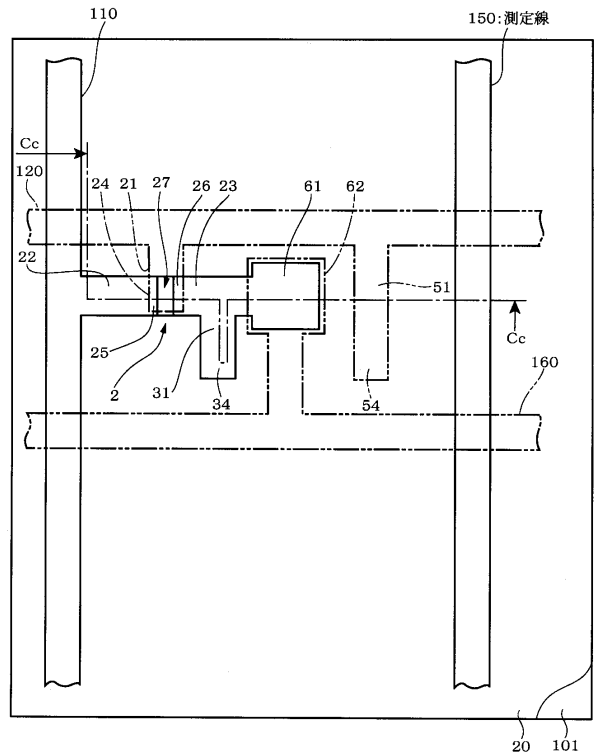
【図 4 2】



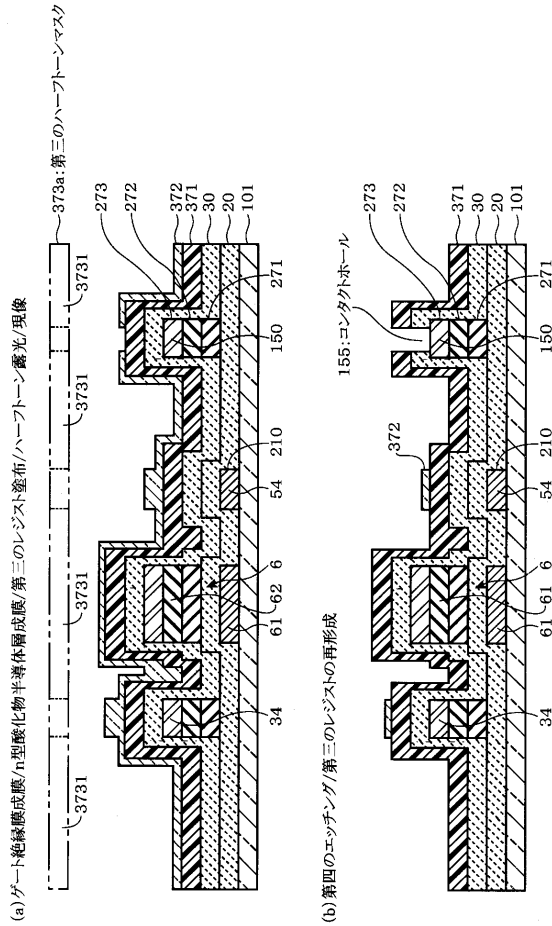
【図 4 3】



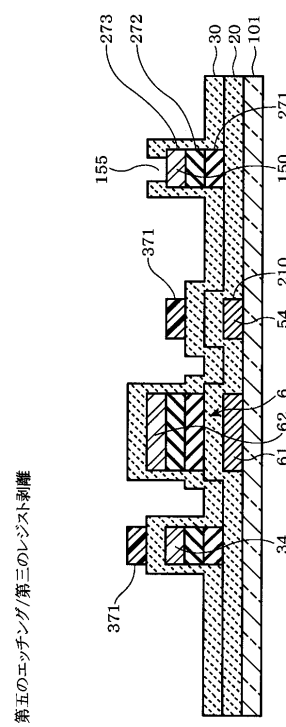
【図 4 4】



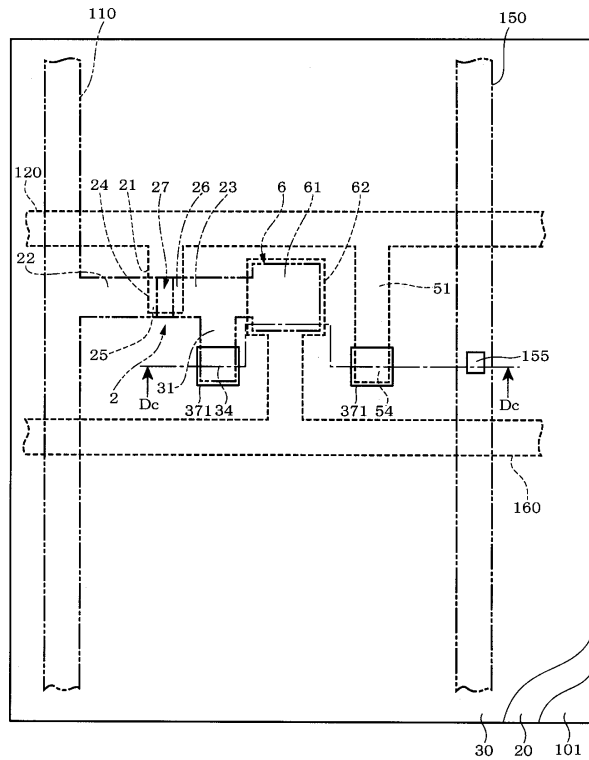
【図 45】



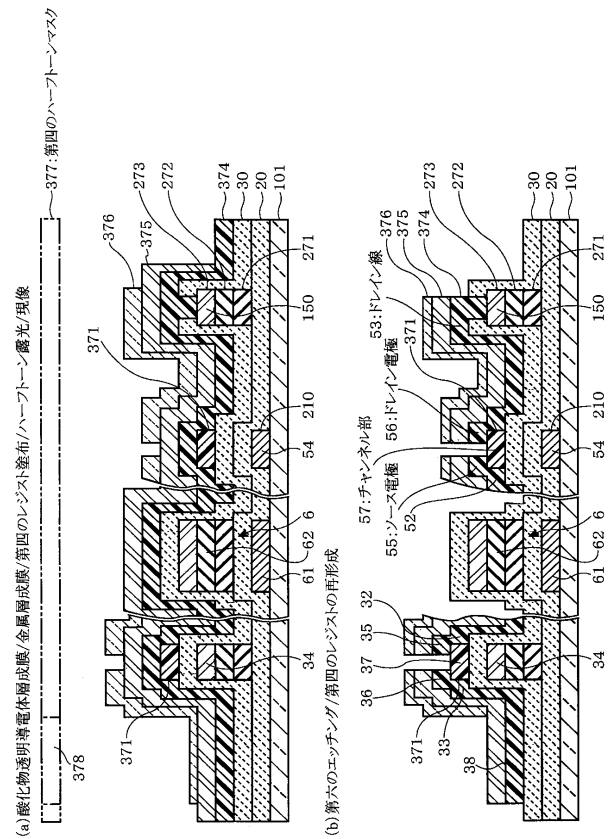
【図 46】



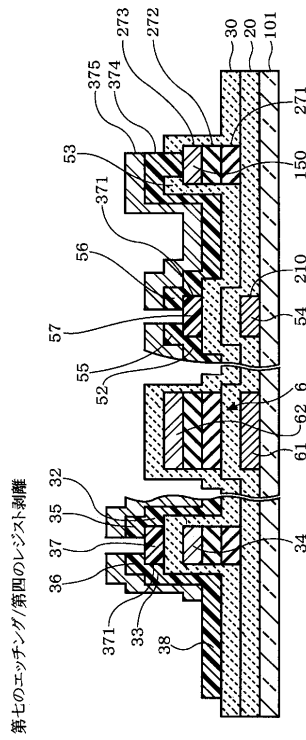
【図 47】



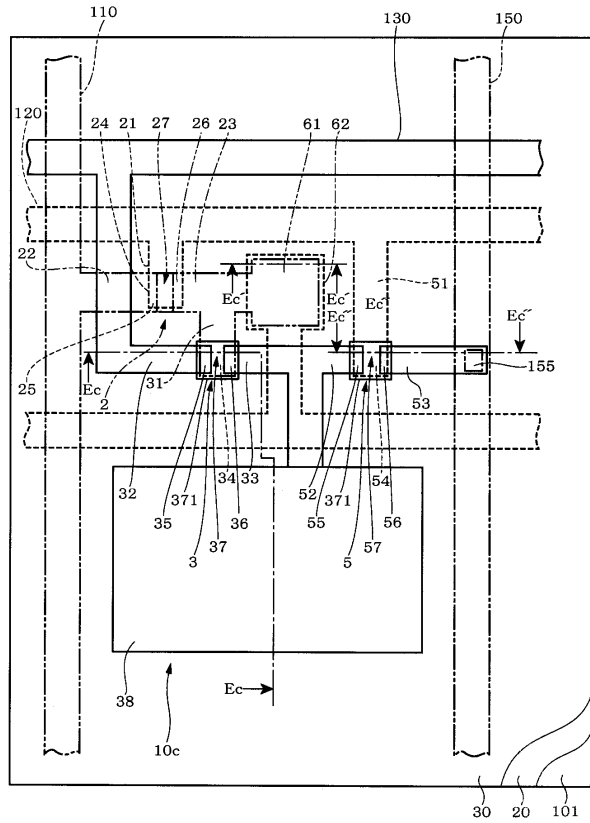
【図 48】



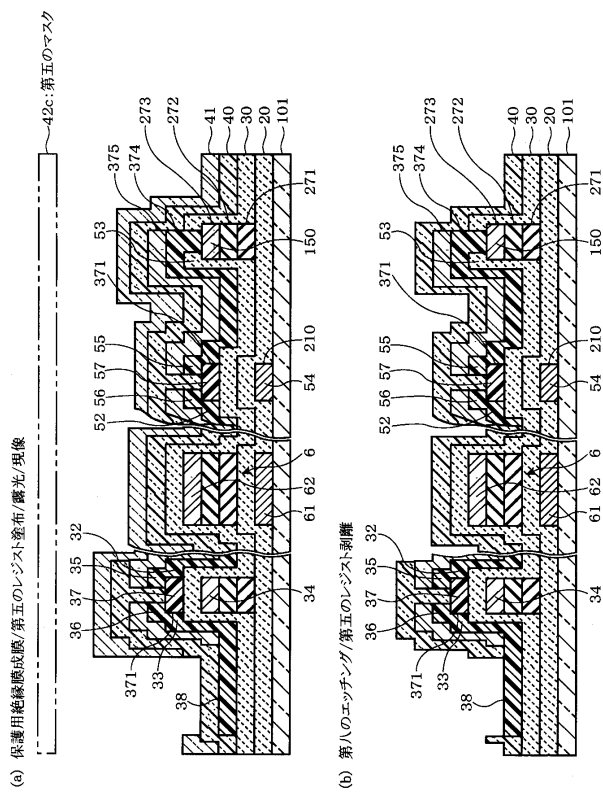
【図 49】



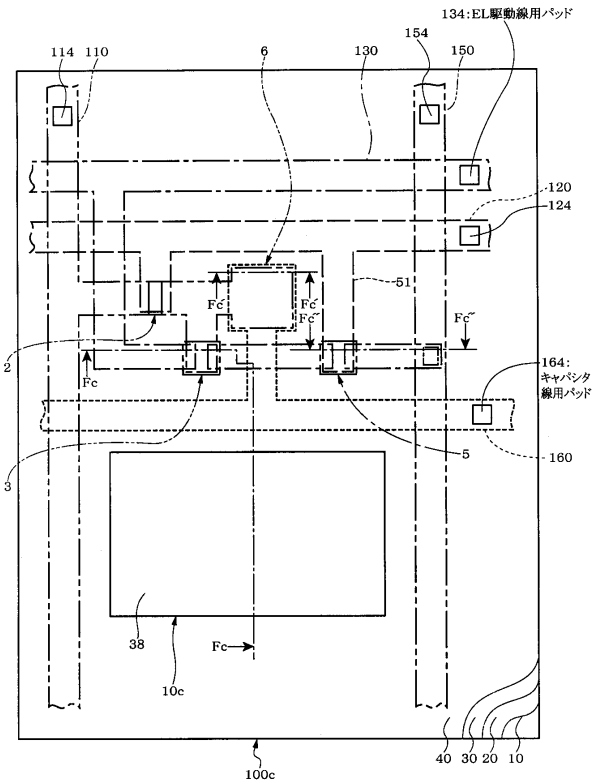
【図 50】



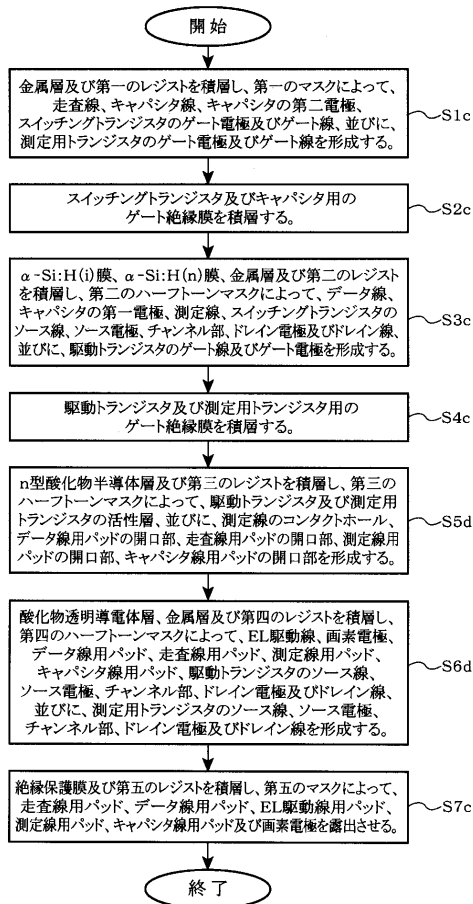
【図 51】



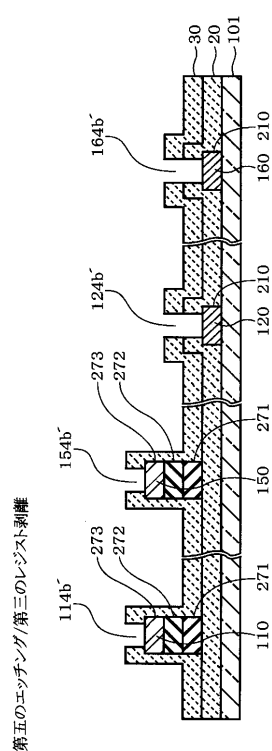
【図 52】



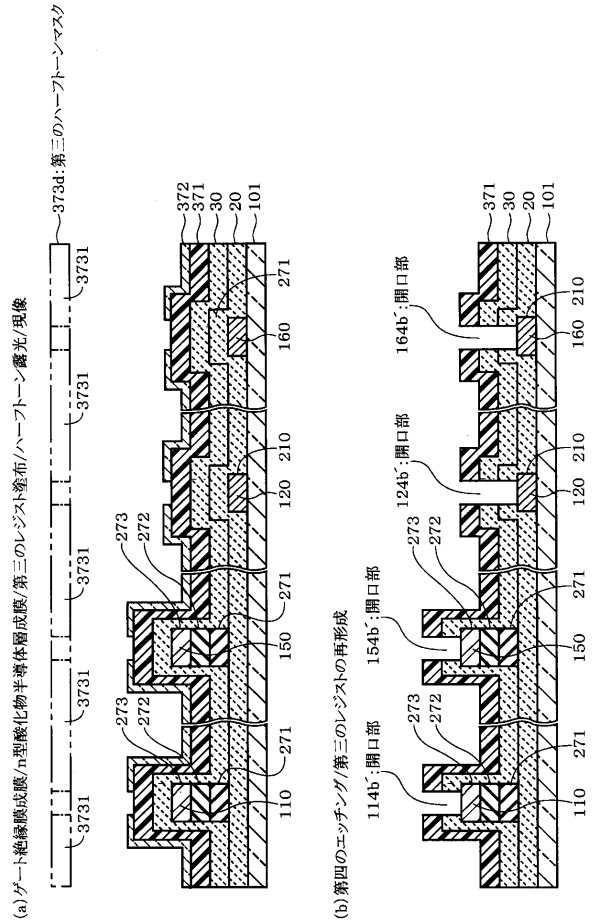
【図 5 3】



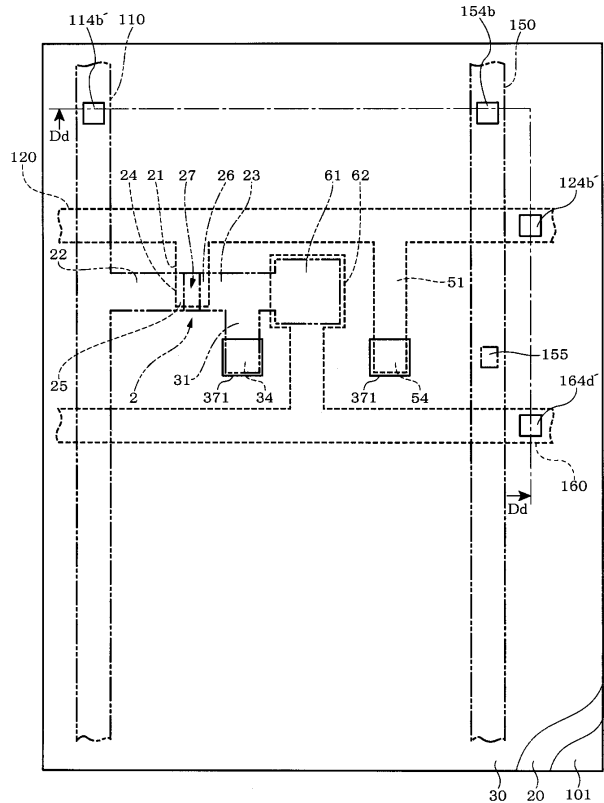
【図 5 5】



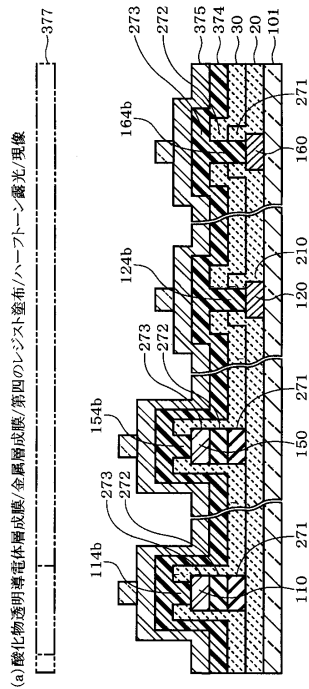
【図 5 4】



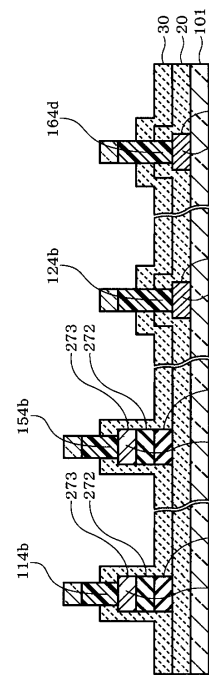
【図 5 6】



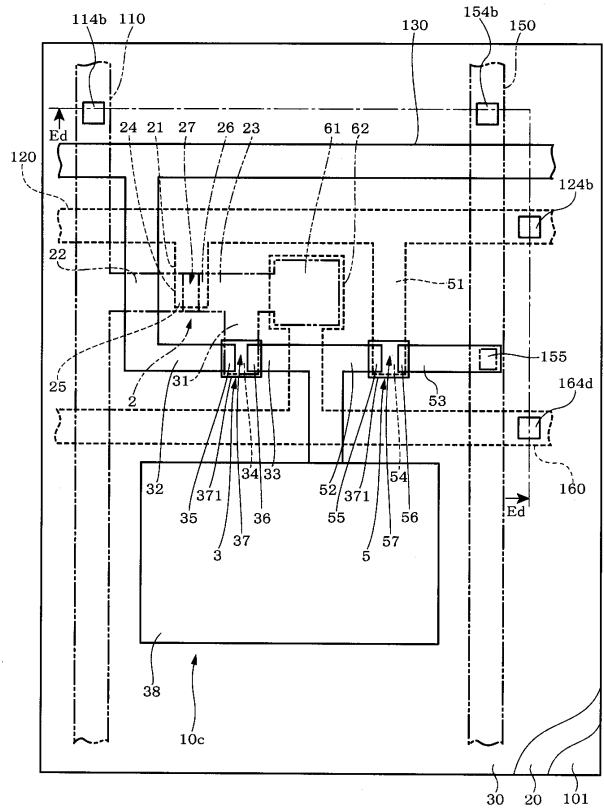
【図 57】



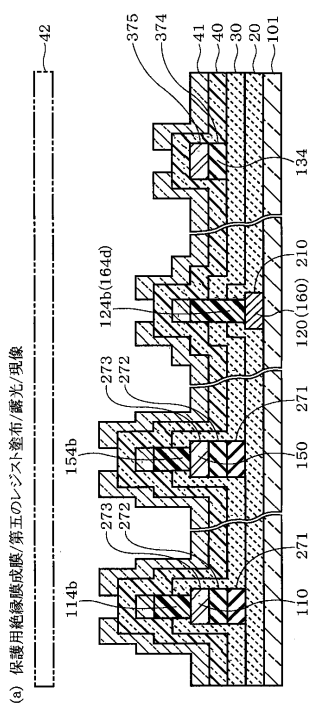
(b) 第六のエッチング/第四のレジストの再形成/第七のエッチング/第四のレジスト剥離



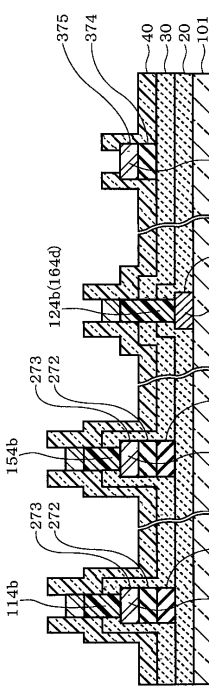
【図 58】



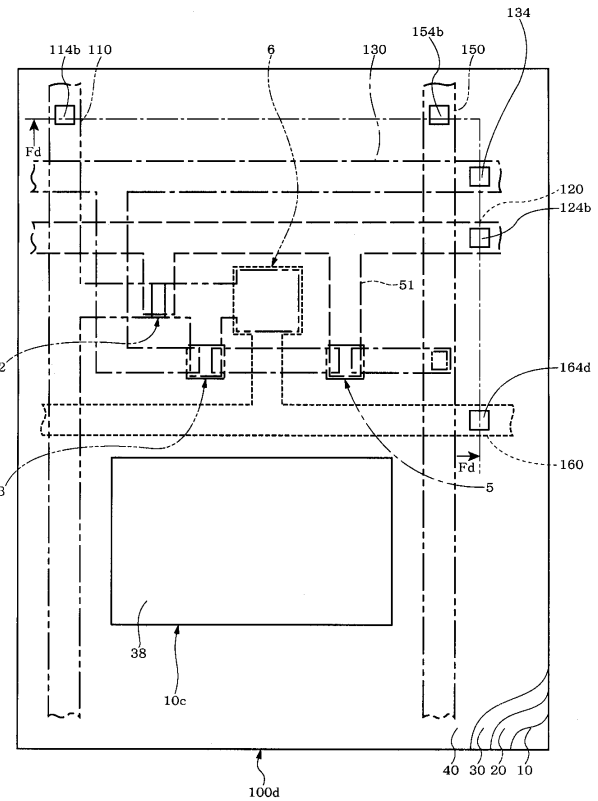
【図 59】



(b) 第八のエッチング/第五のレジスト剥離



【図 60】



フロントページの続き

(51)Int.Cl.		F I		
<i>H01L 51/50</i>	<i>(2006.01)</i>	G09G	3/20	680G
<i>H05B 33/14</i>	<i>(2006.01)</i>	G09G	3/20	642P
<i>H05B 33/06</i>	<i>(2006.01)</i>	G09G	3/30	K
<i>H05B 33/26</i>	<i>(2006.01)</i>	G09G	3/20	642A
<i>H01L 29/786</i>	<i>(2006.01)</i>	G09G	3/20	611H
		G09G	3/20	670J
		G09G	3/20	621J
		G09G	3/20	642C
		H05B	33/14	A
		H05B	33/14	Z
		H05B	33/06	
		H05B	33/26	Z
		H01L	29/78	614
		H01L	29/78	618B
		H01L	29/78	612B

- (56)参考文献 特開2004-045647 (JP, A)
 特開2004-126139 (JP, A)
 国際公開第2005/022498 (WO, A1)
 特開2003-173154 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| G09G | 3/30 |
| G09F | 9/00 |
| G09F | 9/30 |
| G09G | 3/20 |
| H01L | 27/32 |
| H01L | 29/786 |
| H01L | 51/50 |
| H05B | 33/06 |
| H05B | 33/14 |
| H05B | 33/26 |