

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/768 (2006.01)



[12] 发明专利说明书

专利号 ZL 02823441.3

[45] 授权公告日 2008 年 12 月 31 日

[11] 授权公告号 CN 100447978C

[22] 申请日 2002.10.11 [21] 申请号 02823441.3

[30] 优先权

[32] 2001.11.26 [33] US [31] 09/994,358

[86] 国际申请 PCT/US2002/032554 2002.10.11

[87] 国际公布 WO2003/046978 英 2003.6.5

[85] 进入国家阶段日期 2004.5.26

[73] 专利权人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 S·洛帕京 P·R·贝瑟

M·S·比伊诺斯基

[56] 参考文献

US 5,899,740 A 1999.5.4

US6169041B1 2001.1.2

WO01/54192A1 2001.7.26

US6268291B1 2001.7.31

US 6,268,291 B1 2001.7.31

US 6,015,749 A 2000.1.18

US5899740A 1999.5.4

Prepare W - B - N Ternary Barrier to Cu Diffusion by Implanting BF₂ Ions into W - N Thin film. . Dong Joon Kim, Yong Tae Kim, Jong. Wan Park. J. VAC. SCI. Technol. B, Vol. 17 No. (4). 1999

审查员 曹轶乐

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈泊程伟

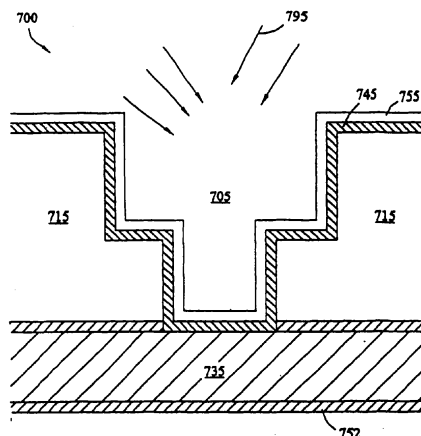
权利要求书 2 页 说明书 8 页 附图 5 页

[54] 发明名称

在铜晶种沉积后的植入方法

[57] 摘要

一种制造集成电路的方法，该方法是可包括：沿通孔孔洞的侧壁及底部形成阻障层；形成相近且顺应 (conformal) 于该阻障层的晶种层；以及形成相近且顺应于该阻障层与该晶种层的植入层。该通孔孔洞是用以容纳通孔材料以电性导接第一导电层与第二导电层。



1、一种制造集成电路的方法，该方法是包含：

沿通孔孔洞（705）的侧壁及底部形成阻障层（420,530）；

形成相近且顺应于该阻障层（420,530）的晶种层（440,540）；

形成相近且顺应于该阻障层（530）的植入层（520,430），其中该植入层为设置在该阻障层以及位于该阻障层下方的介电层之间的阻障/介电界面层，该阻障层具有横截面厚度为 70 埃或小于 70 埃；以及

在形成该植入层后，以通孔材料填充该通孔孔洞，其中该通孔材料是用以电性连接第一导电层和第二导电层。

2、如权利要求 1 所述的方法，其中，该植入层具有高熔点及高密度。

3、如权利要求 1 所述的方法，其中，该植入层（520）为其中包含有元素均匀分布的混合区。

4、如权利要求 1 所述的方法，其中，该晶种层包含有铜合金。

5、如权利要求 1 所述的方法，其中，该植入层具有横截面厚度在 10-30 埃。

6、如权利要求 1 所述的方法，其中，该植入层是通过角度植入方式形成，以达到元素的均匀分布。

7、一种在集成电路制造工艺中在铜晶种沉积后的植入方法，该方法是包含：

在集成电路基材上提供第一导电层；

在位在该第一导电层上的通孔孔洞的底部及侧边提供顺应层部分，以形成分隔该通孔孔洞与该第一导电层的阻障；

植入元素至该顺应层，以在该顺应层部分中形成植入层；

在植入该元素至该顺应层后，以通孔材料填充该通孔孔洞；以及
在该通孔材料上提供第二导电层，以使该通孔材料设置于该第一导电层与该第二导电层之间，其中将元素植入至该顺应层以在该顺应层中形成植入层包括：在该顺应层中的阻障层与位于该顺应层下方的介电层之间形成阻障/介电界面层；

其中该阻障层具有横截面厚度为 70 埃或小于 70 埃。

8、如权利要求 1 或 7 所述的方法，其中，该植入层是通过使用超低能离子植入方式形成。

9、一种制造集成电路的方法，该方法是包含：

沿通孔孔洞的侧壁及底部形成阻障层；

形成相近且顺应于该阻障层的晶种层；

形成相近且顺应于该阻障层的植入层，其中该植入层为设置在该晶种层与该阻障层之间的晶种/阻障界面层，该阻障层具有横截面厚度为 70 埃或小于 70 埃；以及

在形成该植入层后，以通孔材料填充该通孔孔洞，其中该通孔材料是用以电性连接第一导电层和第二导电层。

10、一种制造集成电路的方法，该方法是包含：

沿通孔孔洞的侧壁及底部形成阻障层；

形成相近且顺应于该阻障层的晶种层；

形成相近且顺应于该阻障层的植入层，该植入层是设置于该晶种层中，该阻障层具有横截面厚度为 70 埃或小于 70 埃；以及

在形成该植入层后，以通孔材料填充该通孔孔洞，其中该通孔材料是用以电性连接第一导电层和第二导电层。

11、如权利要求 10 所述的方法，其中，该植入层位于该晶种层上方、该晶种层中间、或该晶种层下方。

在铜晶种沉积后的植入方法

技术领域

本发明一般是有关在一种集成电路与制造集成电路的方法，特别是，本发明是有关于一种在铜晶种沉积后的植入方法。

背景技术

半导体装置或集成电路可包含数百万例如晶体管的组件。超大型尺寸积体(ULSI)电路可包括有互补式金属氧化物半导体(CMOS, complementary metal oxide semiconductor)场效晶体管(FET)。尽管现有系统与工艺有能力在集成电路上制造数百万的集成电路装置，惟其仍然需要减少集成电路装置的特征尺寸，进而藉此增加在集成路上的装置数量。然而，其仍有许多因素使得持续微小化集成电路遭遇困难。例如，当通孔(via)尺寸(或者是以用以电性连接分离导电层的集成电路层间的信道)减小，然而电阻增加。

现有集成电路是利用通孔来连接结构(例如闸极、汲极区、源极区)以及导电路径。通孔一般为延伸通过绝缘层的金属栓塞(metal plug)。阻障层是用以保护该通孔避免金属扩散及电子迁移(electromigration, EM)干扰。该阻障层可有效提供关于通孔金属的阻抗。由于导体电子与扩散金属原子之间的动量交换，因而电子迁移是为主要运输方式。电子迁移产生对位于集成电路中金属导体的逐渐伤害。一般而言，其特性是在金属位于非常高的电流密度以及在 100℃ 的温度或更高的情况下。

当该通孔尺寸透过减少该阻障材料的厚度而减小时，集成电路制造已试图减少通孔阻抗。根据一现有工艺，电浆气相沉积(PVD)，由于采用非顺应(non-conformal)沉积，集成电路业者可沉积非常薄的阻障材料在该通孔的底部。该阻障材料的厚度是藉由化学气相沉积(CVD)或原子层沉积(ALD)工艺而减小。该些先进的沉积工艺形成高顺应阻障金属薄层。然而，减低该阻障材料的厚度将导致铜(Cu)扩散变得更加可渗透该阻障，如此反而不利地影响对于电子迁移的阻抗。

第 1 图是显示集成电路的部分 100 的剖面示意图, 该集成电路包括有铜层 110、铜通孔 120、铜层 130、介电层 150 以及介电层 160。通孔 120 及铜层 130 是为阻障层 140 所分隔。

该部分 100 也包括有藉由蚀刻挡止层 144 而与铜层 130 分隔的介电层 142。介电层 142 可为氧化物且蚀刻挡止层 144 可为氮化硅(SiN)。蚀刻挡止层 144 预止自铜层 130 的铜扩散至介电层 142。介电层 150 可藉由阻障层 152 而与铜层 130 分隔。同样地, 介电层 160 可藉由阻障层 162 而与铜层 110 分隔。阻障层 152 及 162 可为氮化钽(TaN)。蚀刻挡止层 172,174,176 及 178 也可提供不同部分或不同层的分隔。蚀刻挡止层 172,174,176 及 178 可为氮化硅(SiN)。

根据现有工艺, 阻障层 140 可具有横截面厚度在 7nm 至 25nm 之间。阻障层 140 限制由层间铜离子扩散到通孔 120 且形成通孔至介电层 142。现有阻障层可包括氮化钽(TaN)。

第 1 图显示依据双镶嵌(dual damascene)工艺所形成的部分, 其中铜层 110 及铜通孔 120 是由一步骤或工艺而沉积, 且未为阻障材料所分隔。

如先前所讨论, 现有系统具有企图来降低阻障层 140 的厚度, 藉以减少关于通孔 120 的阻抗。然而, 此厚度的降低可能导致电子迁移失败。第 2 图显示参阅第 1 图所描述的部分 100, 更进一步具有电子迁移失败(electromigration failure)或在铜层 130 中的空隙(void)⁴⁵。第 2 图显示依据双镶嵌工艺(如参阅第 1 图所描述)所形成的部分, 其中铜层 110 及铜通孔 120 是形成在一步骤或工艺。

第 3 图显示由于自铜层 110 大量扩散所造成具有电子迁移失败或在通孔 120 中形成有空隙 155 的部分 100。第 3 图显示依据双镶嵌工艺(如参阅第 1 图所描述)所形成的部分, 其中铜层 110 及铜通孔 120 是形成于一步骤或工艺。

电子迁移失败已由 Stanley Wolf Ph.D.在「用于超大尺寸集成电路部分的硅工艺(Silicon Processing for the VLSI Era)」,Lattice Press, Sunset Beach, California, 第二卷,第 264-65 页(1990 年)所讨论。Wolf 博士解释导体离子运动的正向分歧(positive divergence)导致空间的累积, 而形成在金属中的空隙。该空隙可最终成长至一尺寸而导致该导线的断路

(open-circuit)失败。

因此，需要可对应铜扩散提供有效阻抗的阻障。进一步需要在铜晶种沉积后植入阻障材料的方法。更进一步需要藉由提供近似晶种层的界面层(interfacial layer)而加强阻障特性的方法。进一步，需要植入元素至晶种层中。

发明内容

一典型实施例是有关于制造集成电路的方法。该方法是包括：沿通孔孔洞的侧壁及底部形成阻障层；形成相近且顺应(conformal)于该阻障层的晶种层；形成相近且顺应于该阻障层与该晶种层的植入层，其中该植入层为设置在该阻障层以及位于该阻障层下方的介电层之间的阻障/介电界面层，该阻障层具有横截面厚度为 70 埃或小于 70 埃；以及在形成该植入层后，以通孔材料填充该通孔孔洞，其中该通孔材料是用以电性连接第一导电层和第二导电层。

另一典型实施例是有关于在集成电路制造过程中，在铜晶种沉积后的植入方法。该方法可包括在集成电路基材上提供第一导电层；提供顺应层(conformal layer)部分于位于该第一导电层上的通孔孔洞的底部及侧边，以形成分隔该通孔孔洞与该第一导电层的阻障；植入元素至该顺应层部分，以在该顺应层部分中形成植入层；在植入该元素至该顺应层后，以通孔材料填充该通孔孔洞；以及在该通孔材料上提供第二导电层，藉以使该通孔材料电性连接该第一导电层与第二导电层，其中将元素植入至该顺应层以在该顺应层中形成植入层包括在该顺应层中的阻障层与位于该顺应层下方的介电层之间形成阻障/介电界面层；其中该阻障层具有横截面厚度为 70 埃或小于 70 埃。

另一典型实施例是有关于在集成电路中形成通孔的方法。该方法可包括沉积第一导电层；在该第一导电层上沉积蚀刻挡止层；在该蚀刻挡止层上沉积绝缘层；在该绝缘层及该蚀刻挡止层中形成孔洞；在该孔洞底部及侧边提供阻障材料以形成阻障层；在该阻障层上提供晶种层；提供植入物至该阻障层及晶种层以形成植入层；以通孔材料填充该孔洞；以及在该通孔上提供第二导电层，如此使该通孔电性连接该第一导电层与第二导电层。

依据检阅以下图式、详细说明以及所附申请专利范围，对于熟悉此项技术者而言，本发明其它主要的特征及优点将变得明显。

附图说明

典型实施例将参阅以下附图而加以描述，其中相同数目标示同样元素。

第 1 图是为依据现有技术所制造的集成电路的双镶嵌部分的剖面示意图；

第 2 图是为如第 1 图所述的集成电路的双镶嵌部分显示电子迁移失败的剖面示意图；

第 3 图是为如第 1 图所述的集成电路的双镶嵌部分显示电子迁移失败的剖面示意图；

第 4 图是为依据典型实施例的集成电路部分显示晶种/阻障界面层的剖面示意图；

第 5 图是为依据另一典型实施例的集成电路部分显示阻障/介电界面层的剖面透视图；

第 6 图是为依据另一典型实施例的集成电路部分显示晶种植入层的剖面透视图；以及

第 7 图是为依据另一典型实施例的集成电路部分显示植入步骤的剖面透视图。

具体实施方式

参阅第 4 图所示，集成电路的部分 400 包括有基材层 410、阻障层 420、晶种/阻障界面层(seed/barrier interfacial layer)430、以及晶种层 440。基材 410 可为介电层或不同层的任意变化而不发生扩散(diffusion)或迁移(migration)现象。

阻障层 420 是用以提供预防材料扩散至基材层 410。阻障层 420 可为钽(Ta)、氮化钽(TaN)、氮硅化钽(TaSiN)或任何其它阻障材料的变化。在一例子中，阻障层 420 可具有一横截面厚度为 30-70 埃(Angstrom)。晶种层 440 可包括铜(Cu)或铜合金且可具有横截面厚度为 100-300 埃。

在第一典型实施例中, 晶种/阻障界面层 430 可包括不同元素, 该元素是经植入而形成具有均匀分布元素的混合区。例如该晶种/阻障界面层 430 可包括第六周期金属元素(铟、铊、镱、铕、铈、钕)、第五周期金属元素(铌、钼、钽、铪、钽)、及/或第四周期金属元素(钒、铬、铁、钴、镍)。这些元素具有形成具最高熔点及最高密度的金属材料特性。在一例子中, 晶种/阻障界面层 430 可具有横截面厚度为 10-30 埃。在一较佳实例中, 该晶种/阻障界面层 430 包括铼(Re)或铬(Cr)。

形成晶种/阻障界面层 430 的植入可使用超低能离子植入(ultra low energy ion implantation, ULEII)。使用超低能离子植入(ULEII)允许许多元素植入至晶种层 440 而无需制造铜合金目标(copper alloy target), 如同使用于电浆气相沉积(plasma vapor deposition)工具中。超低能离子植入也允许控制植入浓度及深度。有利地是, 元素的均匀分布于晶种/阻障界面层 430 可改善电子迁移(EM)信赖性以及晶种层 440 与阻障层 420 之间的附着。

参阅第 5 图所示, 集成电路的部分 500 包括有介电层 510、阻障/介电界面层(barrier/dielectric interfacial layer)520、阻障层 530 以及晶种层 540。

介电层 510 可为任意包括内阶介电(interlevel dielectric, ILD)的介电材料的变化。介电层 510 可为一层供形成通孔孔洞所通过, 以形成如第 7 图所述的通孔。

在第二典型实施例中, 阻障/介电界面层 520 可包括不同元素用以植入而形成具有均匀元素分布的混合区。阻障/介电界面层 520 可包括碳(C)、硼(B)、磷(P)、硅(Si)、氮(N)、铝(Al)、砷(As)、镓(Ga)或锗(Ge)元素。在一例子中, 阻障/介电界面层 520 可具有横截面厚度在 10-30 埃。在一较佳实例中, 该阻障/介电界面层 520 包括磷(P)或铝(Al)。

有利地是, 元素的均匀分布于阻障/介电界面层 520 可改善阻障层 530 与介电层 510 之间的附着。如同晶种/阻障界面层 430, 阻障/介电界面层 520 可在超低能离子植入(ULEII)工艺中形成, 藉此将允许植入许多元素而无需阻障合金目标(barrier alloy target), 例如在电浆气相沉积(PVD)工具中所使用的目标。

参阅第 6 图所示, 集成电路的部分 600 包括有介电层 610、阻障层

620 以及晶种植入层 630。介电层 610 可包括任意介电材料的变化。介电层 610 可为一层如第 7 图所述的供通孔电性连接层间而通过。

阻障层 620 可为钽(Ta)、氮化钽(TaN)、氮硅化钽(TaSiN)或任意其它阻障材料。阻障层 620 可具有一横截面厚度为 30-70 埃。阻障层 620 可藉由原子层沉积(ALD)及/或化学气相沉积(CVD)所沉积。

在第三典型实施例中, 植入元素至晶种植入层 630 可更改在晶种植入层 630 中的铜合金, 而形成变更合金层以及改善电子迁移信赖性。在晶种植入层 630 所植入的元素可包括锌(Zn)、锡(Sn)、铬(Cr)、钙(Ca)、银(Ag)或铟(In)。植入可包含使用超低能离子植入(ULEII)工艺。另外, 也可选择藉由电浆气相沉积(PVD)、化学气相沉积(CVD)或原子层沉积(ALD)沉积晶种植入层 630。在一例子中, 晶种植入层 630 的厚度在 10-30 埃。在一典型实施例中, 热处理是用以促进植入物内部混合于晶种植入层 630 中的铜合金。在一较佳实例中, 该晶种植入层包括锌或钙。选择元素可形成铜锌(CuZn)及铜钙(CuCa)层, 以提供具有降低电阻的晶种植入层。该铜锌(CuZn)及铜钙(CuCa)晶种层也形成具有增加电子迁移阻抗的内联机(interconnect)。

有益地是, 参阅第 4-6 图所描述的典型实施例是可形成电子迁移(EM)阻抗层或区域, 藉以改善信赖性。该电子迁移(EM)阻抗层或区域包括作为层间部分的植入层。例如, 参阅第 4 图所描述的晶种/阻障界面层 430 是为位于阻障层 420 及晶种层 440 之间的植入层。在另一例子中, 参阅第 4 图所描述的阻障/介电界面层 520 是为位于介电层 510 及阻障层 530 之间的植入层。在又另一例子中, 参阅第 6 图所描述的晶种植入层 630 是为相近阻障层 620 的植入层。

包括晶种/阻障界面层 430、阻障/介电界面层 520 以及晶种植入层 630 与参阅第 4-6 图所描述的该多数的层可包括在作为通孔(via)所用的沟槽中的顺应层(conformal layer)区域中。该通孔可用以电性连接两层结构, 例如藉由介电层分隔及通孔连接的二导电层结构。

参阅第 7 图所示, 是为集成电路的部分 700 所呈现的剖面示意图, 该部分 700 包括有孔洞 705、介电层 715、蚀刻挡止层 725、铜层 735、阻障层 745 以及晶种层 755。阻障层 745 及晶种层 755 形成顺应层(conformal layer)区域, 其可包括例如于第 4-6 图中所描述的晶种/阻障

界面层 430、阻障/介电界面层 520 或晶种植入层 630 的植入层。

部分 700 较佳是为具有百万或更多晶体管的超大尺寸积体(ULSI)电路的部分。部分 700 的制造是作为例如硅晶圆的半导体晶圆上的集成电路部分。

孔洞 705 的形成是预备为藉由蚀刻介电层 715 及蚀刻挡止层 725 的部分而形成通孔(via)。孔洞 705 可具有横截面宽度在 50-200nm。孔洞 705 也可具有二区段，其中之一较另一者具有较小的宽度。例如，孔洞 705 的上区段可具有横截面宽度在 100-150nm，以及孔洞 705 的下区段可具有横截面宽度在 70-100nm。

在一典型实施例中，介电层 715 为氧化物材料且蚀刻挡止层 725 为氮化硅(SiN)或其它适合材料。蚀刻挡止层 725 预防铜自铜层 735 扩散至介电层 715。

铜层 735 可为设置在相近通孔区域 720 的铜层。铜层 735 可为包括铜的合金。在另一实施例中，铜层 730 为多层的叠层。

阻障层 745 可为钽(Ta)、氮化钛(TiN)、氮硅化钛(TiSiN)、氮化钨(WNx)或其它合适材料。在一典型实施例中，阻障层 745 具有横截面厚度在 30-70 埃。阻障层 745 可藉由原子层沉积(ALD)及/或化学气相沉积(CVD)沉积。该阻障层 745 的阻障性质可藉由添加例如硼(B)、磷(P)、硅(Si)或锗(Ge)的植入物而加强。

晶种层 755 可为铜合金，例如包括有碳(C)、硫(S)、氯(Cl)及或掺杂任何其它适合材料的合金。晶种层 755 的沉积可藉由先进的电浆气相沉积(PVD)、化学气相沉积(CVD)或原子层沉积(ALD)形成。在一典型实施例中，晶种层 755 具有横截面厚度在 100-300 埃。

晶种层 755 可包括如第 6 图所述的晶种植入物。或者，晶种层 755 可藉由如第 4 图所述的晶种/阻障界面层而与阻障层 745 分隔。再者，在又另一实施例中，阻障层 745 可藉由如第 5 图所述的阻障/介电界面层而与铜层 735 或介电层 715 分隔。

在一制作部分 700 的典型方法中，在铜层 735 沉积后，蚀刻挡止层 725 是沉积在铜层 735 上，且介电层 715 是沉积在蚀刻挡止层 725 上。接着阻层沉积于介电层 715。该阻层是用以图案化及蚀刻介电层 715 及蚀刻挡止层 725 以形成孔洞 705。在沉积通孔材料于孔洞 705 以

及沉积导电层以透过通孔电性连接至铜层 735 前移除该阻层。

在孔洞 705 内沉积通孔材料前,是沿孔洞 705 壁面形成阻障层 745 及晶种层 755。阻障层 745 的形成可藉由原子层沉积(ALD)及/或化学气相沉积(CVD)。晶种层 755 的形成可藉由先进的电浆气相沉积(PVD)、化学气相沉积(CVD)或原子层沉积(ALD)。

在一典型实施例中,在形成阻障层 745 及晶种层 755 后,可藉由角度植入(angle implant)或与无角度植入一起的角度植入而进行植入 795。植入 795 的角度可为 35 及/或 65 度。该角度植入可为 35 至 90 度。在一典型实施例中,植入 795 是为一剂量例如在 $E16cm^2$ - $E15cm^2$ 范围内形成掺杂单层(doped monolayer),且在 0.25KeV-5.0KeV 能量中植入。植入 795 可形成界面或植入层例如在第 4-6 图中所描述的该植入层。

达到在特定角度下植入 795 的植入技术是藉由旋转包括部分 700 的集成电路晶圆。如此,植入装置可导入于一方向,且由于该集成电路晶圆的旋转,植入 795 可沿通孔区域 720 的孔洞周缘侧壁来提供。在另一实施例中,该晶圆是可用于控制植入 795 的分布。

有益地是,该植入 795 的添加提供包括如第 6 图所述的晶种植入物的晶种层的产生。在另一实施例中,植入 795 提供如第 4 图所述的晶种/阻障界面层的产生,藉以分隔晶种层 755 及阻障层 745。在又另一实施例中,植入 795 提供如第 5 图所述的阻障/介电界面层的产生,藉以分隔阻障层 745 及铜层 735 或介电层 715。

在铜晶种沉积后,例如硼(B)、磷(P)或锗(Ge)的植入元素提供具有均匀元素分布的混合层的产生。例如,元素可利用 1-2KeV 能量以及 5-7 $E15cm^2$ 剂量植入。该包括有植入元素的混合层可改善层间附着效果,以及进一步的电子迁移信赖性。其也可形成阻障层的非晶(amorphous)部分而无需大量的晶粒边界(grain boundary)。

在图式中及先前所描述的典型实施例是为较佳态样,其应可了解到该些实施例仅是用以例示说明。其它实施例是可包括,例如不同植入种类方法。本发明并非用以局限在特定的实施例,但可延伸至不同变更、组合及交换而仍在所附的权利要求书的范畴及精神内。

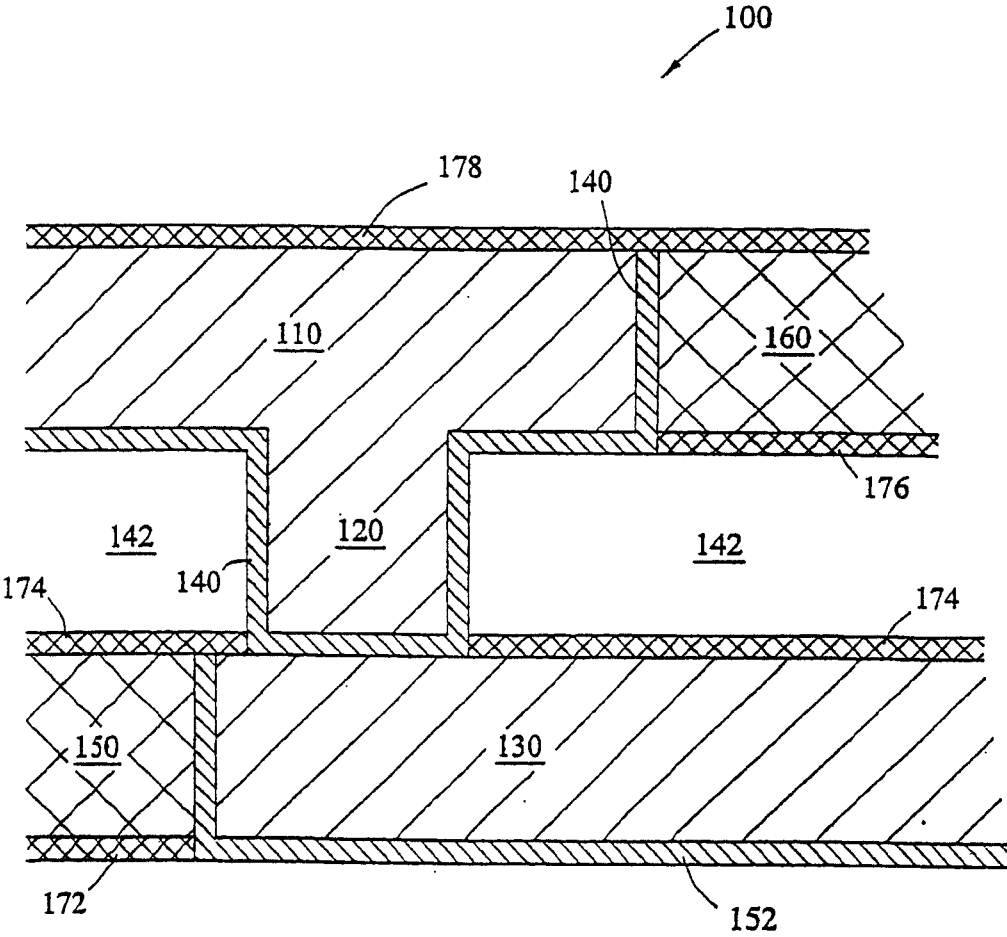


图 1（现有技术）

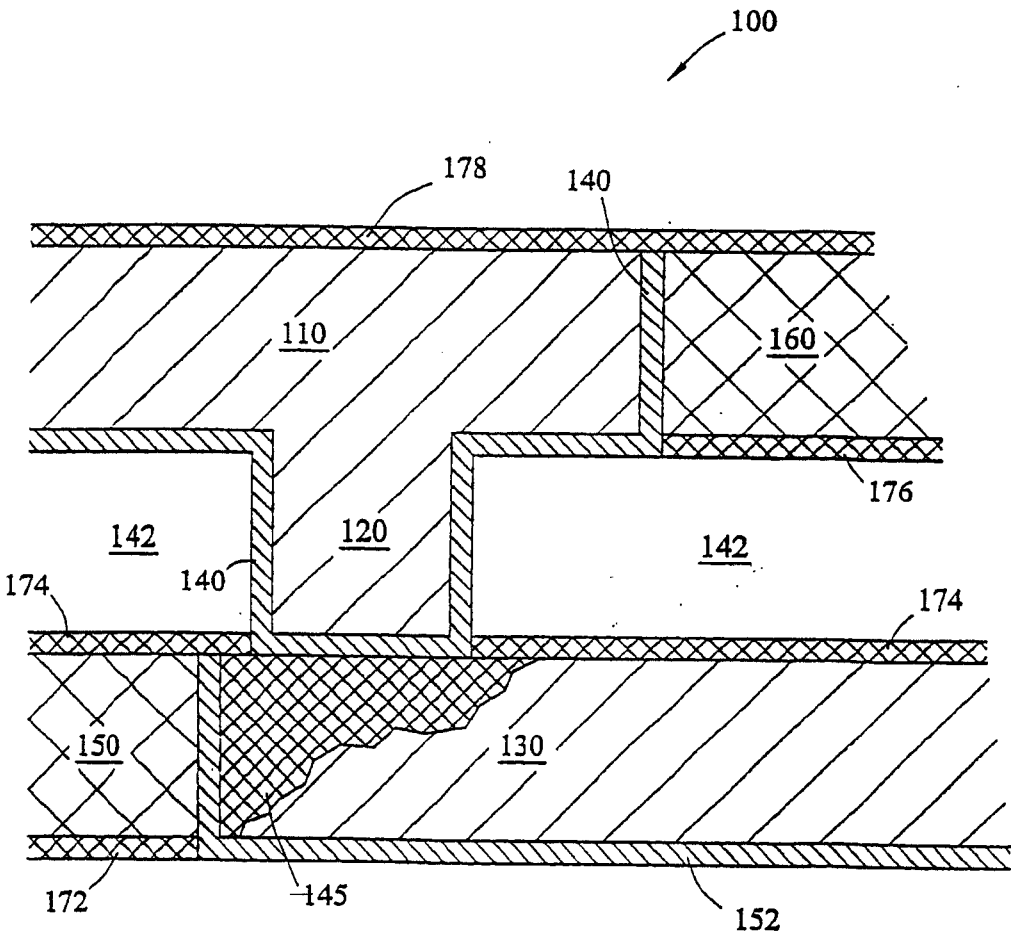


图 2（现有技术）

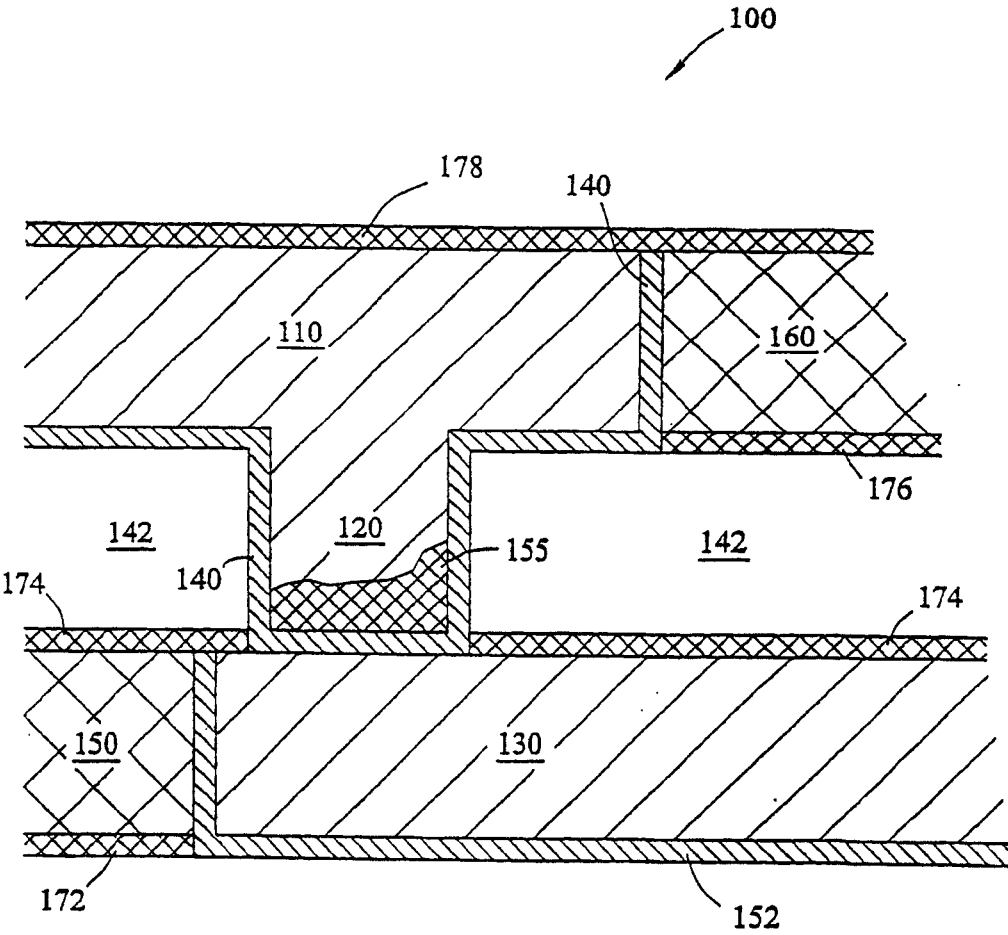


图 3（现有技术）

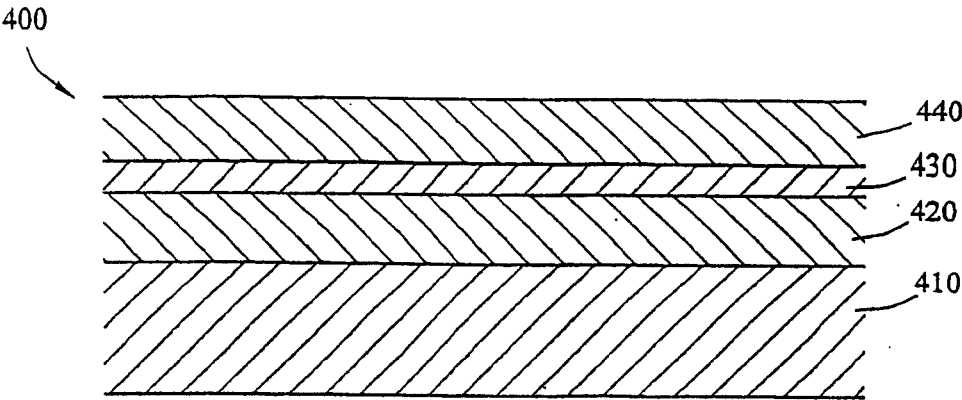


图 4

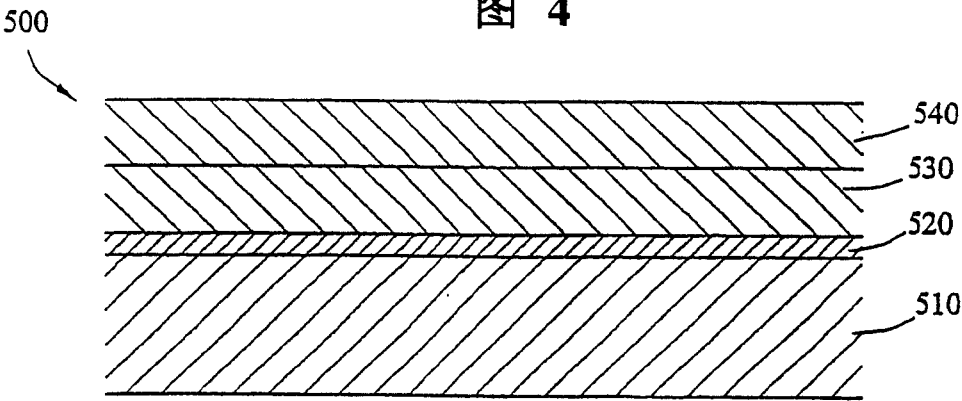


图 5

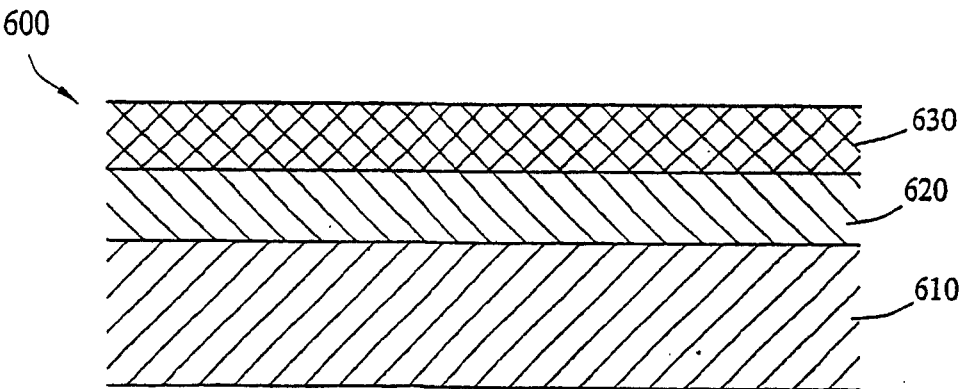


图 6

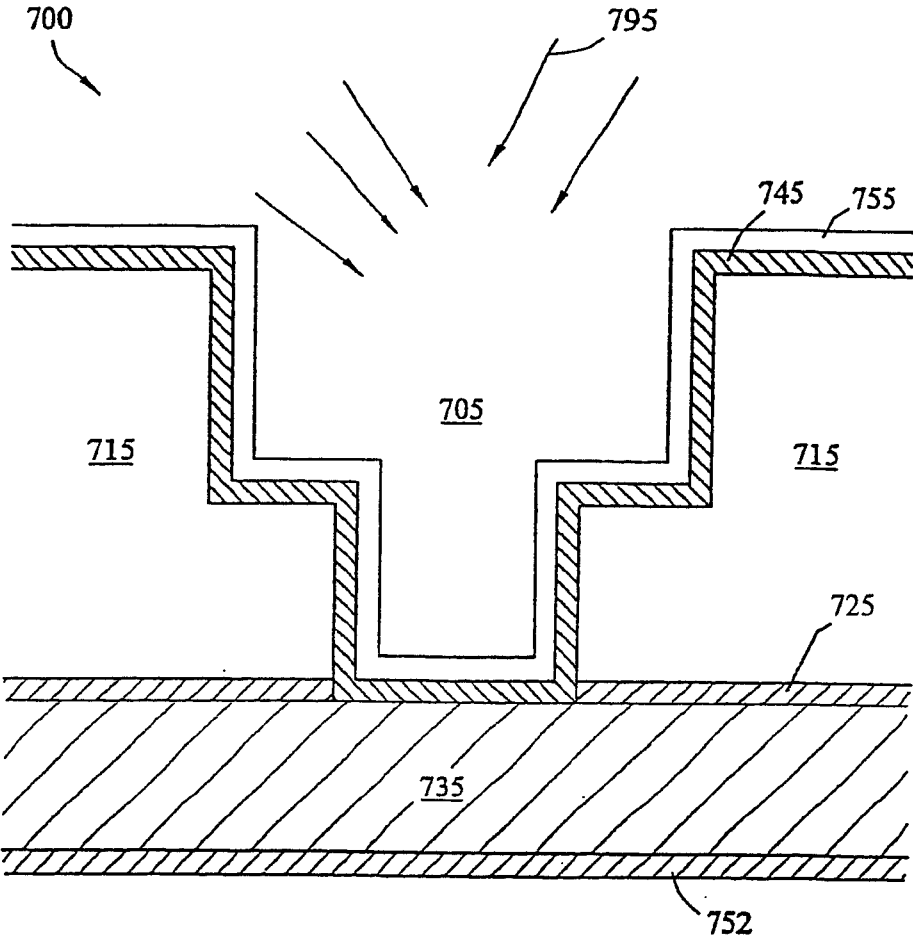


图 7