ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA
(19)

ÚŘAD PRO VYNÁLEZY A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

241 628

(11) (B1)

(61)
(23) Výstavní priorita
(22) Přihlášeno 19 12 83
(21) PV 9618-83

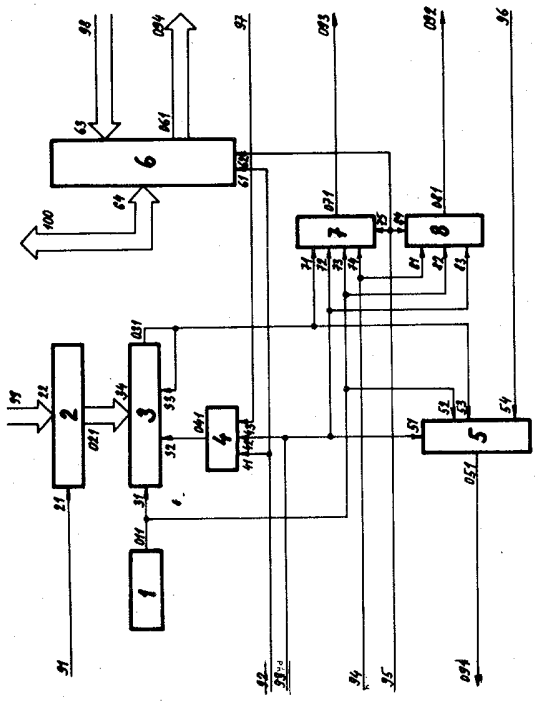
(51) Int. Cl.4
H 04 L 13/00

(40) Zveřejněno 22 08 85
(45) Vydáno 01 01 88

(75)
Autor vynálezu MARVAN KAREL ing., BRNO

(54) Zapojení obvodu pro řízení měřicí ústředny procesorem

Cílem řešení je vytvořit prostorově nenáročné zapojení, umožňující asynchronní i synchronní přenos dat mezi procesorem a měřicí ústřednou, kde synchronní přenos dovoluje vzorkování snímaných nebo vysílaných dat s programově zvolenou rychlostí a umožňující snadné připojení ke všem procesorům, které umožňují rychlý přístup k operační paměti. Uvedeného cíle se dosáhne zapojením se zdrojem hodinových impulsů, vyrovnávací pamětí, čítačem, ovládacím obvodem čítače, obvodem hlášení připravenosti, obvody vysílačů a přijímačů, obvodem kontroly platnosti výstupních dat a s obvodem požadavku vstupních dat. Zapojení lze využít u výpočetních zařízení, jejichž procesory dovolují rychlý přístup k operační paměti, například u inteligentních terminálů.



241 628

Vynález se týká zapojení obvodu pro řízení měřicí ústředny procesorem.

V praxi se vyskytuje požadavek převedení výsledků měření, získaných měřicí ústřednou, do zařízení, které je schopno výsledky měření uložit do paměti a následně vyhodnotit a zpracovat. Takovým zařízením jsou nejčastěji procesory malého a středního výkonu. Každý procesor, ať už speciální nebo univerzální, vyžaduje další zapojení obvodů, které řeší technické prostředky styku procesoru s měřicí ústřednou. Ve většině případů umožňuje tento styk pouze asynchronní přenos naměřených, popřípadě vysílaných dat a neumožňuje dostatečnou rychlost přenosu těchto dat při vysokých rychlostech měření. Průběh měřených veličin v závislosti na čase vyžaduje dostatečně přesné časové vzorkování. Toto časové vzorkování měřicí ústředny nemívají. Některé procesory tuto možnost sice poskytují, ovšem za cenu použití dalšího speciálního bloku, to je bloku časovače.

Uvedené nevýhody odstraňuje zapojení obvodu pro řízení měřicí ústředny procesorem podle vynálezu, jehož podstatou je, že řídicí vstup vyrovnávací paměti tvoří současně řídicí vstup zapojení, výstup zdroje hodinových impulsů je připojen na hodinový vstup čítače, na hodinový vstup obvodu hlášení připravenosti, na hodinový vstup obvodu kontroly platnosti výstupních dat a na hodinový vstup obvodu požadavku vstupních dat, synchronizační výstup čítače je připojen na nastavovací vstup čítače, na synchronizační vstup obvodu kontroly platnosti výstupních dat a synchronizační vstup obvodu hlášení připravenosti, ovládací vstup ovládacího obvodu čítače je připojen na ovládací vstup obvodů vysílačů a přijímačů a tvoří současně ovládací vstup zapojení, volicí vstup ovládacího obvodu čítače je připojen na ovládací vstup obvodu hlášení připravenosti, na volicí vstup obvodu kontroly platnosti výstupních dat a na volicí vstup obvodu požadavku vstupních dat a tvoří současně volicí vstup zapojení, spouště-

cí vstup ovládacího obvodu čítače tvoří současně spouštěcí vstup zapojení, blokovací výstup ovládacího obvodu čítače je připojen na blokovací vstup čítače, kontrolní vstup obvodu kontroly platnosti výstupních dat je připojen na kontrolní vstup obvodu požadavku vstupních dat a tvoří současně kontrolní vstup zapojení, potvrzovací výstup obvodu kontroly platnosti výstupních dat tvoří současně potvrzovací výstup zapojení, výběrový vstup obvodu kontroly platnosti výstupních dat je připojen na výběrový vstup obvodu vysílačů a přijímačů, na výběrový vstup obvodu požadavku vstupních dat a tvoří současně výběrový vstup zapojení, signalizační výstup obvodu hlášení připravenosti tvoří současně signalizační výstup zapojení, informační vstup obvodu hlášení připravenosti tvoří současně informační vstup zapojení, požadavkový výstup obvodu požadavku vstupních dat tvoří současně požadavkový výstup zapojení, skupina datových vstupů vyrovnávací paměti tvoří současně první skupinu datových vstupů zapojení, kdežto její skupina datových výstupů je připojena na skupinu datových vstupů čítače, skupina datových vstupů a výstupů obvodů vysílačů a přijímačů tvoří současně skupinu datových vstupů a výstupů zapojení, skupina datových vstupů obvodů vysílačů a přijímačů tvoří současně druhou skupinu datových vstupů zapojení, kdežto jejich skupina datových výstupů tvoří současně skupinu datových výstupů zapojení.

Výhodou zapojení obvodu pro řízení měřicí ústředny procesorem podle vynálezu je, že umožňuje asynchronní i synchronní přenos dat mezi procesorem a měřicí ústřednou. Synchronní přenos dovoluje vzorkování snímaných nebo vysílaných dat s programově zvolenou rychlostí. Vzorkování vysílaných dat umožňuje časovou transformaci změřených a uložených dat, které lze v analogové formě samostatně sledovat. Zahájení synchronního přenosu může nastat až na povel měřicí ústředny. Další výhodou tohoto zapojení je skutečnost, že v asynchronním režimu je použitelné jako universální připojení libovolného vstupního a výstupního zařízení k datové vstupní a výstupní sběrnici procesoru v případě, že šířka datové vstupní aběrnice a datové výstupní sběrnice není větší než šířka datové vstupní a výstupní sběrnice. Zapojení umožňuje snadné připojení ke všem procesorům, které umožňují rychlý přístup k operační paměti. Vlastní zapojení je prostorově nenáročné a lze je umístit na malou interfejsovou desku procesoru.

Příklad zapojení obvodu pro řízení měřicí ústředny procesorem podle vynálezu je znázorněn v blokovém schématu na připoje-

ném výkresu.

Řídicí vstup 21 vyrovnávací paměti 2 tvoří současně řídicí vstup 91 zapojení pro připojení na neznázorněný procesor. Výstup 011 zdroje 1 hodinových impulsů je připojen na hodinový vstup 31 čítače 3, na hodinový vstup 52 obvodu 5 hlášení připravenosti, na hodinový vstup 73 obvodu 7 kontroly platnosti výstupních dat a na hodinový vstup 82 obvodu 8 požadavku vstupních dat. Synchronizační výstup 031 čítače 3 je připojen na nastavovací vstup 33 čítače 3, na synchronizační vstup 71 obvodu 7 kontroly platnosti výstupních dat a na synchronizační vstup 53 obvodu 5 hlášení připravenosti. Ovládací vstup 41 ovládacího obvodu 4 čítače je připojen na ovládací vstup 61 obvodů 6 vysílačů a přijímačů a tvoří současně ovládací vstup 92 zapojení pro připojení na procesor. Volicí vstup 42 ovládacího obvodu 4 čítače je připojen na ovládací vstup 51 obvodu 5 hlášení připravenosti, na volicí vstup 72 obvodů 7 kontroly platnosti výstupních dat a na volicí vstup 83 obvodu 8 požadavku vstupních dat a tvoří současně volicí vstup 93 zapojení pro připojení na procesor. Spouštěcí vstup 43 ovládacího obvodu 4 čítače tvoří současně spouštěcí vstup 97 zapojení pro připojení na neznázorněnou měřicí ústřednu. Blokovací výstup 041 ovládacího obvodu 4 čítače je připojen na blokovací vstup 32 čítače 3. Kontrolní vstup 74 obvodu 7 kontroly platnosti výstupních dat je připojen na kontrolní vstup 81 obvodu 8 požadavku vstupních dat a tvoří současně kontrolní vstup 94 zapojení pro připojenína procesor. Potvrzovací výstup 071 obvodu 7 kontroly platnosti výstupních dat tvoří současně potvrzovací výstup 093 zapojení pro připojení na měřicí ústřednu. Výběrový vstup 75 obvodu 7 kontroly platnosti výstupních dat je připojen na výběrový vstup 62 obvodů 6 vysílačů a přijímačů, na výběrový vstup 84 obvodu 8 požadavku vstupních dat a tvoří současně výběrový vstup 95 zapojení pro připojení na procesor. Signalizační výstup 051 obvodu 5 hlášení připravenosti tvoří současně signalizační výstup 091 zapojení pro připojení na procesor. Informační vstup 54 obvodu 5 hlášení připravenosti tvoří současně informační vstup 96 zapojení pro připojení na měřicí ústřednu. Požadavkový výstup 081 obvodu 8 požadavku vstupních dat tvoří současně požadavkový výstup 092 zapojení pro připojení na měřicí ústřednu. Skupina datových vstupů 22 vyrovnávací paměti 2 tvoří současně první skupinu datových vstupů 99 zapojení pro připojení na neznázorněnou datovou vstupní sběrnici výstupního registru

procesoru, kdežto její skupina datových výstupů 021 je připojena na skupinu datových vstupů 34 čítače 3. Skupina datových vstupů a výstupů 64 obvodů vysílačů a přijímačů tvoří současně skupinu datových vstupů a výstupů 100 zapojení pro připojení na neznázorněnou datovou vstupní a výstupní sběrnici pro přímý přístup k paměti procesoru. Skupina datových vstupů 63 obvodů vysílačů a přijímačů tvoří současně druhou skupinu datových vstupů 98 zapojení pro připojení na měřicí ústřednu, kdežto jejich skupina datových výstupů 061 tvoří současně skupinu datových výstupů 094 zapojení pro připojení na měřicí ústřednu.

Při asynchronním přenosu, do kteréhožto režimu je zapojení uvedeno signálem na volicím vstupu 93, není v činnosti část čítání časových intervalů, to je vyrovnávací paměť 2 a čítač 3. Směr přenosu je zvolen signálem na výběrovém vstupu 95. Vstup dat z procesoru se oznamuje signálem na ovládacím vstupu 92, znamenajícím, že datová vstupní a výstupní sběrnice pro přímý přístup k paměti procesoru je otevřena. Při příjmu dat oznámí procesor svoji připravenost signálem na kontrolním vstupu 94. K měřicí ústředně je vyslán požadavek o zaslání datové položky signálem na požadovacím výstupu 092. Jakmile je tato položka v měřicí ústředně k disposici, vyšle tato zprávu na informační vstup 96 o připravenosti periferie a procesor obdrží informaci na signalizačním výstupu 091, na jejímž podkladě převezme prostřednictvím datové vstupní a výstupní sběrnice pro přímý přístup k paměti procesoru data z měřicí ústředny na druhé skupině datových vstupů 98. Procesor převezme požadovaný počet datových položek opakováním výše popsaného postupu. Ukončení přenosu procesoru negací signálu na ovládacím vstupu 92, čímž jsou obvody 6 vysílačů a přijímačů odpojeny od datové vstupní a výstupní sběrnice pro přímý přístup k paměti procesoru a činnost ukončena. Při vysílání dat oznámí procesor svoji připravenost signálem na kontrolním vstupu 94. Tím oznamuje, že na datové vstupní a výstupní sběrnici pro přímý přístup k paměti procesoru jsou připravena platná data. Na základě signálu na kontrolním vstupu 94 je vyslána zpráva o platných datech signálem na potvrzovacím výstupu 093. Měřicí ústředna si vysílaná data převezme na skupině datových výstupů 094. Převzetí dat oznámí signálem na informačním vstupu 96, který je předán procesoru prostřednictvím signálu na signalizačním výstupu 091. Tento cyklus se opakuje tolikrát, kolik datových položek je vysíláno. Ukončení přenosu je opět oznámeno z procesoru signálem na ovládacím vstupu 92. Při synchron-

ním přenosu je vlastní způsob příjmu i vysílání dat shodný se způsobem při asynchronním přenosu. Režim synchronního přenosu oznamuje procesor signálem na volicím vstupu 93. Před vlastním přenosem nastaví procesor na datové vstupní sběrnici výstupního registru procesoru, to je na první skupině datových vstupů 99 informaci o časovém intervalu vzorku a signálem na řídicím vstupu 91 provede přepis dat na první skupině datových vstupů 99 do vyrovnávací paměti 2. Zahájení přenosu nastává na pokyn z procesoru signálem na ovládacím vstupu 92, znamenajícím otevření datové vstupní a výstupní sběrnice pro přímý přístup k paměti procesoru. Měřicí ústředna může zahájení přenosu pozdržet neaktivním stavem na spouštěcím vstupu 97. Teprve aktivní stav na tomto spouštěcím vstupu 97 uvolní zablokované čítání v čítači 3. Hodinové impulsy, na příklad s frekvencí některé základní časové jednotky, jako například 1 μs, vstupují do čítače 3, v němž je nastaven režim odečítání. Jeho počátečním stavem je nula, a proto po prvním hodinovém impulsu je zároveň impuls na synchronizačním výstupu 031 čítače 3, kterým se zavede do čítače 3 obsah vyrovnávací paměti 2 a zároveň synchronizují výstupní zprávy na potvrzovacím výstupu 093, na požadovacím výstupu 092 a signalizačním výstupu 091. Nastavený čítač 3 odečítá hodinové impulsy a jakmile je dočítá, nastává opět předání časové informace o vzorku do čítače 3 a synchronizace výstupních zpráv na výstupech 093, 092 a 091. Ukončení přenosu oznamuje procesor opět negací signálu na ovládacím vstupu 92. Synchronizace signálu na požadovacím výstupu 092, požadujícího data z měřicí ústředny, se neprovádí přímo z výstupu čítače 3, nýbrž ze základních hodinových impulsů v kombinaci se zprávou na kontrolním vstupu 94. Tato zpráva je závislá na informaci na signalizačním výstupu 091, která je opět synchronní se synchronizačním výstupem 031 čítače 3. Při synchronním přenosu je ignorován signál na informačním vstupu 96, znamenající připravenost periferie, a procesor předpokládá, že měřicí ústředna je schopna nastavovat změřená data a přijímat data z procesoru rychlostí, danou periodou vzorkování.

Vynálezu lze využít pro řízení měřicí ústředny procesorem u výpočetních zařízení, jejichž procesory dovolují rychlý přístup k operační paměti, například u inteligentních terminálů.

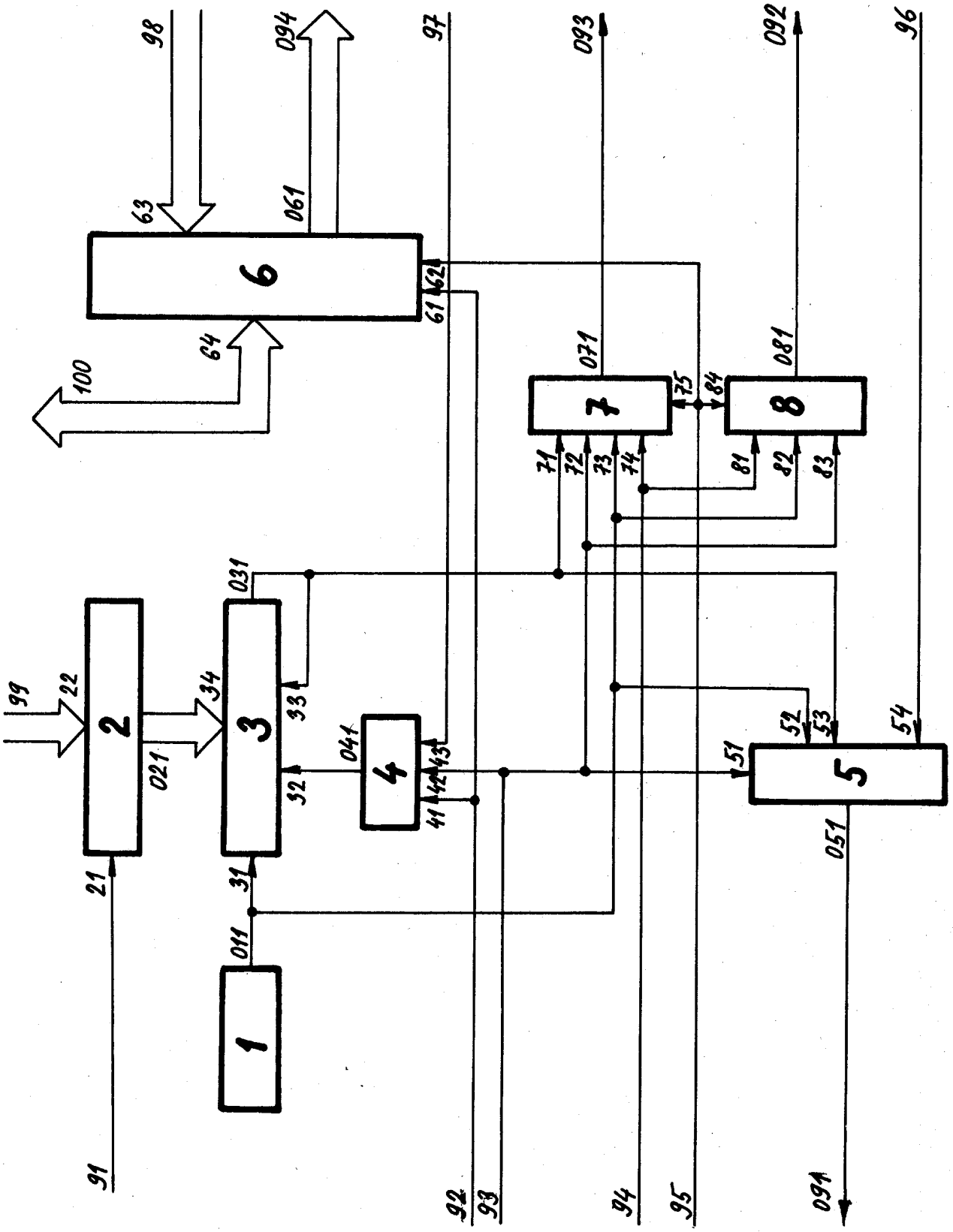
PŘEDMĚT VYNÁLEZU

241 628

Zapojení obvodu pro řízení měřicí ústředny procesorem, vyznačené tím, že řídicí vstup (21) vyrovnávaí paměti (2) tvoří současně řídicí vstup (91) zapojení, výstup (011) zdroje (1) hodinových impulsů je připojen na hodinový vstup (31) čítače (3), na hodinový vstup (52) obvodu (5) hlášení připravenosti, na hodinový vstup (73) obvodu (7) kontroly platnosti výstupních dat a na hodinový vstup (82) obvodu (8) požadavku vstupních dat, synchronizační výstup (031) čítače (3) je připojen na nastavovací vstup (33) čítače (3), na synchronizační vstup (71) obvodu (7) kontroly platnosti výstupních dat a synchronizační vstup (53) obvodu (5) hlášení připravenosti, ovládací vstup (41) ovládacího obvodu (4) čítače je připojen na ovládací vstup (61) obvodů (6) vysílačů a přijímačů a tvoří současně ovládací vstup (92) zapojení, dále volicí vstup (42) ovládacího obvodu (4) čítače je připojen na ovládací vstup (51) obvodu (5) hlášení připravenosti, na volicí vstup (72) obvodu (7) kontroly platnosti výstupních dat a na volicí vstup (83) obvodu (8) požadavku vstupních dat a tvoří současně volicí vstup (93) zapojení, spouštěcí vstup (43) ovládacího obvodu (4) čítače tvoří současně spouštěcí vstup (97) zapojení, blokovací výstup (041) ovládacího obvodu (4) čítače je připojen na blokovací vstup (32) čítače (3), kontrolní vstup (74) obvodu (7) kontroly platnosti výstupních dat je připojen na kontrolní vstup (81) obvodu (8) požadavku vstupních dat a tvoří současně kontrolní vstup (94) zapojení, přičemž potvrzovací výstup (071) obvodu (7) kontroly platnosti výstupních dat tvoří současně potvrzovací výstup (093) zapojení, výběrový vstup (75) obvodu (7) kontroly platnosti výstupních dat je připojen na výběrový vstup (62) obvodu (6) vysílačů a přijímačů, na výběrový vstup (84) obvodu (8) požadavku vstupních dat a tvoří současně výběrový vstup (95) zapojení, signalizační výstup (051) obvodu (5) hlášení připravenosti tvoří současně signalizační výstup (091) zapojení, informační vstup (54) obvodu (5) hlášení připravenosti tvoří současně informační vstup (96) zapojení, požadavkový výstup (081) obvodu (8) požadavku vstupních dat tvoří současně požadavkový výstup (092) zapojení, skupina datových vstupů (22) vyrovnávací paměti (2) tvoří současně první skupinu datových vstupů (99) zapojení, kdežto její skupina datových výstupů (021) je připojena na skupinu datových vstupů (34) čítače (3), skupina dato-

vých vstupů a výstupů (64) obvodů (6) vysílačů a přijímačů tvoří současně skupinu datových vstupů a výstupů (100) zapojení, skupina datových vstupů (63) obvodů vysílačů a přijímačů tvoří současně druhou skupinu datových vstupů (98) zapojení, kdežto jejich skupina datových výstupů (061) tvoří současně skupinu datových výstupů (094) zapojení.

1 výkres


1
2
3
4
5
6
7
8
98
094
97
093
092
96
63
061
62
61
64
100
071
081
75
84
71
72
73
74
81
82
83
031
99
22
34
33
041
021
32
43
42
41
51
52
53
54
051
21
31
011
91
92
93
94
95
091