

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96106461

※ 申請日期：96.2.26

※IPC 分類：G11C 29/52 (2006.01)

一、發明名稱：(中文/英文)

用以於錯誤檢查模式與非錯誤檢查模式使用相同記憶體類型之系統、方法及裝置
 SYSTEMS, METHODS, AND APPARATUSES FOR USING THE SAME MEMORY TYPE IN AN ERROR
 CHECK MODE AND A NON-ERROR CHECK MODE

二、申請人：(共 1 人)**姓名或名稱：**(中文/英文)

英特爾公司 / INTEL CORPORATION

代表人：(中文/英文)

塞門 大衛 / SIMON, DAVID

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉市密遜大學道 2200 號

2200 Mission College Blvd., Santa Clara, CA, U. S. A.

國 籍：(中文/英文)

美國 / U. S. A.

三、發明人：(共 1 人)**姓 名：**(中文/英文)

貝恩斯 庫吉特 / BAINS, KULJIT

國 籍：(中文/英文)

印度 / INDIA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國、 2006/02/27、 11/364,107

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明之實施例大致上係有關積體電路領域，更特別
5 係有關使用相同記憶體類型來支援錯誤檢查模式及非錯誤
檢查模式之系統、方法及裝置。

【先前技術】

發明背景

記憶體裝置對於暫態錯誤(或軟式錯誤)之類的錯誤敏
10 感。若此等錯誤未經妥善處理，則可能造成電腦系統的功能異常。呈錯誤校正碼(ECC)形式之冗餘資訊可用來改良整體系統之可靠度。但冗餘資訊可能提高記憶體系統之儲存需求，因而增高記憶體系統之成本。如此，ECC典型只用於
15 於高端系統或關鍵性任務系統。較低成本系統(或較非關鍵性系統)並未使用ECC，而提供適合其用途之適當可靠度。

於某些情況下，藉由加入額外記憶體裝置(例如動態隨機存取記憶體(DRAM)裝置)來讓系統增加額外儲存位元。舉例言之，一種使用8個DRAM來儲存資料的系統也可使用額外DRAM來儲存檢查碼。於其它情況下，額外位元係儲
20 存於特別設計用於ECC系統之多種DRAM。例如，非ECC DRAM有256百萬位元儲存容量及16輸出。該DRAM之ECC變化版本可有288百萬位元容量及18輸出。於二實例中，ECC系統具有比非ECC相對應系統更多12.5%儲存容量。使用不同DRAM裝置於ECC系統有多項缺點。例如

DRAM裝置之兩種(或更多種)變化版本之設計、製造及存貨造成成本增高。此外，ECC版本之DRAM裝置比其非ECC對應裝置更大型，因而更難以製造。增加額外位元至ECC版本DRAM，造成裝置良率的降低，因而增加裝置成本。

- 5 使用DRAM裝置之兩種(或更多種)變化版本之另一項缺點為與DRAM裝置介接之記憶體控制器需要支援額外的接腳(例如ECC接腳)。此外，ECC版本DRAM模組由於連接器比非ECC版本之連接器更大型，因而前者占用主機板上的更多空間。

10 【發明內容】

依據本發明之一實施例，係特地提出一種記憶體裝置，其包含有：一分裂排組對之記憶體排組，其包括一第一記憶體排組及一第二記憶體排組，其中若該記憶體裝置係處於一錯誤檢查模式，則資料係欲儲存於該第一記憶體排組中，以及相對應之錯誤檢查位元係欲儲存於該第二記憶體排組中；以及用以指出該記憶體裝置係處於一錯誤檢查模式或於一非錯誤檢查模式之一暫存器位元。

圖式簡單說明

本發明之實施例於附圖僅供舉例說明而非限制性，附圖中類似的參考號碼係指類似的元件。

第1圖為高階方塊圖，顯示根據本發明之一實施例實作之一電腦系統之特選態樣。

第2圖為方塊圖顯示根據本發明之一實施例實作之一動態隨機存取記憶體(DRAM)之特選態樣。

第3圖為方塊圖顯示根據本發明之一實施例實作之一動態隨機存取記憶體(DRAM)之特選態樣。

第4圖為方塊圖，顯示根據本發明之一實施例，資料位元與錯誤檢查位元間之位址映射之實例。

5 第5圖顯示根據本發明之一實施例之讀取資料訊框之特選態樣。

第6A及6B圖顯示根據本發明之一實施例之一寫入資料訊框順序之特選態樣。

10 第7圖為方塊圖，顯示根據本發明之一實施例之一種電子系統之特選態樣。

第8圖為方塊圖，顯示根據本發明之另一實施例之一種電子系統之特選態樣。

【實施方式】

較佳實施例之詳細說明

15 本發明之實施例大致上係針對使用相同記憶體類型來支援錯誤檢查模式及非錯誤檢查模式用之系統、方法及裝置。於若干實施例中，記憶體裝置包括至少一分裂排組對，其具有一第一記憶體排組及一第二記憶體排組。於錯誤檢查模式中，資料位元可儲存於二記憶體排組中之一者，而
20 相對應之錯誤檢查位元係儲存於另一個記憶體排組。記憶體裝置可組配來使用一暫存器位元(例如一模式暫存器集合(MRS)暫存器位元)來支援任一種模式。於若干實施例中，支援錯誤檢查模式及非錯誤檢查模式之能力對於與記憶體控制器介面極少有影響。換言之，可使用如同於只支

援非錯誤檢查模式之系統之實質上相同發訊、接腳數目及叢訊長度。

第1圖為高階方塊圖，顯示根據本發明之一實施例實作之一電腦系統之特選態樣。電腦系統100包括請求器102、
5 記憶體控制器(或主機)110、記憶體裝置130、及互連裝置120。記憶體控制器110至少部分控制請求102與記憶體裝置130間之資料傳輸。請求102可為一處理器(例如一中央處理單元及/或一核心)、一伺服處理器、一輸入/輸出裝置(例如一周邊組件互連(PCI)快速裝置)、記憶體本身或請求存取記
10 憶體之系統100之任何其它元件。於若干實施例中，記憶體控制器110係於請求102的相同晶粒上。

於該具體實施例中，記憶體控制器110包括錯誤檢查邏輯112、模式指示器114、及記憶體裝置定址邏輯116。錯誤檢查邏輯112係使用冗餘資訊來保護資料免於特殊錯誤。於
15 若干實施例中，錯誤檢查邏輯112為錯誤校正碼(ECC)。

進一步討論如下，於若干實施例中，記憶體裝置130可於錯誤檢查模式或非錯誤檢查模式中操作。當於錯誤檢查模式中操作時，記憶體裝置130儲存資料位元以及相對應之錯誤檢查位元(例如ECC位元)二者。當於非錯誤檢查模式
20 操作時，(大致上)記憶體裝置130的全部容量皆係用來儲存資料位元。模式指示器114提供記憶體裝置130於錯誤檢查模式或非錯誤檢查模式操作之指示。於若干實施例中，模式指示器114包括一個或多個暫存器位元。

於若干實施例中，記憶體裝置130係依據其是否於錯誤

檢查模式或非錯誤檢查模式而對讀取/寫入資料應用不同的位址映射。例如錯誤檢查模式中使用之位址映射可考慮錯誤檢查位元(例如ECC位元)之映射。位址映射邏輯116允許記憶體控制器110知曉由記憶體裝置130所使用之位址映射。位址映射邏輯116可為任一種可對多個記憶體位置提供位址映射指示之任何邏輯。

記憶體裝置130可為寬廣多種裝置中之任一者，該等裝置包括動態隨機存取記憶體裝置(或簡稱為DRAM)。於若干實施例中，記憶體裝置130組織成為一個或多個分裂排組對140。一分裂排組對可稱作為可組配成為單一排組或組配成為兩個分開排組之一對記憶體排組對。於若干實施例中，該分裂排組對中之各個排組具有其本身之裂解碼器及行解碼器。

於若干實施例中，該分裂排組對中之各個排組可提供記憶體之一頁面。舉例言之，排組0A提供頁面142，排組0B提供頁面144。「排組」係指由記憶體裝置所提供之一記憶體位置陣列。排組142及144可集合提供邏輯頁面146。「邏輯頁面」一詞係指兩個或多個實體排組之邏輯組合。於若干實施例中，頁面142及144各自提供記憶體之1千位元組(K bytes)，邏輯頁面146提供2 K位元組之淨有效頁面大小。

於該具體實施例中，記憶體裝置130包括模式指示器132、張貼器寫入緩衝器134、部分寫入遮罩136、及行位址產生邏輯138。模式指示器132提供記憶體裝置130是否於錯誤檢查模式或非錯誤檢查模式操作之指示。於若干實施例

中，模式指示器132包括諸如模式暫存器集合(MRS)之暫存器之一個或多個位元。張貼器寫入緩衝器134為一種緩衝器資料於寫至記憶體裝置130之記憶體核心之前先張貼。部分寫入遮罩136提供欲寫入記憶體核心之資料之寫入遮罩。於若干實施例中，部分寫入遮罩136係用來存取與儲存於記憶體裝置130之資料相關聯之錯誤檢查位元。於若干實施例中，行位址產生邏輯138對與儲存於記憶體裝置130之資料相關聯之錯誤檢查位元產生行位址資訊。

第2圖為方塊圖顯示根據本發明之一實施例實作之一動態隨機存取記憶體(DRAM)之特選態樣。DRAM 200包括16個記憶體排組(0A至7B)或8個分裂排組對(例如分裂排組對0A、0B)。於若干實施例中，DRAM 200可組配成x4 DRAM或x8 DRAM。於x4模式中，DRAM 200提供16個排組(0A至7B)，各個排組提供64資料位元於4資料(DQ)接腳。於x8模式中，DRAM 200提供8個分裂排組對來提供128資料位元予8個DQ接腳。

於若干實施例中，DRAM 200可組配來於錯誤檢查模式(例如ECC模式)或非錯誤檢查模式操作。當於錯誤檢查模式操作時，以槓桿作用制衡其分裂排組架構，經由將資料儲存於分裂排組之一個成員(例如排組0A)，相對應之錯誤檢查位元(例如ECC位元)儲存於分裂排組之另一個成員(例如排組0B)。

第3圖為方塊圖，顯示根據本發明之一個實施例，儲存資料位元及錯誤檢查位元於一分裂排組對之特選態樣。分

裂排組對300包括排組0A及排組0B。於若干實施例中，資料係儲存於高達各個排組之 N/M (例如 $7/8$)個位置，以及相對應之錯誤檢查位元係儲存於分裂排組對300之另一個成員之最末 $1/M$ (例如 $1/8$)位置。例如涵蓋儲存於排組0A之資料之錯誤檢查位元可儲存於排組0B之 $1/8$ 記憶體位置(302)。同理，涵蓋儲存於排組0B之資料之錯誤檢查位元可儲存於排組0A之 $1/8$ 記憶體位置(304)。於若干實施例中，錯誤檢查位元為錯誤檢查碼(ECC)位元。

於若干實施例中，主機(例如第1圖所示記憶體控制器110)定址於該分裂排組對中之一特定排組，來識別接收/提供該等資料位元之排組。若記憶體裝置係於錯誤檢查模式，則記憶體裝置使用其內部邏輯(例如第1圖所示之部分寫入遮罩136、行位址產生邏輯138等)來存取與資料位元相對應之錯誤檢查位元。存取資料位元及相對應之錯誤檢查位元將進一步參照第4-6B圖討論如下。

第4圖為方塊圖，顯示根據本發明之一實施例，資料位元與錯誤檢查位元間之位址映射之實例。於該具體實施例中，資料位元係儲存於由一分裂排組對內部之一排組(如410所示)所提供之一頁面之 $7/8$ 。相對應之錯誤檢查位元係儲存於該分裂排組對之另一個排組(430)之上 $1/8$ 。例如涵蓋位元組0-7之ECC位元係儲存於記憶體位置896，如參考號碼432所示。同理，涵蓋位元組128-135之ECC位元係儲存於如參考號碼434所示之記憶體位置897，此種型樣對頁面410之資料位元組連續重複(如第4圖所示)。於若干實施例中，排

組430之上/的最末位元組(例如位置903)未被使用，如參考號碼436所示。於若干實施例中，涵蓋位元組8-15之錯誤檢查位元係儲存於位置905，此順序連續重複。

再度參考第1圖，說明由一DRAM讀取事件之順序。記憶體控制器110提供列位址124予記憶體裝置130。記憶體裝置130至少部分係基於列位址124而讓分裂排組對中之二排組的同一列可動作。例如，記憶體裝置130係基於列位址124而開放排組0A及0B之列150及152可動作。

記憶體控制器110提供行位址122(例如使用行位址選通(CAS)訊框)予記憶體裝置130。記憶體裝置130使用行位址122從適當排組(例如排組0A)存取資料位元。於若干實施例中，記憶體裝置130至少部分係基於行位址122而於內部對錯誤檢查位元產生行位址。換言之，記憶體裝置130對錯誤位元儲存於其中之該排組於內部產生行位址。於若干實施例中，記憶體裝置130迫使行位址122之一分量變高(例如邏輯1)來讓錯誤檢查位元儲存於其中之該排組之頂第M列變成可動作。

舉例言之，於若干實施例中，行位址122包括8個行位址(CA)位元，亦即CA 3至CA 10。於此等實施例中，記憶體裝置130經由迫使行位址位元CA 8、CA9及CA10變高以及由適當排組(例如排組0B)存取8個位元組來存取錯誤檢查位元。然後，記憶體裝置130可使用CA 8、CA 9及CA 10之實際值來識別該等8個位元組之一。例如若CA 8至CA 10之實際值為「000」，則記憶體裝置130將識別8個位元組中之

第一個位元組為含有錯誤檢查位元之該位元組。同理，若
CA 8至CA 10為「001」，則記憶體裝置130將識別該第二位
元組為含有錯誤檢查位元之該位元組。然後記憶體裝置130
提供讀取資料及其相關聯之錯誤檢查位元予記憶體控制器
5 110。於若干實施例中，CA 3至CA 7係使用得自所讀取之
CAS訊框。

第5圖顯示根據本發明之一實施例之讀取資料訊框之
特選態樣。若系統(例如第1圖所示系統100)係於錯誤檢查模
式，則於若干實施例中，64位元資料係透過兩個背對背之
10 訊框傳輸。例如訊框502及504係以單元間隔0至15傳輸64資
料位元，8個錯誤檢查(例如ECC)位元係以單元間隔(UI) 16
及17傳輸。

於若干實施例中，兩次讀取係並列執行，而128資料位
元係於四訊框傳輸。例如於該具體實施例中，訊框502及504
15 傳輸頭64個資料位元(例如d0-d63)，訊框506及508傳輸另外
64個資料位元(例如d64-d127)。涵蓋資料位元d0-d63之錯誤
檢查位元係於訊框506之UI 16及17傳輸，涵蓋資料位元
d64-d127之錯誤檢查位元係於訊框508之UI 16及17傳輸。於
另一個實施例中，讀取訊框可有不同結構，及/或可傳送不
20 同數目的訊框。

再度參考第1圖，說明將資料寫至一記憶體裝置(例如
DRAM)之事件順序。錯誤檢查位元(例如ECC位元126)及資
料位元(例如資料位元128)係由記憶體控制器110傳輸，且儲
存於緩衝器134(例如張貼器寫入緩衝器)。此外，記憶體控

制器110也提供一列位址124及一行位址122(例如作為寫入CAS訊框之一部分)。

記憶體裝置130至少部分係基於列位址124而讓分裂排組對140之二排組中的同一列(例如列150及列152)可動作。

- 5 資料位元128係基於於寫入CAS訊框之資料(例如行位址122及排組位址欄位之位元)而被寫至分裂排組對140之二排組之一。記憶體裝置130至少部分基於行位址122而對錯誤檢查位元產生行位址。於若干實施例中，經由迫使CA 8至CA 10變高，且使用得自寫入CAS訊框之CA 4至CA 10，產生錯誤檢查位元之行位址。於若干實施例中，並未使用CA 2至
- 10 CA 0。

- 典型地，錯誤檢查位元之數目只是資料位元數目之分數。例如8個錯誤檢查位元可用來涵蓋64資料位元。如此，記憶體裝置130可產生一部分寫入遮罩來遮罩56位元，且將
- 15 8錯誤檢查位元寫至行位址，該行位址係基於由寫入CAS訊框所提供之CA 8至CA 10高及CA 4至CA 10。

- 第6A及6B圖顯示根據本發明之一實施例之一寫入資料訊框順序之特選態樣。第6A及6B圖所示寫入順序可用於有並列記憶體通道且有兩個記憶體裝置之系統。各個記憶
- 20 體裝置可知曉全部四個訊框，且分別標示為D0至D63或D64至D127。記憶體裝置之標示進一步討論如下。

於若干實施例中，寫入順序包括下列訊框：寫入標頭(Wh) 602、ECC寫入訊框(We) 604、寫入資料1 (Wd1) 606、及寫入資料2 (Wd2)608。於若干實施例中，各個訊框為6位

元訊框(標示為0至5)，深度為9位元(例如UI 0至8或UI 9至17)。Wh 602包括寫入順序之標頭資訊及若干資料位元。

We 604傳輸涵蓋相關聯之資料位元之錯誤檢查位元(例如ECC位元610，顯示於UI 12-14)。於若干實施例中，

5 錯誤檢查位元(例如ECC位元)係使用部分寫入遮罩編碼而傳輸至記憶體裝置130。換言之，We 604具有與部分寫入遮罩訊框(Wm)相同之指令編碼，但遮罩位元係由錯誤檢查位元(例如ECC位元610，顯示於UI 12-14)所置換。ECC位元

10 ECC0-ECC7 涵蓋資料位元 D0-D63，而 ECC 位元 ECC8-ECC15涵蓋資料位元D64-D127。於若干實施例中，當系統係於錯誤檢查模式操作時對全部寫入資料傳輸要求We訊框604。

Wd1 606及Wd2 608傳輸寫入操作之其餘資料位元。資料位元D0-D63係由一個記憶體裝置所使用，而資料位元

15 D64-D127係由另一個記憶體裝置所使用。於若干實施例中，於記憶體裝置之暫存器位元判定哪一個記憶體裝置拾取哪一個資料位元。例如MRS暫存器可用來分派資料位元予一記憶體裝置。

第7圖為方塊圖，顯示根據本發明之一實施例之一種電

20 子系統之特選態樣。電子系統700包括處理器710、記憶體控制器720、記憶體730、輸入/輸出(I/O)控制器740、射頻(RF)電路750及天線760。於操作中，系統700係使用天線760發送及接收信號，此等信號由第7圖所示之各個元件處理。天線760可為方向性天線或全向天線。如此處使用，全向天線

一詞係指於至少一個平面有大致上一致型樣之任何天線。例如於若干實施例中，天線760可為全向天線，諸如偶極天線或四分之一波天線。此外例如，於若干實施例中，天線760可為方向性天線，諸如拋物面碟形天線、補片天線或八木(Yagi)天線。於若干實施例中，天線760包括多個實體天線。

射頻電路750係與天線760及I/O控制器740通訊。於若干實施例中，RF電路750包括與一通訊協定相對應之一實體介面(PHY)。例如，RF電路750包括調變器、解調器、混合器、頻率合成器、低雜訊放大器、功率放大器等。於若干實施例中，RF電路750包括一外差式接收器；於其它實施例中，RF電路750包括一直接轉換接收器。例如於有多個天線760之實施例中，各天線可耦接至一相對應之接收器。於操作中，RF電路750接收來自於天線760之通訊信號，且提供類比信號或數位信號予740。此外，I/O控制器740可提供信號予RF電路750，RF電路750基於該信號操作，然後發射至760。

處理器710可為任一種處理裝置。例如處理器710可為微處理器、微控制器等。此外，處理器710可包括任何數目之處理核心或可包括任何數目之分開處理器。

記憶體控制器720提供處理器710與第7圖所示其它元件間之一通訊路徑。於若干實施例中，記憶體控制器720為一中樞器裝置之一部分，也可提供其它功能。如第7圖所示，記憶體控制器720耦接至處理器710、I/O控制器740及

記憶體730。

記憶體730可包括多個記憶體裝置。此等記憶體裝置可基於任一型記憶體技術。例如記憶體730可為隨機存取記憶體(RAM)、動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)、非依電性記憶體如快閃記憶體或任何其它型別之記憶體。於若干實施例中，記憶體730可支援錯誤檢查模式及非錯誤檢查模式。

記憶體730表示單一記憶體裝置或於一個或多個模組上之多個記憶體裝置。記憶體控制器720透過互連裝置722提供資料予記憶體730，且回應於讀取要求接收來自於記憶體730之資料。指令及/或位址可透過互連裝置722或透過不同的互連裝置(圖中未顯示)而提供予記憶體730。記憶體控制器720可接收來自於處理器710或來自於另一個來源欲儲存於記憶體730之資料。記憶體控制器720可將其接收得自記憶體730之資料提供予處理器710或另一個目的地。互連裝置722可為雙向互連裝置或單向互連裝置。互連裝置722包括多個並聯導體。信號可為微分信號或單端信號。於若干實施例中，互連裝置722係使用正向之多相時鐘體系操作。

記憶體控制器720也耦接至I/O控制器740，且提供處理器710與I/O控制器740間之通訊路徑。I/O控制器740包括與I/O電路通訊之電路，諸如串列埠、並列埠、通用串列匯流排(USB)埠等。如第7圖所示，I/O控制器740提供通訊路徑至RF電路750。

第8圖為方塊圖，顯示根據本發明之另一實施例之一種電子系統之特選態樣。電子系統800包括記憶體730、I/O控制器740、RF電路750及天線760，全部皆係如同前文參照第7圖之說明。電子系統800也包括處理器810及記憶體控制器820。如第8圖所示，820係位於處理器810的相同晶粒上。於若干實施例中，記憶體控制器820包括重播邏輯(例如第3圖所示之重播邏輯310)，來檢測經界定的錯誤，來進行自動快速復置，以及來重播某些異動。處理器810可為前文參照處理器710所述之任一型處理器(第5圖)。第7圖及第8圖表示之系統實例包括桌上型電腦、膝上型電腦、伺服器、行動電話、個人數位助理器、數位家用系統等。

本發明之實施例之元件也可提供為用於儲存機器可執行指令之一機器可讀取媒體。機器可讀取媒體包括但非限於快閃記憶體、光碟、雷射光碟-唯讀記憶體(CD-ROM)、數位影音/視訊碟(DVD) ROM、隨機存取記憶體(RAM)、可抹除可規劃唯讀記憶體(EPROM)、可電抹除可規劃唯讀記憶體(EEPROM)、磁卡或光卡、傳播媒體或其它型別之適合儲存電子指令之機器可讀取媒體。例如本發明之實施例可下載為一電腦程式，而可藉由於一載波中具體實施之資料信號而由一遠端電腦(例如同伺服器)傳輸至一請求電腦(例如一客端)，或透過通訊鏈路(例如數據機或網路聯結而藉由其它傳播媒體傳輸)。

須了解本說明書中述及「一個實施例」或「一實施例」表示就該實施例所說明之一特定特徵、結構或特性係包括

於至少一個本發明之實施例。因此強調且須了解於本說明書之各部分兩次或多次述及「一實施例」或「一個實施例」或「另一個實施例」並非必然皆指同一個實施例。此外，特定特徵、結構或特性可如所適合組合於一個或多個本發明之實施例。

同理，須了解於前文本發明之實施例之說明中，各項特徵偶爾共同群集於單一實施例、單一圖或其說明以供揭示內容之流暢且輔助了解一項或多項本發明之態樣。但本揭示方法並非解譯為反映出本案所請主旨要求比較於申請專利範圍各項中所明白引述之特徵之更多特徵。反而如下申請專利範圍反映，本發明之各態樣仰賴之特徵少於前文揭示之單一實施例之全部特徵。如此，隨附於詳細說明部分後方之申請專利範圍明白併入本詳細說明部分。

【圖式簡單說明】

第1圖為高階方塊圖，顯示根據本發明之一實施例實作之一電腦系統之特選態樣。

第2圖為方塊圖顯示根據本發明之一實施例實作之一動態隨機存取記憶體(DRAM)之特選態樣。

第3圖為方塊圖顯示根據本發明之一實施例實作之一動態隨機存取記憶體(DRAM)之特選態樣。

第4圖為方塊圖，顯示根據本發明之一實施例，資料位元與錯誤檢查位元間之位址映射之實例。

第5圖顯示根據本發明之一實施例之讀取資料訊框之特選態樣。

第6A及6B圖顯示根據本發明之一實施例之一寫入資料訊框順序之特選態樣。

第7圖為方塊圖，顯示根據本發明之一實施例之一種電子系統之特選態樣。

5 第8圖為方塊圖，顯示根據本發明之另一實施例之一種電子系統之特選態樣。

【主要元件符號說明】

100...電腦系統	138...行位址產生邏輯
102...請求器	140...分裂排組對
110...記憶體控制器、主機	142...頁面
112...錯誤檢查邏輯	144...頁面
114...模式指示器	146...邏輯頁面
116...記憶體裝置定址邏輯	150...列
120...互連裝置	152...列
122...行位址	200...DRAM
124...列位址	300...分裂排組對
126...錯誤檢查位元	302...排組0B
128...資料位元	304...排組0A
130...記憶體裝置	410...一排組之頁面
132...模式指示器	430...另一排組
134...張貼器寫入緩衝器	432...儲存於記憶體位置896
136...部分寫入遮罩	434...儲存於記憶體位置897

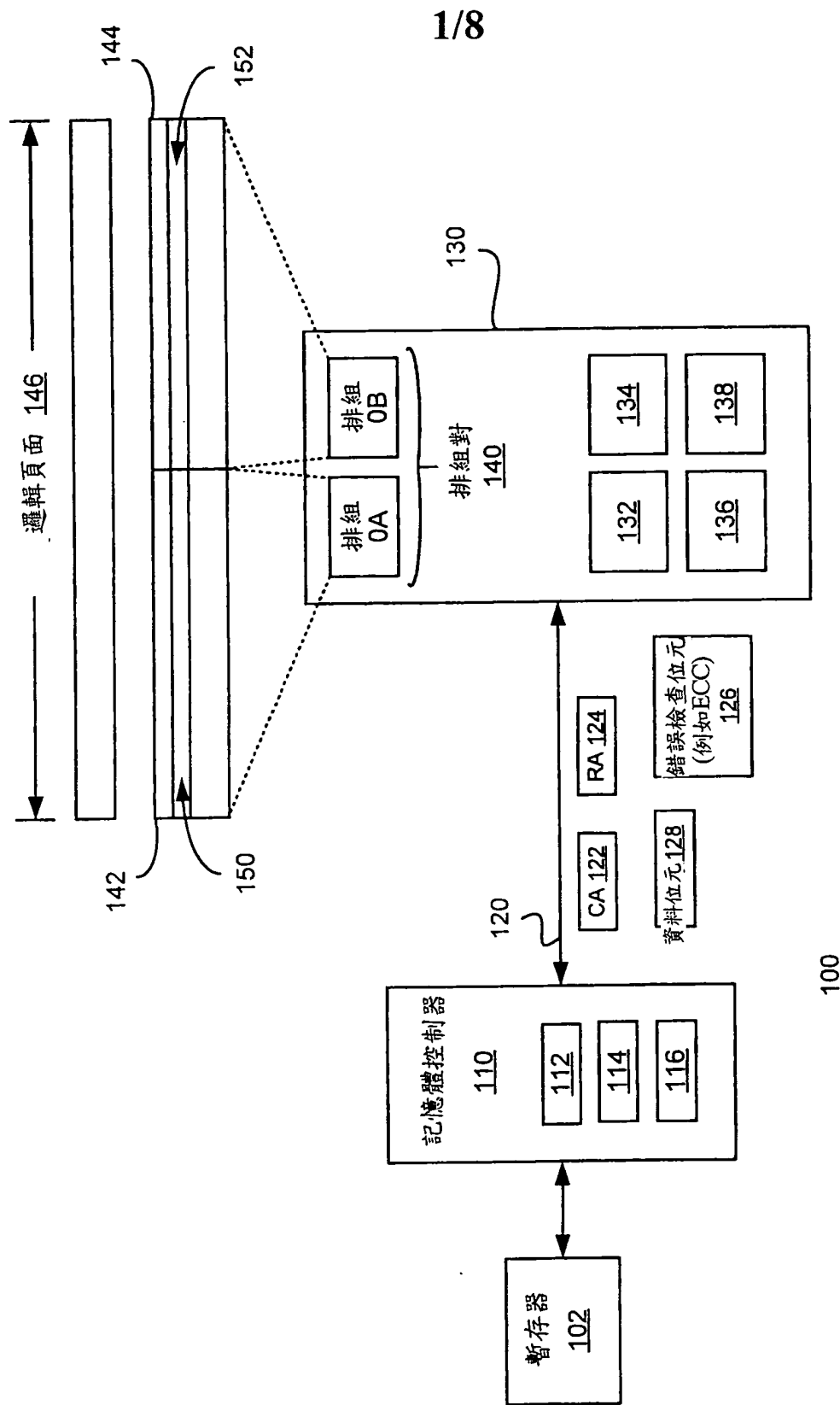
436...位置903	722...互連裝置
502、504、506、508...訊框	730...記憶體
602...寫入標頭(Wh)	740...輸入/輸出(I/O)控制器
604...ECC寫入訊框(We)	750...射頻(RF)電路
606...寫入資料1 (Wd1)	760...天線
608...寫入資料2 (Wd2)	800...電子系統
610...ECC位元	810...處理器
700...電子系統	820...記憶體控制器
710...處理器	310...重播邏輯
720...記憶體控制器	

五、中文發明摘要：

本發明之實施例大致上係針對用以於錯誤檢查模式與非錯誤檢查模式使用相同記憶體類型之系統、方法及裝置。於若干實施例中，一記憶體裝置包括至少一對分裂排組之記憶體排組對。若該記憶體裝置係處於錯誤檢查模式，則於若干實施例中，資料係儲存於該分裂排組對之記憶體排組中之一者內，以及相對應之錯誤檢查位元係儲存於該分裂排組對中之另一記憶體排組內。於該記憶體裝置上之一暫存器位元指出該記憶體裝置係處於錯誤檢查模式或於非錯誤檢查模式。本文亦說明其它實施例且請求專利。

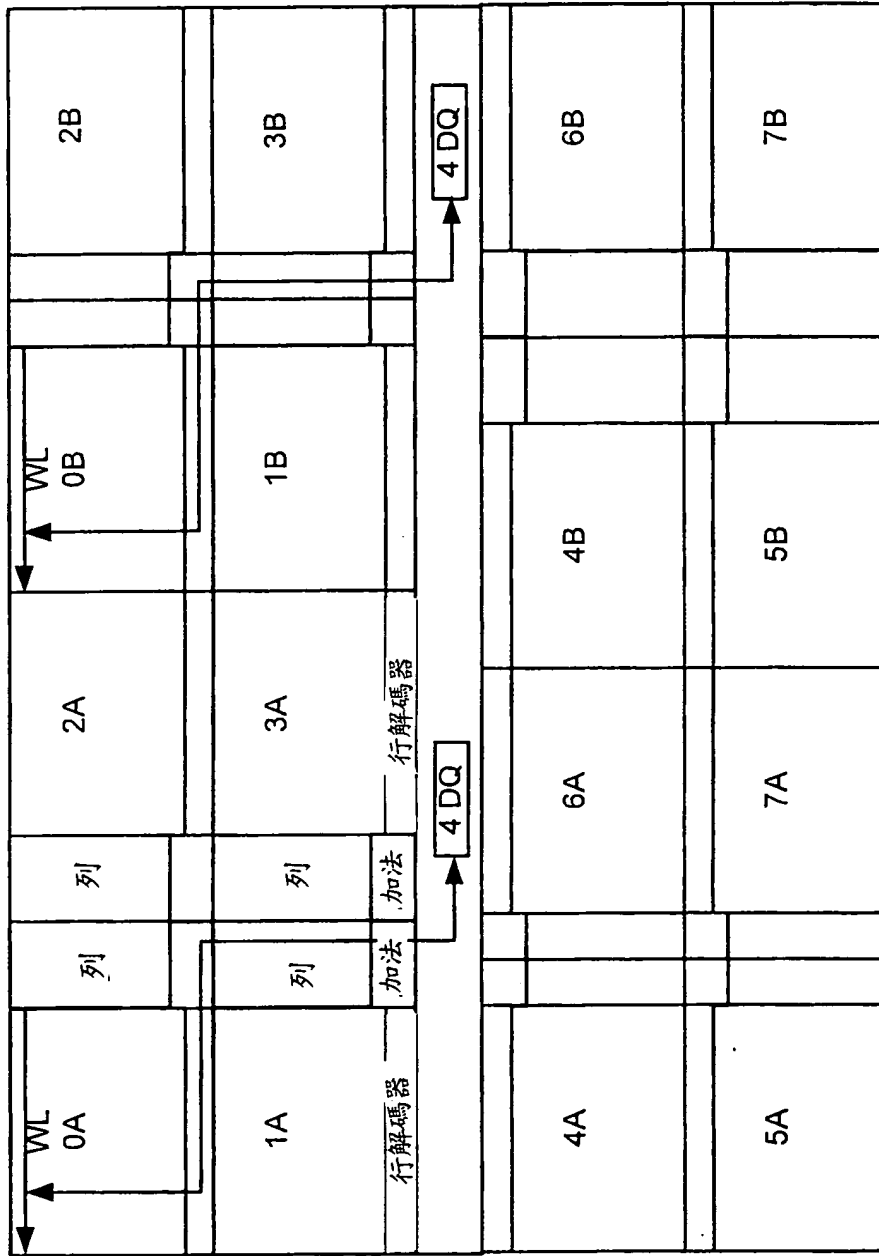
六、英文發明摘要：

Embodiments of the invention are generally directed to systems, methods, and apparatuses for using the same memory type in an error check mode and a non-error check mode. In some embodiments, a memory device includes at least one split bank pair of memory banks. If the memory device is in an error check mode, then, in some embodiments, data is stored in one of memory banks of the split bank pair and the corresponding error check bits are stored in the other memory bank of the split bank pair. A register bit on the memory device indicates whether it is in the error check mode or the non-error check mode. Other embodiments are described and claimed.



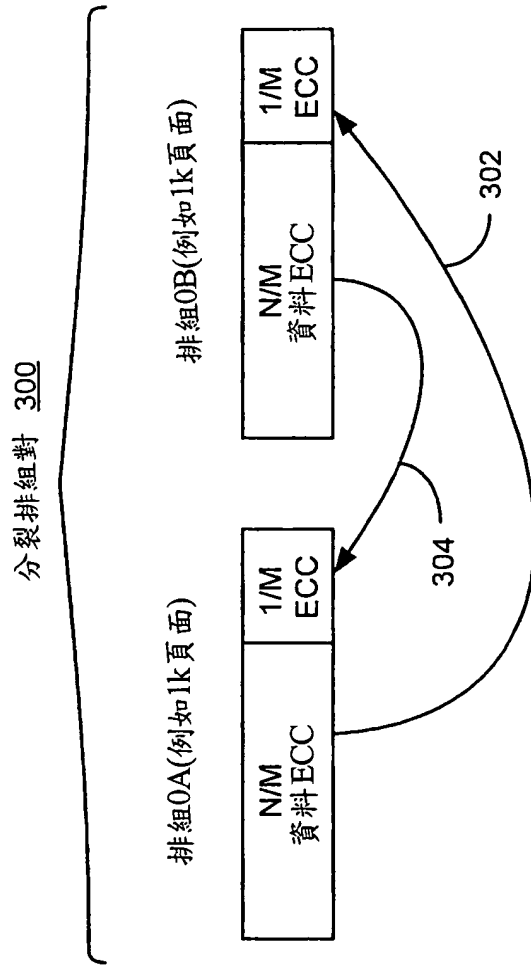
第 1 圖

100

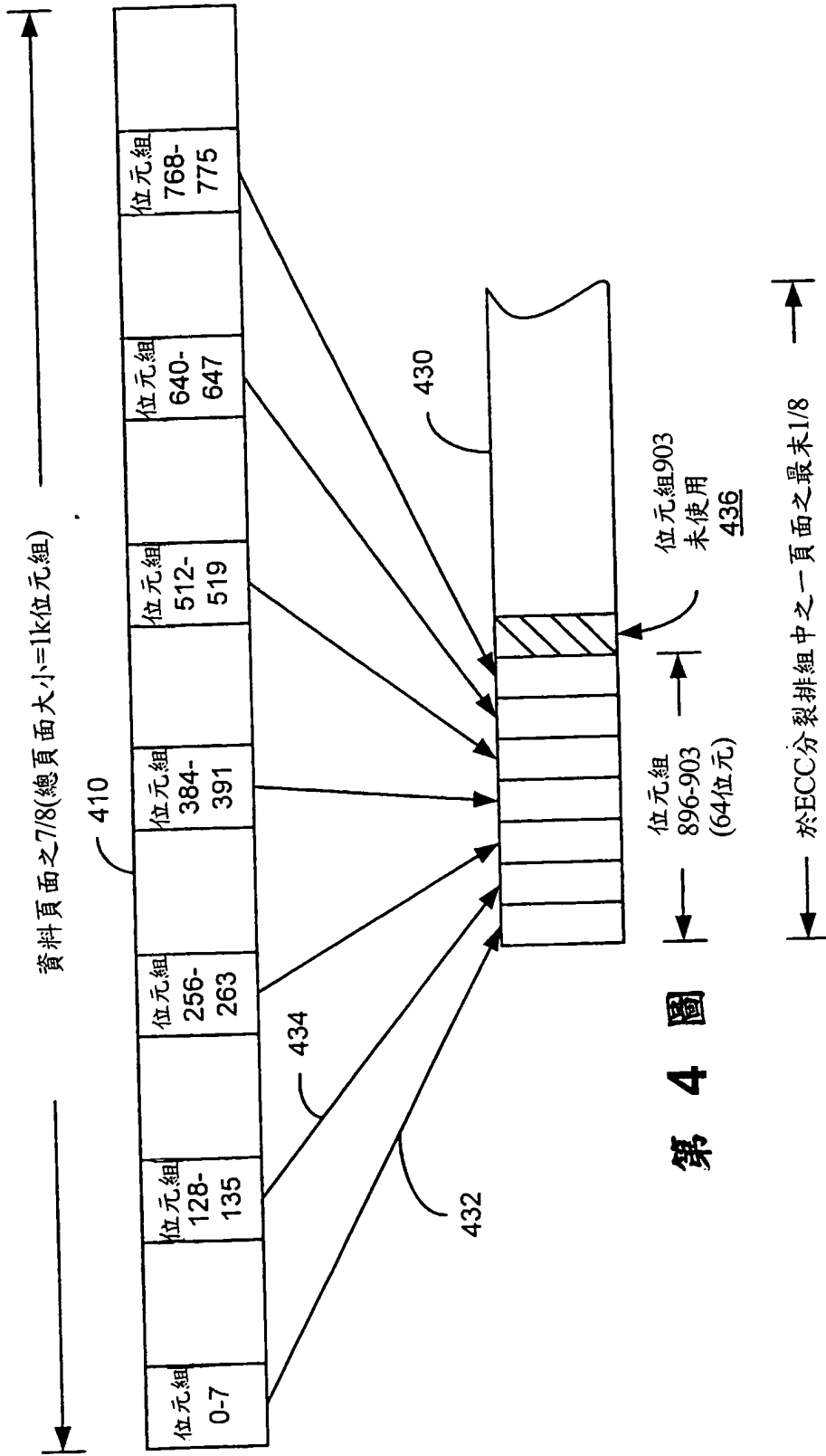


200

第 2 圖



第 3 圖



第 4 圖

504

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
0	d0	d4	d8	d12	d16	d20	d24	d28	d32	d36	d40	d44	d48	d52	d56	d60	ecc0	ecc4
1	d1	d5	d9	d13	d17	d21	d25	d29	d33	d37	d41	d45	d49	d53	d57	d61	ecc1	ecc5
2	d2	d6	d10	d14	d18	d22	d26	d30	d34	d38	d42	d46	d50	d54	d58	d62	ecc2	ecc6
3	d3	d7	d11	d15	d19	d23	d27	d31	d35	d39	d43	d47	d51	d55	d59	d63	ecc3	ecc7

502

508

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
0	d64	d68	d72	d76	d80	d84	d88	d92	d96	d100	d104	d108	d112	d116	d120	d124	ecc9	ecc12
1	d65	d69	d73	d77	d81	d85	d89	d93	d97	d101	d105	d109	d113	d117	d121	d125	ecc9	ecc13
2	d66	d70	d74	d78	d82	d86	d90	d94	d98	d102	d106	d110	d114	d118	d122	d126	ecc10	ecc14
3	d67	d71	d75	d79	d83	d87	d91	d95	d99	d103	d107	d111	d115	d119	d123	d127	ecc11	ecc15

506

第 5 圖

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
0	WD = 1	d1	d4	d7	d10	d13	d16	CRC	CRC	WD = 0	ACT = 0	P = 0	ecc0	ecc3	ecc6		CRC	CRC
1	d0	d2	d5	d8	d11	d14	d17	d19	CRC	R _W = 1			ecc1	ecc4	ecc7			CRC
2	s0	d3	d6	d9	d12	d15	d18	d20	CRC	s0			ecc2	ecc5		aP = 0	CRC	
3	s1	d65	d68	d71	d74	d77	d80	CRC	CRC	s1			ecc8	ecc11	ecc14	CRC	CRC	
4	d64	d66	d69	d72	d75	d78	d81	d83	CRC				ecc9	ecc12	ecc15		CRC	
5		d67	d70	d73	d76	d79	d82	d84	CRC				ecc10	ecc13			CRC	

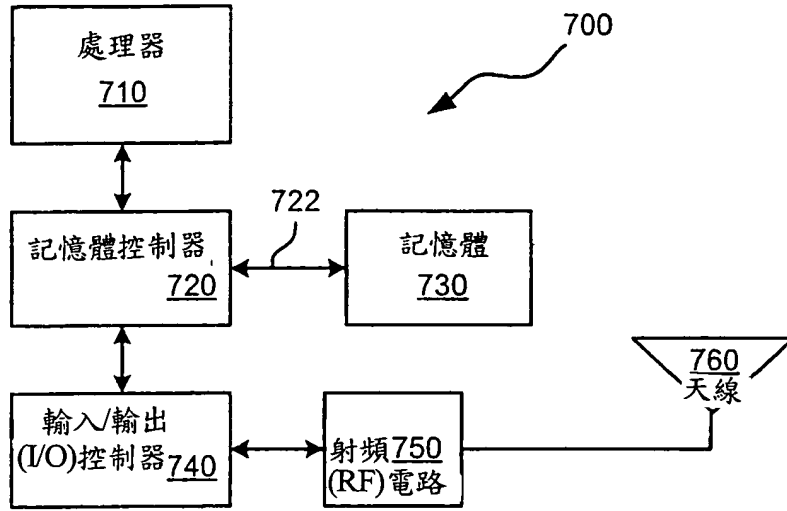
第 6A 圖

18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35
WD =1	d22	d25	d28	d31	d34	d37	CRC	CRC	WD =1	d43	d46	d49	d52	d55	d58	CRC	CRC
d21	d23	d26	d29	d32	d35	d38	d40	CRC	d42	d44	d47	d50	d53	d56	d59	d61	CRC
s0	d24	d27	d30	d33	d36	d39	d41	CRC	s0	d45	d48	d51	d54	d57	d60	d62	CRC
s1	d87	d90	d93	d96	d99	d102	CRC	CRC	s1	d108	d111	d114	d117	d120	d123	CRC	CRC
d85	d88	d91	d94	d97	d100	d103	d105	CRC	d63	d109	d112	d115	d118	d121	d124	d126	CRC
d86	d89	d92	d95	d98	d101	d104	d106	CRC	d107	d110	d113	d116	d119	d122	d125	d127	CRC

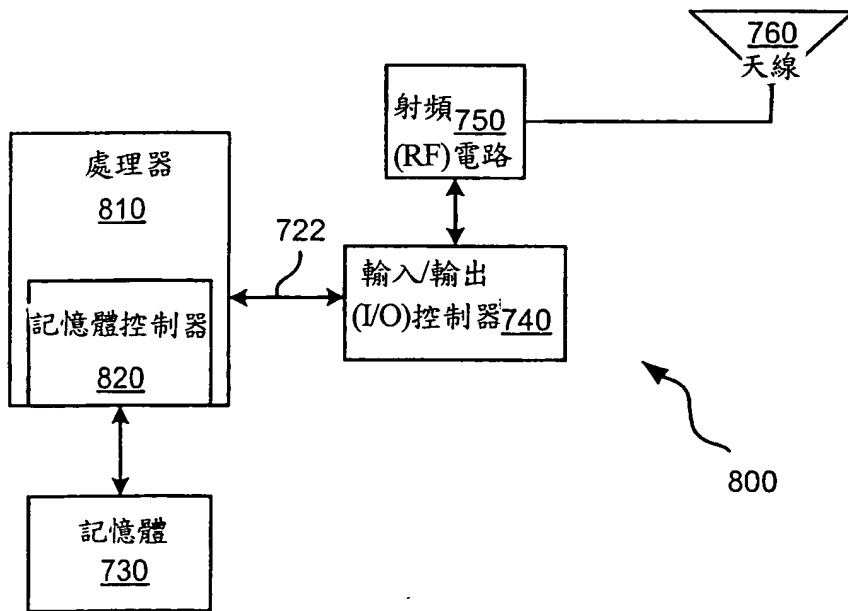
606

608

第 6B 圖



第 7 圖



第 8 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100...電腦系統	130...記憶體裝置
102...請求器	132...模式指示器
110...記憶體控制器、主機	134...張貼器寫入緩衝器
112...錯誤檢查邏輯	136...部分寫入遮罩
114...模式指示器	138...行位址產生邏輯
116...記憶體裝置定址邏輯	140...分裂排組對
120...互連裝置	142...頁面
122...行位址	144...頁面
124...列位址	146...邏輯頁面
126...錯誤檢查位元	150...列
128...資料位元	152...列

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

99年5月20日修正本

1. 一種記憶體裝置，包含：

一分裂排組對之記憶體排組，其包括一第一記憶體排組及一第二記憶體排組，其中該第一記憶體排組與該第二記憶體排組可被組配作一單一邏輯記憶體排組或者是組配作兩個分開的記憶體排組；

耦接至該分裂排組對之記憶體排組之行位址產生邏輯裝置；以及

用以指出該記憶體裝置係處於一錯誤檢查模式或於一非錯誤檢查模式之一暫存器位元，其中當該記憶體裝置係處於該錯誤檢查模式時：

該第一記憶體排組之一第一列用來儲存資料，

該第二記憶體排組之一第二列用來儲存對應於該資料之錯誤檢查位元，以及

響應於從記憶體控制器傳送至該記憶體裝置之一第一行位址與一列位址：

該記憶體裝置以該列位址與該第一行位址來存取該資料，

該行位址產生邏輯裝置根據該第一行位址來產生一不同行位址，以及

該記憶體裝置以該列位址與該不同行位址來致動該第二列之一部分，該致動該第二列之部分之動作會存取該等錯誤檢查位元。

2. 如申請專利範圍第1項之記憶體裝置，其進一步包含：

用以將與欲儲存於該第一記憶體排組中之資料相對應之該等錯誤檢查位元映射至該第二記憶體排組之映射邏輯裝置。

- 5
3. 如申請專利範圍第2項之記憶體裝置，其中該映射邏輯裝置包含：用以將該錯誤檢查位元映射至該第二記憶體排組之頂 $1/M$ 部分之映射邏輯裝置。
4. 如申請專利範圍第3項之記憶體裝置，其中 M 為8。
5. 如申請專利範圍第4項之記憶體裝置，其中該行位址產生邏輯裝置包含：用以驅動與該資料相關聯之一行位址之一部分至邏輯高狀態之邏輯裝置。
- 10
6. 如申請專利範圍第5項之記憶體裝置，其中該用以驅動與該資料相關聯之一行位址之一部分至邏輯高狀態之邏輯裝置包含：
- 用以驅動行位址位元8至行位址位元10至邏輯高狀態之邏輯裝置。
- 15
7. 如申請專利範圍第5項之記憶體裝置，其中用以指出該記憶體裝置係處於一錯誤檢查模式或於一非錯誤檢查模式之該暫存器位元，為一模式暫存器集(MRS)暫存器位元。
- 20
8. 如申請專利範圍第5項之記憶體裝置，其中該行位址產生邏輯裝置進一步包含：用以遮罩該行位址之至少一部分之遮罩邏輯裝置。
9. 如申請專利範圍第1項之記憶體裝置，其中該記憶體裝置包括一動態隨機存取記憶體裝置。

10. 一種用於儲存資料之方法，該方法包含有下列步驟：

判定一記憶體裝置是否處於一錯誤檢查模式或於一非錯誤檢查模式，該記憶體裝置具有至少一對分裂排組對之記憶體排組，其中該分裂排組對之記憶體排組可被組配作一單一邏輯記憶體排組或是組配作兩個分開的記憶體排組；以及

其中該記憶體裝置被判定成處於該錯誤檢查模式時，並且響應於從記憶體控制器傳送至該記憶體裝置之一第一行位址與一列位址：

將資料寫入該分裂排組對中之一第一記憶體排組之第一列中，該寫入步驟係根據該列位址與該第一行位址；

根據該第一行位址以該記憶體裝置之行位址產生邏輯裝置來產生一不同行位址；以及

將與該資料相關聯之錯誤檢查位元寫入該分裂排組對中之一第二記憶體排組之第二列中，包括以該列位址與該不同行位址來致動該第二列之一部分。

11. 如申請專利範圍第10項之方法，其中產生該不同行位址的步驟包含：

迫使該第一行位址之一經界定部分至邏輯高狀態來映射該等錯誤檢查位元至該第二記憶體排組之頂1/M部分。

12. 如申請專利範圍第11項之方法，其中迫使該第一行位址之一經界定部分至邏輯高狀態來映射該等錯誤檢查位

元至該第二記憶體排組之頂1/M部分的步驟包含：

迫使該第一行位址之位元8至位元10至邏輯高狀態來映射該等錯誤檢查位元至該第二記憶體排組之頂1/8部分。

5 13. 如申請專利範圍第11項之方法，其進一步包含：

由該第一記憶體排組讀取該資料；以及

由該第二記憶體排組讀取與該資料相關聯之該等錯誤檢查位元。

10 14. 如申請專利範圍第10項之方法，其中該記憶體裝置包括一動態隨機存取記憶體裝置。

15 15. 一種用於儲存資料之系統，該系統包含：

用以控制一記憶體次系統之一主機；以及

透過一互連裝置耦接該主機之一記憶體裝置，該記憶體裝置包括：

一分裂排組對之記憶體排組，其包括一第一記憶體排組及一第二記憶體排組，其中該第一記憶體排組與該第二記憶體排組可被組配作一單一邏輯記憶體排組或者是組配作兩個分開的記憶體排組；

20 耦接至該分裂排組對之記憶體排組之行位址產生邏輯裝置；以及

用以指出該記憶體裝置係處於一錯誤檢查模式或於一非錯誤檢查模式之一暫存器位元，其中當該記憶體裝置處於該錯誤檢查模式時：

該第一記憶體排組之一第一列用來儲存資料，

該第二記憶體排組之一第二列用來儲存對應於該資料之錯誤檢查位元，以及

響應於從記憶體控制器傳送至該記憶體裝置之一第一行位址與一列位址：

5 該記憶體裝置以該列位址與該第一行位址來存取該資料，

 該行位址產生邏輯裝置根據該第一行位址來產生一不同行位址，以及

 該記憶體裝置以該列位址與該不同行位址
10 來致動該第二列之一部分，該致動該第二列之部分之動作會存取該等錯誤檢查位元。

16. 如申請專利範圍第15項之系統，其中該互連裝置包含下列之至少一者：

 一點對點互連裝置；以及

15 一多點互連裝置。

17. 如申請專利範圍第15項之系統，其進一步包含：

 用以將該等錯誤檢查位元映射至該第二記憶體排組之映射邏輯裝置。

18. 如申請專利範圍第17項之系統，其中該用以將該等錯誤
20 檢查位元映射至該第二記憶體排組之映射邏輯裝置包含：

 用以將該等錯誤檢查位元映射至該第二記憶體排組之頂 $1/M$ 部分之映射邏輯裝置。

19. 如申請專利範圍第18項之系統，其中 M 為8。