

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2019 년 4 월 25 일 (25.04.2019) WIPO | PCT



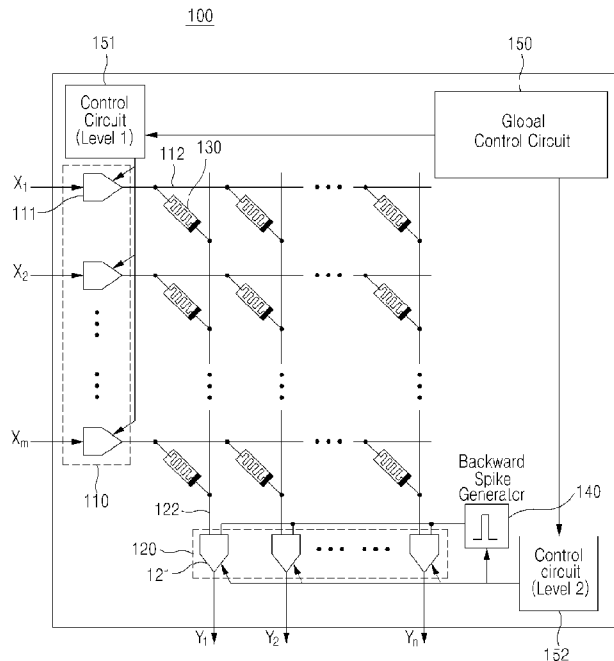
(10) 국제공개번호
WO 2019/078599 A1

- (51) 국제특허분류: *G06N 3/063* (2006.01) *G06N 3/04* (2006.01) 이정 (LI, Cheng); 04763 서울시 성동구 왕십리로 222, Seoul (KR).
- (21) 국제출원번호: PCT/KR2018/012225 (74) 대리인: 양정보 (YANG, Sungbo); 06099 서울시 강남구 선릉로125길 14 삼성빌딩 2층 피앤티특허법률사무소, Seoul (KR).
- (22) 국제출원일: 2018 년 10 월 17 일 (17.10.2018)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2017-0134748 2017 년 10 월 17 일 (17.10.2017) KR
- (71) 출원인: 한양대학교 산학협력단 (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY) [KR/KR]; 04763 서울시 성동구 왕십리로 222, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (72) 발명자: 송윤흠 (SONG, Yun Heub); 13597 경기도 성남시 분당구 수내로 74 112동 1304호, Gyeonggi-do (KR).

(54) Title: PCM-BASED NEURAL NETWORK DEVICE

(54) 발명의 명칭: PCM 기반의 뉴런 네트워크 소자

[도1]



(57) Abstract: A phase change material (PCM)-based neural network device according to an embodiment comprises: a plurality of neurons disposed for input layers and output layers, respectively; a plurality of PCMs connecting input lines of the input layers and output lines of the output layers; and at least one backward spike generator (BSG) shared by the plurality of neurons, and generating spike on the basis of an output pulse outputted from each of the neurons of the output layers.

(57) 요약서: 일 실시예에 따르면, PCM 기반의 뉴런 네트워크 소자는, 입력 레이어 및 출력 레이어 별로 배치되는 복수의 뉴런들; 상기 입력 레이어의 입력 라인 및 상기 출력 레이어의 출력 라인 사이를 연결하는 복수의 PCM(Phase Change Material) 들; 및 상기 복수의 뉴런들에 의해 공유되며, 상기 출력 레이어의 뉴런들 각각에서 출력되는 출력 펄스를 기초로 스파이크를 생성하는 적어도 하나의 BSG(Backward Spike Generator)를 포함한다.

[다음 쪽 계속]



WO 2019/078599 A1



(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: PCM 기반의 뉴런 네트워크 소자

기술분야

- [1] 아래의 설명은 사람의 신경계를 PCM(Phase Change Material) 기반으로 모델링한 뉴런 네트워크 소자에 관한 것으로, 보다 상세하게는 모델링된 회로 면적을 감소시키는 뉴런 네트워크 소자에 대한 것이다.

[2]

배경기술

- [3] 기존의 뉴런 네트워크 소자는, 컬럼 입력 신호들을 증폭하여 입력 받는 복수의 입력 구동 증폭기들 및 로우 출력 신호들을 증폭하여 출력하는 복수의 출력 구동 증폭기들을 포함하는 회로로 모델링된다. 이 때, 기존의 뉴런 네트워크 소자는 복수의 입력 구동 증폭기들 및 복수의 출력 증폭기들을 동일한 구조(예컨대, 역방향 펄스 드라이버, 순방향 펄스 드라이버 및 WTA(Winner-Takes-All) 드라이버를 포함하는 구조)로 형성하며, 복수의 입력 구동 증폭기들 및 복수의 출력 증폭기들 각각이 모두 스파이크를 생성하는 SG(Spike Generator)를 포함하도록 형성한다. 이와 같은 기존의 뉴런 네트워크 소자에 대한 기술은 등록특허공보 제10-0183406호에 개시되어 있다.
- [4] 이에, 기존의 뉴런 네트워크 소자는 복수의 입력 구동 증폭기들 및 복수의 출력 증폭기들 각각의 회로 면적이 넓게 모델링되는 단점을 가지며, 이로 인하여 전체적인 회로 면적 역시 증가되는 단점을 갖는다. 또한, 기존의 뉴런 네트워크 소자는 복수의 입력 구동 증폭기들 및 복수의 출력 증폭기들 각각이 기능(예컨대, 펄스 입력 또는 펄스 출력)과 무관한 불필요한 구성요소를 포함하기 때문에, 에너지 소모가 큰 단점이 있다.
- [5] 따라서, 아래의 실시예들은, 이러한 기존의 뉴런 네트워크 소자의 단점을 해결하는 기술을 제안하고자 한다.

[6]

발명의 상세한 설명

기술적 과제

- [7] 일 실시예들은 사람의 신경계를 모델링된 회로 면적 및 에너지 소모를 감소시킨 PCM 기반의 뉴런 네트워크 소자를 제공한다.
- [8] 구체적으로, 일 실시예들은 기존의 뉴런 네트워크 소자에서 복수의 입력 구동 증폭기들 및 출력 구동 증폭기들에 대응하는 복수의 뉴런들 각각이 SG를 포함하는 대신에, 적어도 하나의 BSG(Backward Spike Generator)를 공유하도록 구성되는 뉴런 네트워크 소자를 제공한다.
- [9] 또한, 일 실시예들은 복수의 뉴런들이 레이어 별로 서로 다른 구성요소를 포함하도록 구성되는 뉴런 네트워크 소자를 제공한다.

[10]

과제 해결 수단

[11]

일 실시예에 따르면, PCM 기반의 뉴런 네트워크 소자는, 입력 레이어 및 출력 레이어 별로 배치되는 복수의 뉴런들; 상기 입력 레이어의 입력 라인 및 상기 출력 레이어의 출력 라인 사이를 연결하는 복수의 PCM(Phase Change Material)들; 및 상기 복수의 뉴런들에 의해 공유되며, 상기 출력 레이어의 뉴런들 각각에서 출력되는 출력 펄스를 기초로 스파이크를 생성하는 적어도 하나의 BSG(Backward Spike Generator)를 포함한다.

[12]

일측에 따르면, 상기 복수의 뉴런들 각각은, 상기 레이어 별로 서로 다른 구성요소를 포함할 수 있다.

[13]

또 다른 일측에 따르면, 상기 입력 레이어의 뉴런들 각각은, 역방향 펄스 드라이버를 제외한 PMOS 및 NMOS를 포함하고, 상기 출력 레이어의 뉴런들 각각은, 순방향 펄스 드라이버를 제외한 PMOS 및 NMOS를 포함할 수 있다.

[14]

또 다른 일측에 따르면, 상기 PCM 기반의 뉴런 네트워크 소자는, 상기 복수의 뉴런들 각각에서 출력되는 펄스의 타이밍을 동기화하는 적어도 하나의 컨트롤 회로를 더 포함할 수 있다.

[15]

또 다른 일측에 따르면, 상기 적어도 하나의 컨트롤 회로는, 상기 레이어 별로 각각 구비될 수 있다.

[16]

또 다른 일측에 따르면, 상기 적어도 하나의 컨트롤 회로는, 상기 입력 레이어의 뉴런들 각각에서 출력되는 펄스의 타이밍을 동기화하는 레벨 1 컨트롤 회로; 상기 출력 레이어의 뉴런들 각각에서 출력되는 출력 펄스의 타이밍을 동기화하는 레벨 2 컨트롤 회로; 및 상기 레벨 1 컨트롤 회로 및 상기 레벨 2 컨트롤 회로를 제어하는 글로벌 컨트롤 회로를 포함할 수 있다.

[17]

일 실시예에 따르면, PCM 기반의 뉴런 네트워크 소자는, 입력 레이어, 히든 레이어 및 출력 레이어 별로 배치되는 복수의 뉴런들; 상기 입력 레이어의 입력 라인 및 상기 히든 레이어의 연결 라인 사이와, 상기 히든 레이어의 연결 라인 및 상기 출력 레이어의 출력 라인 사이를 연결하는 복수의 PCM(Phase Change Material)들; 및 상기 복수의 뉴런들에 의해 공유되며, 상기 히든 레이어의 뉴런들 각각에서 출력되는 펄스 또는 상기 출력 레이어의 뉴런들 각각에서 출력되는 출력 펄스를 기초로 스파이크를 생성하는 적어도 하나의 BSG(Backward Spike Generator)를 포함한다.

[18]

일측에 따르면, 상기 복수의 뉴런들 각각은, 상기 레이어 별로 서로 다른 구성요소를 포함할 수 있다.

[19]

또 다른 일측에 따르면, 상기 입력 레이어의 뉴런들 각각은, 역방향 펄스 드라이버를 제외한 PMOS 및 NMOS를 포함하고, 상기 히든 레이어의 뉴런들 각각은, WTA(Winner-Takes-All) 드라이버를 제외한 PMOS 및 NMOS를 포함하며, 상기 출력 레이어의 뉴런들 각각은, 순방향 펄스 드라이버를 제외한

PMOS 및 NMOS를 포함할 수 있다.

[20] 또 다른 일측에 따르면, 상기 PCM 기반의 뉴런 네트워크 소자는, 상기 복수의 뉴런들 각각에서 출력되는 펄스의 타이밍을 동기화하는 적어도 하나의 컨트롤 회로를 더 포함할 수 있다.

[21] 또 다른 일측에 따르면, 상기 적어도 하나의 컨트롤 회로는, 상기 레이어 별로 각각 구비될 수 있다.

[22] 또 다른 일측에 따르면, 상기 적어도 하나의 컨트롤 회로는, 상기 입력 레이어의 뉴런들 각각에서 출력되는 펄스의 타이밍을 동기화하는 레벨 1 컨트롤 회로; 상기 히든 레이어의 뉴런들 각각에서 출력되는 펄스의 타이밍을 동기화하는 레벨 2 컨트롤 회로; 상기 출력 레이어의 뉴런들 각각에서 출력되는 출력 펄스의 타이밍을 동기화하는 레벨 3 컨트롤 회로; 및 상기 레벨 1 컨트롤 회로, 상기 레벨 2 컨트롤 회로 및 상기 레벨 3 컨트롤 회로를 제어하는 글로벌 컨트롤 회로를 포함할 수 있다.

발명의 효과

[23] 일 실시예들은 사람의 신경계를 모델링된 회로 면적 및 에너지 소모를 감소시킨 PCM 기반의 뉴런 네트워크 소자를 제공할 수 있다.

[24] 구체적으로, 일 실시예들은 복수의 뉴런들 각각이 BSG를 포함하는 대신에, 적어도 하나의 BSG를 공유하도록 구성되는 뉴런 네트워크 소자를 제공할 수 있다.

[25] 또한, 일 실시예들은 복수의 뉴런들이 레이어 별로 서로 다른 구성요소를 포함하도록 구성되는 뉴런 네트워크 소자를 제공할 수 있다.

도면의 간단한 설명

[26] 도 1 내지 2는 일 실시예에 따른 2-레이어 뉴런 네트워크 소자를 설명하기 위한 도면이다.

[27] 도 3 내지 4는 일 실시예에 따른 2-레이어 뉴런 네트워크 소자의 활용성을 설명하기 위한 도면이다.

[28] 도 5a 내지 5b는 일 실시예에 있어서, 2-레이어 뉴런 네트워크 소자가 펄스 타이밍을 동기화하는 것을 설명하기 위한 도면이다.

[29] 도 6 내지 7은 일 실시예에 따른 3-레이어 뉴런 네트워크 소자를 설명하기 위한 도면이다.

[30] 도 8 내지 10은 일 실시예에 따른 뉴런 네트워크 소자에서 뉴런의 셀 동작을 설명하기 위한 도면이다.

[31] 도 11 내지 12는 일 실시예에 따른 2-레이어 뉴런 네트워크 소자의 동작을 설명하기 위한 도면이다.

[32]

발명의 실시를 위한 최선의 형태

[33] 이하, 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다.

그러나 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 또한, 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

- [34] 또한, 본 명세서에서 사용되는 용어(Terminology)들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 시청자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [35] 도 1 내지 2는 일 실시예에 따른 2-레이어 뉴런 네트워크 소자를 설명하기 위한 도면이다.
- [36] 도 1 내지 2를 참조하면, 일 실시예에 따른 2-레이어 뉴런 네트워크 소자(100)는 입력 레이어(110) 및 출력 레이어(120) 별로 배치되는 복수의 뉴런들(111, 121), 입력 레이어(110)의 입력 라인(112) 및 출력 레이어(120)의 출력 라인(122) 사이를 연결하는 복수의 PCM들(130), 출력 레이어(120)의 뉴런들(121) 각각에서 출력되는 출력 펄스를 기초로 스파이크를 생성하는 하나의 BSG(140)를 포함한다.
- [37] 복수의 뉴런들(111, 121) 각각은 레이어 별로 서로 다른 구성요소를 포함한다. 특히, 복수의 뉴런들(111, 121) 각각은 배치되는 레이어 별로 불필요한 기능을 구현하기 위한 구성요소를 배제하고, 필요한 기능을 구현하기 위한 구성요소만을 포함할 수 있다. 즉, 복수의 뉴런들(111, 121) 각각은 배치되는 레이어에 따라 서로 다른 구성요소를 포함할 수 있다.
- [38] 예를 들어, 복수의 뉴런들(111, 121) 중 입력 레이어(110)의 뉴런들(111) 각각은 입력 펄스를 처리하는데 필요한 기능을 구현하기 위한 구성요소만을 포함하고, 복수의 뉴런들(111, 121) 중 출력 레이어(120)의 뉴런들(121) 각각은 출력 펄스를 처리하는데 필요한 기능을 구현하기 위한 구성요소만을 포함할 수 있다. 더 구체적인 예를 들면, 복수의 뉴런들(111, 121) 중 입력 레이어(110)의 뉴런들(111) 각각은 역방향 펄스 드라이버를 제외한 PMOS 및 NMOS를 포함하며, 복수의 뉴런들(111, 121) 중 출력 레이어(120)의 뉴런들(121) 각각은 순방향 펄스 드라이버를 제외한 PMOS 및 NMOS를 포함할 수 있다.
- [39] 이처럼, 복수의 뉴런들(111, 121) 각각은 배치되는 레이어에 따른 기능만을 구현하도록 최소화된 구성요소를 포함함으로써, 회로 면적 및 에너지 소모를 기존의 뉴런에 비해 감소시킬 수 있다.
- [40] 또한, 복수의 뉴런들(111, 121) 중 입력 레이어(110)의 뉴런들(111)은 입력 펄스를 처리하는데 필요한 기능을 구현하기 위한 구성요소만을 포함하는 가운데, 불규칙한 펄스를 발생시키는 대신에 규칙적인 사각형 펄스를 생성하기 위한 구성요소를 포함할 수 있다. 이에, 입력 레이어(110)의 뉴런들(111)에서 발생되는 이벤트의 에너지 계산이 단순화될 수 있다.
- [41] 복수의 PCM들(130) 각각은 결정화 전류에 응답하여 결정화됨으로써, 다치화된 비트를 구현한다. 복수의 PCM들(130) 각각은 기존의 뉴런 네트워크

소자에서 사용되는 복수의 용량성 소자들(PCM들)과 동일하므로, 이에 대한 상세한 설명은 생략하기로 한다.

- [42] BSG(140)는 출력 레이어(120)의 뉴런들(121) 각각에서 출력되는 출력 펄스를 기초로 스파이크를 생성함에 있어서, 복수의 뉴런들(111, 121)에 의해 공유된다. 다시 말해, BSG(140)는 출력 레이어(120)의 뉴런들(121) 각각과 연결되도록 뉴런 네트워크 소자(100)의 출력단에 배치되어, 출력 레이어(120)의 뉴런들(121)에 의해 공유될 수 있다.
- [43] 상술한 바와 같이, 복수의 뉴런들(111, 121) 각각이 기존의 뉴런(기존의 뉴런들 각각은 배치되는 레이어와 무관한 불필요한 구성요소를 포함하며, SG를 포함함)에 비해 감소된 회로 면적을 갖게 됨으로써, 뉴런 네트워크 소자(100)의 전체 회로 면적 역시 최소화될 수 있다.
- [44] 또한, 복수의 뉴런들(111, 121)이 하나의 BSG(140)를 공유함에 따라, BSG(140)의 변경만을 통하여, 뉴런 네트워크 소자(100)는 다양하게 활용될 수 있다. 이에 대한 상세한 설명은 도 3 내지 4를 참조하여 기재하기로 한다.
- [45] 또한, 뉴런 네트워크 소자(100)는 복수의 뉴런들(111, 121) 각각에서 출력되는 펄스의 타이밍을 동기화하는 적어도 하나의 컨트롤 회로(150, 151, 152)를 포함할 수 있다. 여기서, 적어도 하나의 컨트롤 회로(151, 152)는 레이어 별로 각각 구비될 수 있다.
- [46] 예를 들어, 레벨 1 컨트롤 회로(151)는 입력 레이어(110)의 뉴런들(111) 각각에서 출력되는 펄스의 타이밍을 동기화하도록 구비되고, 레벨 2 컨트롤 회로(152)는 출력 레이어(120)의 뉴런들(121) 각각에서 출력되는 출력 펄스의 타이밍을 동기화하도록 구비될 수 있다. 또한, 레벨 1 컨트롤 회로(151) 및 레벨 2 컨트롤 회로(152)를 제어하는 글로벌 컨트롤 회로(150)가 더 구비될 수 있다. 따라서, 뉴런 네트워크 소자(100)는 적어도 하나의 컨트롤 회로(150, 151, 152)를 포함함으로써, 복수의 뉴런들(111, 121)이 동일한 타이밍으로 펄스를 출력하도록 하며, 동기적으로 작동하도록 할 수 있다. 이에 대한 상세한 설명은 도 5a 내지 5b를 참조하여 기재하기로 한다.
- [47] 도 3 내지 4는 일 실시예에 따른 2-레이어 뉴런 네트워크 소자의 활용성을 설명하기 위한 도면이다.
- [48] 도 3을 참조하면, 도 1 내지 2를 통하여 상술된 2-레이어 뉴런 네트워크 소자(300)는, 유니폴라(Unipolar)의 스파이크를 생성하도록 구현된 적어도 하나의 BSG(310)를 포함함으로써, PCM 시냅스 소자로 활용될 수 있다.
- [49] 또한, 도 4를 참조하면, 도 1 내지 2를 통하여 상술된 2-레이어 뉴런 네트워크 소자(400)는, 바이폴라(Bipolar)의 스파이크를 생성하도록 구현된 적어도 하나의 BSG(410)를 포함함으로써, ReRAM으로 활용될 수 있다.
- [50] 도 5a 내지 5b는 일 실시예에 있어서, 2-레이어 뉴런 네트워크 소자가 펄스 타이밍을 동기화하는 것을 설명하기 위한 도면이다. 구체적으로, 도 5a는 기존의 뉴런 네트워크 소자를 나타낸 도면이고, 도 5b는 일 실시예에 따른 뉴런

네트워크 소자를 나타낸 도면이다.

- [51] 도 5a를 참조하면, 기존의 뉴런 네트워크 소자에서 입력 뉴런들 각각은 동기적으로 작동하지 않기 때문에, 각각이 출력하는 펄스의 타이밍 역시 서로 차이가 나게 된다.
- [52] 반면에, 5b를 참조하면, 도 1 내지 2를 통하여 상술된 2-레이어 뉴런 네트워크 소자(500)는 복수의 뉴런들 각각에서 출력되는 펄스의 타이밍을 동기화하는 적어도 하나의 컨트롤 회로(510, 520, 530)를 포함함으로써, 입력 레이어(540)의 뉴런들(541) 각각에서 출력되는 펄스의 타이밍을 동기화하고, 출력 레이어의 뉴런들 각각에서 출력되는 펄스의 타이밍을 동기화할 수 있다.
- [53] 예를 들어, 레벨 1 컨트롤 회로(510)는 입력 레이어(540)의 뉴런들(541) 각각이 동일한 타이밍을 갖는 펄스를 출력하도록 동기화하고, 레벨 2 컨트롤 회로(520)는 출력 레이어의 뉴런들 각각이 동일한 타이밍을 갖는 펄스를 출력하도록 동기화할 수 있다. 이 때, 글로벌 컨트롤 회로(530)는 레벨 1 컨트롤 회로(510) 및 레벨 2 컨트롤 회로(520)가 입력 레이어(540)의 뉴런들(541) 및 출력 레이어의 뉴런들을 동일한 타이밍으로 동기화되도록 제어할 수 있다.
- [54] 따라서, 일 실시예에 따른 뉴런 네트워크 소자(500)에서 출력되는 펄스의 타이밍이 모두 동일하게 됨으로써, 뉴런 네트워크 소자(500)에서 발생하는 이벤트의 에너지 계산이 단순화될 수 있으며, 시냅스 가중치 업데이트 과정의 복잡도가 현저히 낮아질 수 있다.
- [55] 이상, 도 1 내지 5b를 참조하여, 2-레이어 뉴런 네트워크 소자에 대해 설명하였으나, 일 실시예에 따른 뉴런 네트워크 소자는 3-레이어 구조로 확장될 수 있다. 이에 대한 상세한 설명은 아래에서 기재하기로 한다.
- [56] 도 6 내지 7은 일 실시예에 따른 3-레이어 뉴런 네트워크 소자를 설명하기 위한 도면이다.
- [57] 도 6 내지 7을 참조하면, 일 실시예에 따른 3-레이어 뉴런 네트워크 소자(600)는 입력 레이어(610), 히든 레이어(620) 및 출력 레이어(630) 별로 배치되는 복수의 뉴런들(611, 621, 631), 입력 레이어(610)의 입력 라인(612) 및 히든 레이어(620)의 연결 라인(622) 사이와, 히든 레이어(620)의 연결 라인(622) 및 출력 레이어(630)의 출력 라인(632) 사이를 연결하는 복수의 PCM들(640), 히든 레이어(620)의 뉴런들(621) 각각에서 출력되는 펄스 또는 출력 레이어(630)의 뉴런들(631) 각각에서 출력되는 출력 펄스를 기초로 스파이크를 생성하는 두 개의 BSG(650)를 포함한다.
- [58] 복수의 뉴런들(611, 621, 631) 각각은 레이어 별로 서로 다른 구성요소를 포함한다. 특히, 복수의 뉴런들(611, 621, 631) 각각은 배치되는 레이어 별로 불필요한 기능을 구현하기 위한 구성요소를 배제하고, 필요한 기능을 구현하기 위한 구성요소만을 포함할 수 있다. 즉, 복수의 뉴런들(611, 621, 631) 각각은 배치되는 레이어에 따라 서로 다른 구성요소를 포함할 수 있다.
- [59] 예를 들어, 복수의 뉴런들(611, 621, 631) 중 입력 레이어(610)의 뉴런들(611)

각각은 입력 펄스를 처리하는데 필요한 기능을 구현하기 위한 구성요소만을 포함하고, 복수의 뉴런들(611, 621, 631) 중 히든 레이어(620)의 뉴런들(621) 각각은 입력 레이어(610)의 뉴런들(611)로부터 전달되는 펄스를 출력 레이어(630)의 뉴런들(631)로 전달하는 기능을 구현하기 위한 구성요소만을 포함하며, 복수의 뉴런들(611, 621, 631) 중 출력 레이어(630)의 뉴런들(631) 각각은 출력 펄스를 처리하는데 필요한 기능을 구현하기 위한 구성요소만을 포함할 수 있다. 더 구체적인 예를 들면, 복수의 뉴런들(611, 621, 631) 중 입력 레이어(610)의 뉴런들(611) 각각은 역방향 펄스 드라이버를 제외한 PMOS 및 NMOS를 포함하고, 복수의 뉴런들(611, 621, 631) 중 히든 레이어(620)의 뉴런들(621) 각각은 WTA(Winner-Takes-All) 드라이버를 제외한 PMOS 및 NMOS를 포함하며, 복수의 뉴런들(611, 621, 631) 중 출력 레이어(630)의 뉴런들(631) 각각은 순방향 펄스 드라이버를 제외한 PMOS 및 NMOS를 포함할 수 있다.

- [60] 이처럼, 복수의 뉴런들(611, 621, 631) 각각은 배치되는 레이어에 따른 기능만을 구현하도록 최소화된 구성요소를 포함함으로써, 회로 면적 및 에너지 소모를 기존의 뉴런에 비해 감소시킬 수 있다.
- [61] 또한, 복수의 뉴런들(611, 621, 631) 중 입력 레이어(610)의 뉴런들(611)은 입력 펄스를 처리하는데 필요한 기능을 구현하기 위한 구성요소만을 포함하는 가운데, 불규칙한 펄스를 발생시키는 대신에 규칙적인 사각형 펄스를 생성하기 위한 구성요소를 포함할 수 있다. 이에, 입력 레이어(610)의 뉴런들(611)에서 발생되는 이벤트의 에너지 계산이 단순화될 수 있다.
- [62] 복수의 PCM들(640) 각각은 결정화 전류에 응답하여 결정화됨으로써, 다치화된 비트를 구현한다. 복수의 PCM들(640) 각각은 기존의 뉴런 네트워크 소자에서 사용되는 복수의 용량성 소자들(PCM들)과 동일하므로, 이에 대한 상세한 설명은 생략하기로 한다.
- [63] 두 개의 BSG들(650, 651) 중 히든 레이어(620)의 뉴런들(621) 각각과 연결되도록 배치되는 제1 BSG(650)는 히든 레이어(620)의 뉴런들(621) 각각에서 출력되는 펄스를 기초로 스파이크를 생성함에 있어서, 히든 레이어(620)의 뉴런들(621)에 의해 공유된다. 즉, 제1 BSG(650)는 히든 레이어(620)의 뉴런들(622) 각각과 연결되도록 히든 레이어(620)의 출력단에 배치되어, 히든 레이어(620)의 뉴런들(621)에 의해 공유될 수 있다. 만약, 히든 레이어(620)가 복수의 레이어들로 구성되는 경우, 제1 BSG(650)는 복수의 히든 레이어들 중 출력 레이어에 인접한 출력단에 하나 배치될 수 있으나, 이에 제한되거나 한정되지 않고, 복수의 히든 레이어들 각각에 배치되도록 복수 개로 구현될 수도 있다.
- [64] 두 개의 BSG들(650, 651) 중 출력 레이어(630)의 뉴런들(631) 각각과 연결되도록 배치되는 제2 BSG(651)는 출력 레이어(630)의 뉴런들(631) 각각에서 출력되는 펄스를 기초로 스파이크를 생성함에 있어서, 출력 레이어(630)의

뉴런들(631)에 의해 공유된다. 다시 말해, 제2 BSG(651)는 출력 레이어(630)의 뉴런들(631) 각각과 연결되도록 뉴런 네트워크 소자(600)의 출력단에 배치되어, 출력 레이어(630)의 뉴런들(631)에 의해 공유될 수 있다.

[65] 상술한 바와 같이, 복수의 뉴런들(611, 621, 631) 각각이 기존의 뉴런(기존의 뉴런들 각각은 배치되는 레이어와 무관한 불필요한 구성요소를 포함하며, SG를 포함함)에 비해 감소된 회로 면적을 갖게 됨으로써, 뉴런 네트워크 소자(600)의 전체 회로 면적 역시 최소화될 수 있다.

[66] 또한, 복수의 뉴런들(611, 621, 631)이 두 개의 BSG들(650, 651)를 공유함에 따라, 두 개의 BSG들(650, 651) 중 출력 레이어(630)의 뉴런들(631) 각각에 연결된 BSG(651)의 변경만을 통하여, 뉴런 네트워크 소자(600)는 다양하게 활용될 수 있다. 이에 대한 상세한 설명은 도 3 내지 4를 참조하여 상술되었으므로, 생략하기로 한다.

[67] 또한, 뉴런 네트워크 소자(600)는 복수의 뉴런들(611, 621, 631) 각각에서 출력되는 펄스의 타이밍을 동기화하는 적어도 하나의 컨트롤 회로(660, 661, 662, 623)를 포함할 수 있다. 여기서, 적어도 하나의 컨트롤 회로(661, 662, 663)는 레이어 별로 각각 구비될 수 있다.

[68] 예를 들어, 레벨 1 컨트롤 회로(661)는 입력 레이어(610)의 뉴런들(611) 각각에서 출력되는 펄스의 타이밍을 동기화하도록 구비되고, 레벨 2 컨트롤 회로(662)는 히든 레이어(620)의 뉴런들(621) 각각에서 출력되는 출력 펄스의 타이밍을 동기화하도록 구비되며, 레벨 3 컨트롤 회로(663)는 출력 레이어(630)의 뉴런들(631) 각각에서 출력되는 출력 펄스의 타이밍을 동기화하도록 구비될 수 있다. 또한, 레벨 1 컨트롤 회로(661), 레벨 2 컨트롤 회로(662) 및 레벨 3 컨트롤 회로(663)를 제어하는 글로벌 컨트롤 회로(660)가 더 구비될 수 있다. 따라서, 뉴런 네트워크 소자(600)는 적어도 하나의 컨트롤 회로(660, 661, 662, 663)를 포함함으로써, 복수의 뉴런들(611, 621, 631)이 동일한 타이밍으로 펄스를 출력하도록 하며, 동기적으로 작동하도록 할 수 있다. 이에 대한 상세한 설명은 도 5a 내지 5b를 참조하여 상술되었으므로, 생략하기로 한다.

[69] 이상, 히든 레이어(620)가 하나의 레이어로 구성되는 경우를 설명하였으나, 이에 제한되거나 한정되지 않고, 히든 레이어(620)는 복수의 레이어들로 구성될 수도 있다. 이러한 경우 역시 상술된 구조로 설명 가능하다.

[70] 도 8 내지 10은 일 실시예에 따른 뉴런 네트워크 소자에서 뉴런의 셀 동작을 설명하기 위한 도면이다. 보다 상세하게, 도 8은 뉴런의 동작을 설명하기 위해 뉴런의 구성요소 중 활성화되는 구성요소를 나타낸 도면이고, 도 9는 뉴런의 동작을 설명하기 위한 플로우 차트이며, 도 10은 뉴런의 동작에 따른 타이밍 다이어그램을 나타낸 도면이다.

[71] 도 8을 참조하면, 도 1 내지 2를 통하여 상술된 뉴런 네트워크 소자에 포함되는 복수의 뉴런들 각각은 기록 페이즈(Write phase), 판독 페이즈(Reset phase) 및 리셋 페이즈(Reset phase)의 3 단계로 작동한다. 이하, 복수의 뉴런들 각각의

동작은 동일하므로, 출력 레이어의 뉴런들 중 어느 하나의 뉴런을 대상으로 해당 동작을 설명한다. 그러나 이에 제한되거나 한정되지 않고, 입력 레이어 또는 히든 레이어 각각에 포함되는 뉴런 역시 동일하게 동작할 수 있다.

[72] 예를 들어, 기록 페이지에서, 크로스바에 의해 통합된 입력 전류는 PCM(복수의 PCM들 중 뉴런에 대응하는 PCM)의 컨덕턴스가 증가하도록 PCM을 결정화하기 위해 복사되어 결정화 전류를 형성하고 PCM으로 인가된다. 이에, 뉴런에 포함되는 구성요소 중 도면 상 짙게 표시된 구성요소만이 활성화되고 도면 상 흐리게 표시된 구성요소는 비활성화될 수 있다.

[73] 다른 예를 들면, 판독 페이지에서, PCM의 컨덕턴스가 임계 값에 도달하는지 여부가 검출된다. 따라서, 뉴런에 포함되는 구성요소 중 도면 상 짙게 표시된 구성요소만이 활성화되고 도면 상 흐리게 표시된 구성요소는 비활성화될 수 있다.

[74] 또 다른 예를 들면, 리셋 페이지에서, PCM의 컨덕턴스가 완전히 낮은 상태로 리셋된다. 이에, 뉴런에 포함되는 구성요소 중 도면 상 짙게 표시된 구성요소만이 활성화되고 도면 상 흐리게 표시된 구성요소는 비활성화될 수 있다.

[75] 이러한 뉴런의 Integrate 및 Fire(스파이크가 생성되어 뉴런에서 시냅스들로 제공되는 것) 동작은 도 9과 같은 순서로 수행된다. 뉴런은 초기 상태로 완전히 리셋된다(910).

[76] 이어서, 시냅스 가중 전류의 공간 합계(Spatial summation)이 적용됨에 따라 뉴런은 기록 페이지로 동작한다(920).

[77] 그 다음, 뉴런은 판독 페이지로 설정되어, 판독 페이지에서 판독 전류가 뉴런으로 인가되고, 시냅스들에 펄스가 적용되도록 하는 Fire또는 펄스로부터 시냅스들을 보호하는 No fire가 발생될 수 있다(930).

[78] 그 후, 뉴런에서 Fire가 발생되었는지 여부가 판단됨으로써(940)(예컨대, Fire 발생 여부는 외부 회로에 의해 감지되고 제어됨), Fire가 발생된 경우, 뉴런의 동작은 완료되고 뉴런은 불응기(Refractory period) 동안에 리셋된다(950). 이 때, 940 단계에서 뉴런은 전도도가 임계 값에 도달했는지 여부에 따라 Fire가 발생되었는지 판단될 수 있다.

[79] 만약, 뉴런의 전도도가 임계 값에 도달한 경우, 뉴런에서 Fire가 발생된 것으로 판단되어 950 단계가 수행될 수 있다. 반면에, 940 단계에서 Fire가 발생되지 않은 경우로 판단되면(뉴런의 전도도가 임계 값에 도달하지 않은 경우), 뉴런은 920 단계부터 다시 동작할 수 있다.

[80] 이처럼 동작하는 뉴런의 타이밍 다이어그램은 도 10과 같이 표현된다.

[81] 도 11 내지 12는 일 실시예에 따른 2-레이어 뉴런 네트워크 소자의 동작을 설명하기 위한 도면이다. 구체적으로, 도 11은 2-레이어 뉴런 네트워크 소자의 동작을 설명하기 위한 플로우 차트이고, 도 12는 2-레이어 뉴런 네트워크 소자의 동작에 따른 타이밍 다이어그램을 나타낸 도면이다.

- [82] 도 11을 참조하면, 뉴런 네트워크 소자에 포함되는 복수의 뉴런들은 초기 상태로 완전히 리셋된다(1110).
- [83] 이어서, 패턴 펄스들이 전류로 제공되거나 그렇지 않음에 따라, 복수의 뉴런들 중 입력 레이어의 뉴런들은 기록 페이지로 동작한다(1120).
- [84] 그 다음, 복수의 뉴런들 중 입력 레이어의 뉴런들이 판독 페이지로 설정됨에 따라, 복수의 뉴런들 중 출력 레이어의 뉴런들은 기록 페이지(이 때, 패턴 펄스는 다음 패턴 펄스로 대체될 수 있음)로 동작한다(1130).
- [85] 그 다음, 복수의 뉴런들 중 입력 레이어의 뉴런들은 휴식을 취하고, 복수의 뉴런들 중 출력 레이어의 뉴런들은 판독 페이지로 설정된다(1140).
- [86] 그 다음, 뉴런들에서 Fire가 발생되었는지 여부가 판단됨으로써(1150)(예컨대, Fire 발생 여부는 외부 회로에 의해 감지되고 제어됨), Fire가 발생된 경우, Learning 동작 또는 Testing 동작이 수행될 수 있다(1160, 1170).
- [87] Learning 동작의 경우, 복수의 뉴런들 중 입력 레이어의 뉴런들은 Learning 펄스를 제공한다(1160). 예를 들어, 1160 단계에서 일반적인 BSG가 동작을 시작할 수 있다.
- [88] Testing 동작의 경우, 복수의 뉴런들 중 입력 레이어의 뉴런들은 휴식을 취하고, Fire가 발생된 출력 레이어의 뉴런들은 신호를 출력한다(1170).
- [89] 그 후, 뉴런들의 동작은 완료되고, 불응기 동안에 리셋된다(1180).
- [90] 만약, 1150 단계에서 Fire가 발생되지 않은 경우로 판단되면, 뉴런 네트워크 소자는 1130 단계부터 다시 동작할 수 있다.
- [91] 이처럼 동작하는 뉴런의 타이밍 다이어그램은 도 12와 같이 표현된다. 도 11에서 WRITE 1 및 READ 1은 입력 레이어의 뉴런들에 대한 인에이블 신호이고, WRITE 2 및 READ 2는 출력 레이어의 뉴런들에 대한 인에이블 신호를 의미한다. 이에, Testing 동작에서 READ1은 시냅스 가중치 업데이트를 완료하기 위해 독립적으로 FIRE 신호로 활성화될 수 있다.
- [92] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [93] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

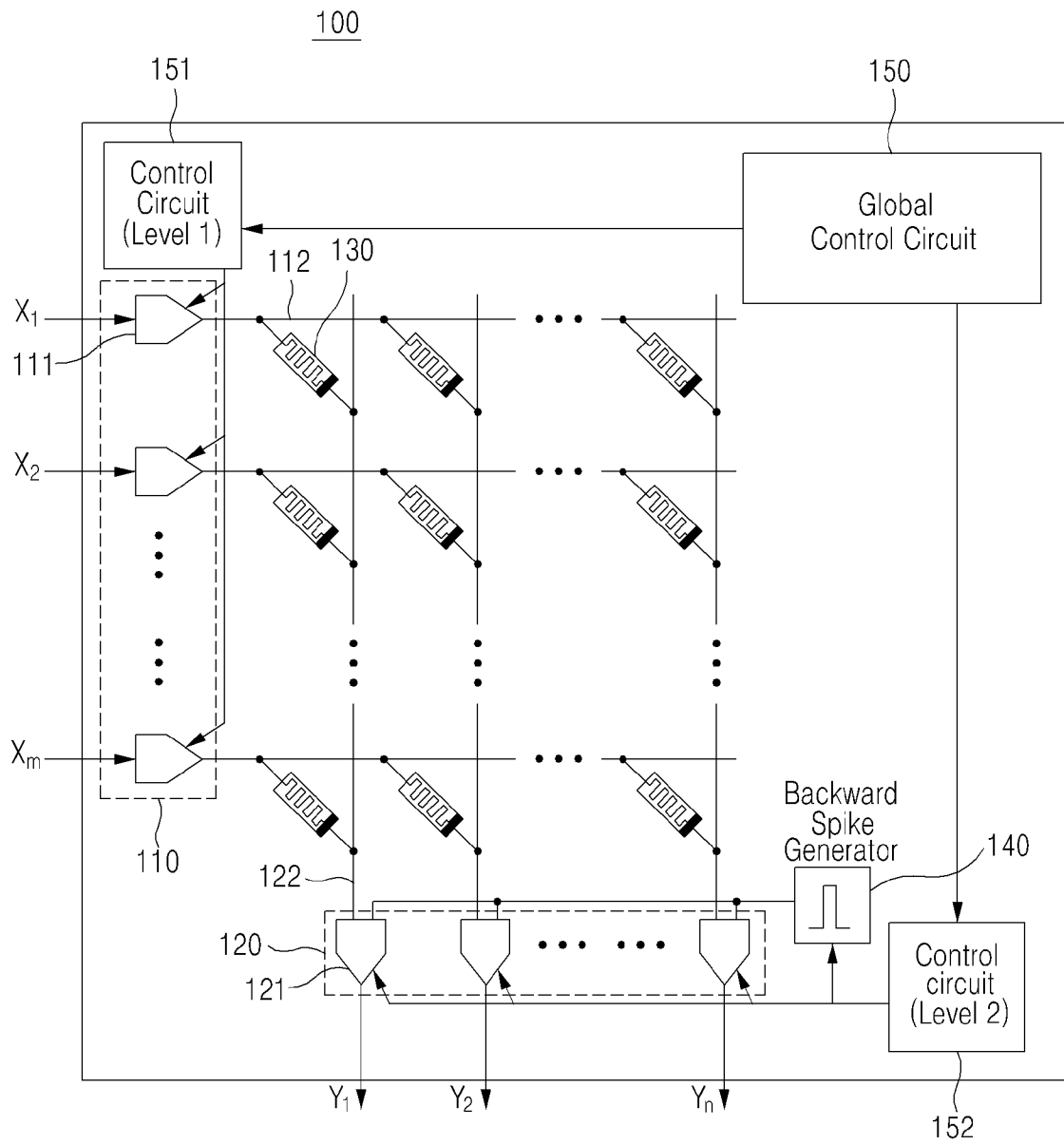
청구범위

- [청구항 1] 입력 레이어 및 출력 레이어 별로 배치되는 복수의 뉴런들;
 상기 입력 레이어의 입력 라인 및 상기 출력 레이어의 출력 라인 사이를
 연결하는 복수의 PCM(Phase Change Material)들; 및
 상기 복수의 뉴런들에 의해 공유되며, 상기 출력 레이어의 뉴런들
 각각에서 출력되는 출력 펄스를 기초로 스파이크를 생성하는 적어도
 하나의 BSG(Backward Spike Generator)
 를 포함하는 PCM 기반의 뉴런 네트워크 소자.
- [청구항 2] 제1항에 있어서,
 상기 복수의 뉴런들 각각은,
 상기 레이어 별로 서로 다른 구성요소를 포함하는, PCM 기반의 뉴런
 네트워크 소자.
- [청구항 3] 제2항에 있어서,
 상기 입력 레이어의 뉴런들 각각은,
 역방향 펄스 드라이버를 제외한 PMOS 및 NMOS를 포함하고,
 상기 출력 레이어의 뉴런들 각각은,
 순방향 펄스 드라이버를 제외한 PMOS 및 NMOS를 포함하는, PCM
 기반의 뉴런 네트워크 소자.
- [청구항 4] 제1항에 있어서,
 상기 복수의 뉴런들 각각에서 출력되는 펄스의 타이밍을 동기화하는
 적어도 하나의 컨트롤 회로
 를 더 포함하는 PCM 기반의 뉴런 네트워크 소자.
- [청구항 5] 제4항에 있어서,
 상기 적어도 하나의 컨트롤 회로는,
 상기 레이어 별로 각각 구비되는, PCM 기반의 뉴런 네트워크 소자.
- [청구항 6] 제5항에 있어서,
 상기 적어도 하나의 컨트롤 회로는,
 상기 입력 레이어의 뉴런들 각각에서 출력되는 펄스의 타이밍을
 동기화하는 레벨 1 컨트롤 회로;
 상기 출력 레이어의 뉴런들 각각에서 출력되는 출력 펄스의 타이밍을
 동기화하는 레벨 2 컨트롤 회로; 및
 상기 레벨 1 컨트롤 회로 및 상기 레벨 2 컨트롤 회로를 제어하는 글로벌
 컨트롤 회로
 를 포함하는 PCM 기반의 뉴런 네트워크 소자.
- [청구항 7] 입력 레이어, 히든 레이어 및 출력 레이어 별로 배치되는 복수의 뉴런들;
 상기 입력 레이어의 입력 라인 및 상기 히든 레이어의 연결 라인 사이와,
 상기 히든 레이어의 연결 라인 및 상기 출력 레이어의 출력 라인 사이를

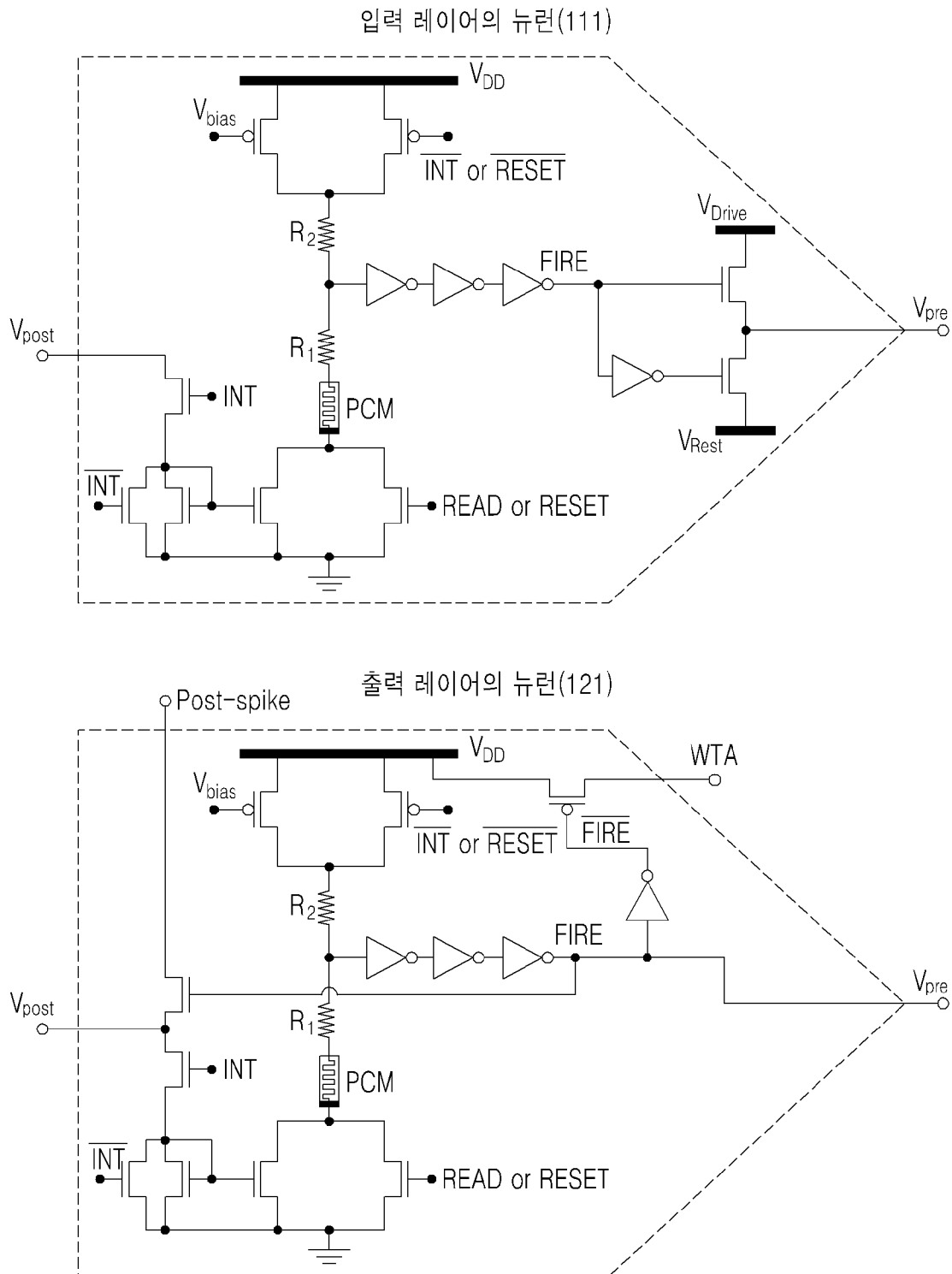
연결하는 복수의 PCM(Phase Change Material)들; 및
 상기 복수의 뉴런들에 의해 공유되며, 상기 히든 레이어의 뉴런들
 각각에서 출력되는 펄스 또는 상기 출력 레이어의 뉴런들 각각에서
 출력되는 출력 펄스를 기초로 스파이크를 생성하는 적어도 하나의
 BSG(Backward Spike Generator)
 를 포함하는 PCM 기반의 뉴런 네트워크 소자.

- [청구항 8] 제7항에 있어서,
 상기 복수의 뉴런들 각각은,
 상기 레이어 별로 서로 다른 구성요소를 포함하는, PCM 기반의 뉴런
 네트워크 소자.
- [청구항 9] 제8항에 있어서,
 상기 입력 레이어의 뉴런들 각각은,
 역방향 펄스 드라이버를 제외한 PMOS 및 NMOS를 포함하고,
 상기 히든 레이어의 뉴런들 각각은,
 WTA(Winner-Takes-All) 드라이버를 제외한 PMOS 및 NMOS를 포함하며,
 상기 출력 레이어의 뉴런들 각각은,
 순방향 펄스 드라이버를 제외한 PMOS 및 NMOS를 포함하는, PCM
 기반의 뉴런 네트워크 소자.
- [청구항 10] 제7항에 있어서,
 상기 복수의 뉴런들 각각에서 출력되는 펄스의 타이밍을 동기화하는
 적어도 하나의 컨트롤 회로
 를 더 포함하는 PCM 기반의 뉴런 네트워크 소자.
- [청구항 11] 제10항에 있어서,
 상기 적어도 하나의 컨트롤 회로는,
 상기 레이어 별로 각각 구비되는, PCM 기반의 뉴런 네트워크 소자.
- [청구항 12] 제11항에 있어서,
 상기 적어도 하나의 컨트롤 회로는,
 상기 입력 레이어의 뉴런들 각각에서 출력되는 펄스의 타이밍을
 동기화하는 레벨 1 컨트롤 회로;
 상기 히든 레이어의 뉴런들 각각에서 출력되는 펄스의 타이밍을
 동기화하는 레벨 2 컨트롤 회로;
 상기 출력 레이어의 뉴런들 각각에서 출력되는 출력 펄스의 타이밍을
 동기화하는 레벨 3 컨트롤 회로; 및
 상기 레벨 1 컨트롤 회로, 상기 레벨 2 컨트롤 회로 및 상기 레벨 3 컨트롤
 회로를 제어하는 글로벌 컨트롤 회로
 를 포함하는 PCM 기반의 뉴런 네트워크 소자.

[도1]

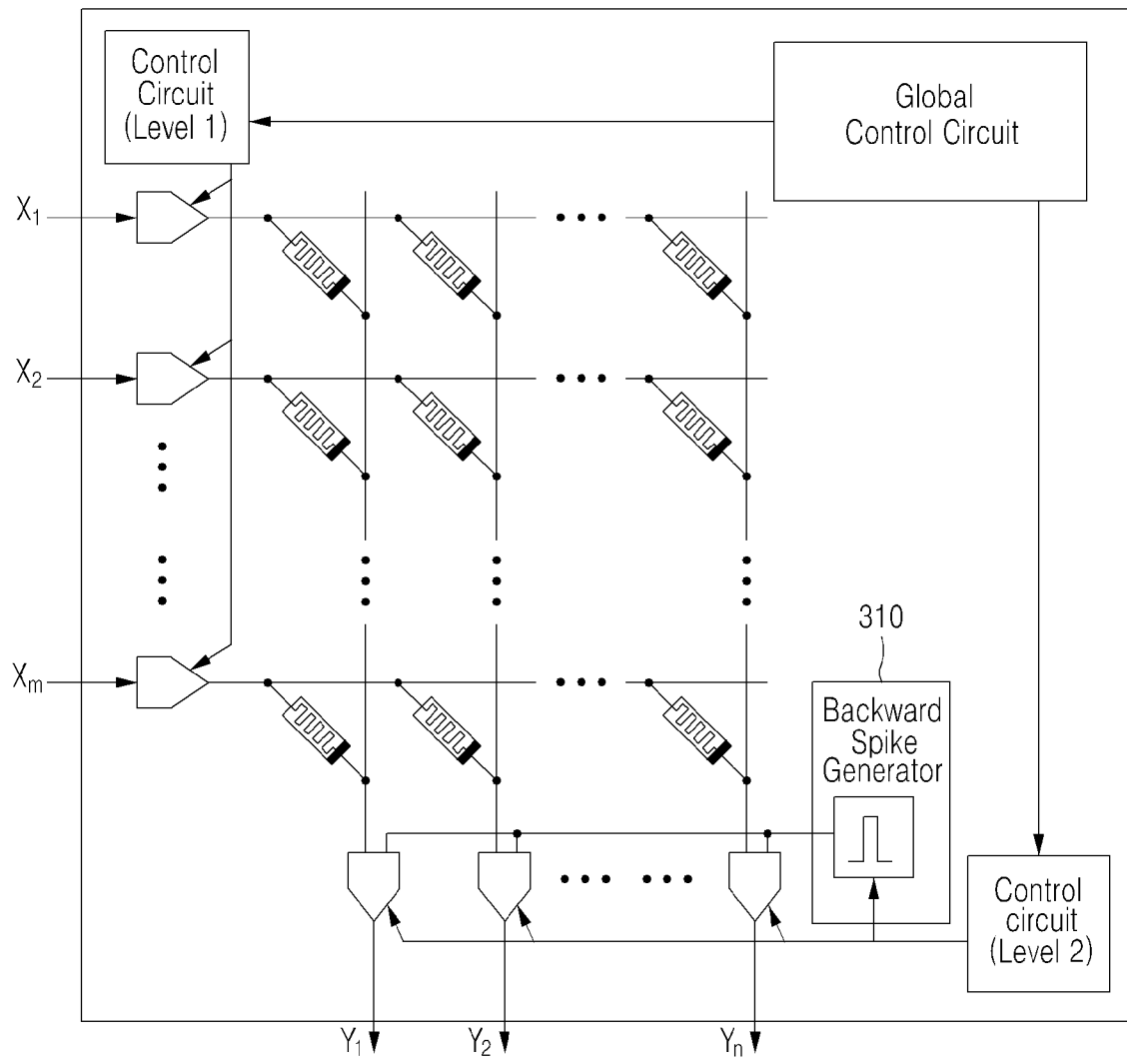


[도2]



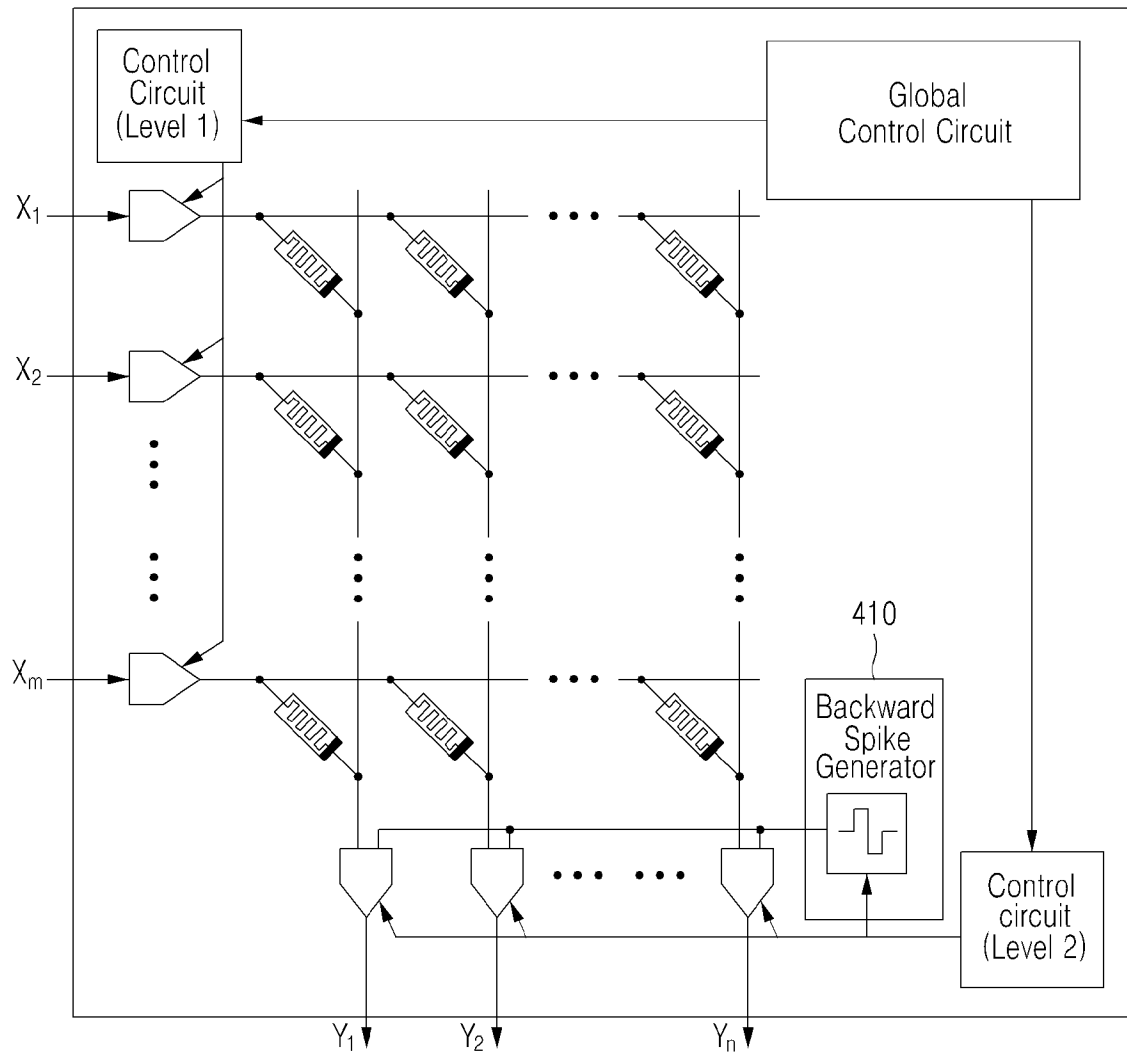
[도3]

300

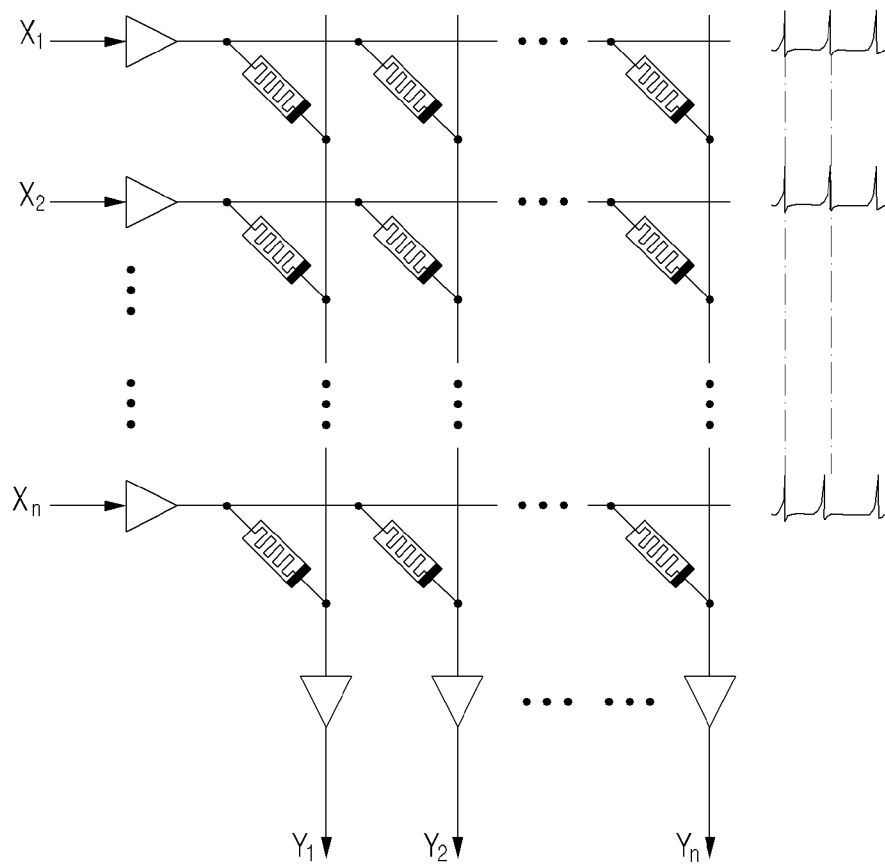


[도4]

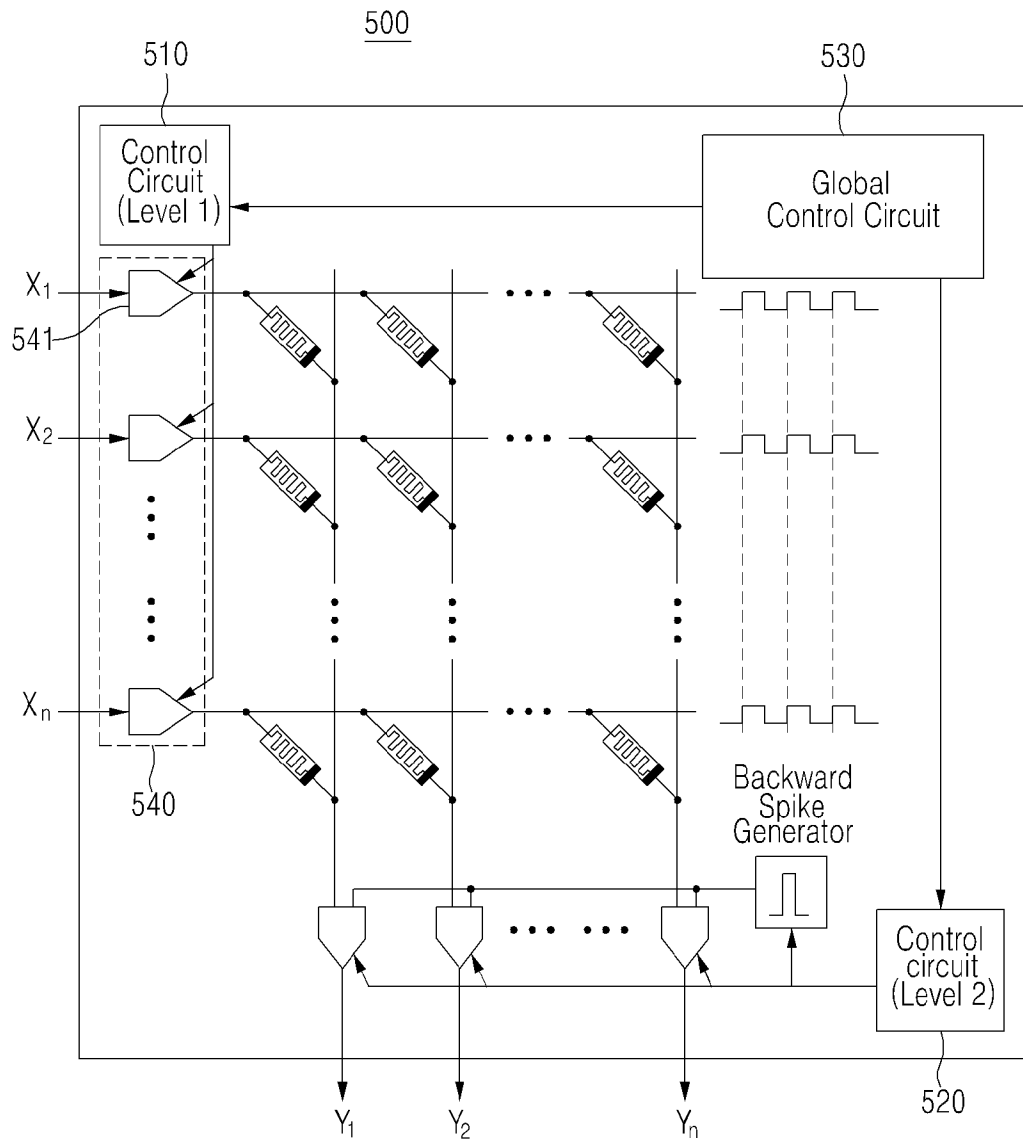
400



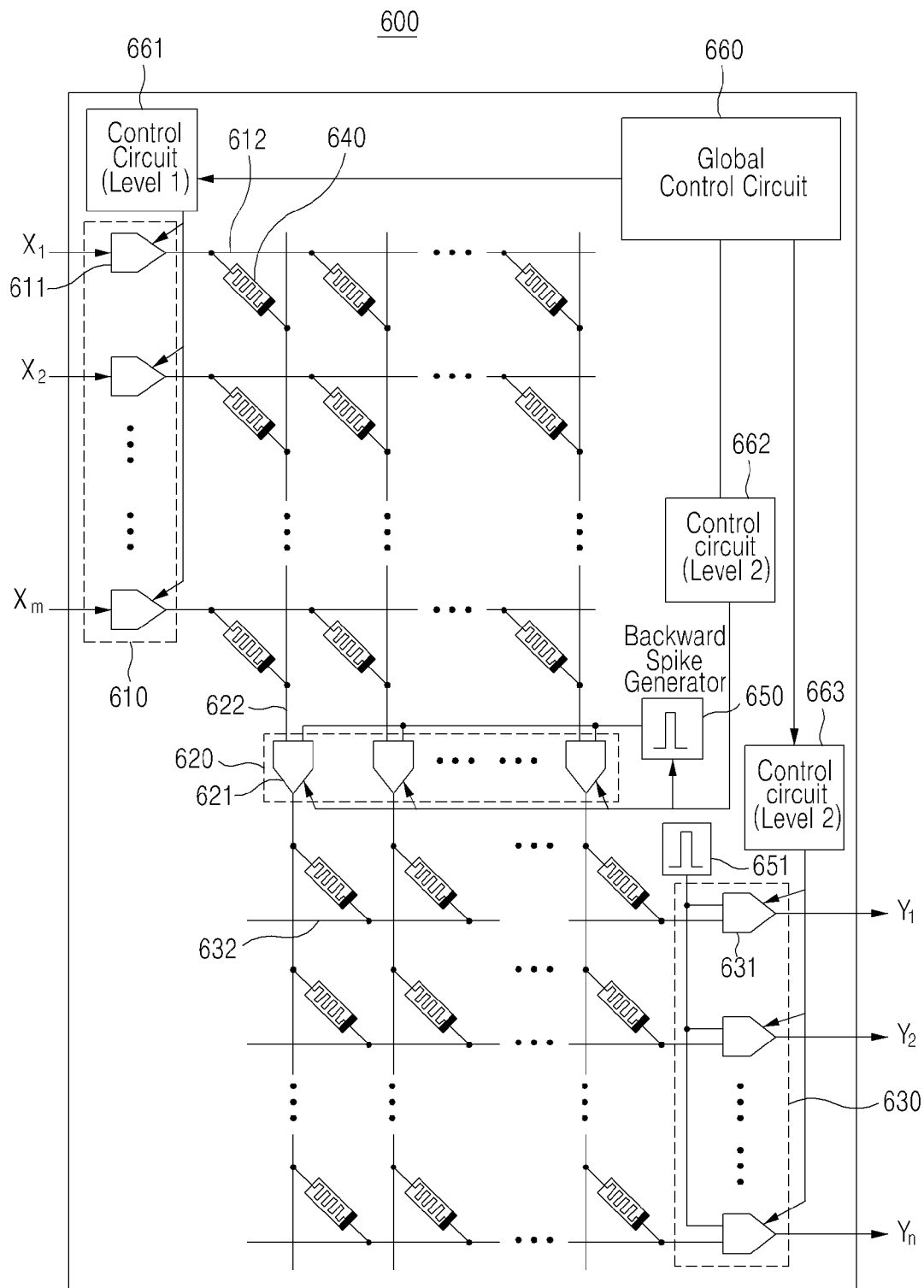
[도5a]



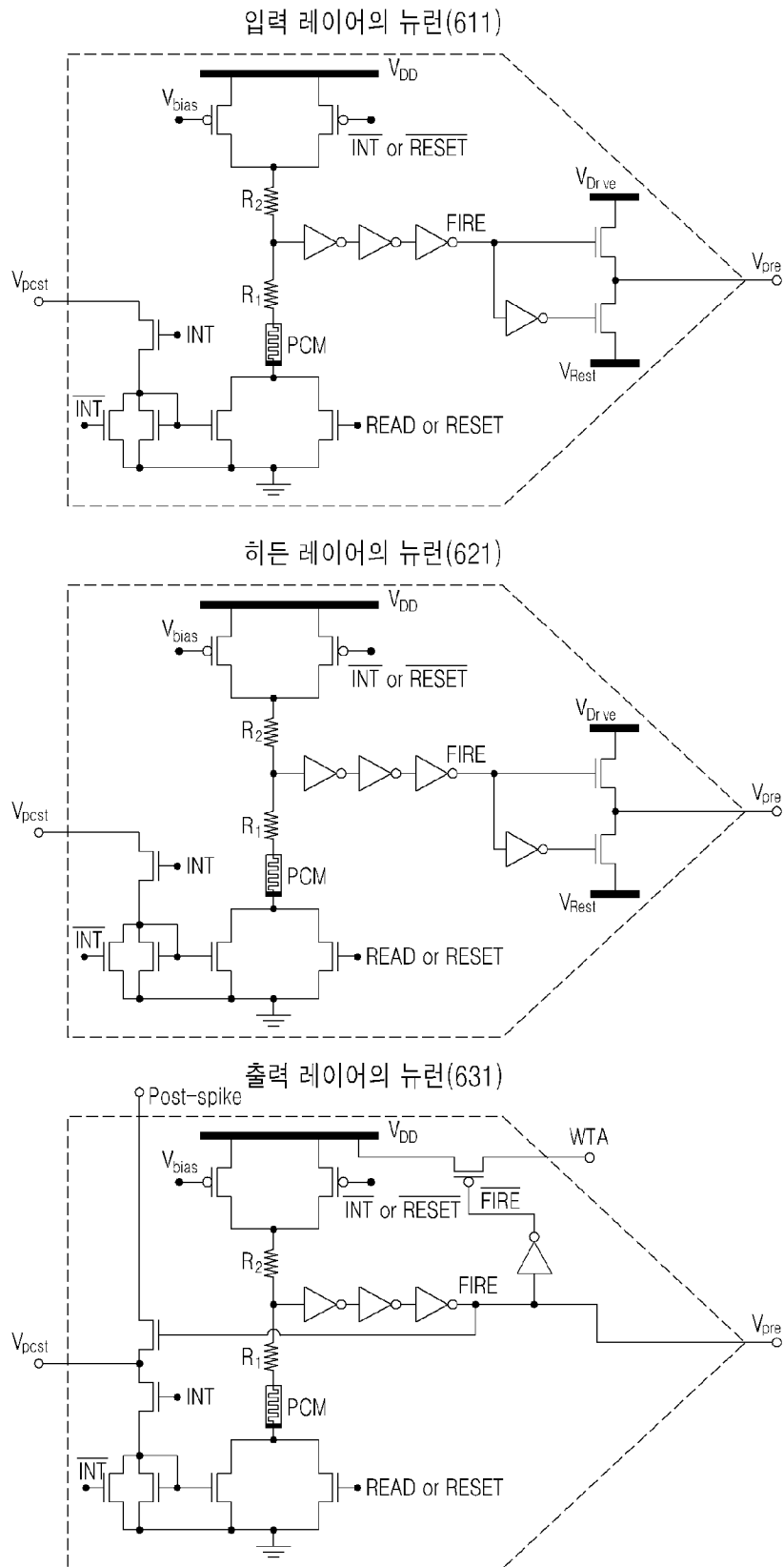
[도5b]



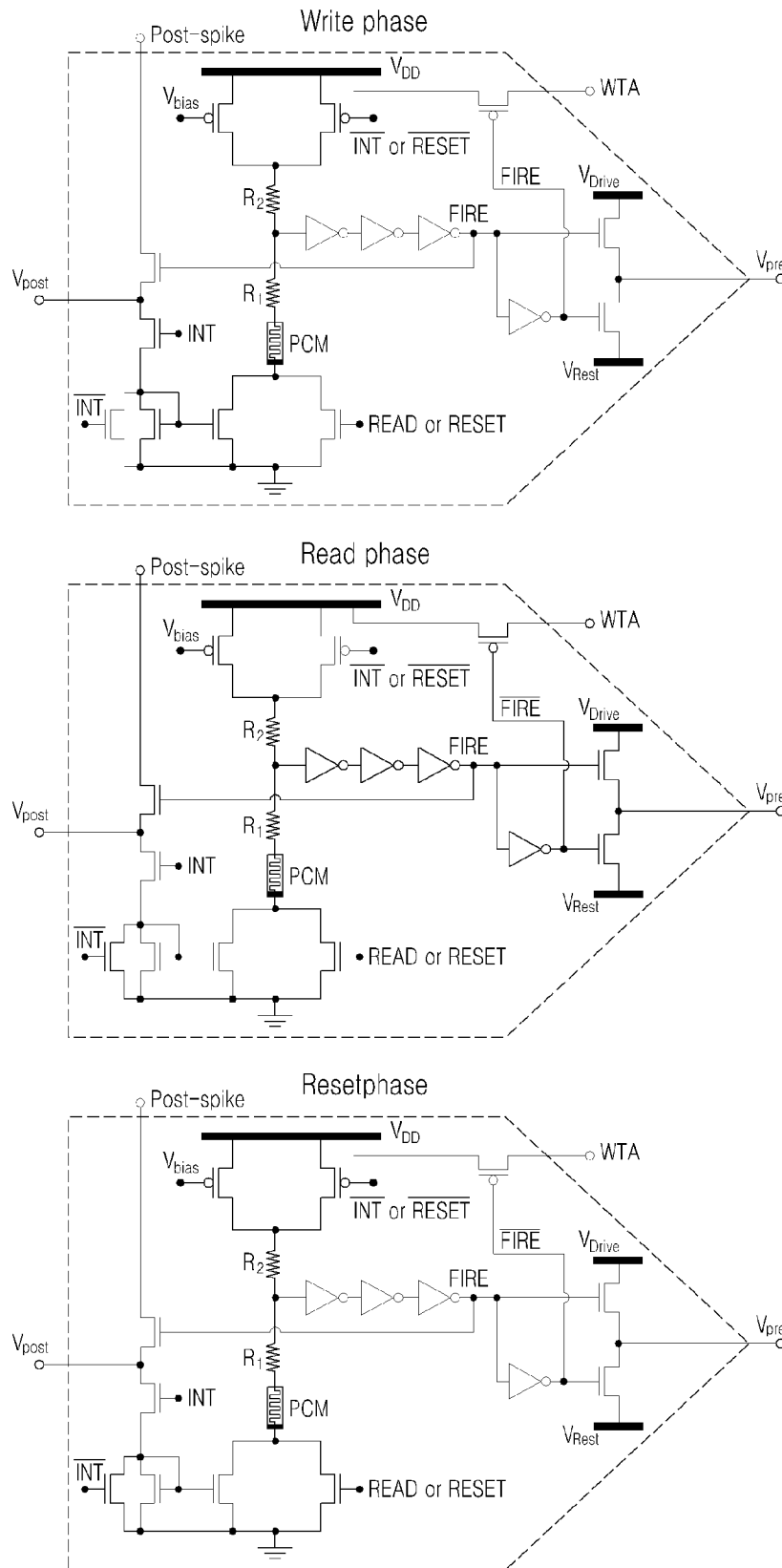
[도6]



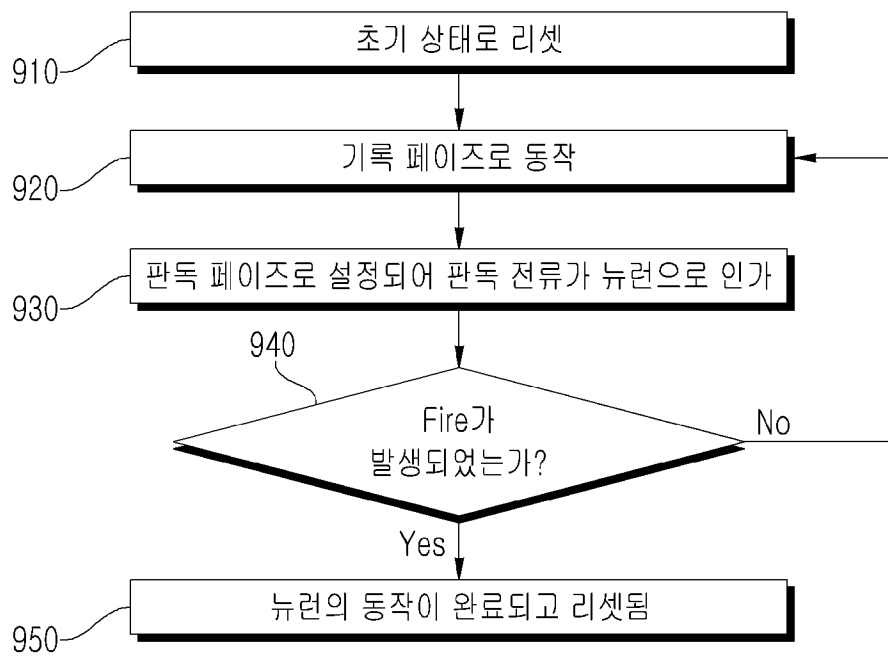
[도7]



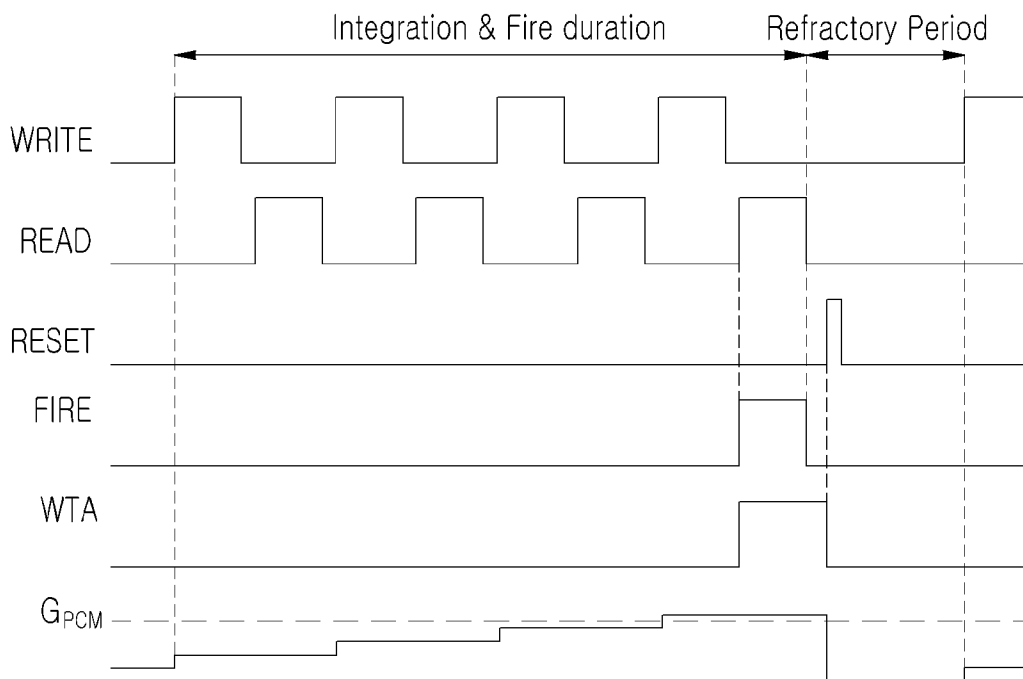
[도8]



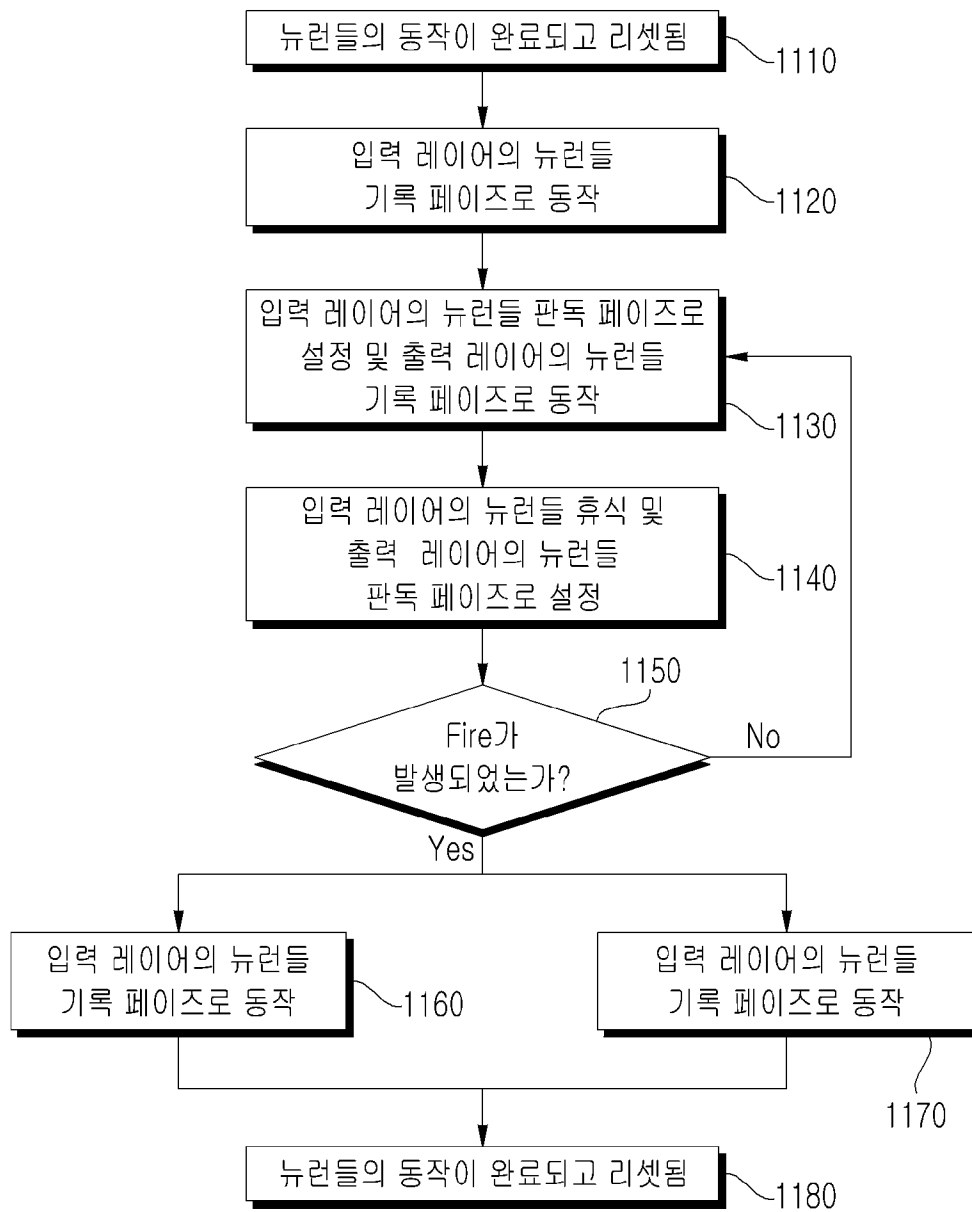
[도9]



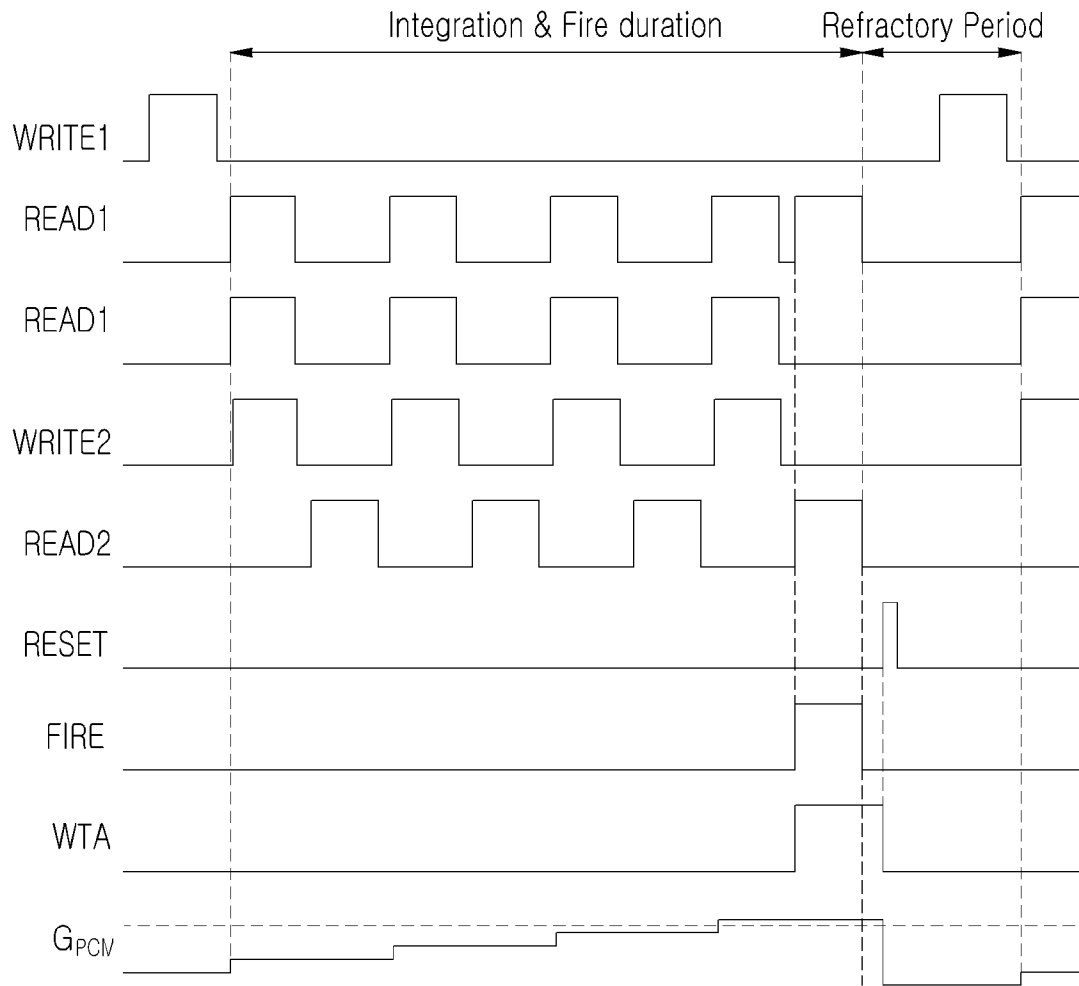
[도10]



[도11]



[도 12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2018/012225

A. CLASSIFICATION OF SUBJECT MATTER

G06N 3/063(2006.01)i, G06N 3/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06N 3/063; G06F 11/07; G06F 15/18; G06N 3/04; G06N 3/06; G06N 3/08; H01L 27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: neuromorphic, phase change, network, spike, pulse, synchronization, concealment layer, CMOS, area

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2010-0129741 A (HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P.) 09 December 2010 See paragraphs [0103], [0115]; claim 1; and figures 23-24, 28a-29e.	1-12
Y	KR 10-1998-0081691 A (SHARP KABUSHIKI KAISHA) 25 November 1998 See page 2, lines 30-33, 39-40.	1-12
Y	US 2017-0017879 A1 (DENSO CORPORATION et al.) 19 January 2017 See paragraph [0079]; and figures 8A-8B.	7-12
A	US 2012-0109864 A1 (MODHA, Dharmendra S.) 03 May 2012 See paragraph [0032]; claims 12, 14, 21, 23-24; and figures 1A, 2.	1-12
A	KR 10-2017-0080431 A (SK HYNIX INC.) 10 July 2017 See paragraphs [0043]-[0047]; claims 1-2, 7-8; and figures 1a-1b, 5a-6b.	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

24 JANUARY 2019 (24.01.2019)

Date of mailing of the international search report

24 JANUARY 2019 (24.01.2019)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea
Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2018/012225

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2010-0129741 A	09/12/2010	CN 101971166 A	09/02/2011
		CN 101971166 B	19/06/2013
		EP 2263165 A1	22/12/2010
		EP 2263165 A4	24/08/2011
		JP 2011-515747 A	19/05/2011
		JP 5154666 B2	27/02/2013
		KR 10-1489416 B1	03/02/2015
		US 2011-0004579 A1	06/01/2011
		WO 2009-113993 A1	17/09/2009
KR 10-1998-0081691 A	25/11/1998	JP 10-321742 A	04/12/1998
		JP 10-321793 A	04/12/1998
		JP 11-008346 A	12/01/1999
		JP 3289036 B2	04/06/2002
		JP 3304283 B2	22/07/2002
		JP 3342645 B2	11/11/2002
		TW 432669 A	01/05/2001
		TW 432669 B	01/05/2001
		US 05949139 A	07/09/1999
US 2017-0017879 A1	19/01/2017	JP 2018-521400 A	02/08/2018
		WO 2017-010049 A1	19/01/2017
US 2012-0109864 A1	03/05/2012	CN 103201610 A	10/07/2013
		CN 103201610 B	29/06/2016
		EP 2635889 A1	11/09/2013
		JP 2013-546065 A	26/12/2013
		JP 5963315 B2	03/08/2016
		US 08515885 B2	20/08/2013
		US 08812415 B2	19/08/2014
		US 2014-0188771 A1	03/07/2014
KR 10-2017-0080431 A	10/07/2017	WO 2012-055593 A1	03/05/2012
		US 2017-0193354 A1	06/07/2017

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G06N 3/063(2006.01)i, G06N 3/04(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G06N 3/063; G06F 11/07; G06F 15/18; G06N 3/04; G06N 3/06; G06N 3/08; H01L 27/04

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 뉴로모픽, 상 변화, 네트워크, 스파이크, 펄스, 동기화, 은닉층, CMOS, 면적

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2010-0129741 A (휴렛-팩커드 디벨롭먼트 컴퍼니, 엘.피.) 2010.12.09 단락 [0103], [0115]; 청구항 1; 및 도면 23-24, 28a-29e 참조.	1-12
Y	KR 10-1998-0081691 A (샤프가부시끼가이샤) 1998.11.25 페이지 2, 라인 30-33, 39-40 참조.	1-12
Y	US 2017-0017879 A1 (DENSO CORPORATION 등) 2017.01.19 단락 [0079]; 및 도면 8A-8B 참조.	7-12
A	US 2012-0109864 A1 (DHARMENDRA S. MODHA) 2012.05.03 단락 [0032]; 청구항 12, 14, 21, 23-24; 및 도면 1A, 2 참조.	1-12
A	KR 10-2017-0080431 A (에스케이하이닉스 주식회사) 2017.07.10 단락 [0043]-[0047]; 청구항 1-2, 7-8; 및 도면 1a-1b, 5a-6b 참조.	1-12

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2019년 01월 24일 (24.01.2019)

국제조사보고서 발송일

2019년 01월 24일 (24.01.2019)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

변성철

전화번호 +82-42-481-8262



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2010-0129741 A	2010/12/09	CN 101971166 A CN 101971166 B EP 2263165 A1 EP 2263165 A4 JP 2011-515747 A JP 5154666 B2 KR 10-1489416 B1 US 2011-0004579 A1 WO 2009-113993 A1	2011/02/09 2013/06/19 2010/12/22 2011/08/24 2011/05/19 2013/02/27 2015/02/03 2011/01/06 2009/09/17
KR 10-1998-0081691 A	1998/11/25	JP 10-321742 A JP 10-321793 A JP 11-008346 A JP 3289036 B2 JP 3304283 B2 JP 3342645 B2 TW 432669 A TW 432669 B US 05949139 A	1998/12/04 1998/12/04 1999/01/12 2002/06/04 2002/07/22 2002/11/11 2001/05/01 2001/05/01 1999/09/07
US 2017-0017879 A1	2017/01/19	JP 2018-521400 A WO 2017-010049 A1	2018/08/02 2017/01/19
US 2012-0109864 A1	2012/05/03	CN 103201610 A CN 103201610 B EP 2635889 A1 JP 2013-546065 A JP 5963315 B2 US 08515885 B2 US 08812415 B2 US 2014-0188771 A1 WO 2012-055593 A1	2013/07/10 2016/06/29 2013/09/11 2013/12/26 2016/08/03 2013/08/20 2014/08/19 2014/07/03 2012/05/03
KR 10-2017-0080431 A	2017/07/10	US 2017-0193354 A1	2017/07/06