



(12) 发明专利

(10) 授权公告号 CN 101783353 B

(45) 授权公告日 2014. 10. 29

(21) 申请号 200910142726. 8

G02F 1/1362 (2006. 01)

(22) 申请日 2009. 06. 02

审查员 梁庆然

(30) 优先权数据

10-2009-0032787 2009. 04. 15 KR

10-2009-0003560 2009. 01. 16 KR

(73) 专利权人 三星显示有限公司

地址 韩国京畿道龙仁市

(72) 发明人 禹和成 章珠宁 辛哲 严允成

宋美贞

(74) 专利代理机构 北京铭硕知识产权代理有限

公司 11286

代理人 韩明星 马翠平

(51) Int. Cl.

H01L 27/12 (2006. 01)

H01L 23/528 (2006. 01)

H01L 21/84 (2006. 01)

H01L 21/768 (2006. 01)

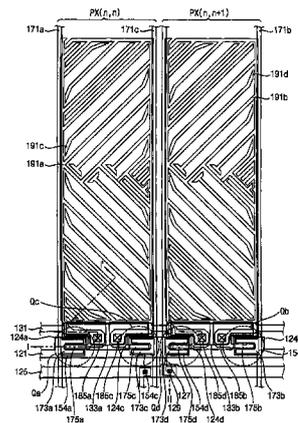
权利要求书3页 说明书29页 附图17页

(54) 发明名称

阵列基底及其制造方法

(57) 摘要

本发明提供了一种阵列基底和一种制造所述阵列基底的方法。在阵列基底和制造所述阵列基底的方法中,阵列基底包括第一开关元件、第二开关元件、第三开关元件和第四开关元件。第一开关元件电连接到第一数据线。第二开关元件电连接到与第一数据线相邻的第二数据线。第三开关元件电连接到设置在第一数据线和第二数据线之间的数据功率线。第四开关元件电连接到栅极功率线,该栅极功率线接收与施加到数据功率线的电压具有不同极性的电压。因此,提高了透光率、开口率和显示质量。



1. 一种阵列基底,包括:

第一开关元件,电连接到第一数据线;

第二开关元件,电连接到与所述第一数据线相邻的第二数据线;

第三开关元件,电连接到第一功率线;

第四开关元件,电连接到第二功率线,所述第二功率线接收与施加到所述第一功率线的电压具有不同极性的电压,

其中,所述第一功率线与所述第二功率线交叉,所述第一功率线和所述第二功率线分别是数据功率线和栅极功率线。

2. 如权利要求 1 所述的阵列基底,其中,向所述第一数据线和所述第二数据线分别施加极性相反的电压。

3. 如权利要求 1 所述的阵列基底,还包括:

第一栅极线,与所述第二功率线平行;

第一像素电极,电连接到所述第一开关元件;

第二像素电极,电连接到所述第二开关元件;

第一共电极,电连接到所述第三开关元件;

第二共电极,电连接到所述第四开关元件,

其中,所述第一像素电极和所述第一共电极设置在第一像素区域中,所述第二像素电极和所述第二共电极设置在沿所述第一栅极线与所述第一像素区域相邻的第二像素区域中。

4. 如权利要求 3 所述的阵列基底,还包括:

第五开关元件,电连接到所述第一数据线;

第六开关元件,电连接到所述第二数据线;

第七开关元件,电连接到所述第二功率线;

第八开关元件,电连接到所述第一功率线,

其中,所述第一功率线设置在所述第一数据线和所述第二数据线之间。

5. 如权利要求 4 所述的阵列基底,还包括:

第一栅极线,沿与所述第二功率线平行的方向延伸;

第三像素电极,电连接到所述第五开关元件;

第四像素电极,电连接到所述第六开关元件;

第三共电极,电连接到所述第七开关元件;

第四共电极,电连接到所述第八开关元件,

其中,所述第三像素电极和所述第三共电极设置在沿所述第一数据线与所述第一像素区域相邻的第三像素区域中,所述第四像素电极和所述第四共电极沿所述第一数据线设置在与所述第二像素区域相邻的第四像素区域中。

6. 如权利要求 5 所述的阵列基底,还包括:

第一栅极线,沿与所述第二功率线平行的方向延伸;

第二栅极线,与所述第一栅极线相邻,

其中,所述第一开关元件、所述第二开关元件、所述第三开关元件和所述第四开关元件电连接到所述第一栅极线,所述第五开关元件、所述第六开关元件、所述第七开关元件和所

述第八开关元件电连接到所述第二栅极线。

7. 如权利要求 5 所述的阵列基底,其中,所述第一像素电极、所述第二像素电极、所述第一共电极和所述第二共电极中的每个电极包括多个分支部件,

所述第一像素电极的分支部件与所述第一共电极的分支部件交替,所述第二像素电极的分支部件与所述第二共电极的分支部件交替。

8. 如权利要求 1 所述的阵列基底,其中,所述第一功率线设置在所述第一数据线和所述第二数据线之间。

9. 如权利要求 1 所述的阵列基底,所述阵列基底还包括:

第一像素电极,与沿栅极线延伸的所述第一功率线和所述第二功率线叠置,所述第一像素电极电连接到所述第一数据线;

第二像素电极,与所述第一功率线和所述第二功率线叠置,所述第二像素电极电连接到所述第二数据线,所述第二数据线接收与施加到所述第一数据线的电压具有相反极性的电压;

第一共电极,与所述第一功率线和所述第二功率线叠置,所述第一共电极电连接到所述第一功率线;

第二共电极,与所述第一功率线和所述第二功率线叠置,所述第二共电极电连接到所述第二功率线。

10. 如权利要求 9 所述的阵列基底,其中,通过将所述第一像素电极、所述第二像素电极、所述第一共电极和所述第二共电极与所述第一功率线叠置所形成的第一存储电容器中的每个电容器的电容与通过将所述第一像素电极、所述第二像素电极、所述第一共电极和所述第二共电极与所述第二功率线叠置所形成的第二存储电容器中的每个电容器的电容相同。

11. 如权利要求 10 所述的阵列基底,其中,所述第一共电极与所述第一数据线和所述第二数据线部分地叠置。

12. 如权利要求 11 所述的阵列基底,还包括与所述第二数据线相邻的第三数据线,

其中,所述第二共电极与所述第二数据线和所述第三数据线部分地叠置,所述第一共电极和所述第二共电极分别在第一区域和第二区域中与所述第二数据线叠置。

13. 如权利要求 12 所述的阵列基底,其中,与所述第一区域对应的所述第二数据线的长度和与所述第二区域对应的所述第二数据线的长度相同。

14. 如权利要求 12 所述的阵列基底,其中,所述第一像素电极、所述第二像素电极、所述第一共电极和所述第二共电极形成 V 形。

15. 如权利要求 14 所述的阵列基底,其中,所述第一像素电极和所述第二像素电极包括多个第一弯曲分支,所述第一共电极和所述第二共电极包括多个第二弯曲分支,

其中,所述第一像素电极的第一弯曲分支与所述第一共电极的第二弯曲分支交替,所述第二像素电极的第一弯曲分支与所述第二共电极的第二弯曲分支交替,

其中,与所述第一数据线或所述第三数据线邻近的相邻的第一弯曲分支和第二弯曲分支之间的距离比与所述第一数据线和所述第二数据线之间的中心以及所述第二数据线和所述第三数据线之间的中心邻近的相邻的第一弯曲分支和第二弯曲分支之间的距离大。

16. 一种制造阵列基底的方法,包括以下步骤:

形成栅极线和与所述栅极线平行的栅极功率线；

形成第一数据线、第二数据线以及设置在所述第一数据线和所述第二数据线之间的数据功率线；

形成电连接到所述第一数据线和所述栅极线的第一开关元件、电连接到所述第二数据线和所述栅极线的第二开关元件、电连接到所述数据功率线和所述栅极线的第三开关元件以及电连接到所述栅极功率线和所述栅极线的第四开关元件，所述栅极功率线接收与施加到所述数据功率线的电压具有不同极性的电压，

其中，所述栅极功率线与所述数据功率线交叉。

17. 如权利要求 16 所述的方法，还包括以下步骤：形成电连接到所述第一开关元件的第一像素电极、电连接到所述第二开关元件的第二像素电极、电连接到所述第三开关元件的第一共电极和电连接到所述第四开关元件的第二共电极，

其中，所述第一像素电极和所述第一共电极形成在第一像素区域中，所述第二像素电极和所述第二共电极形成在沿所述栅极线与所述第一像素区域相邻的第二像素区域中。

18. 如权利要求 17 所述的方法，其中，形成所述第一开关元件、所述第二开关元件、所述第三开关元件和所述第四开关元件时，形成电连接到所述第一数据线的第五开关元件、电连接到所述第二数据线的第六开关元件、电连接到所述栅极功率线的第七开关元件和电连接到所述数据功率线的第八开关元件。

19. 一种阵列基底，包括：

像素电极，电连接到第一数据线；

共电极，电连接到第二数据线，所述第二数据线接收与施加到所述第一数据线的电压具有相反极性的电压，所述共电极与所述第一数据线和所述第二数据线叠置，并与所述第一数据线相邻。

20. 如权利要求 19 所述的阵列基底，其中，所述共电极和所述第一数据线之间的叠置区域与所述共电极和所述第二数据线之间的叠置区域在形状上相同。

21. 一种制造阵列基底的方法，包括以下步骤：

形成第一数据线和与所述第一数据线相邻的第二数据线，所述第二数据线接收与施加到所述第一数据线的电压具有相反极性的电压；

形成电连接到所述第一数据线的像素电极和电连接到所述第二数据线的共电极，所述像素电极和所述共电极与所述第一数据线和所述第二数据线叠置。

## 阵列基底及其制造方法

### 技术领域

[0001] 本发明的示例实施例涉及一种阵列基底和一种制造所述阵列基底的方法。更具体地讲,本发明的示例实施例涉及一种能够提高透光率、开口率 (opening ratio) 和光学特性的阵列基底和一种制造所述阵列基底的方法。

### 背景技术

[0002] 作为平板显示装置之一的液晶显示 (LCD) 装置已经被广泛地用在各种领域中。LCD 装置包括具有像素电极的阵列基底和具有共电极的相对基底,像素电极和共电极形成电场。另外,LCD 装置还包括设置在阵列基底和相对基底之间的液晶层。

[0003] 当向像素电极和共电极施加电压差时,在像素电极和共电极之间形成电场。液晶层的液晶响应于施加到所述液晶的电场而改变布置,因此,通过控制入射光的偏振来改变液晶层的透光率,从而显示图像。

[0004] LCD 装置还控制电连接到每个像素电极的开关元件和用于向像素电极施加电压的多条信号线 (例如,栅极线和数据线)。

[0005] LCD 装置从外部设置的图形控制器接收输入图像信号。输入图像信号包括像素的亮度信息。

[0006] 每个像素接收与亮度信息对应的数据电压。LCD 装置的每个像素基于施加到像素电极的数据电压和施加到共电极的共电压之间的像素电压差来显示亮度与图像信号的灰阶对应的图像。施加到像素电极和共电极的像素电压差的范围由 LCD 装置的驱动部分预先确定。

[0007] LCD 装置的驱动部分可以作为芯片类型直接安装在阵列基底上,或者可以使用柔性电路膜附着于阵列基底。在制造 LCD 装置的过程中,集成电路芯片是昂贵的。

[0008] 为了降低制造成本,限制像素电压差的范围。另外,在数据线之间会形成寄生电容,使得 LCD 装置的图像显示质量会劣化。

[0009] 另外,当阵列基底上的栅极线和数据线的数量增多时,显示装置的开口率减小。

### 发明内容

[0010] 本发明的示例实施例提供了一种能够提高透光率、开口率和光学特性的阵列基底。

[0011] 本发明的示例实施例提供了一种制造上述阵列基底的方法。

[0012] 根据本发明的一方面,一种阵列基底包括:第一开关元件、第二开关元件、第三开关元件和第四开关元件。所述第一开关元件电连接到第一数据线。所述第二开关元件电连接到与所述第一数据线相邻的第二数据线。所述第三开关元件电连接到设置在所述第一数据线和所述第二数据线之间的数据功率线。所述第四开关元件电连接到栅极功率线,该栅极功率线接收与施加到所述数据功率线的电压具有不同极性的电压。

[0013] 可以向第一数据线和第二数据线分别施加极性相反的电压。

[0014] 阵列基底还可以包括：第一栅极线，与所述栅极功率线基本上平行；第一像素电极，电连接到所述第一开关元件；第二像素电极，电连接到所述第二开关元件；第一共电极，电连接到所述第三开关元件；第二共电极，电连接到所述第四开关元件。所述第一像素电极和所述第一共电极可以设置在第一像素区域中，所述第二像素电极和所述第二共电极可以设置在沿所述第一栅极线与所述第一像素区域相邻的第二像素区域中。

[0015] 阵列基底还可以包括：第五开关元件，电连接到所述第一数据线；第六开关元件，电连接到所述第二数据线；第七开关元件，电连接到所述栅极功率线；第八开关元件，电连接到所述数据功率线。

[0016] 阵列基底还可以包括：第一栅极线，沿与所述栅极功率线基本上平行的方向延伸；第三像素电极，电连接到所述第五开关元件；第四像素电极，电连接到所述第六开关元件；第三共电极，电连接到所述第七开关元件；第四共电极，电连接到所述第八开关元件。所述第三像素电极和所述第三共电极可以沿所述第一数据线设置在与所述第一像素区域相邻的第三像素区域中，所述第四像素电极和所述第四共电极可以沿所述第一数据线设置在与所述第二像素区域相邻的第四像素区域中。

[0017] 阵列基底还可以包括：第一栅极线，沿与所述栅极功率线基本上平行的方向延伸；第二栅极线，与所述第一栅极线相邻。所述第一开关元件、所述第二开关元件、所述第三开关元件和所述第四开关元件可以电连接到所述第一栅极线，所述第五开关元件、所述第六开关元件、所述第七开关元件和所述第八开关元件可以电连接到所述第二栅极线。

[0018] 第一像素电极和第二像素电极以及第一共电极和第二共电极中的每个电极可以包括多个分支部件。所述第一像素电极的分支部件可以与所述第一共电极的分支部件交替，所述第二像素电极的分支部件可以与所述第二共电极的分支部件交替。

[0019] 根据本发明的另一方面，如下提供了一种制造阵列基底的方法。形成栅极线和与所述栅极线基本上平行的栅极功率线。形成第一数据线、第二数据线以及可以设置在所述第一数据线和所述第二数据线之间的数据功率线。形成电连接到所述第一数据线和所述栅极线的第一开关元件、电连接到所述第二数据线和所述栅极线的第二开关元件、电连接到所述数据功率线和所述栅极线的第三开关元件以及电连接到所述栅极功率线和所述栅极线的第四开关元件。所述栅极功率线接收与施加到所述数据功率线的电压具有不同极性的电压。

[0020] 还可以形成电连接到所述第一开关元件的第一像素电极、电连接到所述第二开关元件的第二像素电极、电连接到所述第三开关元件的第一共电极和电连接到所述第四开关元件的第二共电极。所述第一像素电极和所述第一共电极可以形成在第一像素区域中，所述第二像素电极和所述第二共电极可以形成在沿所述第一栅极线与所述第一像素区域相邻的第二像素区域中。

[0021] 可以在形成所述第一开关元件、所述第二开关元件、所述第三开关元件和所述第四开关元件时，形成电连接到所述第一数据线的第五开关元件、电连接到所述第二数据线的第六开关元件、电连接到所述栅极功率线的第七开关元件和电连接到所述数据功率线的第八开关元件。

[0022] 根据本发明的又一方面，一种阵列基底包括第一像素电极、第二像素电极、第一共电极和第二共电极。第一像素电极与沿栅极线延伸的第一功率线和第二功率线叠置。所述

第一功率线和所述第二功率线分别接收极性不同的电压。所述第一像素电极电连接到第一数据线。第二像素电极与所述第一功率线和所述第二功率线叠置。所述第二像素电极电连接到第二数据线,所述第二数据线接收与施加到所述第一数据线的电压具有相反极性的电压。第一共电极与所述第一功率线和所述第二功率线叠置,并电连接到所述第一功率线。第二共电极与所述第一功率线和所述第二功率线叠置,并电连接到所述第二功率线。

[0023] 通过将所述第一像素电极、所述第二像素电极、所述第一共电极和所述第二共电极与所述第一功率线叠置所形成的第一存储电容器中的每个电容器的电容可以与通过将所述第一像素电极、所述第二像素电极、所述第一共电极和所述第二共电极与所述第二功率线叠置所形成的第二存储电容器中的每个电容器的电容基本上相同。

[0024] 所述第一共电极可以与所述第一数据线和所述第二数据线部分地叠置。

[0025] 所述阵列基底还可以包括与所述第二数据线相邻的第三数据线。所述第二共电极可以与所述第二数据线和所述第三数据线部分地叠置,所述第一共电极和所述第二共电极可以分别在第一区域和第二区域中与所述第二数据线叠置。所述第一区域的尺寸可以与所述第二区域的尺寸基本上相同。所述第一像素、所述第二像素电极、所述第一共电极和所述第二共电极可以形成V形。

[0026] 所述第一像素电极和所述第二像素电极可以包括多个第一弯曲分支,所述第一共电极和所述第二共电极包括多个第二弯曲分支。所述第一像素电极的第一弯曲分支可以与所述第一共电极的第二弯曲分支交替,所述第二像素电极的第一弯曲分支可以与所述第二共电极的第二弯曲分支交替。与所述第一数据线或所述第三数据线邻近的相邻的第一弯曲分支和第二弯曲分支之间的距离可以比与所述第一数据线和所述第二数据线之间的中心以及所述第二数据线和所述第三数据线之间的中心邻近的相邻的第一弯曲分支和第二弯曲分支之间的距离大。

[0027] 根据本发明的再一方面,如下提供了一种制造阵列基底的方法。形成栅极线、第一功率线和第二功率线。所述栅极线、所述第一功率线和所述第二功率线彼此基本上平行。形成第一数据线和与所述第一数据线相邻的第二数据线。所述第二数据线接收与施加到所述第一数据线的电压具有相反极性的电压。所述第一数据线和所述第二数据线彼此基本上平行。形成电连接到所述第一数据线的像素电极、电连接到所述第二数据线的第二像素电极、电连接到所述第一功率线的第一共电极和电连接到所述第二功率线的第二共电极。所述第一像素电极、所述第二像素电极、所述第一共电极和所述第二共电极与所述第一功率线和所述第二功率线叠置。

[0028] 根据本发明的再一方面,一种阵列基底包括像素电极和共电极。像素电极电连接到第一数据线。共电极电连接到第二数据线,所述第二数据线接收与施加到所述第一数据线的电压具有相反极性的电压。所述共电极与所述第一数据线和所述第二数据线叠置,并与所述第一数据线相邻。

[0029] 所述共电极和所述第一数据线之间的叠置面积可以与所述共电极和所述第二数据线之间的叠置面积基本上相同。

[0030] 根据本发明的再一方面,如下提供了一种制造阵列基底的方法。形成第一数据线和与所述第一数据线相邻的第二数据线。所述第二数据线接收与施加到所述第一数据线的电压具有相反极性的电压。形成电连接到所述第一数据线的像素电极和电连接到所述第二

数据线的共电极。所述像素电极和所述共电极与所述第一数据线和所述第二数据线叠置。

[0031] 根据本发明的一些示例实施例,通过接收各种电压的功率线来增大像素电压差的范围,从而可以提高所述阵列基底的透光率。

[0032] 另外,使用功率线形成存储电容器,从而提高所述阵列基底的开口率。

[0033] 另外,通过叠置数据线和接收不同电压的像素电极,可以防止在数据线中可能产生的寄生电容,从而可以提高所述阵列基底的图像显示质量。

## 附图说明

[0034] 通过参照附图详细描述本发明的示例实施例,本发明的以上和其它特征和优点将变得更加清楚。

[0035] 图 1 是示出根据本发明一个实施例的液晶显示 (LCD) 装置的平面图;

[0036] 图 2 是沿图 1 中示出的 I-I' 线截取的剖视图;

[0037] 图 3 是沿图 1 中示出的 II-II' 线截取的剖视图;

[0038] 图 4 是示出图 1 中示出的 LCD 装置的等效电路图;

[0039] 图 5 是示出根据本发明另一实施例的 LCD 装置的平面图;

[0040] 图 6 是沿图 5 中示出的 III-III' 线截取的剖视图;

[0041] 图 7 是沿图 5 中示出的 IV-IV' 线截取的剖视图;

[0042] 图 8 是示出图 5 中示出的 LCD 装置的等效电路图;

[0043] 图 9 是示出根据本发明又一实施例的 LCD 装置的平面图;

[0044] 图 10 是示出根据本发明再一实施例的 LCD 装置的平面图;

[0045] 图 11 是示出图 10 中示出的 LCD 装置的等效电路图;

[0046] 图 12 是示出根据本发明再一实施例的 LCD 装置的平面图;

[0047] 图 13 是示出根据本发明再一实施例的 LCD 装置的像素的等效电路图;

[0048] 图 14 是施加到图 13 的第一栅极线、第一摆动电压线和第二摆动电压线的电压的波形图;

[0049] 图 15 是示出根据本发明再一实施例的 LCD 装置的像素的等效电路图;

[0050] 图 16 是示出根据本发明再一实施例的 LCD 装置的像素的等效电路图;

[0051] 图 17 是示出根据本发明再一实施例的 LCD 装置的像素的等效电路图;

[0052] 图 18 是示出根据本发明再一实施例的 LCD 装置的像素的等效电路图;

[0053] 图 19 是示出图 18 的 LCD 装置的像素的等效电路图;

[0054] 图 20 是示出根据本发明再一实施例的 LCD 装置的平面图;

[0055] 图 21 是示出图 20 的 LCD 装置的像素的等效电路图。

## 具体实施方式

[0056] 在下文中,参照附图更充分地描述本发明,在附图中示出了本发明的示例实施例。然而,本发明可以以许多不同的形式来实施,不应该被理解为局限于在此提出的示例实施例。而是,提供这些示例实施例使本公开将是彻底和完全的,并将把本发明的范围充分地传达给本领域的技术人员。在附图中,为了清晰起见,会夸大层和区域的尺寸和相对尺寸。

[0057] 应该理解的是,当元件或层被称作“在”另一元件或层“上”,“连接到”或“结合到”

另一元件或层时,该元件或层可以直接在另一元件或层上、直接结合到或直接连接到另一元件或层,或者可以存在中间元件或中间层。相反,当元件被称作“直接在”另一元件或层“上”、“直接连接到”或“直接结合到”另一元件或层时,不存在中间元件或中间层。相同的标号始终表示相同的元件。如在这里使用的,术语“和 / 或”包括一个或多个相关所列的项目的任意组合和所有组合。

[0058] 应该理解的是,尽管在这里可使用术语第一、第二、第三等来描述不同的元件、组件、区域、层和 / 或部分,但是这些元件、组件、区域、层和 / 或部分并不受这些术语的限制。这些术语仅是用来将一个元件、组件、区域、层或部分与另一个元件、组件、区域、层或部分区分开来。因此,在不脱离本发明的教导的情况下,下面讨论的第一元件、组件、区域、层或部分可被命名为第二元件、组件、区域、层或部分。

[0059] 在这里可使用空间相对术语,如“下面的”、“在... 下方”、“下部的”、“在... 上方”、“上面的”等,用来轻松地描述如图中所示的一个元件或特征与另一元件或特征的关系。应该理解的是,空间相对术语意在包含除了在附图中描述的方位之外的装置在使用或操作中的不同方位。例如,如果在附图中装置被翻转,则描述为其它元件或特征“下面的”或“在其它元件或特征“下方”的元件随后将被定位为“在”其它元件或特征“上方”。因此,示例性术语“在... 下方”可包括“在... 上方”和“在... 下方”两种方位。所述装置可被另外定位(旋转 90 度或者在其它方位),相应地解释这里使用的空间相对描述符。

[0060] 这里使用的术语仅为了描述特定示例实施例的目的,而不意图限制本发明。如这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式。还将理解的是,当在本说明书中使用术语“包含”和 / 或“包括”时,说明存在所述特征、整体、步骤、操作、元件和 / 或组件,但不排除存在或附加一个或多个其它特征、整体、步骤、操作、元件、组件和 / 或它们的组。

[0061] 在此参照作为本发明的理想示例实施例(和中间结构)的示例性示例的剖视图来描述本发明的示例实施例。这样,预计会出现例如由制造技术和 / 或公差引起的示例的形状变化。因此,本发明的示例实施例不应该被理解为限制于在此示出的区域的具体形状,而应该包括例如由制造导致的形状偏差。例如,示出为矩形的注入区域在其边缘通常具有倒圆或曲线的特征和 / 或注入浓度的梯度,而不是从注入区域到非注入区域的二元变化。同样地,通过注入形成的埋区可导致在埋区和通过其发生注入的表面之间的区域中出现一定程度的注入。因此,在图中示出的区域实际上是示意性的,它们的形状并不意图示出装置的实际形状,也不意图限制本发明的范围。

[0062] 除非另有定义,否则这里使用的所有术语(包括技术术语和科学术语)具有与本发明所属领域的普通技术人员所通常理解的意思相同的意思。将进一步理解的是,除非这里明确定义,否则术语例如在通用的字典中定义的术语应该被解释为具有与相关领域的上下文中它们的意思一致的意思,而不是理想地或者过于正式地解释它们的意思。

[0063] 在下文中,将参照附图详细解释本发明。

[0064] 图 1 是示出根据本发明一个实施例的液晶显示(LCD)装置的平面图。图 2 是沿图 1 中示出的 I-I' 线截取的剖视图。图 3 是沿图 1 中示出的 II-II' 线截取的剖视图。

[0065] 参照图 1 至图 3,LCD 装置包括阵列基底 100、相对基底 200 和液晶层 300。在图 1 中,示出了 LCD 装置的第一像素  $PX(n, n)$  和第二像素  $PX(n, n+1)$ 。

[0066] 阵列基底 100 包括下底基底 (base substrate) 110。像素区域被限定在下底基底 110 中。

[0067] 下底基底 110 具有板状。可以用于下底基底 110 的透明材料可以包括玻璃、石英、合成树脂等。这些材料可以单独使用或者以它们的组合形式使用。

[0068] 栅极金属层形成在下底基底 110 上。栅极金属层可以包括栅极线 121、栅极功率线 (gate power line) 125 和存储线 131。

[0069] 栅极线 121 沿水平方向延伸,以传输栅极信号。每条栅极线 121 包括向上突出的第一栅电极 124a、第二栅电极 124b、第三栅电极 124c 和第四栅电极 124d。第一栅电极 124a 和第三栅电极 124c 对应于第一像素  $PX(n, n)$ 。第二栅电极 124b 和第四栅电极 124d 对应于第二像素  $PX(n, n+1)$ 。

[0070] 存储线 131 接收诸如共电压之类的电压,并沿水平方向延伸。每条存储线 131 设置在两条相邻的栅极线 121 之间,并与这两条相邻的栅极线 121 中的下方的栅极线 121 邻近。存储线 131 包括第一存储电极 133a 和第二存储电极 133b。第一存储电极 133a 对应于第一像素  $PX(n, n)$ ,第二存储电极 133b 对应于第二像素  $PX(n, n+1)$ 。

[0071] 栅极功率线 125 在每一帧传输功率电压或地电压。栅极功率线 125 可以沿水平方向延伸,每条栅极功率线 125 包括向上突出的栅极功率电极 127。

[0072] 第一存储电极 133a 和第二存储电极 133b 中的每个具有与下侧相邻的两个角被倒角的矩形。可选地,第一存储电极 133a 和第二存储电极 133b 中的每个可以具有各种形状和各种布置。

[0073] 栅极绝缘层 140 形成在下底基底 110 上,以覆盖栅极线 121、第一栅电极 124a、第二栅电极 124b、第三栅电极 124c、第四栅电极 124d、存储线 131、第一存储电极 133a 和第二存储电极 133b。

[0074] 第一半导体层 154a、第二半导体层 154b、第三半导体层 154c 和第四半导体层 154d 形成在栅极绝缘层 140 上。第一半导体层 154a、第二半导体层 154b、第三半导体层 154c 和第四半导体层 154d 可以包括氢化非晶硅、多晶硅等。第一半导体层 154a、第二半导体层 154b、第三半导体层 154c 和第四半导体层 154d 分别形成在第一栅电极 124a、第二栅电极 124b、第三栅电极 124c 和第四栅电极 124d 上。

[0075] 两个第一欧姆接触层 163a 和 165a 形成在第一半导体层 154a 上。两个第二欧姆接触层 163b 和 165b 形成在第二半导体层 154b 上。两个第三欧姆接触层 163c 和 165c 形成在第三半导体层 154c 上。两个第四欧姆接触层 163d 和 165d 形成在第四半导体层 154d 上。第一欧姆接触层 163a 和 165a、第二欧姆接触层 163b 和 165b、第三欧姆接触层 163c 和 165c 以及第四欧姆接触层 163d 和 165d 可以包含 n 型杂质以高浓度注入的 n+ 氢化非晶硅、硅化物等。

[0076] 包括第一数据线 171a、第二数据线 171b、数据功率线 171c、第一漏电极 175a、第二漏电极 175b、第三漏电极 175c 和第四漏电极 175d 的数据金属层形成在第一欧姆接触层 163a 和 165a、第二欧姆接触层 163b 和 165b、第三欧姆接触层 163c 和 165c、第四欧姆接触层 163d 和 165d 以及栅极绝缘层 140 上。

[0077] 第一数据线 171a 和第二数据线 171b 传输数据信号。数据功率线 171c 按帧传输驱动电压或地电压。当向数据功率线 171c 施加驱动电压时,可以向栅极功率线 125 施加地

电压。当向数据功率线 171c 施加地电压时,向栅极功率线 125 施加驱动电压。

[0078] 第一数据线 171a、第二数据线 171b 和数据功率线 171c 沿纵向延伸,并与栅极线 121 和存储线 131 交叉。第一数据线 171a、第二数据线 171b 和数据功率线 171c 包括第一源电极 173a、第二源电极 173b 和第三源电极 173c。第一源电极 173a、第二源电极 173b 和第三源电极 173c 具有分别朝向第一栅电极 124a、第二栅电极 124b 和第三栅电极 124c 弯曲的 U 形。具有朝向第四栅电极 124d 弯曲的 U 形的第四源电极 173d 朝向栅极功率电极 127 的上部延伸,从而电连接到栅极功率电极 127。

[0079] 第一漏电极 175a、第二漏电极 175b、第三漏电极 175c 和第四漏电极 175d 中的每个漏电极的杆状的端部面向第一源电极 173a、第二源电极 173b、第三源电极 173c 和第四源电极 173d 中的每个源电极,并被第一源电极 173a、第二源电极 173b、第三源电极 173c 和第四源电极 173d 中的每个源电极包围。

[0080] 连接到第一漏电极 175a 的第一接触电极 177a 与第一存储电极 133a 的左半部叠置,连接到第二漏电极 175b 的第二接触电极 177b 与第二存储电极 133b 的右半部叠置。

[0081] 连接到第三漏电极 175c 的第三接触电极 177c 与第一存储电极 133a 的右半部叠置,连接到第四漏电极 175d 的第四接触电极 177d 与第二存储电极 133b 的左半部叠置。

[0082] 第一栅电极 124a、第一源电极 173a、第一漏电极 175a 和第一半导体层 154a 形成第一开关元件 Qa。第二栅电极 124b、第二源电极 173b、第二漏电极 175b 和第二半导体层 154b 形成第二开关元件 Qb。第三栅电极 124c、第三源电极 173c、第三漏电极 175c 和第三半导体层 154c 形成第三开关元件 Qc。第四栅电极 124d、第四源电极 173d、第四漏电极 175d 和第四半导体层 154d 形成第四开关元件 Qd。

[0083] 第一开关元件 Qa 的沟道形成在第一源电极 173a 和第一漏电极 175a 之间的第一半导体层 154a 中。第二开关元件 Qb 的沟道形成在第二源电极 173b 和第二漏电极 175b 之间的第二半导体层 154b 中。第三开关元件 Qc 的沟道形成在第三源电极 173c 和第三漏电极 175c 之间的第三半导体层 154c 中。第四开关元件 Qd 的沟道形成在第四源电极 173d 和第四漏电极 175d 之间的第四半导体层 154d 中。

[0084] 两个第一欧姆接触层 163a 和 165a 中的第一个第一欧姆接触层 163a 设置在第一半导体层 154a 和第一源电极 173a 之间,以减小第一半导体层 154a 和第一源电极 173a 之间的接触电阻;两个第一欧姆接触层 163a 和 165a 中的第二个第二欧姆接触层 165a 设置在第一半导体层 154a 和第一漏电极 175a 之间,以减小第一半导体层 154a 和第一漏电极 175a 之间的接触电阻。两个第二欧姆接触层 163b 和 165b 中的第一个第二欧姆接触层 163b 设置在第二半导体层 154b 和第二源电极 173b 之间,以减小第二半导体层 154b 和第二源电极 173b 之间的接触电阻;两个第二欧姆接触层 163b 和 165b 中的第二个第二欧姆接触层 165b 设置在第二半导体层 154b 和第二漏电极 175b 之间,以减小第二半导体层 154b 和第二漏电极 175b 之间的接触电阻。两个第三欧姆接触层 163c 和 165c 中的第一个第三欧姆接触层 163c 设置在第三半导体层 154c 和第三源电极 173c 之间,以减小第三半导体层 154c 和第三源电极 173c 之间的接触电阻;两个第三欧姆接触层 163c 和 165c 中的第二个第三欧姆接触层 165c 设置在第三半导体层 154c 和第三漏电极 175c 之间,以减小第三半导体层 154c 和第三漏电极 175c 之间的接触电阻。两个第四欧姆接触层 163d 和 165d 中的第一个第四欧姆接触层 163d 设置在第四半导体层 154d 和第四源电极 173d 之间,以减小第四半导体层

154d 和第四源电极 173d 之间的接触电阻；两个第四欧姆接触层 163d 和 165d 中的第二个第四欧姆接触层 165d 设置在第四半导体层 154d 和第四漏电极 175d 之间，以减小第四半导体层 154d 和第四漏电极 175d 之间的接触电阻。

[0085] 第一开关元件 Qa 电连接到第一数据线 171a。第三开关元件 Qc 电连接到数据功率线 171c。第一开关元件 Qa 和第三开关元件 Qc 形成在第一像素 PX(n, n) 中。

[0086] 第二开关元件 Qb 电连接到第二数据线 171b。第四开关元件 Qd 电连接到栅极功率线 125。第二开关元件 Qb 和第四开关元件 Qd 形成在第二像素 PX(n, n+1) 中。

[0087] 分别向第一数据线 171a 和第二数据线 171b 施加电平相反的电压。向数据功率线 171c 和栅极功率线 125 施加电平相反的电压。

[0088] 栅极接触孔 129 穿过栅极绝缘层 140 形成在栅极功率电极 127 上。第四源电极 173d 通过栅极接触孔 129 连接到栅极功率线 125。

[0089] 数据绝缘层 180 形成在栅极绝缘层 140 上，以覆盖第一数据线 171a、第二数据线 171b、数据功率线 171c、第一源电极 173a、第二源电极 173b、第三源电极 173c、第四源电极 173d、第一漏电极 175a、第二漏电极 175b、第三漏电极 175c 和第四漏电极 175d。

[0090] 第一接触孔 185a 穿过数据绝缘层 180 形成在第一接触电极 177a 上。第二接触孔 185b 穿过数据绝缘层 180 形成在第二接触电极 177b 上。第三接触孔 185c 穿过数据绝缘层 180 形成在第三接触电极 177c 上。第四接触孔 185d 穿过数据绝缘层 180 形成在第四接触电极 177d 上。

[0091] 多个像素电极 191 形成在数据绝缘层 180 上。像素电极 191 包括第一像素电极 191a、第二像素电极 191b、第一共电极 191c 和第二共电极 191d。像素电极 191 可以包括透明导电材料、反射材料等。可以用于像素电极 191 的透明导电材料的示例可以包含氧化铟锡 (ITO)、氧化铟锌 (IZO)、碳纳米管 (CNT) 等。可以用于像素电极 191 的反射材料的示例可以包括铝、银、铬、它们的合金等。这些材料可以单独使用或以它们的组合形式使用。

[0092] 第一像素电极 191a、第二像素电极 191b、第一共电极 191c 和第二共电极 191d 形成在数据绝缘层 180 上。在另一实施例中，可以将透明金属层图案化，从而形成第一像素电极 191a、第二像素电极 191b、第一共电极 191c 和第二共电极 191d。

[0093] 第一像素电极 191a 接触第一接触电极 177a，第二像素电极 191b 接触第二接触电极 177b。第一共电极 191c 接触第三接触电极 177c，第二共电极 191d 接触第四接触电极 177d。

[0094] 例如，像素电极 191 可以具有矩形形状。

[0095] 第一像素电极 191a 和第二共电极 191d 分别电连接到第一漏电极 175a 和第四漏电极 175d。第一像素电极 191a 和第二共电极 191d 包括沿纵向延伸的第一中心延伸件和从第一中心延伸件延伸的第一分支部件。第一分支部件的相对于第一中心延伸件的上部沿第一对角方向延伸，第一分支部件的相对于第一中心延伸件的下部沿第二对角方向延伸。第一对角方向可以相对于栅极线 121 形成大约 45 度或大约 225 度的角。第二对角方向可以相对于栅极线 121 形成大约 135 度或大约 315 度的角。

[0096] 第二像素电极 191b 和第一共电极 191c 分别电连接到第二漏电极 175b 和第三漏电极 175c。第二像素电极 191b 和第一共电极 191c 包括沿纵向延伸的第二中心延伸件和从第二中心延伸件延伸的第二分支部件。第二分支部件的相对于第二中心延伸件的上部沿第

一对角方向延伸,第二分支部件的相对于第二中心延伸件的下部沿第二对角方向延伸。第一对角方向可以相对于栅极线 121 形成大约 45 度或大约 225 度的角。第二对角方向可以相对于栅极线 121 形成大约 135 度或大约 315 度的角。

[0097] 即,第一像素  $PX(n, n)$  和第二像素  $PX(n, n+1)$  的每个像素中的第一分支部件和第二分支部件彼此交替,从而形成梳子形状 (comb shape)。

[0098] 第一像素电极 191a 通过第一接触孔 185a 物理连接到且电连接到第一漏电极 175a,以从第一漏电极 175a 接收电压。第二像素电极 191b 通过第二接触孔 185b 物理连接到且电连接到第二漏电极 175b,以从第二漏电极 175b 接收电压。第一共电极 191c 通过第三接触孔 185c 物理连接到且电连接到第三漏电极 175c,以从第三漏电极 175c 接收电压。第二共电极 191d 通过第四接触孔 185d 物理连接到且电连接到第四漏电极 175d,以从第四漏电极 175d 接收电压。

[0099] 第一像素电极 191a 和第二像素电极 191b、第一共电极 191c 和第二共电极 191d 以及液晶层 300 形成液晶电容器  $C1c$ 。在本实施例中,虽然第一开关元件  $Qa$ 、第二开关元件  $Qb$ 、第三开关元件  $Qc$  和第四开关元件  $Qd$  截止,但保持第一像素电极 191a 与第一共电极 191c 之间以及第二像素电极 191b 与第二共电极 191d 之间的电压差。电连接到第一像素电极 191a 的第一漏电极 175a 和电连接到第一共电极 191c 的第三漏电极 175c 与第一存储电极 133a 叠置,栅极绝缘层 140 设置在第一漏电极 175a 和第一存储电极 133a 之间以及第一共电极 175c 和第一存储电极 133a 之间,从而形成第一存储电容器  $Csta$  和第三存储电容器  $Cstc$ 。电连接到第二像素电极 191b 的第二漏电极 175b 和电连接到第二共电极 191d 的第四漏电极 175d 与第二存储电极 133b 叠置,栅极绝缘层 140 设置在第二漏电极 175b 和第二存储电极 133b 之间以及第二共电极 175d 和第二存储电极 133b 之间,从而形成第二存储电容器  $Cstb$  和第四存储电容器  $Cstd$ 。第一存储电容器  $Csta$ 、第二存储电容器  $Cstb$ 、第三存储电容器  $Cstc$  和第四存储电容器  $Cstd$  保持施加到液晶电容器  $C1c$  的电压差。

[0100] 下取向层 11 形成在包括第一像素电极 191a、第二像素电极 191b、第一共电极 191c 和第二共电极 191d 的下底基底 110 上,从而使液晶层 300 的液晶分子沿垂直方向取向。因此,液晶层 300 的液晶分子从阵列基底 100 朝向相对基底 200 取向。

[0101] 相对基底 200 面向阵列基底 100。

[0102] 相对基底 200 包括上底基底 210、光阻挡图案 220、滤色器图案 230、保护层 (overcoating layer) 250 和上取向层 21。

[0103] 光阻挡图案 220 可以防止光在相邻的像素电极 191 之间的泄漏,并限定面向像素电极 191 的开口区域。滤色器图案 230 形成在由光阻挡图案 220 限定的开口区域中。

[0104] 滤色器图案 230 可以包括红色滤色器、绿色滤色器和蓝色滤色器。保护层 250 覆盖滤色器图案 230 和光阻挡图案 220。

[0105] 保护层 250 形成在光阻挡图案 220 和滤色器图案 230 上。保护层 250 可以包含绝缘材料。例如,保护层 250 可以具有基本上平坦的表面,以覆盖滤色器图案 230。可选地,可以略去保护层 250。

[0106] 上取向层 21 形成在保护层 250 上,以使液晶层 300 的液晶分子沿垂直方向取向。

[0107] 液晶层 300 设置在阵列基底 100 和相对基底 200 之间。液晶层 300 包括具有正性介电各向异性的液晶分子。当没有向液晶分子施加电场时,液晶分子相对于阵列基底 100

和相对基底 200 的表面垂直地取向。

[0108] 液晶层 300 的液晶分子响应于在第一像素电极 191a 与第一共电极 191c 之间以及在第二像素电极 191b 与第二共电极 191d 之间形成的电场而改变布置, 因此改变液晶层 300 的透光率。

[0109] 例如, 当向第一像素电极 191a、第二像素电极 191b、第一共电极 191c 和第二共电极 191d 施加不同的电压时, 在第一像素电极 191a 与第一共电极 191c 之间以及在第二像素电极 191b 与第二共电极 191d 之间会形成与阵列基底 100 和相对基底 200 的表面基本上平行的电场。

[0110] 然后, 相对于阵列基底 100 和相对基底 200 垂直取向的液晶分子改变布置, 使得液晶分子朝向与电场方向基本上平行的水平方向倾斜。因此, 液晶层 300 的偏振特性被改变, 从而使液晶层 300 的透光率发生改变, 由此显示图像。

[0111] 当 LCD 装置使用垂直取向的液晶分子时, LCD 装置的对比度和视角得以改善。另外, 向像素电极 191 施加相对于共电压具有相反极性的两种不同电压, 从而改善开关元件 Qa、Qb、Qc 和 Qd 的驱动电压以及液晶分子的响应速度。此外, 防止了反冲电压 (kickback voltage) 造成的干扰, 从而防止了 LCD 装置上的闪烁。

[0112] 图 4 是示出在图 1 示出的 LCD 装置的等效电路图。

[0113] 参照图 1 至图 4, LCD 装置包括多条信号线  $D_j$ 、 $D_{j+1}$ 、 $-D_{j+1/2}$ 、 $+D_{j+1/2}$ 、 $G_i$  和  $G_{i+1}$ 。LCD 装置还可以包括电连接到信号线  $D_j$ 、 $D_{j+1}$ 、 $-D_{j+1/2}$ 、 $+D_{j+1/2}$ 、 $G_i$  和  $G_{i+1}$  的多个像素。像素以矩阵形状布置。

[0114] 在图 2 中, LCD 装置包括阵列基底 100、面向阵列基底 100 的相对基底 200 以及设置在阵列基底 100 和相对基底 200 之间的液晶层 300。

[0115] 信号线  $D_j$ 、 $D_{j+1}$ 、 $-D_{j+1/2}$ 、 $+D_{j+1/2}$ 、 $G_i$  和  $G_{i+1}$  包括第一栅极线  $G_i$ 、第二栅极线  $G_{i+1}$ 、第一数据线  $D_j$ 、第二数据线  $D_{j+1}$ 、第三数据线  $-D_{j+1/2}$  和第四数据线  $+D_{j+1/2}$ 。第一栅极线  $G_i$  和第二栅极线  $G_{i+1}$  传输栅极信号 (扫描信号)。第一数据线  $D_j$  和第二数据线  $D_{j+1}$  传输数据电压。按帧向第三数据线  $-D_{j+1/2}$  和第四数据线  $+D_{j+1/2}$  施加驱动电压和地电压。

[0116] 第一栅极线  $G_i$ 、第二栅极线  $G_{i+1}$  和第四数据线  $+D_{j+1/2}$  沿列方向延伸, 并彼此基本上平行。第一数据线  $D_j$ 、第二数据线  $D_{j+1}$  和第三数据线  $-D_{j+1/2}$  沿行方向延伸, 并彼此基本上平行。

[0117] 分别向第一数据线  $D_j$  和第二数据线  $D_{j+1}$  施加极性相反的电压。向第三数据线  $-D_{j+1/2}$  和第四数据线  $+D_{j+1/2}$  施加极性相反的电压。

[0118] 在每一帧向第三数据线  $-D_{j+1/2}$  和第四数据线  $+D_{j+1/2}$  交替地施加驱动电压和地电压。例如, 与第一数据线  $D_j$  和第二数据线  $D_{j+1}$  对应的区域比与第三数据线  $-D_{j+1/2}$  和第四数据线  $+D_{j+1/2}$  对应的区域小。

[0119] 例如, 图 4 中的第一数据线  $D_j$  和第二数据线  $D_{j+1}$  对应于图 1 中的在第一像素  $PX(n, n)$  和第二像素  $PX(n, n+1)$  中形成的第一数据线 171a 和第二数据线 171b。

[0120] 图 4 中的第一栅极线  $G_i$  对应于图 1 中的栅极线 121。

[0121] 图 4 中的第三数据线  $-D_{j+1/2}$  和第四数据线  $+D_{j+1/2}$  对应于图 1 中的数据功率线 171c 和栅极功率线 125。

[0122] 第一开关元件 Qa、第二开关元件 Qb、第三开关元件 Qc 和第四开关元件 Qd 电连接到第一数据线 171a、第二数据线 171b、数据功率线 171c 和栅极功率线 125。

[0123] 再参照图 4, 第一数据线 Dj、第二数据线 Dj+1、第三数据线 -Dj+1/2 和第四数据线 +Dj+1/2 电连接到第一开关元件 Qa、第二开关元件 Qb、第三开关元件 Qc 和第四开关元件 Qd。

[0124] 可选地, 第一数据线 Dj 和第二数据线 Dj+1 可以分别电连接到第五开关元件 Qe 和第六开关元件 Qf。另外, 第三数据线 -Dj+1/2 和第四数据线 +Dj+1/2 可以电连接到第七开关元件 Qg 和第八开关元件 Qh。第五开关元件 Qe、第六开关元件 Qf、第七开关元件 Qg 和第八开关元件 Qh 可以电连接到第二栅极线 Gi+1。

[0125] 第三像素 PX(n+1, n) 和第四像素 PX(n+1, n+1) 可以设置在第一像素 PX(n, n) 和第二像素 PX(n, n+1) 的下一行上。第五开关元件 Qe 和第八开关元件 Qh 可以形成在第三像素 PX(n+1, n) 中。第六开关元件 Qf 和第七开关元件 Qg 可以形成在第四像素 PX(n+1, n+1) 中。

[0126] 再参照图 1 和图 4, 第一像素电极 191a 的分支部件和第一共电极 191c 的分支部件交替地布置。第二像素电极 191b 的分支部件和第二共电极 191d 的分支部件交替地布置。

[0127] 例如, 电连接到第五开关元件 Qe 的第三像素电极的分支部件和电连接到第八开关元件 Qh 的第四共电极的分支部件交替地布置。另外, 电连接到第六开关元件 Qf 的第四像素电极的分支部件和电连接到第七开关元件 Qg 的第三共电极的分支部件交替地布置。

[0128] 向第一数据线 Dj 和第二数据线 Dj+1 施加极性相反的电压。向第三数据线 -Dj+1/2 和第四数据线 +Dj+1/2 施加极性相反的电压。因此, 第一像素 PX(n, n)、第二像素 PX(n, n+1)、第三像素 PX(n+1, n) 和第四像素 PX(n+1, n+1) 中的相邻的像素接收极性相反的不同电压。

[0129] 再参照图 1 至图 4, 存储线 131 与电连接到第一开关元件 Qa、第二开关元件 Qb、第三开关元件 Qc、第四开关元件 Qd、第五开关元件 Qe、第六开关元件 Qf、第七开关元件 Qg 和第八开关元件 Qh 的像素电极叠置, 从而分别形成第一存储电容器 Cst1、第二存储电容器 Cst2、第三存储电容器 Cst3、第四存储电容器 Cst4、第五存储电容器 Cst5、第六存储电容器 Cst6、第七存储电容器 Cst7 和第八存储电容器 Cst8。例如, 可以向存储线 131 施加地电压。

[0130] 第一像素 PX(n, n)、第二像素 PX(n, n+1)、第三像素 PX(n+1, n) 和第四像素 PX(n+1, n+1) 中的液晶层 300 用作液晶电容器 Clc 的介电材料。液晶电容器 Clc 由像素电极和液晶层 300 形成。

[0131] 液晶层 300 具有介电各向异性。当不向液晶层 300 施加电场时, 液晶层 300 的液晶分子在阵列基底 100 和相对基底 200 之间垂直取向。

[0132] 在下文中, 将参照图 1 至图 4 来解释制造阵列基底的方法。

[0133] 栅极线 121、栅极功率线 125 和存储线 131 彼此基本上平行。

[0134] 第一栅电极 124a 和第三栅电极 124c 对应于第一像素 PX(n, n)。第二栅电极 124b 和第四栅电极 124d 对应于第二像素 PX(n, n+1)。第一存储电极 133a 对应于第一像素 PX(n, n)。第二存储电极 133b 对应于第二像素 PX(n, n+1)。栅极功率电极 127 对应于第二像素 PX(n, n+1)。

[0135] 在具有第一栅电极 124a、第二栅电极 124b、第三栅电极 124c、第四栅电极 124d、第

一存储电极 133a、第二存储电极 133b 和栅极功率电极 127 的下底基底 110 上形成栅极绝缘层 140。形成包括第一数据线 171a、第二数据线 171b、数据功率线 171c、第一漏电极 175a、第二漏电极 175b、第三漏电极 175c、第四漏电极 175d、第一源电极 173a、第二源电极 173b、第三源电极 173c 和第四源电极 173d 的数据金属层。

[0136] 第一数据线 171a、第二数据线 171b 和数据功率线 171c 基本上彼此平行。

[0137] 在栅极绝缘层 140 上形成电连接到第一数据线 171a 和栅极线 121 的第一开关元件 Qa、电连接到第二数据线 171b 和栅极线 121 的第二开关元件 Qb、电连接到数据功率线 171c 和栅极线 121 的第三开关元件 Qc 以及电连接到栅极功率线 125 和栅极线 121 的第四开关元件 Qd。栅极功率线 125 接收的电压的极性不同于数据功率线 171c 接收的电压的极性。

[0138] 在第三像素  $PX(n+1, n)$  中形成第五开关元件 Qe 和第八开关元件 Qh。在第四像素  $PX(n+1, n+1)$  中形成第六开关元件 Qf 和第七开关元件 Qg。

[0139] 然后,形成数据绝缘层 180。

[0140] 在具有数据绝缘层 180 的栅极绝缘层 140 上形成电连接到第一开关元件 Qa 的第一像素电极 191a、电连接到第二开关元件 Qb 的第二像素电极 191b、电连接到第三开关元件 Qc 的第一共电极 191c 和电连接到第四开关元件 Qd 的第二共电极 191d。

[0141] 在第一像素  $PX(n, n)$  中形成第一像素电极 191a 和第一共电极 191c。在第二像素  $PX(n, n+1)$  中形成第二像素电极 191b 和第二共电极 191d。第二像素  $PX(n, n+1)$  与第一像素  $PX(n, n)$  沿着第一栅极线  $G_i$  相邻。

[0142] 然后,形成电连接到第五开关元件 Qe 的第三像素电极、电连接到第六开关元件 Qf 的第四像素电极、电连接到第七开关元件 Qg 的第三共电极和电连接到第八开关元件 Qh 的第四共电极。

[0143] 在具有第一像素电极 191a、第二像素电极 191b、第三像素电极、第四像素电极、第一共电极 191c、第二共电极 191d、第三共电极和第四共电极的下底基底 110 上形成下取向层 11。

[0144] 向第一像素  $PX(n, n)$ 、第二像素  $PX(n, n+1)$ 、第三像素  $PX(n+1, n)$  和第四像素  $PX(n+1, n+1)$  交替地施加极性相反的不同电压,使得在每一帧在 LCD 装置中执行点反转(dot inversion)。

[0145] 可选地,当向第三数据线  $-D_{j+1/2}$  和第四数据线  $+D_{j+1/2}$  施加基本上具有相同极性的电压时,沿纵向彼此相邻的第一像素  $PX(n, n)$  和第三像素  $PX(n+1, n)$  可以接收具有相同电平的电压,沿纵向彼此相邻的第二像素  $PX(n, n+1)$  和第四像素  $PX(n+1, n+1)$  可以接收具有相同电平的电压,但施加到第二像素  $PX(n, n+1)$  和第四像素  $PX(n+1, n+1)$  的电压的电平与施加到第一像素  $PX(n, n)$  和第三像素  $PX(n+1, n)$  的电压的电平不同。因此,第一像素  $PX(n, n)$  和第三像素  $PX(n+1, n)$  接收的电压不同于第二像素  $PX(n, n+1)$  和第四像素  $PX(n+1, n+1)$  接收的电压,使得可以在每一帧执行行反转(line inversion)。

[0146] 改变施加到信号线  $D_j$ 、 $D_{j+1}$ 、 $-D_{j+1/2}$ 、 $+D_{j+1/2}$ 、 $G_i$  和  $G_{i+1}$  中的数据线的电压的电平,使得可以执行点反转或行反转。

[0147] 根据本实施例,数据功率线 171c 和栅极功率线 125 接收极性相反的电压,从而可以向每个像素施加极性不同的电压,并提高像素的开口率。

[0148] 图 5 是示出根据本发明另一实施例的 LCD 装置的平面图。图 6 是沿图 5 中示出的 III-III' 线截取的剖视图。图 7 是沿图 5 中示出的 IV-IV' 线截取的剖视图。除了阵列基底 400 之外,图 5 至图 7 的 LCD 装置与图 1 至图 4 中的 LCD 装置相同。因此,相同的标号将用于表示与图 1 至图 4 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0149] 参照图 5 至图 7, LCD 装置包括阵列基底 400、相对基底 200 和液晶层 300。

[0150] 在图 5 中,示出了 LCD 装置的第一像素  $PX(n, n)$  和第二像素  $PX(n, n+1)$ 。

[0151] 阵列基底 400 包括下底基底 410。像素区域限定在下底基底 410 中。

[0152] 下底基底 410 具有板状。可以用于下底基底 410 的透明材料可以包括玻璃、石英、合成树脂等。这些材料可以单独使用或者以它们的组合形式使用。

[0153] 栅极金属层形成在下底基底 410 上。栅极金属层可以包括栅极线 421、第一功率线 431 和第二功率线 435。

[0154] 栅极线 421 沿水平方向延伸,以传输栅极信号。每条栅极线 421 包括向上突出的第一栅电极 424a、第二栅电极 424b、第三栅电极 424c 和第四栅电极 424d。第一栅电极 424a 和第三栅电极 424c 对应于第一像素  $PX(n, n)$ 。第二栅电极 424b 和第四栅电极 424d 对应于第二像素  $PX(n, n+1)$ 。

[0155] 第一功率线 431 接收地电压,并沿水平方向延伸。第一功率线 431 中的每条设置在两条相邻的栅极线 421 之间,并与这两条相邻的栅极线 421 中的上面的一条邻近。第一功率线 431 中的每条包括第一功率电极 433。第一功率电极 433 对应于第一像素  $PX(n, n)$ 。

[0156] 第二功率线 435 接收预定的电压,并沿水平方向延伸。第二功率线 435 中的每条设置在第一功率线 431 和两条相邻的栅极线 421 中的下面的一条之间。第二功率线 435 中的每条包括第二功率电极 437。第二功率电极 437 对应于第二像素  $PX(n, n+1)$ 。

[0157] 栅极绝缘层 440 形成在下底基底 410 上,以覆盖栅极线 421、第一栅电极 424a、第二栅电极 424b、第三栅电极 424c、第四栅电极 424d、第一功率电极 433 和第二功率电极 437。

[0158] 第一栅极接触孔 434a 穿过栅极绝缘层 440 形成在第一功率电极 433 上。第二栅极接触孔 434b 穿过栅极绝缘层 440 形成在第二功率电极 437 上。

[0159] 第一半导体层 454a、第二半导体层 454b、第三半导体层 454c 和第四半导体层 454d 形成在栅极绝缘层 440 上。第一半导体层 454a、第二半导体层 454b、第三半导体层 454c 和第四半导体层 454d 分别形成在第一栅电极 424a、第二栅电极 424b、第三栅电极 424c 和第四栅电极 424d 上。

[0160] 两个第一欧姆接触层 463a 和 465a 形成在第一半导体层 454a 上。两个第二欧姆接触层 463b 和 465b 形成在第二半导体层 454b 上。两个第三欧姆接触层 463c 和 465c 形成在第三半导体层 454c 上。两个第四欧姆接触层 463d 和 465d 形成在第四半导体层 454d 上。第一欧姆接触层 463a 和 465a、第二欧姆接触层 463b 和 465b、第三欧姆接触层 463c 和 465c 以及第四欧姆接触层 463d 和 465d 可以包含 n 型杂质以高浓度注入的 n+ 氢化非晶硅、硅化物等。

[0161] 包括第一数据线 471a、第二数据线 471b、第三数据线 471c、第一漏电极 475a、第二漏电极 475b、第三漏电极 475c 和第四漏电极 475d 的数据金属层形成在第一欧姆接触层

463a 和 465a、第二欧姆接触层 463b 和 465b、第三欧姆接触层 463c 和 465c、第四欧姆接触层 463d 和 465d 以及栅极绝缘层 440 上。

[0162] 第一数据线 471a、第二数据线 471b 和第三数据线 471c 传输数据信号。第一数据线 471a、第二数据线 471b 和第三数据线 471c 沿纵向延伸,并且与栅极线 421、第一功率线 431 和第二功率线 435 交叉。

[0163] 第一数据线 471a 包括具有朝向第一栅电极 424a 弯曲的 U 形的第一源电极 473a。第二数据线 471b 包括具有朝向第二栅电极 424b 弯曲的 U 形的第二源电极 473b。第一功率线 431 包括具有朝向第三栅电极 424c 弯曲的 U 形的第三源电极 473c。第二功率线 435 包括具有朝向第四栅电极 424d 弯曲的 U 形的第四源电极 473d。

[0164] 第一漏电极 475a、第二漏电极 475b、第三漏电极 475c 和第四漏电极 475d 中的每个漏电极的杆状的端部面向第一源电极 473a、第二源电极 473b、第三源电极 473c 和第四源电极 473d 中的每个源电极,并分别被第一源电极 473a、第二源电极 473b、第三源电极 473c 和第四源电极 473d 中的每个源电极包围。

[0165] 第一源电极 473a 直接连接到第一数据线 471a。第二源电极 473b 直接连接到第二数据线 471b。第三源电极 473c 通过第一栅极接触孔 434a 连接到第一功率线 431。第四源电极 473d 通过第二栅极接触孔 434b 连接到第二功率线。

[0166] 第一栅电极 424a、第一源电极 473a、第一漏电极 475a 和第一半导体层 454a 形成第一开关元件 Qa。第二栅电极 424b、第二源电极 473b、第二漏电极 475b 和第二半导体层 454b 形成第二开关元件 Qb。第三栅电极 424c、第三源电极 473c、第三漏电极 475c 和第三半导体层 454c 形成第三开关元件 Qc。第四栅电极 424d、第四源电极 473d、第四漏电极 475d 和第四半导体层 454d 形成第四开关元件 Qd。

[0167] 第一开关元件 Qa 的沟道形成在第一源电极 473a 和第一漏电极 475a 之间的第一半导体层 454a 中。第二开关元件 Qb 的沟道形成在第二源电极 473b 和第二漏电极 475b 之间的第二半导体层 454b 中。第三开关元件 Qc 的沟道形成在第三源电极 473c 和第三漏电极 475c 之间的第三半导体层 454c 中。第四开关元件 Qd 的沟道形成在第四源电极 473d 和第四漏电极 475d 之间的第四半导体层 454d 中。

[0168] 两个第一欧姆接触层 463a 和 465a 中的第一个第一欧姆接触层 463a 设置在第一半导体层 454a 和第一源电极 473a 之间,以减小第一半导体层 454a 和第一源电极 473a 之间的接触电阻;两个第一欧姆接触层 463a 和 465a 中的第二个第一欧姆接触层 465a 设置在第一半导体层 454a 和第一漏电极 475a 之间,以减小第一半导体层 454a 和第一漏电极 475a 之间的接触电阻。两个第二欧姆接触层 463b 和 465b 中的第一个第二欧姆接触层 463b 设置在第二半导体层 454b 和第二源电极 473b 之间,以减小第二半导体层 454b 和第二源电极 473b 之间的接触电阻;两个第二欧姆接触层 463b 和 465b 中的第二个第二欧姆接触层 465b 设置在第二半导体层 454b 和第二漏电极 475b 之间,以减小第二半导体层 454b 和第二漏电极 475b 之间的接触电阻。两个第三欧姆接触层 463c 和 465c 中的第一个第三欧姆接触层 463c 设置在第三半导体层 454c 和第三源电极 473c 之间,以减小第三半导体层 454c 和第三源电极 473c 之间的接触电阻;两个第三欧姆接触层 463c 和 465c 中的第二个第三欧姆接触层 465c 设置在第三半导体层 454c 和第三漏电极 475c 之间,以减小第三半导体层 454c 和第三漏电极 475c 之间的接触电阻。两个第四欧姆接触层 463d 和 465d 中的第一个第四

欧姆接触层 463d 设置在第四半导体层 454d 和第四源电极 473d 之间,以减小第四半导体层 454d 和第四源电极 473d 之间的接触电阻;两个第四欧姆接触层 463d 和 465d 中的第二个第四欧姆接触层 465d 设置在第四半导体层 454d 和第四漏电极 475d 之间,以减小第四半导体层 454d 和第四漏电极 475d 之间的接触电阻。

[0169] 第一开关元件 Qa 电连接到第一数据线 471a。第三开关元件 Qc 电连接到第一功率线 431。第一开关元件 Qa 和第三开关元件 Qc 形成在第一像素 PX(n, n) 中。

[0170] 第二开关元件 Qb 电连接到第二数据线 471b。第四开关元件 Qd 电连接到第二功率线 435。第二开关元件 Qb 和第四开关元件 Qd 形成在第二像素 PX(n, n+1) 中。

[0171] 分别向第一数据线 471a 和第二数据线 471b 施加电平相反的电压。

[0172] 数据绝缘层 480 形成在栅极绝缘层 440 上,以覆盖第一数据线 471a、第二数据线 471b、第一源电极 473a、第二源电极 473b、第三源电极 473c、第四源电极 473d、第一漏电极 475a、第二漏电极 475b、第三漏电极 475c 和第四漏电极 475d。

[0173] 第一接触孔 485a 穿过数据绝缘层 480 形成在连接到第一漏电极 475a 的第一接触电极 477a 上。第二接触孔 485b 穿过数据绝缘层 480 形成在连接到第二漏电极 475b 的第二接触电极 477b 上。第三接触孔 485c 穿过数据绝缘层 480 形成在连接到第三漏电极 475c 的第三接触电极 477c 上。第四接触孔 485d 穿过数据绝缘层 480 形成在连接到第四漏电极 475d 的第一接触电极 477d 上。

[0174] 多个像素电极 491 形成在数据绝缘层 480 上。像素电极 491 包括第一像素电极 491a、第二像素电极 491b、第一共电极 491c 和第二共电极 491d。像素电极 491 可以包含透明导电材料、反射材料等。可以用于像素电极 491 的透明导电材料的示例可以包括氧化铟锡 (ITO)、氧化铟锌 (IZO)、碳纳米管 (CNT) 等。可以用于像素电极 491 的反射材料的示例可以包括铝、银、铬、它们的合金等。这些材料可以单独使用或以它们的组合形式使用。

[0175] 第一像素电极 491a、第二像素电极 491b、第一共电极 491c 和第二共电极 491d 形成在数据绝缘层 480 上。在另一实施例中,可以将透明金属层图案化,从而形成第一像素电极 491a、第二像素电极 491b、第一共电极 491c 和第二共电极 491d。

[0176] 第一像素电极 491a 与第一接触电极 477a 接触,第二像素电极 491b 与第二接触电极 477b 接触。第一共电极 491c 与第三接触电极 477c 接触,第二共电极 491d 与第二接触电极 477d 接触。

[0177] 例如,像素电极 491 可以具有矩形形状。第一像素电极、第二像素电极、第一共电极和第二共电极形成 V 形。

[0178] 第一像素电极 491a 和第二像素电极 491b 包括第一中心延伸件、第一主分支部件和第一分支部件。第一中心延伸件电连接到第一漏电极 475a 和第二漏电极 475b,从而沿纵向延伸。第一主分支部件沿水平方向与第一中心延伸件的中心交叉。第一分支部件的相对于第一中心延伸件的上部沿第一对角方向延伸,第一分支部件的相对于第一中心延伸件的下部沿第二对角方向延伸。第一对角方向可以相对于栅极线 421 形成大约 45 度或大约 225 度的角。第二对角方向可以相对于栅极线 421 形成大约 135 度或大约 315 度的角。

[0179] 第一中心延伸件的中心处的第一分支部件之间的距离大于第一中心延伸件的端部处的第一分支部件之间的距离。

[0180] 第一共电极 491c 和第二共电极 491d 包括第二中心延伸件、第二主分支部件和第

二分支部件。第二中心延伸件电连接到第三漏电极 475c 和第四漏电极 475d,从而沿纵向延伸。第二主分支部件沿水平方向与第二中心延伸件的中心交叉。第二分支部件的相对于第二中心延伸件的上部沿第一对角方向延伸,第二分支部件的相对于第二中心延伸件的下部沿第二对角方向延伸。第一对角方向可以相对于栅极线 421 形成大约 45 度或大约 225 度的角。第二对角方向可以相对于栅极线 421 形成大约 135 度或大约 315 度的角。

[0181] 与中心延伸件相邻的第一分支部件之间的距离大于从第一中心延伸件的两端延伸的第一分支部件之间的距离。与中心延伸件相邻的第二分支部件之间的距离小于从第二中心延伸件的两端延伸的第二分支部件之间的距离。

[0182] 即,第一像素  $PX(n, n)$  和第二像素  $PX(n, n+1)$  的每个像素中的第一分支部件和第二分支部件彼此交替,从而形成梳子形状。

[0183] 第一像素电极 491a 通过第一接触孔 485a 物理连接到且电连接到第一漏电极 475a,以从第一漏电极 475a 接收电压。第二像素电极 491b 通过第二接触孔 485b 物理连接到且电连接到第二漏电极 475b,以从第二漏电极 475b 接收电压。第一共电极 491c 通过第三接触孔 485c 物理连接到且电连接到第三漏电极 475c,以从第三漏电极 475c 接收电压。第二共电极 491d 通过第四接触孔 485d 物理连接到且电连接到第四漏电极 475d,以从第四漏电极 475d 接收电压。第一像素电极 491a、第二像素电极 491b、第一共电极 491c 和第二共电极 491d 与液晶层 300 形成液晶电容器  $C1c$ 。在本实施例中,虽然第一开关元件  $Qa$ 、第二开关元件  $Qb$ 、第三开关元件  $Qc$  和第四开关元件  $Qd$  截止,但是第一像素电极 191a 与第一共电极 191c 之间以及第二像素电极 191b 与第二共电极 191d 之间的电压差得以保持。

[0184] 第一像素电极 491a 和第一共电极 491c 与第一功率电极 433 部分地叠置,数据绝缘层 480 设置在第一像素电极 491a 和第一功率电极 433 之间以及第一共电极 491c 和第一功率电极 433 之间,从而形成第一存储电容器  $Csg$ 。第二像素电极 491b 和第二共电极 491d 与第二功率电极 437 部分地叠置,数据绝缘层 480 设置在第二像素电极 491b 和第二功率电极 437 之间以及第二共电极 491d 和第二功率电极 437 之间,从而形成第二存储电容器  $Csa$ 。第一存储电容器  $Csg$  和第二存储电容器  $Csa$  保持施加到液晶电容器  $C1c$  的电压差。

[0185] 例如,通过叠置第一像素电极 491a 和第一功率电极 433 且叠置第一共电极 491c 和第一功率电极 433 而形成的第一存储电容器  $Csg$  与通过叠置第二像素电极 491b 和第二功率电极 437 且叠置第二共电极 491d 和第二功率电极 437 而形成的第二存储电容器  $Csa$  具有基本上相同的电容。

[0186] 下取向层 41 形成在包括第一像素电极 491a、第二像素电极 491b、第一共电极 491c 和第二共电极 491d 的下底基底 410 上,以使液晶层 300 的液晶分子沿垂直方向取向。因此,液晶层 300 的液晶分子从阵列基底 100 朝向相对基底 200 取向。

[0187] 图 8 是示出图 5 中示出的 LCD 装置的等效电路图。

[0188] 参照图 5 至图 8, LCD 装置包括多条信号线  $Dj$ 、 $Dj+1$ 、 $Dj+2$ 、 $Gi$  和  $Gi+1$ 、地线 GND 和电源线 ADD。LCD 装置还可以包括电连接到信号线  $Dj$ 、 $Dj+1$ 、 $Dj+2$ 、 $Gi$  和  $Gi+1$ 、地线 GND 和电源线 ADD 的多个像素。像素以矩阵形状布置。

[0189] 在图 6 中, LCD 装置包括阵列基底 400、面向阵列基底 100 的相对基底 200 以及设置在阵列基底 400 和相对基底 200 之间的液晶层 300。

[0190] 信号线  $Dj$ 、 $Dj+1$ 、 $Dj+2$ 、 $Gi$  和  $Gi+1$  包括第一栅极线  $Gi$ 、第二栅极线  $Gi+1$ 、第一数

据线  $D_j$ 、第二数据线  $D_{j+1}$  和第三数据线  $D_{j+2}$ 。第一栅极线  $G_i$  和第二栅极线  $G_{i+1}$  传输栅极信号（扫描信号）。第一数据线  $D_j$ 、第二数据线  $D_{j+1}$  和第三数据线  $D_{j+2}$  传输数据电压。

[0191] 第一栅极线  $G_i$ 、第二栅极线  $G_{i+1}$ 、地线 GND 和电源线 ADD 沿列方向延伸，并彼此基本上平行。第一数据线  $D_j$ 、第二数据线  $D_{j+1}$  和第三数据线  $D_{j+2}$  沿行方向延伸，并彼此基本上平行。

[0192] 分别向第一数据线  $D_j$  和第二数据线  $D_{j+1}$  施加极性相反的电压。施加到第三数据线  $D_{j+2}$  的电压与施加到第一数据线  $D_j$  的电压基本上具有相同的极性。

[0193] 例如，图 8 中的第一数据线  $D_j$ 、第二数据线  $D_{j+1}$  和第三数据线  $D_{j+2}$  与图 5 中的形成在第一像素  $PX(n, n)$  和第二像素  $PX(n, n+1)$  中的第一数据线 471a、第二数据线 471b 和第三数据线 471c 对应。

[0194] 图 8 中的第一栅极线  $G_i$  对应于图 5 中的栅极线 421。

[0195] 图 8 中的地线 GND 和电源线 ADD 分别对应于图 5 中的第一功率线 431 和第二功率线 435。

[0196] 第一开关晶体管  $Q_a$  和第二开关晶体管  $Q_b$  分别电连接到第一数据线 471a 和第二数据线 471b。第三开关晶体管  $Q_c$  和第四开关晶体管  $Q_d$  分别电连接到第一功率线 431 和第二功率线 435。

[0197] 再参照图 8，第一数据线  $D_j$  和第二数据线  $D_{j+1}$  分别电连接到第一开关元件  $Q_a$  和第二开关元件  $Q_b$ 。地线 GND 和电源线 ADD 分别电连接到第三开关元件  $Q_c$  和第四开关元件  $Q_d$ 。

[0198] 可选地，第二数据线  $D_{j+1}$  和第三数据线  $D_{j+2}$  可以分别电连接到第五开关元件  $Q_e$  和第六开关元件  $Q_f$ 。另外，电源线 ADD 和地线 GND 可以电连接到第七开关元件  $Q_g$  和第八开关元件  $Q_h$ 。

[0199] 第三像素  $PX(n+1, n)$  和第四像素  $PX(n+1, n+1)$  可以设置在第一像素  $PX(n, n)$  和第二像素  $PX(n, n+1)$  的下一行上。

[0200] 第五开关元件  $Q_e$  和第七开关元件  $Q_g$  可以形成在第三像素  $PX(n+1, n)$  中。第六开关元件  $Q_f$  和第八开关元件  $Q_h$  可以形成在第四像素  $PX(n+1, n+1)$  中。

[0201] 第五开关元件  $Q_e$ 、第六开关元件  $Q_f$ 、第七开关元件  $Q_g$  和第八开关元件  $Q_h$  利用第二栅极线  $G_{i+1}$  来工作。

[0202] 向第一数据线  $D_j$  和第二数据线  $D_{j+1}$  施加极性相反的电压。向地线 GND 施加地电压，向电源线 ADD 施加预定的功率电压。

[0203] 因此，第一像素  $PX(n, n)$ 、第二像素  $PX(n, n+1)$ 、第三像素  $PX(n+1, n)$  和第四像素  $PX(n+1, n+1)$  中的相邻的像素接收极性相反的不同电压。

[0204] 再次参照图 5 和图 8，地线 GND 和电源线 ADD 与电连接到第一开关元件  $Q_a$ 、第二开关元件  $Q_b$ 、第三开关元件  $Q_c$ 、第四开关元件  $Q_d$ 、第五开关元件  $Q_e$ 、第六开关元件  $Q_f$ 、第七开关元件  $Q_g$  和第八开关元件  $Q_h$  的像素电极叠置，从而形成第一存储电容器  $C_{sg}$  和第二存储电容器  $C_{sa}$ 。

[0205] 第一像素  $PX(n, n)$ 、第二像素  $PX(n, n+1)$ 、第三像素  $PX(n+1, n)$  和第四  $PX(n+1, n+1)$  中的液晶层 300 用作液晶电容器  $C_{lc}$  的介电材料。液晶电容器  $C_{lc}$  由像素电极和液晶层 300 形成。

[0206] 液晶层 300 具有介电各向异性。当不向液晶层 300 施加电场时,液晶层 300 的液晶分子在阵列基底 400 和相对基底 200 之间垂直取向。

[0207] 在下文中,将参照图 5 至图 8 解释制造阵列基底的方法。

[0208] 使栅极线 421、第一功率线 431 和第二功率线 435 基本上彼此平行。

[0209] 第一栅电极 424a 和第三栅电极 424c 对应于第一像素  $PX(n, n)$ 。第二栅电极 424b 和第四栅电极 424d 对应于第二像素  $PX(n, n+1)$ 。第一功率电极 433 对应于第一像素  $PX(n, n)$ 。第二功率电极 437 对应于第二像素  $PX(n, n+1)$ 。

[0210] 然后,在下底基底 410 上形成栅极绝缘层 440。

[0211] 形成包括第一数据线 471a、第二数据线 471b、第三数据线 471c、第一漏电极 475a、第二漏电极 475b、第三漏电极 475c、第四漏电极 475d、第一源电极 473a、第二源电极 473b、第三源电极 473c 和第四源电极 473d 的数据金属层。

[0212] 第一数据线 471a、第二数据线 471b 和第三数据线 471c 基本上彼此平行。

[0213] 然后,形成数据绝缘层 480。

[0214] 然后,在具有数据绝缘层 480 的下底基底 410 上形成第一像素电极 491a 和第二像素电极 491b 以及第一共电极 491c 和第二共电极 491d。第一像素电极 491a 和第一共电极 491c 与第一功率电极 433 部分地叠置,并且在第一像素电极 491a 和第一功率电极 433 之间以及在第一共电极 491c 和第一功率电极 433 之间设置数据绝缘层 480,从而形成第一存储电容器  $C_{sg}$ 。第二像素电极 491b 和第二共电极 491d 与第二功率电极 437 部分地叠置,并且在第二像素电极 491b 和第二功率电极 437 之间以及在第二共电极 491d 和第二功率电极 437 之间设置数据绝缘层 480,从而形成第二存储电容器  $C_{sa}$ 。

[0215] 然后,形成下取向层 141。

[0216] 向第一像素  $PX(n, n)$ 、第二像素  $PX(n, n+1)$ 、第三像素  $PX(n+1, n)$  和第四像素  $PX(n+1, n+1)$  交替地施加极性相反的不同电压,使得在每一帧在 LCD 装置中执行点反转。

[0217] 可选地,当以逐行连接的方式电连接地线 GND 或电源线 ADD 时,向沿第一栅极线  $G_i$  设置的像素施加基本上具有相同极性的电压,使得可以在每一帧中执行行反转。例如,行反转可以是水平行反转。

[0218] 改变施加到信号线  $D_j$ 、 $D_{j+1}$ 、 $D_{j+2}$ 、 $G_i$  和  $G_{i+1}$  中的数据线的电压的电平,使得可以执行点反转或行反转。

[0219] 根据本实施例,第一功率线 431 和第二功率线 435 与像素电极叠置,从而形成存储电容器,因此提高像素的开口率。

[0220] 图 9 是示出根据本发明又一实施例的 LCD 装置的平面图。

[0221] 除了阵列基底 500 之外,图 9 中的 LCD 装置与图 5 至图 7 中的 LCD 装置相同。因此,相同的标号将用于表示与图 5 至图 7 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0222] 参照图 6 至图 9, LCD 装置包括阵列基底 500、相对基底 200 和液晶层 300。

[0223] 除了第一像素电极 591a、第二像素电极 591b、第一共电极 591c 和第二共电极 591d 之外,图 9 中的阵列基底 500 与图 5 中的阵列基底 400 相同。因此,相同的标号将用于表示与图 5 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。在图 9 中,示出了 LCD 装置的第一像素  $PX(n, n)$  和第二像素  $PX(n, n+1)$ 。

[0224] 阵列基底 500 包括下底基底 410。像素区域限定在下底基底 410 中。

[0225] 下底基底 410 具有板状。可以用于下底基底 410 的透明材料可以包括玻璃、石英、合成树脂等。这些材料可以单独使用或者以它们的组合形式使用。

[0226] 数据绝缘层 480 形成在下底基底 410 上。多个像素电极 591 形成在数据绝缘层 480 上。像素电极 591 包括第一像素电极 591a、第二像素电极 591b、第一共电极 591c 和第二共电极 591d。像素电极 591 可以包含透明导电材料、反射材料等。可以用于像素电极 591 的透明导电材料的示例可以包括氧化铟锡 (ITO)、氧化铟锌 (IZO)、碳纳米管 (CNT) 等。可以用于像素电极 591 的反射材料的示例可以包括铝、银、铬、它们的合金等。这些材料可以单独使用或以它们的组合形式使用。

[0227] 第一像素电极 591a 和第二像素电极 591b 以及第一共电极 591c 和第二共电极 591d 形成在数据绝缘层 480 上。在另一实施例中,可以将透明金属层图案化,从而形成第一像素电极 591a 和第二像素电极 591b 以及第一共电极 591c 和第二共电极 591d。

[0228] 像素电极 591 可以具有四边形形状。

[0229] 第一像素电极 591a 电连接到第一漏电极 475a,第二像素电极 591b 电连接到第二漏电极 475b。第一像素电极 591a 和第二像素电极 591b 包括多个第一弯曲分支,所述多个第一弯曲分支沿纵向延伸,并且向左且向右弯曲,从而具有不等号的形状。

[0230] 第一像素电极 591a 和第二像素电极 591b 中的每个电极的下部和上部沿第一对角方向延伸,第一像素电极 591a 和第二像素电极 591b 中的每个电极的中部沿第二对角方向延伸。第一弯曲分支围绕第一像素  $PX(n, n)$  和第二像素  $PX(n, n+1)$ 。第一弯曲分支中的每个分支的下部和上部沿第一对角方向延伸,第一弯曲分支中的每个分支的中部沿第二对角方向延伸。

[0231] 第一对角方向可以相对于栅极线 421 形成大约 45 度或大约 225 度的角。第二对角方向可以相对于栅极线 421 形成大约 135 度或大约 315 度的角。

[0232] 第一共电极 591c 电连接到第三漏电极 475c,第二共电极 591d 电连接到第二漏电极 475d。第一共电极 591c 和第二共电极 591d 包括多个第二弯曲分支,所述多个第二弯曲分支沿纵向延伸,并且向左且向右弯曲,从而具有不等号的形状。

[0233] 第一共电极 591c 和第二共电极 591d 中的每个电极的下部和上部沿第一对角方向延伸,第一共电极 591c 和第二共电极 591d 中的每个电极的中部沿第二对角方向延伸。第二弯曲分支中的每个分支的下部和上部沿第一对角方向延伸,第二弯曲分支中的每个分支的中部沿第二对角方向延伸。

[0234] 第一对角方向可以相对于栅极线 421 形成大约 45 度或大约 225 度的角。第二对角方向可以相对于栅极线 421 形成大约 135 度或大约 315 度的角。

[0235] 第一共电极 591c 和第二共电极 591d 的第二弯曲分支的中部在第一区域 A1 中与第二数据线 571b 和第三数据线 571c 叠置。

[0236] 第一共电极 591c 和第二共电极 591d 的第二弯曲分支的下部和上部在第二区域 A2 中与第一数据线 571a 和第二数据线 571b 叠置。例如,第一区域 A1 位于第一像素  $PX(n, n)$  和第二像素  $PX(n, n+1)$  的中部,而第二区域 A2 位于第一像素  $PX(n, n)$  和第二像素  $PX(n, n+1)$  的上部和下部。

[0237] 例如,第二弯曲分支可以在第一像素  $PX(n, n)$  中与第一数据线 571a 和第二数据线

571b 的大约一半叠置,并且可以在第二像素 PX(n, n+1) 中与第二数据线 571b 和第三数据线 571c 的大约一半叠置。

[0238] 向相邻的数据线施加极性相反的电压,从而可以防止数据线导致的寄生电容。因此,施加到数据线的电压具有恒定的电平。

[0239] 即,第一像素 PX(n, n) 和第二像素 PX(n, n+1) 中的每个像素的第一弯曲分支和第二弯曲分支彼此交替,从而形成梳子形状。

[0240] 第一像素 PX(n, n) 和第二像素 PX(n, n+1) 的外围区域中的第一弯曲分支和第二弯曲分支之间的距离大于第一像素 PX(n, n) 和第二像素 PX(n, n+1) 的中心区域中的第一弯曲分支和第二弯曲分支之间的距离。

[0241] 第一像素电极 591a 通过第一接触孔 485a 物理连接到且电连接到第一漏电极 475a,以从第一漏电极 475a 接收电压。第二像素电极 591b 通过第二接触孔 485b 物理连接到且电连接到第二漏电极 475b,以从第二漏电极 475b 接收电压。第一共电极 591c 通过第三接触孔 485c 物理连接到且电连接到第三漏电极 475c,以从第三漏电极 475c 接收电压。第二共电极 591d 通过第四接触孔 485d 物理连接到且电连接到第四漏电极 475d,以从第四漏电极 475d 接收电压。第一像素电极 591a、第二像素电极 591b、第一共电极 591c 和第二共电极 591d 与液晶层 300 形成液晶电容器 C1c。在本实施例中,虽然第一开关元件 Qa、第二开关元件 Qb、第三开关元件 Qc 和第四开关元件 Qd 截止,但第一像素电极 591a 与第一共电极 591c 之间以及第二像素电极 591b 与第二共电极 591d 之间的电压差得以保持。

[0242] 图 9 中示出的 LCD 装置的等效电路图与图 8 的等效电路图相同。因此,相同的标号将用于表示与图 8 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0243] 图 9 的 LCD 装置的制造方法与图 1 至图 4 的 LCD 装置的制造方法相同。因此,相同的标号将用于表示与图 1 至图 4 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0244] 根据本实施例,相邻的数据线接收极性不同的电压,从而可以去除相邻的数据线之间的寄生电容。因此,可以向数据线施加具有恒定电平的电压。

[0245] 图 10 是示出根据本发明再一实施例的 LCD 装置的平面图。

[0246] 除了阵列基底 600 之外,图 10 的 LCD 装置与图 1 至图 4 的 LCD 装置相同。因此,相同的标号将用于表示与图 1 至图 4 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0247] 参照图 6 和图 10, LCD 装置包括阵列基底 600、相对基底 200 和液晶层 300。

[0248] 阵列基底 600 包括下底基底 610。像素区域限定在下底基底 610 中。

[0249] 下底基底 610 具有板状。可以用于下底基底 610 的透明材料可以包括玻璃、石英、合成树脂等。

[0250] 栅极金属层形成在下底基底 610 上。栅极金属层可以包括栅极线 621 和存储线 631。

[0251] 栅极线 621 沿水平方向延伸,以传输栅极信号。每条栅极线 621 包括第一栅电极 624a 和第二栅电极 624b。

[0252] 存储线 631 接收诸如共电压之类的电压,并沿水平方向延伸。每条存储线 631 设

置在两条相邻的栅极线 621 之间,并与该两条相邻的栅极线 621 中的下面的一条相邻。存储线 631 包括存储电极 633。存储电极 633 基本上具有矩形形状,存储电极 633 的两个下方的角被倒角。可选地,存储电极 633 可以具有各种形状和布置。

[0253] 栅极绝缘层 640 形成在下底基底 610 上,以覆盖栅极线 621、第一栅电极 624a、第二栅电极 624b、存储线 631 和存储电极 633。

[0254] 第一半导体层 654a 和第二半导体层 654b 形成在栅极绝缘层 640 上。第一半导体层 654a 和第二半导体层 654b 可以包含氢化非晶硅、多晶硅等。第一半导体层 654a 和第二半导体层 654b 分别形成在第一栅电极 624a 和第二栅电极 624b 上。

[0255] 两个第一欧姆接触层 663a 和 665a 形成在第一半导体层 654a 上。两个第二欧姆接触层 663b 和 665b 形成在第二半导体层 654b 上。第一欧姆接触层 663a、665a 和第二欧姆接触层 663b、665b 可以包含 n 型杂质以高浓度注入的 n+ 氢化非晶硅、硅化物等。

[0256] 包括第一数据线 671a、第二数据线 671b、第一漏电极 675a 和第二漏电极 675b 的数据金属层形成在欧姆接触层 663a 和 665a 以及栅极绝缘层 640 上。

[0257] 第一数据线 671a 和第二数据线 671b 传输数据信号,并沿纵向延伸,并且与栅极线 621 和存储线 631 交叉。

[0258] 第一数据线 671a 包括朝向第一栅电极 624a 弯曲的第一源电极 673a。第二数据线 671b 包括朝向第二栅电极 624b 弯曲的第二源电极 673b。

[0259] 第一漏电极 675a 和第二漏电极 675b 中的每个电极的杆状的端部面向第一源电极 673a 和第二源电极 673b 中的每个,并且被第一源电极 673a 和第二源电极 673b 中的每个包围。

[0260] 连接到第一漏电极 675a 的第一接触电极 677a 与存储电极 633 的左半部叠置,连接到第二漏电极 675b 的第二接触电极 677b 与存储电极 633 的右半部叠置。

[0261] 第一栅电极 624a、第一源电极 673a、第一漏电极 675a 和第一半导体层 654a 形成第一开关元件 Qa。第二栅电极 624b、第二源电极 673b、第二漏电极 675b 和第二半导体层 654b 形成第二开关元件 Qb。

[0262] 第一开关元件 Qa 的沟道形成在第一源电极 673a 和第一漏电极 675a 之间的第一半导体层 654a 中。第二开关元件 Qb 的沟道形成在第二源电极 673b 和第二漏电极 675b 之间的第二半导体层 654b 中。

[0263] 两个第一欧姆接触层 663a 和 665a 中的第一个第一欧姆接触层 663a 设置在第一半导体层 654a 和第一源电极 673a 之间,以减小第一半导体层 654a 和第一源电极 673a 之间的接触电阻;两个第一欧姆接触层 663a 和 665a 中的第二个第一欧姆接触层 665a 设置在第一半导体层 654a 和第一漏电极 675a 之间,以减小第一半导体层 654a 和第一漏电极 675a 之间的接触电阻。两个第二欧姆接触层 663b 和 665b 中的第一个第二欧姆接触层 663b 设置在第二半导体层 654b 和第二源电极 673b 之间,以减小第二半导体层 654b 和第二源电极 673b 之间的接触电阻;两个第二欧姆接触层 663b 和 665b 中的第二个第二欧姆接触层 665b 设置在第二半导体层 654b 和第二漏电极 675b 之间,以减小第二半导体层 654b 和第二漏电极 675b 之间的接触电阻。

[0264] 数据绝缘层 680 形成在栅极绝缘层 640 上,以覆盖第一数据线 671a、第二数据线 671b、第一源电极 673a、第二源电极 673b、第一漏电极 675a 和第二漏电极 675b。

[0265] 第一接触孔 685a 穿过数据绝缘层 680 形成在第一接触电极 677a 上。第二接触孔 685b 穿过数据绝缘层 680 形成在第二接触电极 677b 上。

[0266] 像素电极 691a 和共电极 691b 形成在数据绝缘层 680 上。像素电极 691a 和共电极 691b 可以包含透明导电材料、反射材料等。可以用于像素电极 691a 和共电极 691b 的透明导电材料的示例可以包括氧化铟锡 (ITO)、氧化铟锌 (IZO)、碳纳米管 (CNT) 等。可以用于像素电极 691a 和共电极 691b 的反射材料的示例可以包括铝、银、铬、它们的合金等。这些材料可以单独使用或者以它们的组合形式使用。

[0267] 像素电极 691a 和共电极 691b 形成在数据绝缘层 680 上。可选地,可以将透明金属层图案化,以形成像素电极 691a 和共电极 691b。

[0268] 像素电极 691a 与第一接触电极 677a 接触。

[0269] 共电极 691b 与第二接触电极 677b 接触。

[0270] 由像素电极 691a 和共电极 691b 形成的轮廓可以具有四边形形状。

[0271] 像素电极 691a 包括电连接到第一漏电极 675a 且沿纵向延伸的第一中心延伸件。

[0272] 共电极 691b 包括电连接到第二漏电极 675b 且沿纵向延伸的第二中心延伸件。第二中心延伸件围绕像素区域 PX。另外,第二中心延伸件可以与第一数据线 671a 和第二数据线 671b 叠置。

[0273] 向第一数据线 671a 和第二数据线 671b 施加极性相反的不同电压,从而可以去除由第一数据线 671a 和第二数据线 671b 导致的寄生电容。

[0274] 例如,像素电极 691a 包括从像素区域 PX 的下部朝向像素区域 PX 的上部延伸的多个第一分支部件。共电极 691b 包括从像素区域 PX 的上部朝向像素区域 PX 的下部延伸的多个第二分支部件。因此,像素电极 691a 的第一分支部件和共电极 691b 的第二分支部件彼此交替,从而形成梳子形状。

[0275] 像素电极 691a 通过第一接触孔 685a 物理连接到且电连接到第一漏电极 675a,以从第一漏电极 675a 接收数据电压。共电极 691b 通过第二接触孔 685b 物理连接到且电连接到第二漏电极 675b,以从第二漏电极 675b 接收数据电压。像素电极 691a、共电极 691b 和液晶层 300 形成液晶电容器 C1c。在本实施例中,虽然第一和第二开关元件截止,但像素电极 691a 和共电极 691b 之间的电压差保持一帧。

[0276] 第一漏电极 675a 的电连接到像素电极 691a 的第一接触电极 677a 与存储电极 633 叠置,其中,将栅极绝缘层 640 设置在第一接触电极 677a 和存储电极 633 之间,从而形成第一存储电容器 Csta。第二漏电极 675b 的电连接到共电极 691b 的第二接触电极 677b 与存储电极 633 叠置,其中,将栅极绝缘层 640 设置在第二接触电极 677b 和存储电极 633 之间,从而形成第二存储电容器 Cstb。第一存储电容器 Csta 和第二存储电容器 Cstb 保持液晶电容器 C1c 的电压差。

[0277] 下取向层 61 形成在包括像素电极 691a 和共电极 691b 的下底基底 610 上,以使液晶层 300 的液晶分子沿垂直方向取向。因此,液晶层 300 的液晶分子从阵列基底 600 朝向相对基底 200 取向。

[0278] 图 11 是示出在图 10 中示出的 LCD 装置的等效电路图。

[0279] 参照图 10 和图 11,LCD 装置包括电连接到多条信号线 Dj、Dj+1 和 Gi 的多个像素。

[0280] 在图 10 中,LCD 装置包括阵列基底 600、面向阵列基底 600 的相对基底 200 以及设

置在阵列基底 600 和相对基底 200 之间的液晶层 300。

[0281] 信号线 Dj、Dj+1 和 Gi 包括栅极线 Gi、第一数据线 Dj 和第二数据线 Dj+1。栅极线 Gi 传输栅极信号（扫描信号）。第一数据线 Dj 和第二数据线 Dj+1 传输数据电压。多条栅极线 Gi 沿列方向延伸，并且基本上彼此平行。第一数据线 Dj 和第二数据线 Dj+1 沿行方向延伸，并且基本上彼此平行。

[0282] 向第一数据线 Dj 和第二数据线 Dj+1 施加极性相反的电压。

[0283] 例如，图 11 中的第一数据线 Dj 和第二数据线 Dj+1 对应于图 10 中的在像素区域 PX 中形成的第一数据线 671a 和第二数据线 671b。图 11 中的栅极线 Gi 对应于图 10 中的栅极线 621。第一开关元件 Qa 和第二开关元件 Qb 分别电连接到第一数据线 671a 和第二数据线 671b。

[0284] 再参照图 11，第一数据线 Dj 和第二数据线 Dj+1 分别电连接到第一开关元件 Qa 和第二开关元件 Qb。

[0285] 再参照图 10 和图 11，存储线 631 与电连接到第一开关元件 Qa 和第二开关元件 Qb 的像素电极叠置，从而形成第一存储电容器 Cst1 和第二存储电容器 Cst2。

[0286] 像素区域 PX 中的液晶层 300 用作液晶电容器 Clc 的介电材料。液晶电容器 Clc 由像素电极、共电极和液晶层 300 形成。

[0287] 液晶层 300 具有介电各向异性。当不向液晶层 300 施加电场时，液晶层 300 的液晶分子在阵列基底 600 和相对基底 200 之间垂直取向。

[0288] 在下文中，将参照图 10 和图 11 解释制造阵列基底的方法。

[0289] 在下底基底 610 上形成基本上彼此平行的栅极线 621 和存储线 631。

[0290] 形成第一栅电极 624a、第二栅电极 624b 和存储电极 633。

[0291] 然后，在下底基底 610 上形成栅极绝缘层 640。

[0292] 然后，形成包括第一数据线 671a 和第二数据线 671b、第一漏电极 675a、第二漏电极 675b、第一源电极 673a 和第二源电极 673b 的数据金属层。

[0293] 第一数据线 671a 和第二数据线 671b 基本上彼此平行。

[0294] 然后，形成数据绝缘层 680。

[0295] 然后，形成像素电极 691a 和共电极 691b。共电极 691b 与第一数据线 671a 和第二数据线 671b 叠置。

[0296] 然后，形成下取向层 61。

[0297] 向信号线 Dj、Dj+1 和 Gi 交替地施加极性相反的不同电压，从而在每一帧在 LCD 装置中执行行反转。

[0298] 根据本实施例，向第一数据线 671a 和第二数据线 671b 施加极性不同的电压，从而防止由第一数据线 671a 和第二数据线 671b 导致的寄生电容。因此，施加到数据线的电压保持恒定的电平。

[0299] 图 12 是示出根据本发明再一实施例的 LCD 装置的平面图。

[0300] 除了阵列基底 700 之外，图 12 中的 LCD 装置与图 1 至图 4 中的 LCD 装置相同。因此，相同的标号将用于表示与图 1 至图 4 中描述的部件相同或相似的部件，并将略去与以上元件有关的任何进一步解释。

[0301] 另外，除了像素电极 791a 和共电极 791b 之外，图 12 中的阵列基底 700 与图 10 中

的阵列基底相同。因此,相同的标号将用于表示与图 10 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0302] 数据绝缘层 680 形成在下底基底 610 上。像素电极 791a 和共电极 791b 形成在数据绝缘层 680 上。像素电极 791a 和共电极 791b 可以包含透明导电材料、反射材料等。可以用于像素电极 791a 和共电极 791b 的透明导电材料的示例可以包括氧化铟锡 (ITO)、氧化铟锌 (IZO)、碳纳米管 (CNT) 等。可以用于像素电极 791a 和共电极 791b 的反射材料的示例可以包括铝、银、铬、它们的合金等。这些材料可以单独使用或者以它们的组合形式使用。

[0303] 像素电极 791a 和共电极 791b 形成在数据绝缘层 780 上。在另一实施例中,可以将透明金属层图案化,从而形成像素电极 791a 和共电极 791b。

[0304] 像素电极 791a 与第一接触电极 677a 接触。

[0305] 共电极 791b 与第二接触电极 677b 接触。

[0306] 由像素电极 791a 和共电极 791b 形成的轮廓可以具有四边形形状。

[0307] 像素电极 791a 包括第一中心延伸件、第一主分支部件和第一分支部件。第一中心延伸件电连接到第一漏电极 675a,并沿纵向延伸。第一主分支部件沿水平方向与第一中心延伸件的中心交叉。第一分支部件的上部沿第一对角方向延伸,第一分支部件的下部沿第二对角方向延伸。第一对角方向相对于栅极线 621 形成大约 45 度或大约 225 度的角,第二对角方向相对于栅极线 621 形成大约 135 度或大约 315 度的角。

[0308] 共电极 791b 包括第二中心延伸件、第二主分支部件和第二分支部件。第二中心延伸件电连接到第二漏电极 675b,并沿纵向延伸。第二主分支部件沿水平方向与第二中心延伸件的中心交叉。第二分支部件的上部沿第一对角方向延伸,第二分支部件的下部沿第二对角方向延伸。第一对角方向相对于栅极线 621 形成大约 45 度或大约 225 度的角,第二对角方向相对于栅极线 621 形成大约 135 度或大约 315 度的角。

[0309] 第二分支部件可以围绕像素区域,并可以与第一数据线 671a 和第二数据线 671b 叠置。

[0310] 因此,像素电极 791a 的第一分支部件和共电极 791b 的第二分支部件彼此交替,从而形成梳子形状。

[0311] 在图 12 中示出的 LCD 装置的等效电路图与图 11 的等效电路图相同。因此,相同的标号将用于表示与图 11 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0312] 图 12 的 LCD 装置的制造方法与图 10 和图 11 的制造方法相同。因此,相同的标号将用于表示与图 10 和图 11 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0313] 根据本实施例,像素区域中的像素电极 791a 和共电极 791b 沿各个方向延伸,使得液晶层 300 的液晶分子可以沿各个方向取向。

[0314] 图 13 是示出根据本发明再一实施例的 LCD 装置的像素的等效电路图。

[0315] 图 13 的 LCD 装置包括代替地线 GND 和电源线 ADD 的第一摆动电压线  $V_{sw1}$  和第二摆动电压线  $V_{sw2}$ ,并且第三存储电容器  $C_{st}$  代替第一存储电容器  $C_{sa}$  和第二存储电容器  $C_{sg}$  而连接到第一共电极 471c,除了这些之外,图 13 的 LCD 装置与图 8 中的 LCD 装置相同。因此,相同的标号将用于表示与图 8 中描述的部件相同或相似的部件,并将略去与以上元

件有关的任何进一步解释。

[0316] 例如,分别施加到地线 GND 和电源线 ADD 的恒定地电压和恒定功率电压分别用施加到第一摆动电压线 Vsw1 和第二摆动电压线 Vsw2 的电压代替。施加到第一摆动电压线 Vsw1 和第二摆动电压线 Vsw2 的电压逐帧摆动地电压和功率电压。在这种情况下,施加到第一摆动电压线 Vsw1 的电压可与施加到第二摆动电压线 Vsw2 的电压具有相反的极性。

[0317] 如图 13 中所示,示出了第一像素 PX(n, n) 和第二像素 PX(n, n+1)。

[0318] 除了第一共电极 491c 和第二共电极 491d 不与第一功率电极 433 叠置而与第二功率电极 437 叠置之外,示出图 13 的 LCD 装置的平面图和剖视图与示出图 5 至图 7 的 LCD 装置的平面图和剖视图相同。因此,相同的标号将用于表示与图 5 至图 7 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0319] 在第一像素 PX(n, n) 中,可以利用第三开关元件 Qc 将施加到第一摆动电压线 Vsw1 的地电压或功率电压释放到第一共电极 491c。第二摆动电压线 Vsw2 的第二功率电极 437 与第一共电极 491c 可以彼此叠置,以形成第三存储电容器 Cst。

[0320] 在这种情况下,第三存储电容器 Cst 的尺寸与第一存储电容器 Csa 和第二存储电容器 Csg 的尺寸之和基本上相同。

[0321] 在第二像素 PX(n, n+1) 中,可以利用第四开关元件 Qd 将施加到第二摆动电压线 Vsw2 的地电压或功率电压释放到第二共电极 491d。第一摆动电压线 Vsw1 的第一功率电极 433 与第二共电极 491d 可以彼此叠置,以形成第三存储电容器 Cst。

[0322] 图 14 是施加到图 13 的第一栅极线、第一摆动电压线 and 第二摆动电压线的电压的波形图。

[0323] 参照图 13 和图 14,当向第一摆动电压线 Vsw1 施加地电压时,向第二摆动电压线 Vsw2 施加功率电压。可选地,当向第一摆动电压线 Vsw1 施加功率电压时,可以向第二摆动电压线 Vsw2 施加地电压。

[0324] 在这种情况下,施加到第一摆动电压线 Vsw1 和第二摆动电压线 Vsw2 的电压与第一栅极线 Ci 的电压不同步,并在第一栅极线 Gi 摆动之前摆动。

[0325] 在图 5 和图 13 的 LCD 装置中,第一像素电极 491a 和第二像素电极 491b 分别与第一功率电极 433 和第二功率电极 437 叠置,以形成第一存储电容器 Csg 和第二存储电容器 Csa。

[0326] 在图 5 的 LCD 装置中,第一共电极 491c 与第一功率电极 433 和第二功率电极 437 叠置,第二共电极 491d 与第一功率电极 433 和第二功率电极 437 叠置。然而,在图 13 的 LCD 装置中,第一共电极 491c 与第二功率电极 437 叠置,第二共电极 491d 与第一功率电极 433 叠置。

[0327] 根据本示例实施例,第三存储电容器 Cst 的尺寸与第一存储电容器 Csa 和第二存储电容器 Csg 的尺寸之和基本上相同,从而可以减小在存储电容器之间由于尺寸不等而导致的反冲电压之间的偏差。

[0328] 另外,利用第一摆动电压线 Vsw1 和第二摆动电压线 Vsw2 形成第一存储电容器 Csa、第二存储电容器 Csg 和第三存储电容器 Cst,从而可以提高开口率。

[0329] 图 15 是示出根据本发明再一实施例的 LCD 装置的像素的等效电路图。

[0330] 图 15 的 LCD 装置包括代替第一存储电容器 Csa 和第二存储电容器 Csg 的第一存

储电容器 Cst1 和代替第三存储电容器 Cst 的第二存储电容器 Cst2,除了这些之外,图 15 的 LCD 装置与图 13 中的 LCD 装置相同。因此,相同的标号将用于表示与图 13 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0331] 第一像素电极 491a 和第一共电极 491b 与第二功率电极 437 叠置,第二像素电极 491b 和第二共电极 491d 与第一功率电极 433 叠置,除了这些之外,示出图 15 的 LCD 装置的平面图和剖视图与示出图 5 至图 7 的 LCD 装置的平面图和剖视图相同。因此,相同的标号将用于表示与图 5 至图 7 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0332] 参照图 5 至图 7 和图 13 至图 15,第一功率线 431 对应于第一摆动电压线 Vsw1,第二功率线 435 对应于第二摆动电压线 Vsw2。

[0333] 在第一像素 PX(n, n) 中,可以通过第一开关元件 Qa 将从第一数据线 Dj 施加的数据电压释放到第一像素电极,第二摆动电压线 Vsw2 的第二功率电极 437 与第一像素电极 491a 可以彼此叠置,以形成第一存储电容器 Cst1。

[0334] 在第一像素 PX(n, n) 中,可以通过第三开关元件 Qc 将从第一摆动电压线 Vsw1 施加的地电压或功率电压释放到第一共电极 491c,第二摆动电压线 Vsw2 的第二功率电极 437 与第一共电极 491c 可以彼此叠置,以形成第二存储电容器 Cst2。

[0335] 在第二像素 PX(n, n+1) 中,可以通过第二开关元件 Qb 将从第二数据线 Dj+1 施加的数据电压释放到第二像素电极 491b,第一摆动电压线 Vsw1 的第一功率电极 433 与第二像素电极 491b 可以彼此叠置,以形成第一存储电容器 Cst1。

[0336] 在第二像素 PX(n, n+1) 中,可以通过第四开关元件 Qd 将从第二摆动电压线 Vsw2 施加的地电压或功率电压释放到第二共电极 491d,第一摆动电压线 Vsw1 的第一功率电极 433 与第二共电极 491d 可以彼此叠置,以形成第二存储电容器 Cst2。

[0337] 在这种情况下,第一存储电容器 Cst1 的尺寸可以与第二存储电容器 Cst2 的尺寸基本上相同。

[0338] 在示例实施例中,示出了由设置在第一像素 PX(n, n) 和第二像素 PX(n, n+1) 上方的第一摆动电压线 Vsw1 和第二摆动电压线 Vsw2 分别形成的第一存储电容器 Cst1 和第二存储电容器 Cst2。可选地,第一存储电容器 Cst1 和第二存储电容器 Cst2 可以通过设置在第一像素 PX(n, n) 和第二像素 PX(n, n+1) 下方的第一摆动电压线 Vsw1 和第二摆动电压线 Vsw2 来形成。

[0339] 在图 5 的 LCD 装置中,第一像素电极 491a 和第二像素电极 491b 与第一功率电极 433 叠置,第一共电极 491c 和第二共电极 491d 与第二功率电极 437 叠置。然而,在图 15 的 LCD 装置中,第一像素电极 491a 和第二像素电极 491b 中的每个与第一功率电极 433 和第二功率电极 437 中的一个叠置,第一共电极 491c 和第二共电极 491d 中的每个与第一功率电极 433 和第二功率电极 437 中的一个叠置。

[0340] 因此,将第二存储电容器 Cst2 的尺寸调整为第一存储电容器 Cst1 的尺寸,从而可以减小在存储电容器之间由于尺寸不等而导致的反冲电压之间的偏差。

[0341] 另外,相邻像素的彼此相邻的第三开关元件 Qc 交替地连接到第一摆动电压线 Vsw1 和第二摆动电压线 Vsw2,每个像素的第一存储电容器 Cst1 和第二存储电容器 Cst2 连接到摆动电压线,该摆动电压线与连接到第三开关元件 Qc 的摆动电压线相对。因此,可以

执行点反转。

[0342] 图 16 是示出根据本发明再一实施例的 LCD 装置的像素的等效电路图。

[0343] 图 16 的 LCD 装置包括代替第一存储电容器 Cst1 的存储电容器 Cst, 而不包括第二存储电容器 Cst2, 除了这些之外, 图 16 的 LCD 装置与图 15 中的 LCD 装置相同。因此, 相同的标号将用于表示与图 15 中描述的部件相同或相似的部件, 并将略去与以上元件有关的任何进一步解释。

[0344] 图 16 的 LCD 装置不包括第三开关元件 Qc 和第四开关元件 Qd, 第一共电极 491c 和第二共电极 491d 分别从第一摆动电压线 Vsw1 和第二摆动电压线 Vsw2 接收电压, 第一像素电极 491a 和第二像素电极 491b 与第二功率电极 437 或第一功率电极 433 叠置, 除了这些之外, 示出图 16 的 LCD 装置的平面图和剖视图与示出图 5 的 LCD 装置的平面图和剖视图相同。因此, 相同的标号将用于表示与图 5 至图 7 中描述的部件相同或相似的部件, 并将略去与以上元件有关的任何进一步解释。

[0345] 参照图 5 至图 7、图 15 和图 16, 在第一像素 PX(n, n) 中, 可以通过第一开关元件 Qa 将从第一数据线 Dj 施加的数据电压释放到第一像素电极 491a, 第一摆动电压线 Vsw1 的电压直接施加到第一共电极 491c。因此, 可以在第一像素电极 491a 和第一共电极 491c 之间形成液晶电容器。

[0346] 第二摆动电压线 Vsw2 的第二功率电极 437 与第一像素电极 491a 可以彼此叠置, 从而形成存储电容器 Cst。

[0347] 在第二像素 PX(n, n+1) 中, 可以通过第二开关元件 Qb 将从第二数据线 Dj+1 的数据电压释放到第二像素电极 491a, 第二摆动电压线 Vsw2 的电压直接施加到第二共电极 491d。因此, 可以在第二像素电极 491b 和第二共电极 491d 之间形成液晶电容器。

[0348] 第一摆动电压线 Vsw1 的第一功率电极 433 与第二像素电极 491b 可以彼此叠置, 从而形成存储电容器 Cst。

[0349] 在图 5 的 LCD 装置中, 第一像素电极 491a 和第二像素电极 491b 中的每个与第一功率电极 433 叠置, 第一共电极 491c 和第二共电极 491d 中的每个与第二功率电极 437 叠置。然而, 在图 16 的 LCD 装置中, 第一像素电极 491a 和第二像素电极 491b 中的每个与第一功率电极 433 或第二功率电极 437 叠置。

[0350] 在这种情况下, 相邻像素的第一共电极 491c 和第二共电极 491d 中的每个交替地连接到第一摆动电压线 Vsw1 和第二摆动电压线 Vsw2, 从而可以执行点反转。

[0351] 另外, 在施加第一栅极信号 Gi 之前, 第一摆动电压线 Vsw1 和第二摆动电压线 Vsw2 的电压可以分别施加到第一像素电极 491a 和第二像素电极 491b。

[0352] 图 17 是示出根据本发明再一实施例的 LCD 装置的像素的等效电路图。

[0353] 除了存储电容器 Cst 连接到第一摆动电压线 Vsw1 而不是连接到第二摆动电压线 Vsw2 之外, 图 17 的 LCD 装置与图 16 中的 LCD 装置相同。因此, 相同的标号将用于表示与图 16 中描述的部件相同或相似的部件, 并将略去与以上元件有关的任何进一步解释。

[0354] 图 17 的 LCD 装置不包括第三开关元件 Qc 和第四开关元件 Qd, 第一共电极 491c 和第二共电极 491d 分别从第一摆动电压线 Vsw1 和第二摆动电压线 Vsw2 接收电压, 并且第一像素电极 491a 和第二像素电极 491b 与第二功率电极 437 或第一功率电极 433 叠置, 除了这些之外, 示出图 17 的 LCD 装置的平面图和剖视图与示出图 5 至图 7 的 LCD 装置的平面图

和剖视图相同。因此,相同的标号将用于表示与图 5 至图 7 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0355] 参照图 16 和图 17,在第一像素  $PX(n, n)$  中,可以通过第一开关元件  $Qa$  将从第一数据线  $Dj$  施加的数据电压释放到第一像素电极 491a,第一摆动电压线  $Vsw1$  的电压直接施加到第一共电极 491c。因此,可以在第一像素电极 491a 和第一共电极 491c 之间形成液晶电容器。

[0356] 第一摆动电压线  $Vsw2$  的第一功率电极 433 与第一像素电极 491a 彼此叠置,从而形成存储电容器  $Cst$ 。

[0357] 在第二像素  $PX(n, n+1)$  中,可以通过第二开关元件  $Qb$  将从第二数据线  $Dj+1$  施加的数据电压释放到第二像素电极 491b,第二摆动电压线  $Vsw2$  的电压直接施加到第二共电极 491d。因此,可以在第二像素电极 491b 和第二共电极 491d 之间形成液晶电容器。

[0358] 第二摆动电压线  $Vsw2$  的第二功率电极 437 与第二像素电极 491b 彼此叠置,从而形成存储电容器  $Cst$ 。

[0359] 在图 5 的 LCD 装置中,第一像素电极 491a 和第二像素电极 491b 中的每个与第一功率电极 433 叠置,第一共电极 491c 和第二共电极 491d 中的每个与第二功率电极 437 叠置。然而,在图 17 的 LCD 装置中,第一像素电极 491a 和第二像素电极 491b 中的每个与第一功率电极 433 或第二功率电极 437 叠置。

[0360] 在这种情况下,相邻像素的第一共电极 491c 和第二共电极 491d 中的每个交替地连接到第一摆动电压线  $Vsw1$  和第二摆动电压线  $Vsw2$ ,从而可以执行点反转。

[0361] 另外,在施加第一栅极信号  $Gi$  之前,第一摆动电压线  $Vsw1$  和第二摆动电压线  $Vsw2$  的电压可以分别施加到第一像素电极 491a 和第二像素电极 491b。

[0362] 图 18 是示出根据本发明再一实施例的 LCD 装置的平面图。

[0363] 图 18 的 LCD 装置不包括与第一像素  $PX(n, n)$  对应的第三开关元件  $Qc$ ,第一共电极 591c 从第一摆动电压线  $Vsw1$  接收电压,并且只有第一像素电极 591a 与第一功率电极 433 叠置,除了这些之外,示出图 18 的 LCD 装置的平面图和剖视图与示出图 9 的 LCD 装置的平面图和剖视图相同。因此,相同的标号将用于表示与图 9 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0364] 图 19 是示出图 18 的 LCD 装置的像素的等效电路图。

[0365] 除了第一像素  $PX(n, n)$  包括通过将第一像素电极 591a 和第一共电极 591c 与第一数据线 571a 和第二数据线 571b 叠置而形成的电容器(未示出)之外,图 19 的 LCD 装置与图 17 中的 LCD 装置相同。因此,相同的标号将用于表示与图 17 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0366] 参照图 17 至图 19,分别向彼此相邻的数据线施加具有相反极性的电压,从而可以去除由每条数据线产生的寄生电容。因此,施加到数据线的电压几乎不会改变。

[0367] 图 20 是示出根据本发明再一实施例的 LCD 装置的平面图。

[0368] 第二共电极 591b 与对应于第一像素  $PX(n, n)$  的第一像素电极 591a 和第一共电极 591c 形成在同一层上,第一像素电极 591a 和第一共电极 591c 不与第一数据线 571a 和第二数据线 571b 部分叠置,第二共电极 591b 与第一数据线 571a 和第二数据线 571b 部分叠置,除了这些之外,示出图 20 的 LCD 装置的平面图和剖视图与示出图 9 的 LCD 装置的平面图和

剖视图相同。因此,相同的标号将用于表示与图 9 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0369] 图 21 是示出图 20 的 LCD 装置的像素的等效电路图。

[0370] 除了 LCD 装置包括通过将第二共电极 591b 与第一数据线 571a 和第二数据线 571b 叠置而形成的电容器以及通过将第二共电极 591b 与第一像素电极 591a 和第一共电极 591c 叠置而形成的第一虚拟 (dummy) 液晶电容器 Ca 和第二虚拟液晶电容器 Cb 之外,图 21 的 LCD 装置与图 19 中的 LCD 装置相同。因此,相同的标号将用于表示与图 19 中描述的部件相同或相似的部件,并将略去与以上元件有关的任何进一步解释。

[0371] 参照图 19 至图 21,分别向彼此相邻的数据线施加具有相反极性的电压,从而可以去除由每条数据线产生的寄生电容。因此,施加到数据线的电压几乎不会改变。

[0372] 另外,在每个相邻的像素中,相邻像素的第三开关元件 Qc 交替地连接到第一摆动电压线 Vsw1 和第二摆动电压线 Vsw2,从而可以执行点反转。根据本发明的一些示例实施例,像素电压差的范围通过接收各种电压的功率线而增大,从而可以提高阵列基底的透光率。

[0373] 另外,使用功率线形成存储电容器,从而提高阵列基底的开口率。

[0374] 另外,通过叠置接收不同电压的数据线和像素电极,可以防止在数据线中可能产生的寄生电容器,从而可以提高阵列基底的图像显示质量。

[0375] 前述是本发明的举例说明,并不解释为对本发明进行限制。虽然已经描述了本发明的一些示例实施例,但是本领域技术人员会容易地理解,在本质上不脱离本发明的新颖的教导和优点的情况下,能够在示例实施例中做出许多修改。因此,意图将所有这样的修改包括在如权利要求中限定的本发明的范围之内。在权利要求书中,功能性限定意在覆盖这里被描述为执行所述功能的结构,并且不仅覆盖结构的等同物而且覆盖等同的结构。因此,应该理解的是,前述是本发明的举例说明,并不被解释为局限于公开的具体示例实施例,并且对公开的示例实施例的修改以及其它示例实施例意图被包括在权利要求书的范围之内。本发明由权利要求以及将要被包括在权利要求中的权利要求的等同物进行限定。

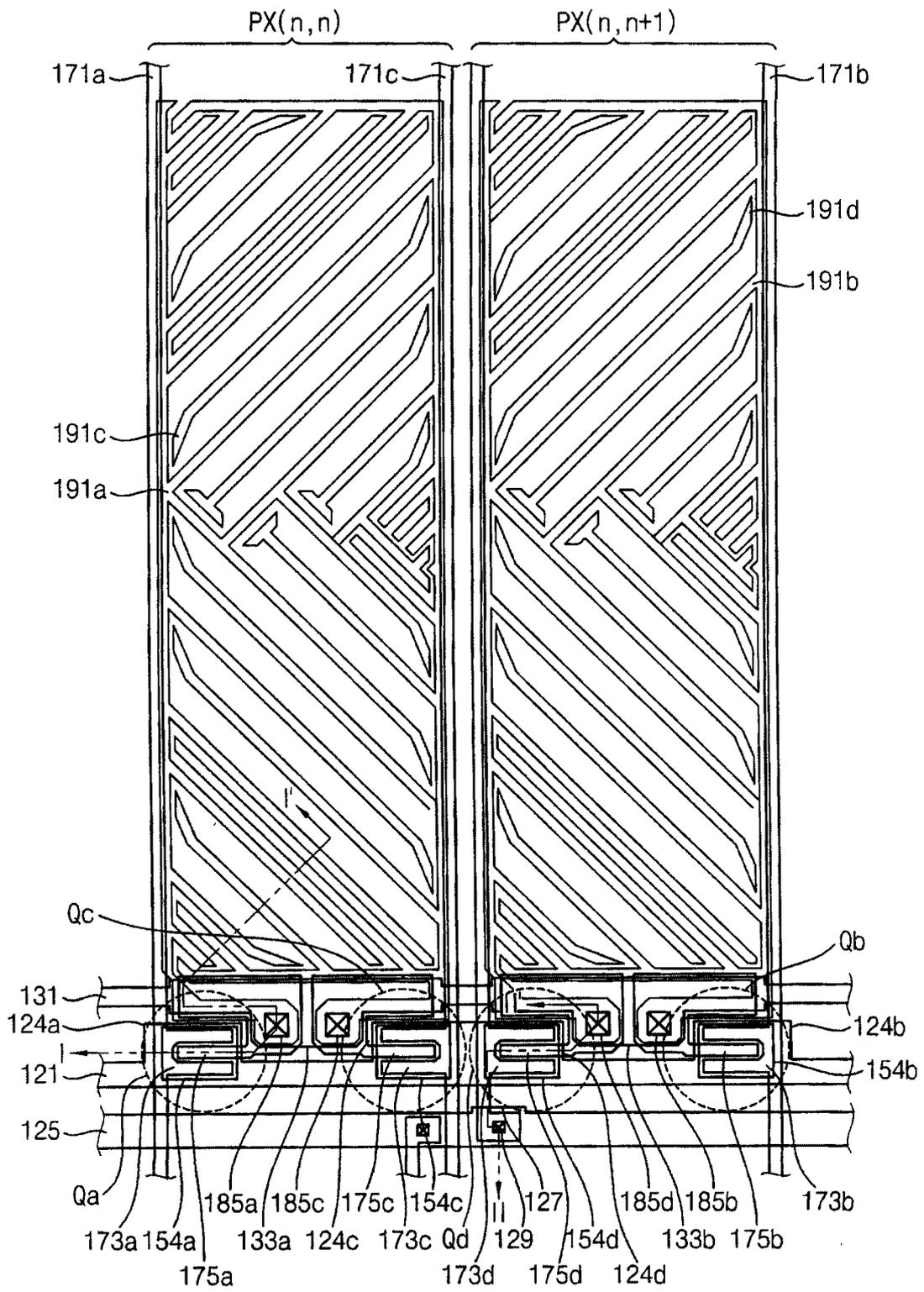


图 1

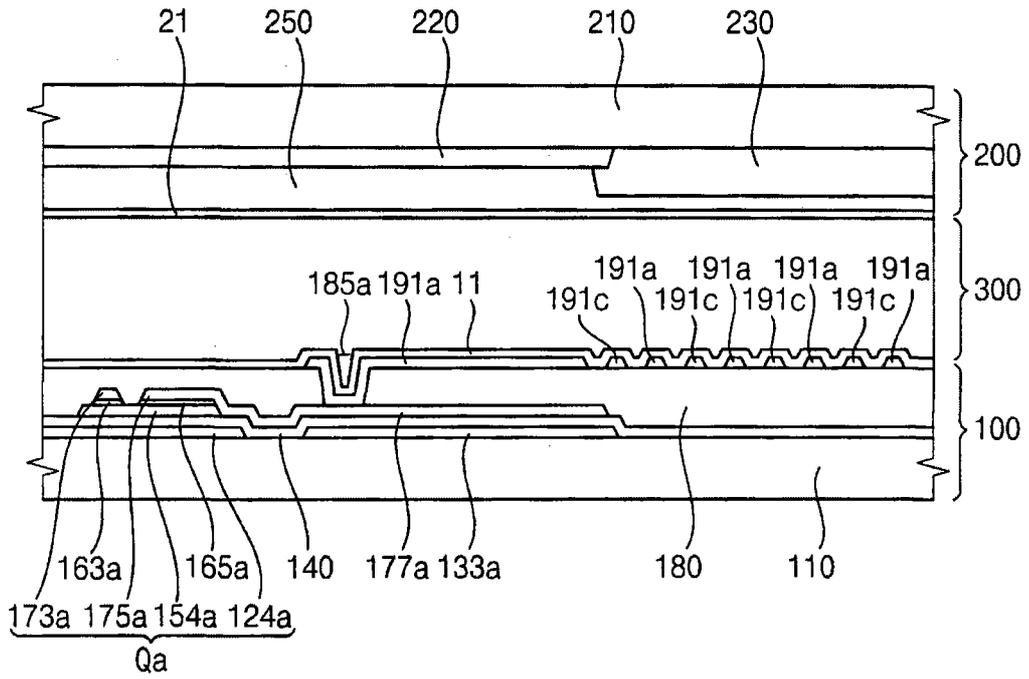


图 2

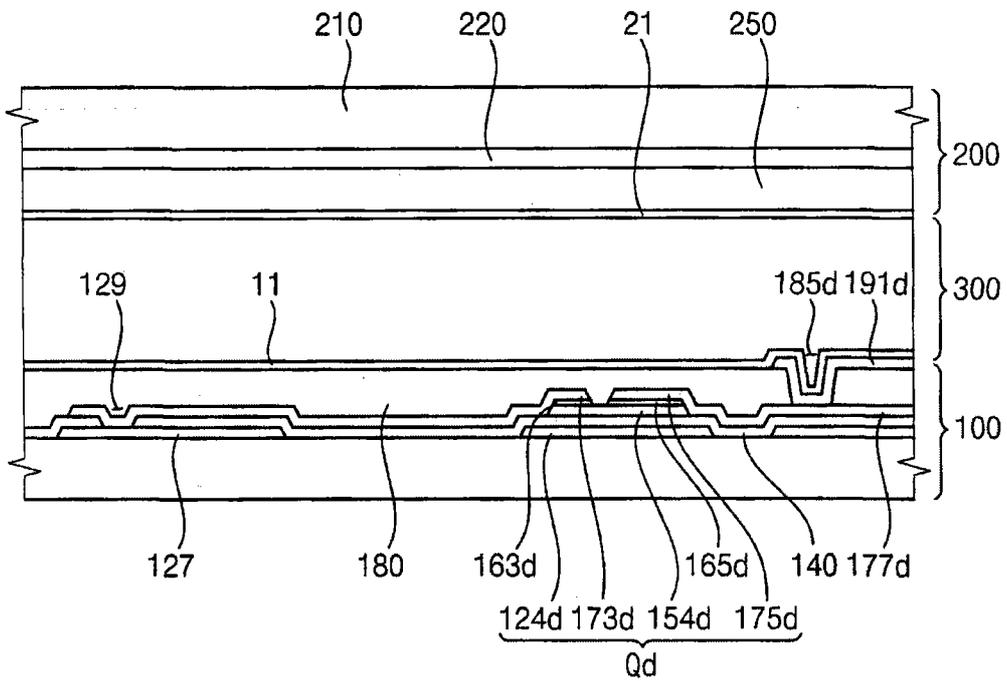


图 3

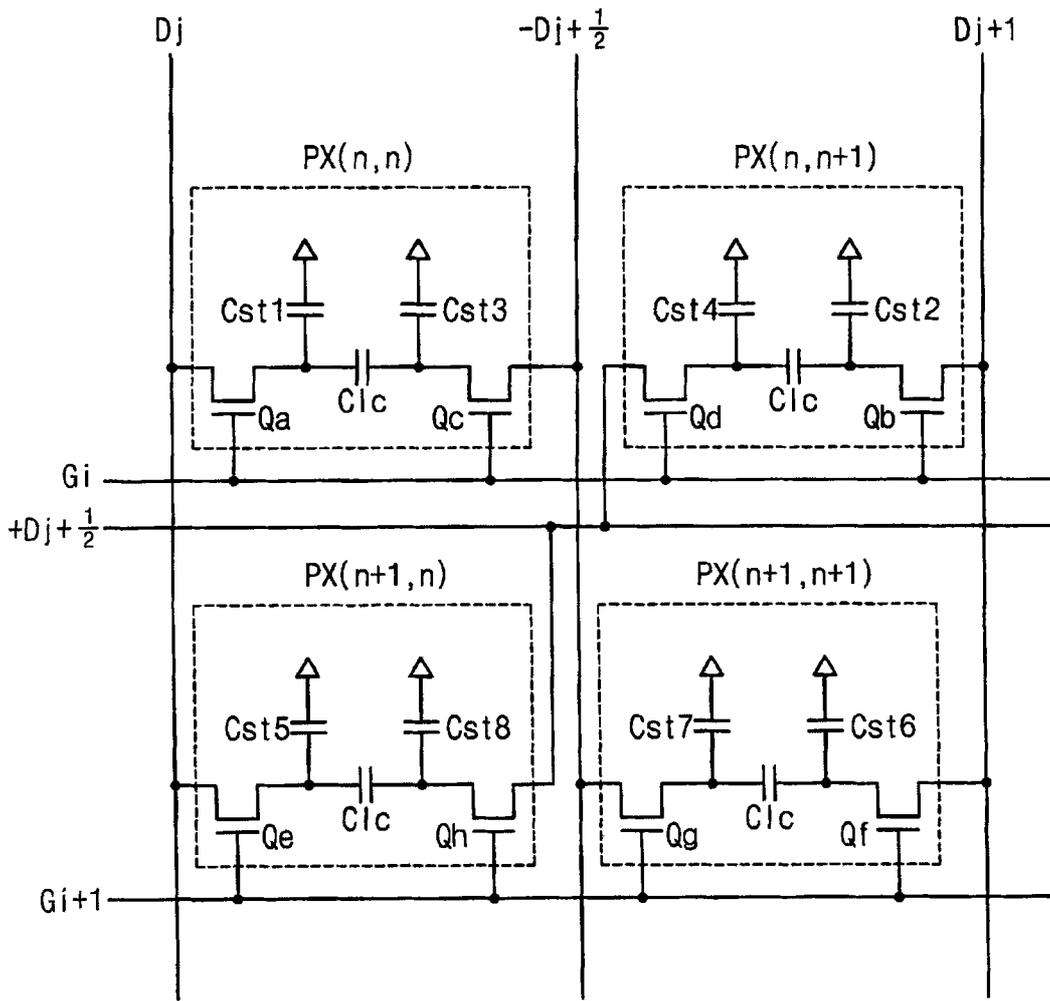


图 4

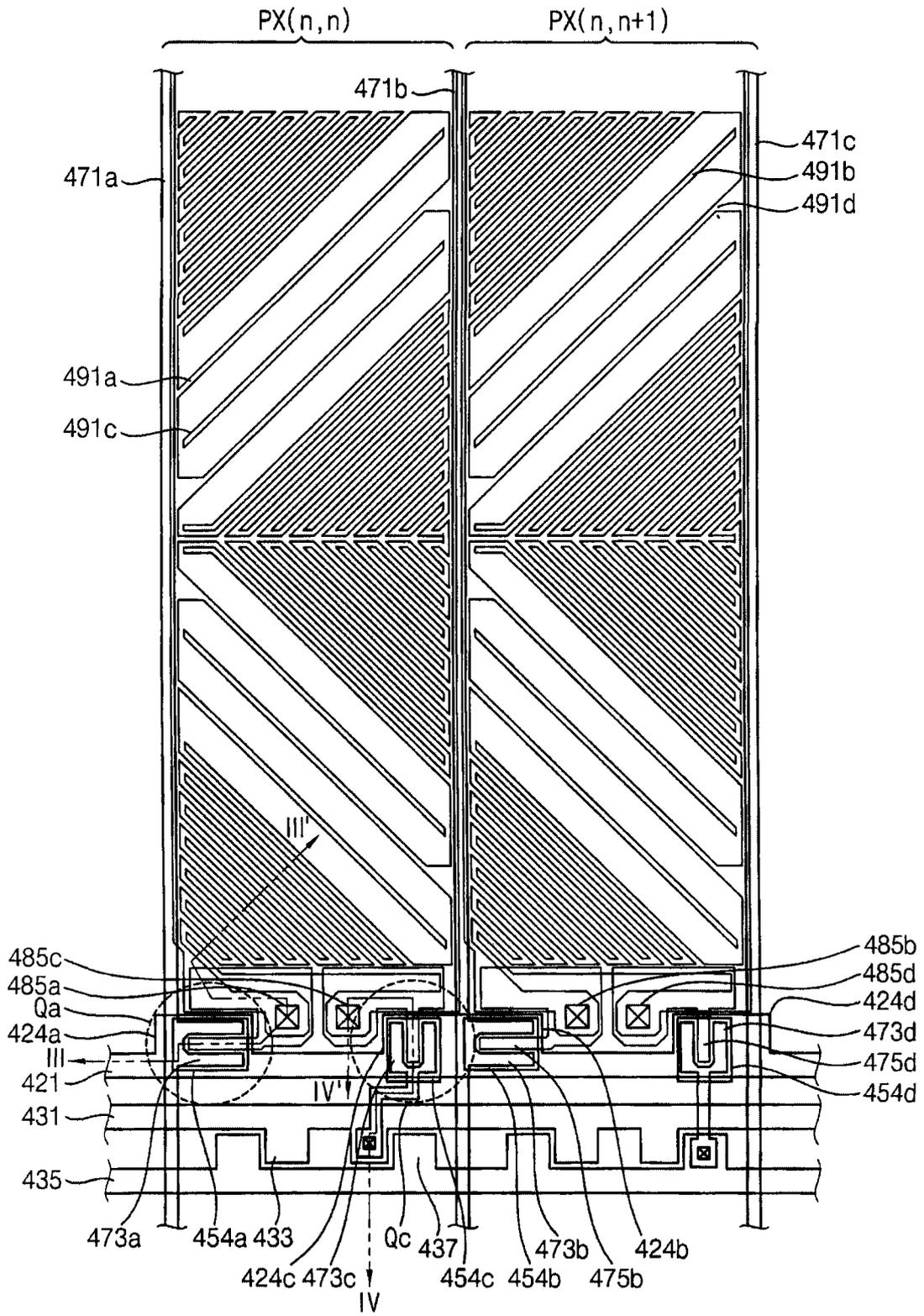


图 5

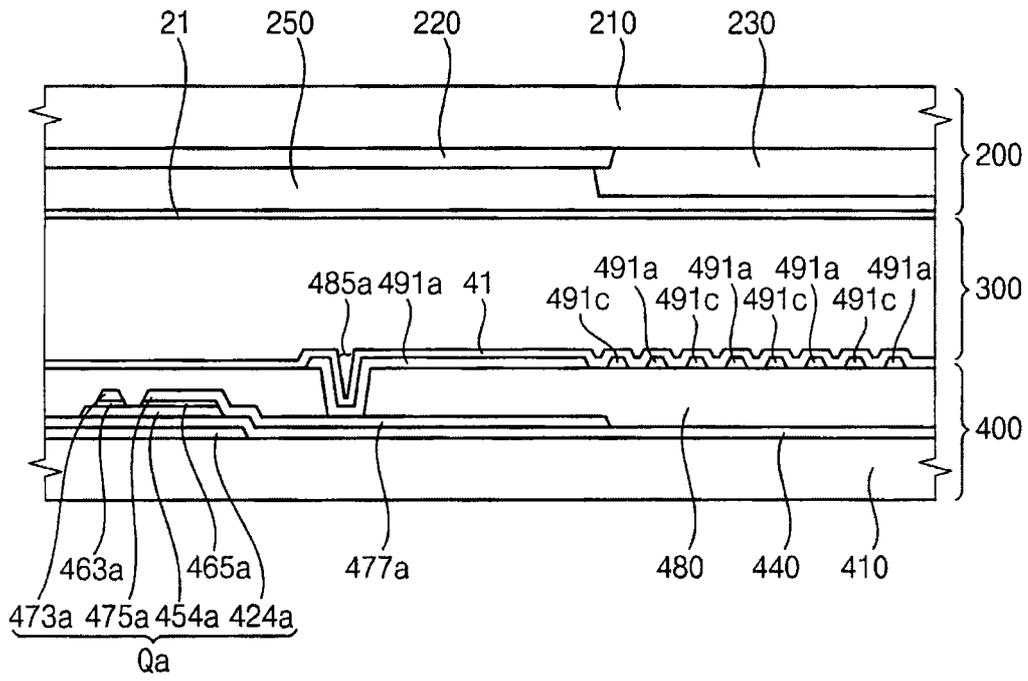


图 6

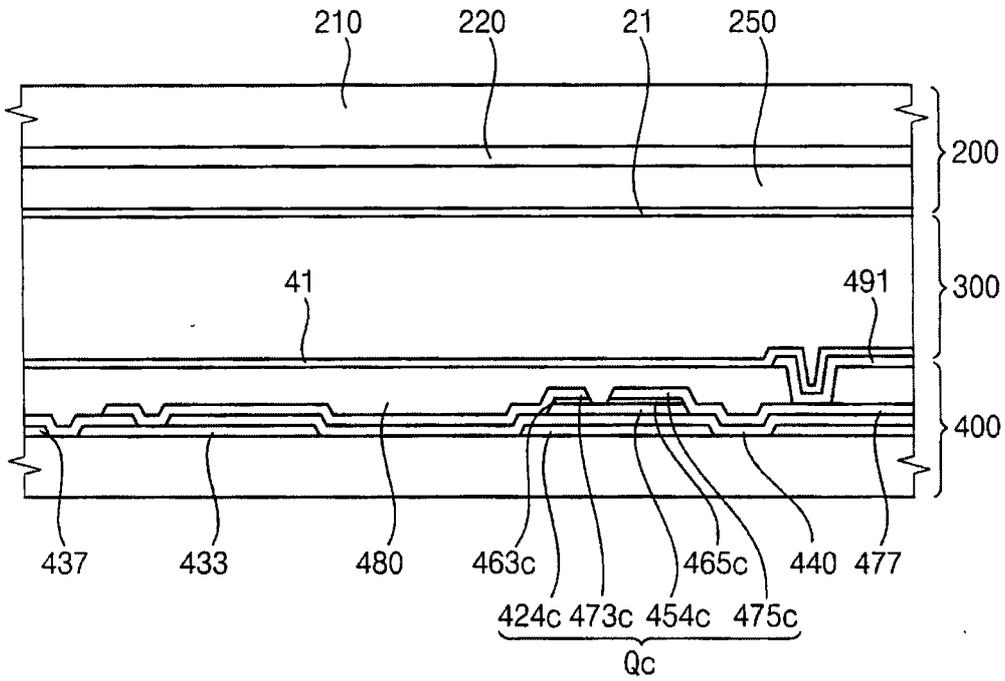


图 7

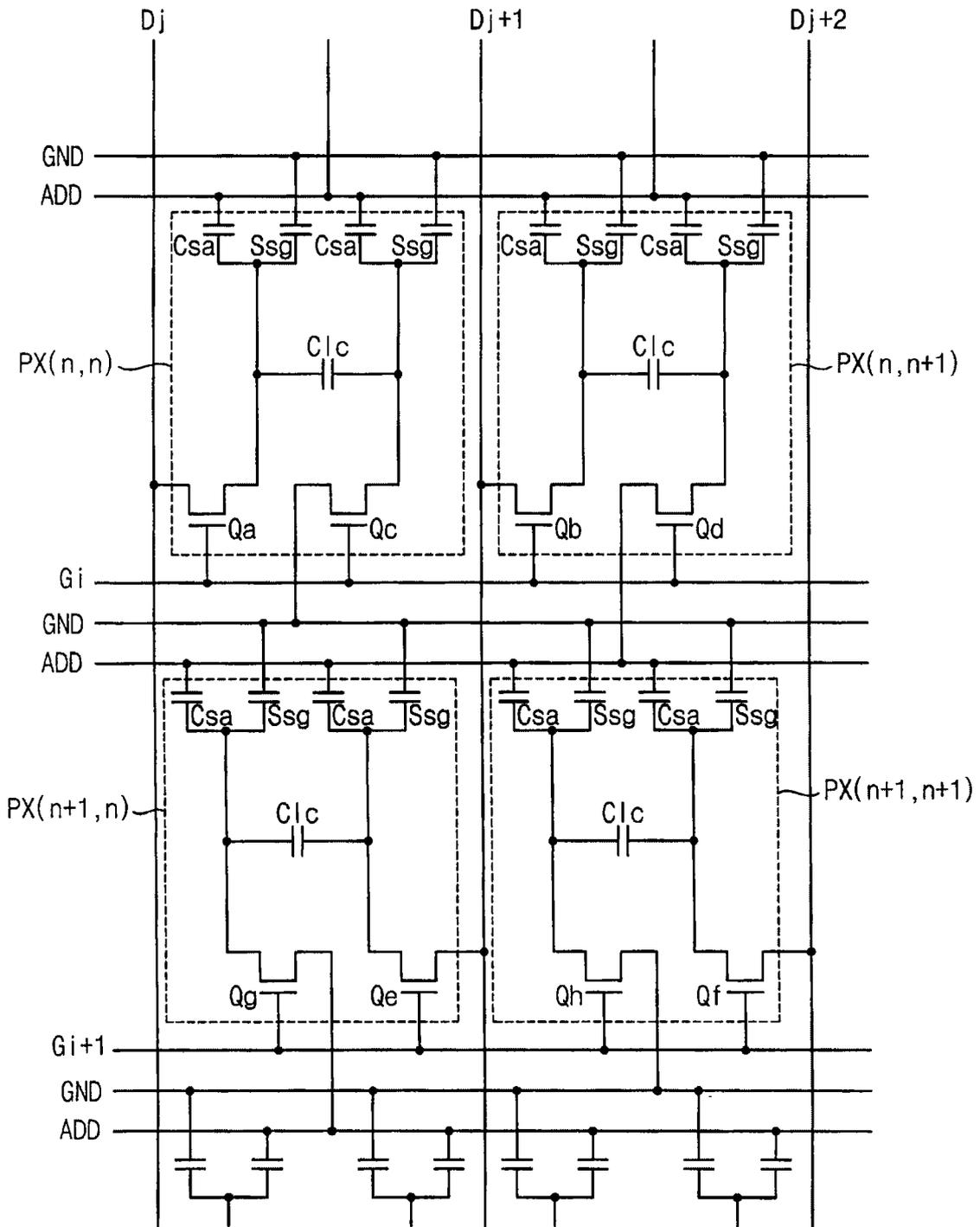


图 8

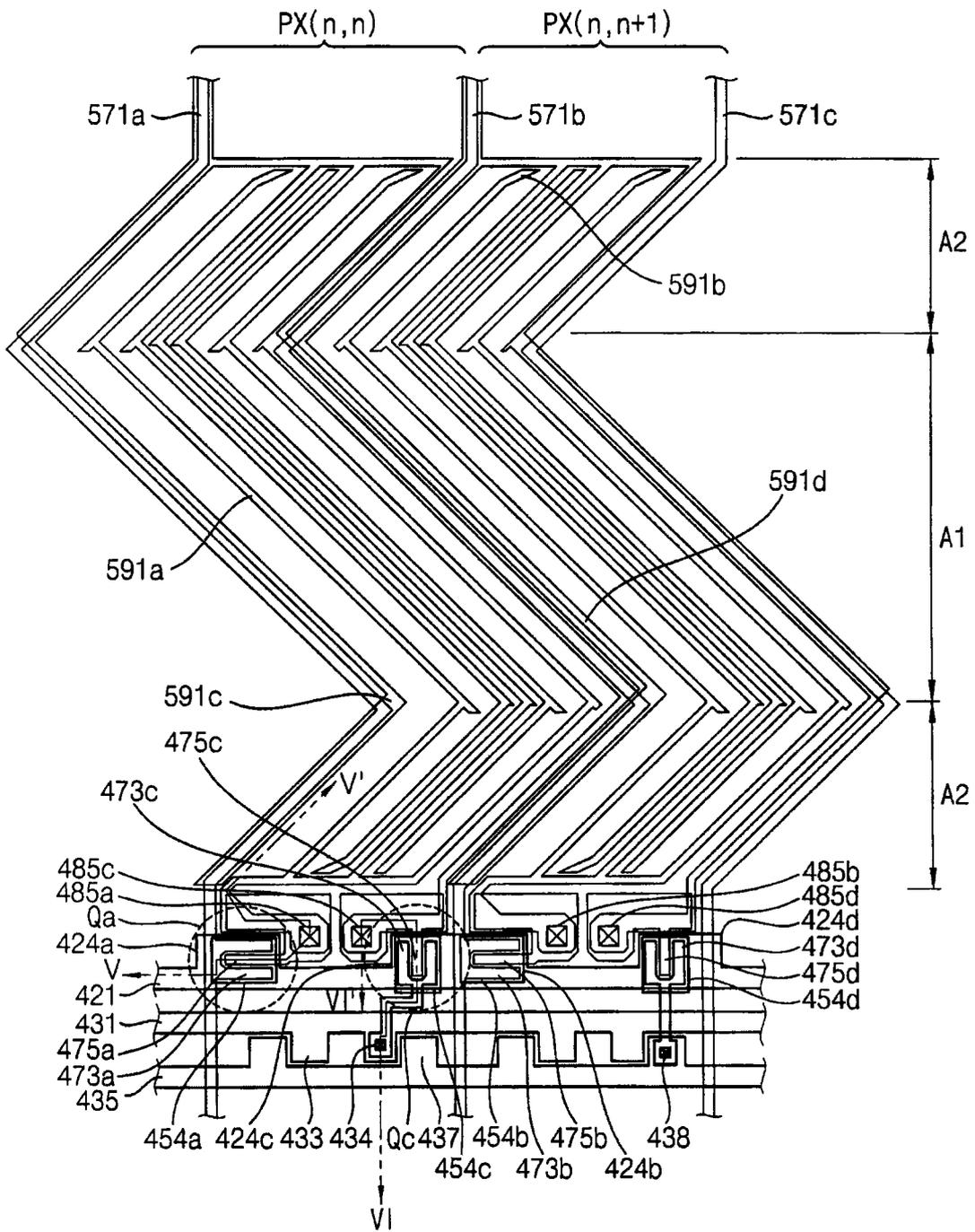


图 9

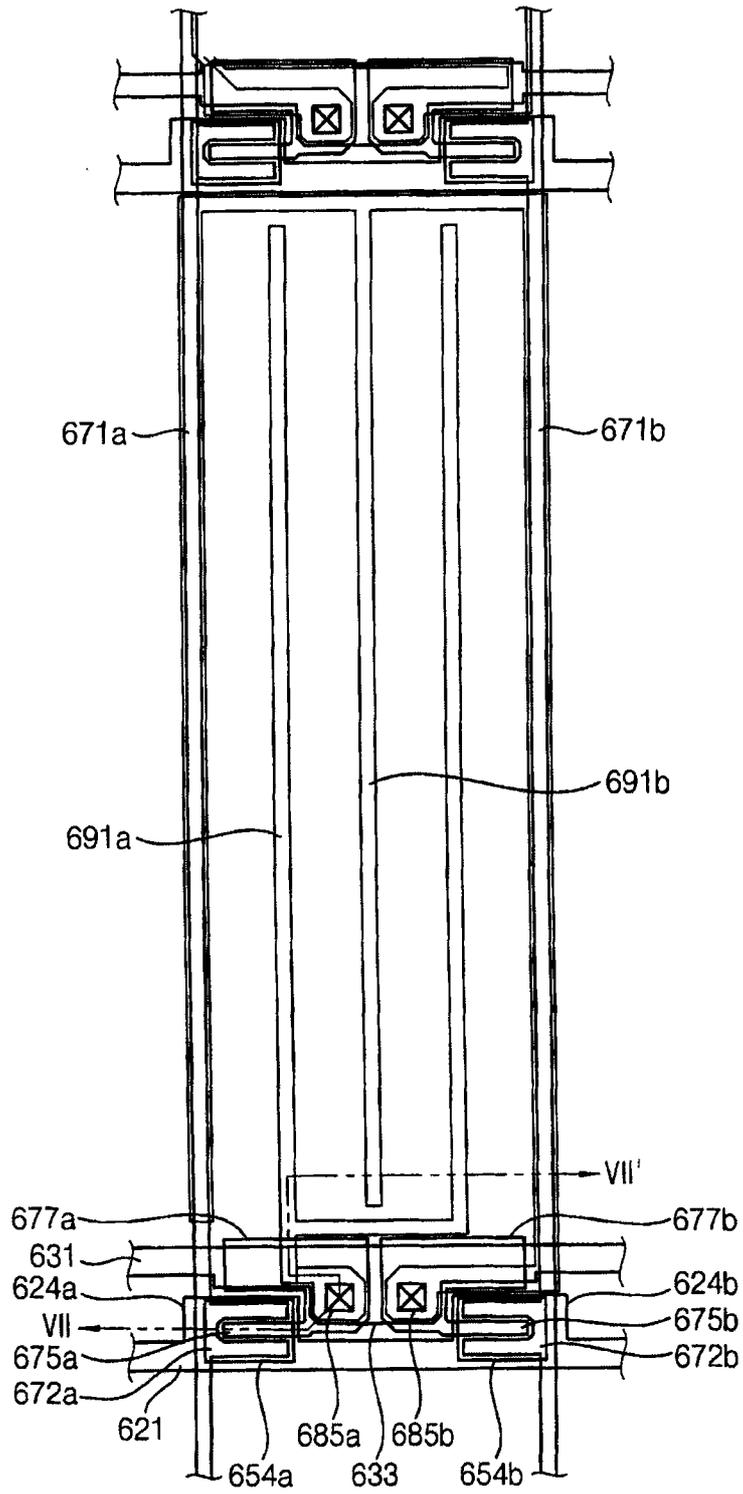


图 10

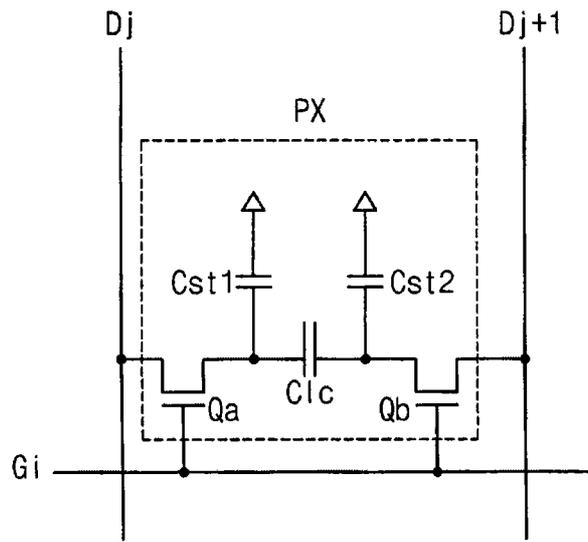


图 11

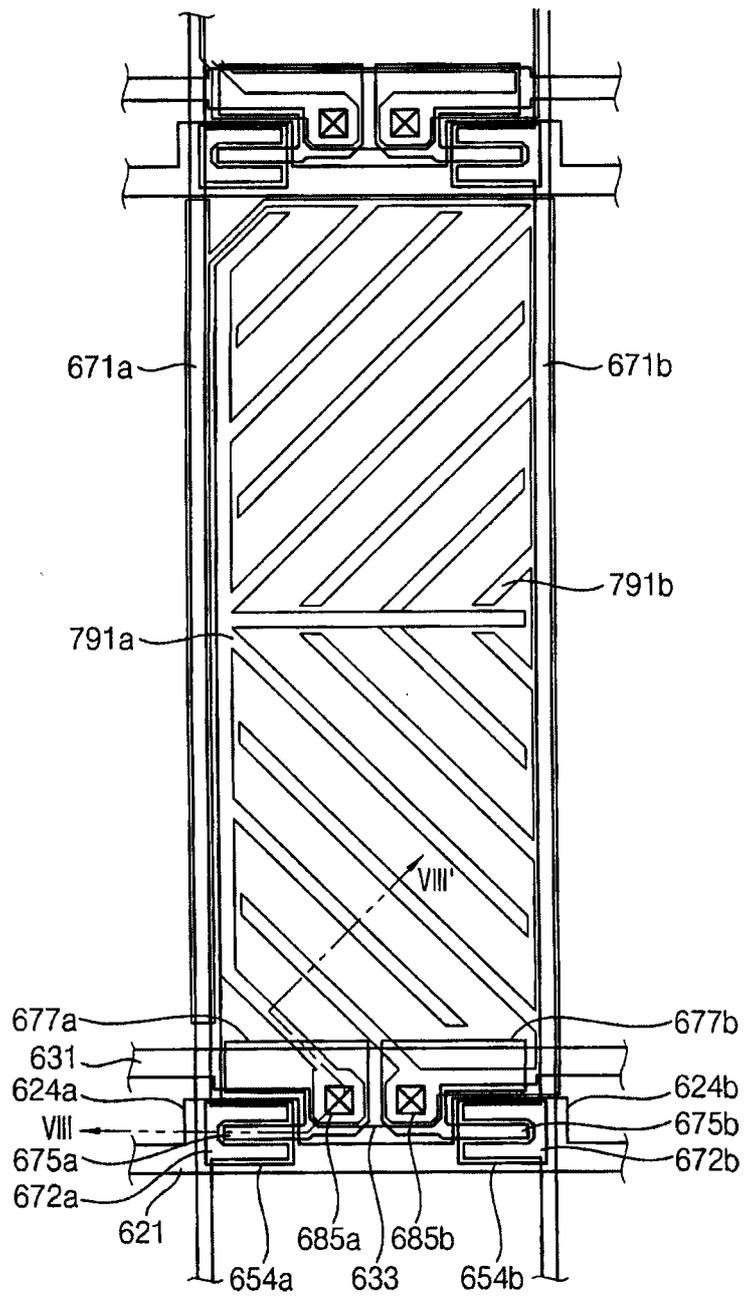


图 12

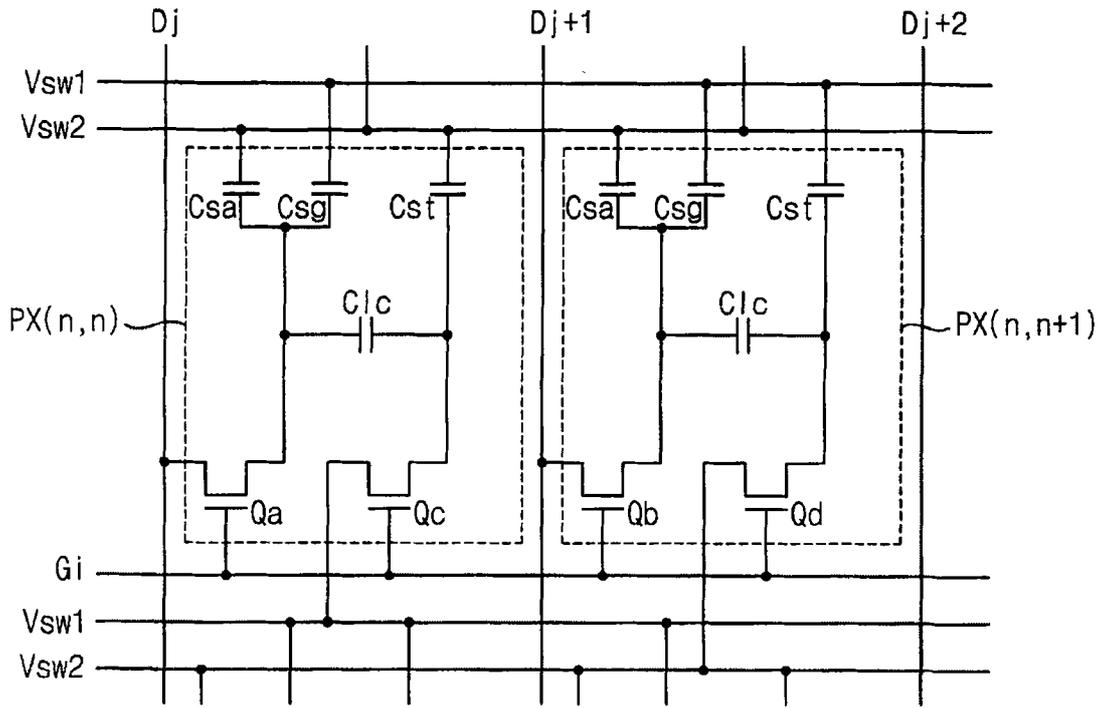


图 13

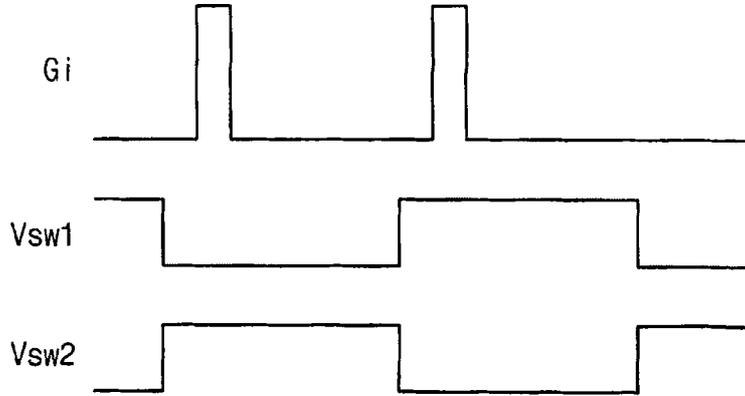


图 14

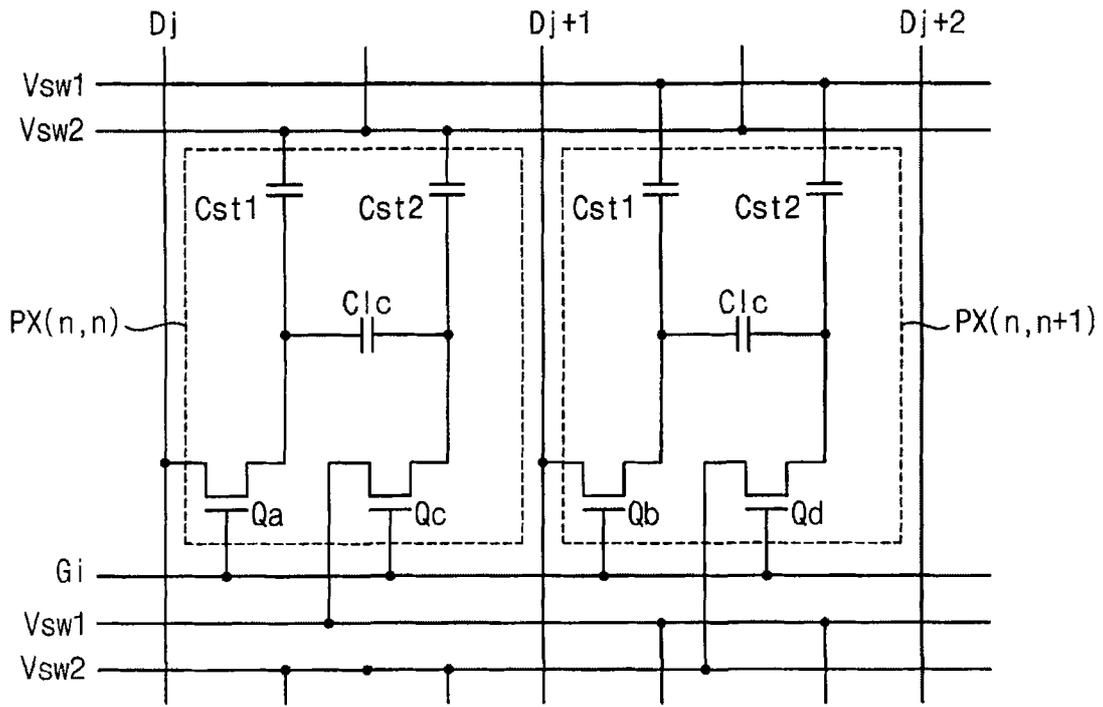


图 15

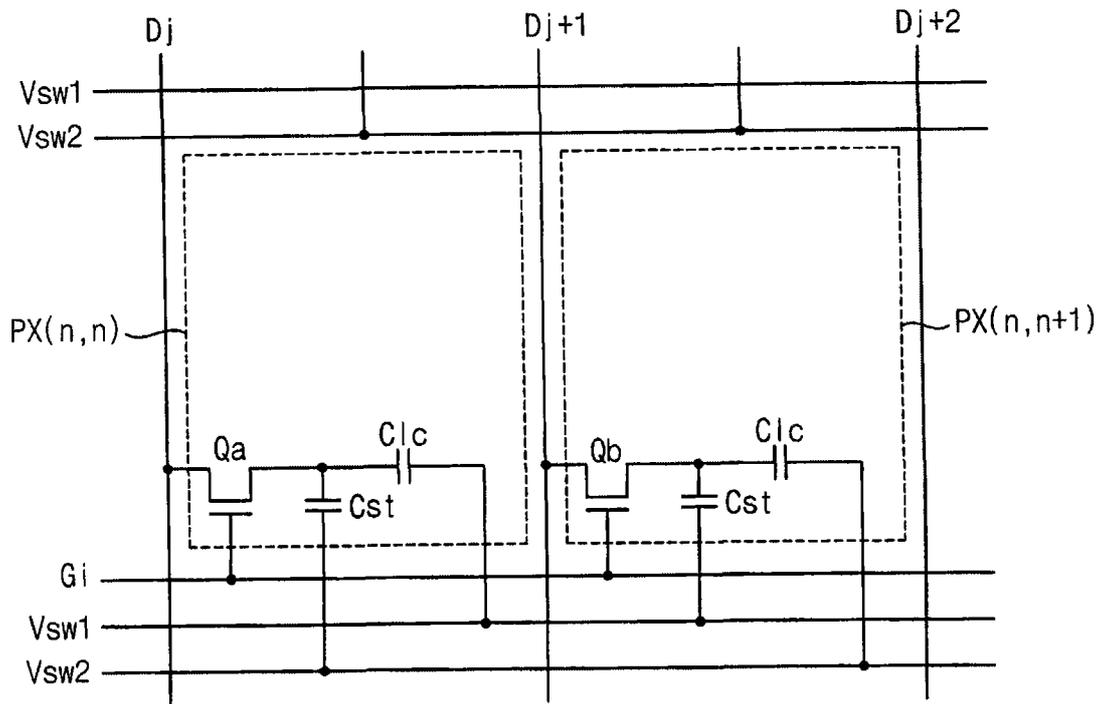


图 16

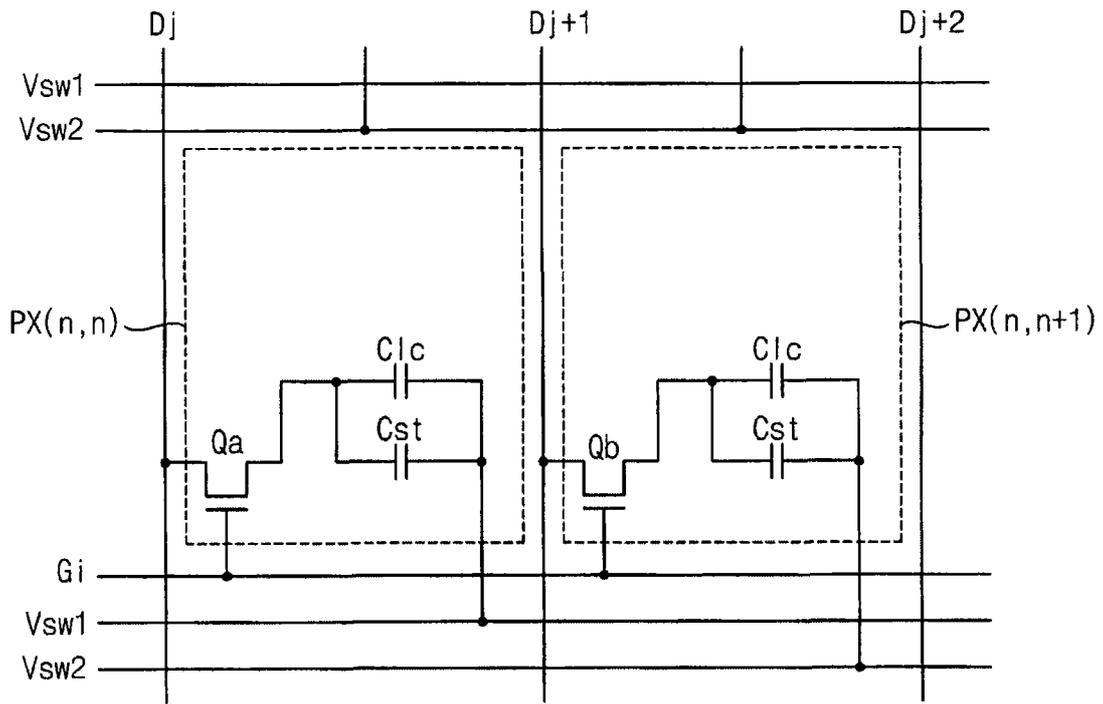


图 17

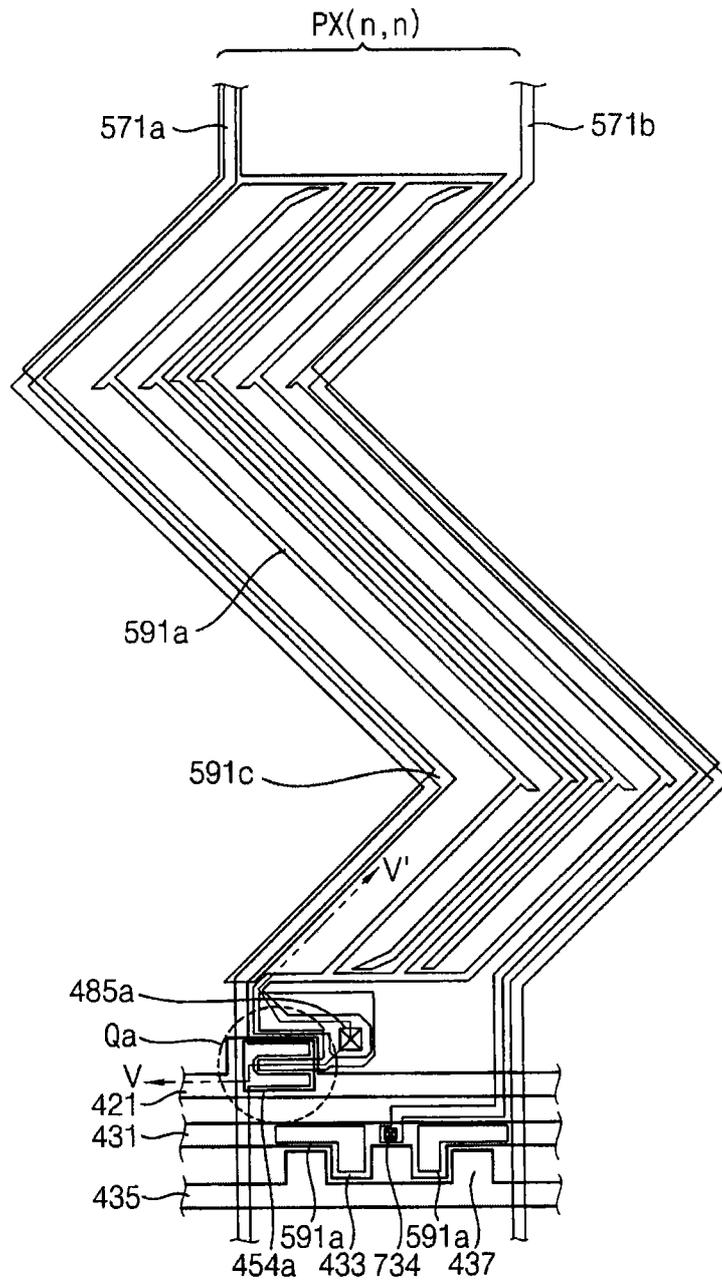


图 18

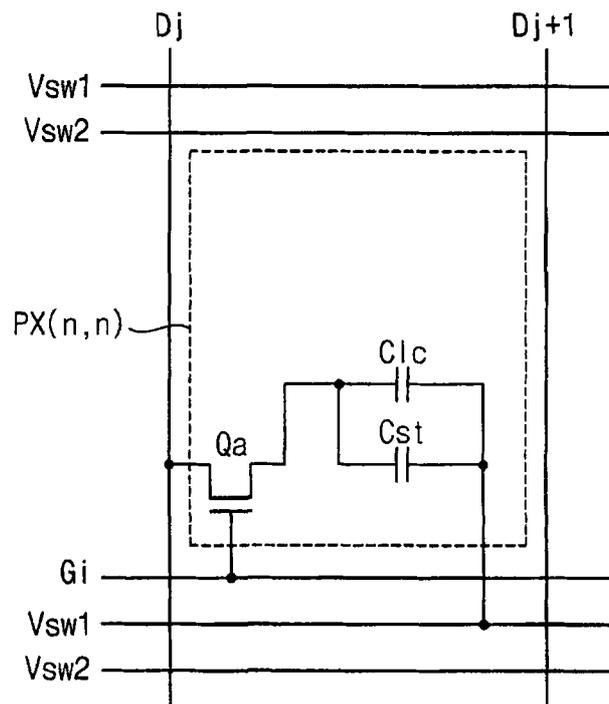


图 19

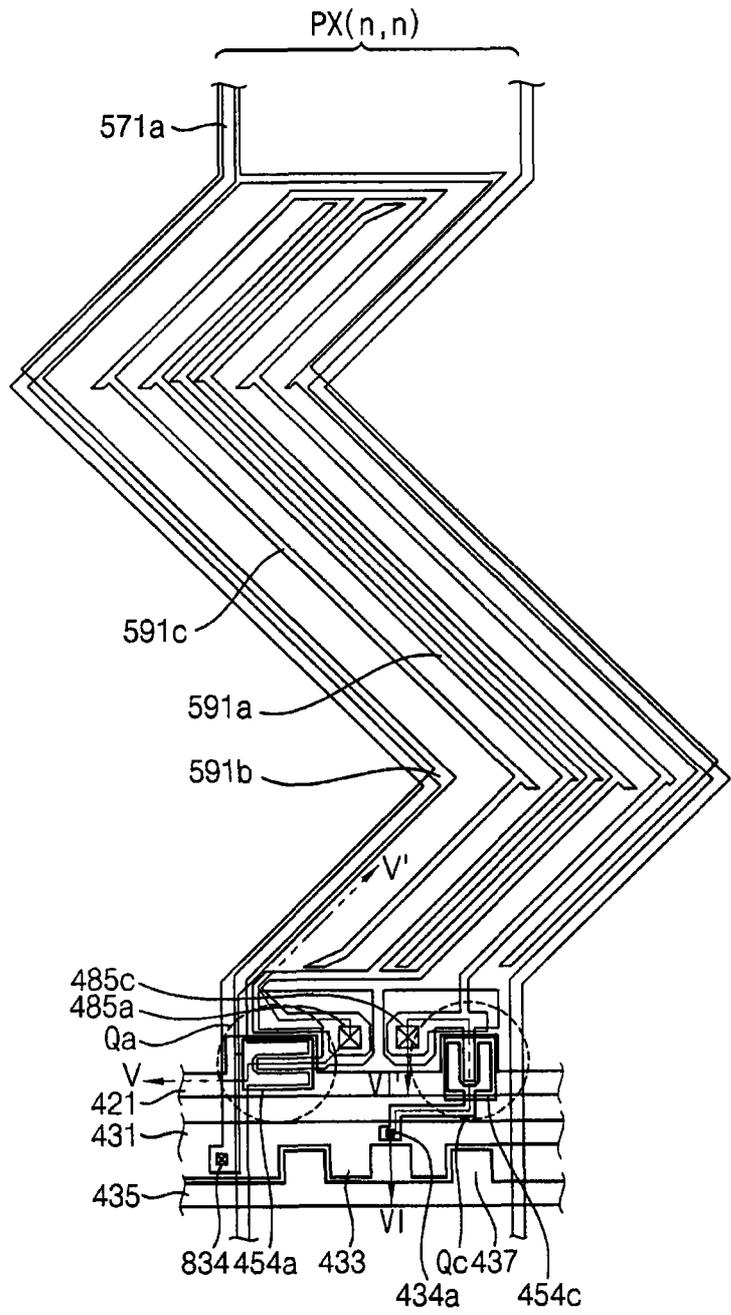


图 20

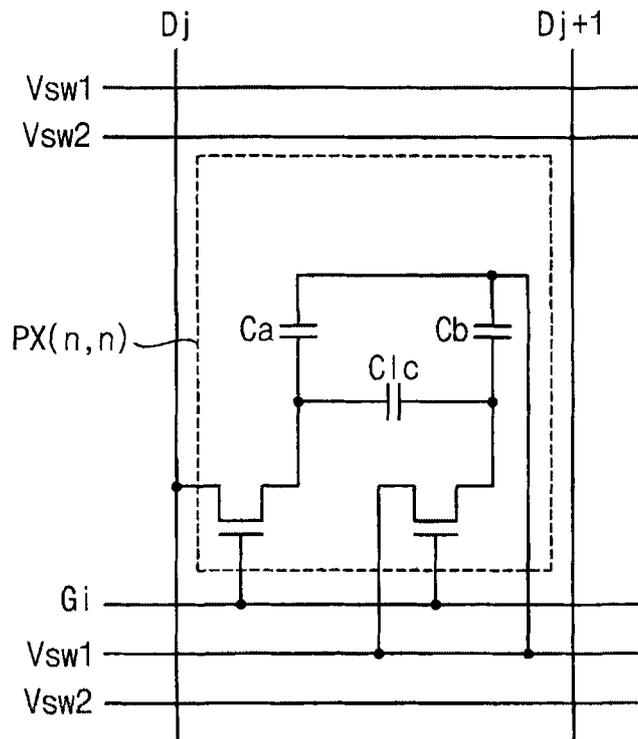


图 21