

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/04 (2006.01)

H01L 21/822 (2006.01)



[12] 发明专利说明书

专利号 ZL 03146258.8

[45] 授权公告日 2006 年 6 月 28 日

[11] 授权公告号 CN 1262009C

[22] 申请日 2003.7.4 [21] 申请号 03146258.8

[30] 优先权

[32] 2002. 7. 4 [33] JP [31] 196118/2002

[71] 专利权人 富士通株式会社

地址 日本神奈川

[72] 发明人 吉村鉄夫

审查员 闫立刚

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 朱海波

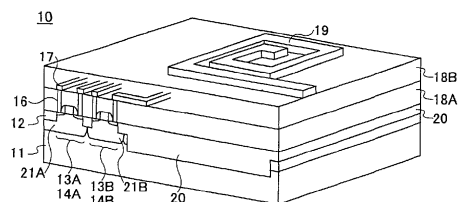
权利要求书 2 页 说明书 18 页 附图 15 页

[54] 发明名称

半导体器件

[57] 摘要

在此提供一种半导体器件，其能够防止其上面的电感器元件的性能下降。一个高电阻区域被提供在形成于该半导体基片上的电感器元件的下方。该高电阻区域被形成为比 p 沟道和 n 沟道 MOS 晶体管更深，因此防止由于在电感器元件所产生的磁通量而导致涡电流的感应。



1. 一种半导体器件，包括：
具有预定基片电阻率的半导体基片；
5 形成在该半导体基片中的器件区；
形成在该器件区中的杂质扩散区；
形成在该半导体基片的第一表面上的电感器元件；以及
形成在与该电感器元件相面对的半导体基片中的一个高电阻区域，
其具有比该半导体基片的电阻率更高的电阻率，
10 其中一个凹陷部分形成在与所述电感器元件相面对的所述半导体基片的第二表面上。

- 2.根据权利要求 1 所述的半导体器件，其中按照这样的方式形成高电阻区域，使得没有任何杂质区存在于所述高电阻区域和具有基片电阻
15 率的所述半导体基片的区域之间。

- 3.根据权利要求 1 所述的半导体器件，其中所述高电阻区域被形成在相对于该半导体基片的第一表面比所述杂质扩散区更远的一个位置处。
20

- 4 .根据权利要求 1 所述的半导体器件，其中所述高电阻区域包括凹槽。

- 5.根据权利要求 1 所述的半导体器件，其中所述高电阻区域包括一个多孔部分。
25

- 6 .根据权利要求 1 所述的半导体器件，其中所述凹陷部分相对于该第二表面被形成为这样一个深度，即使得能够形成所述高电阻区域。

7.根据权利要求6所述的半导体器件,其中所述凹陷部分包括多个凹陷。

8.根据权利要求1所述的半导体器件,其中所述高电阻区域由氧化硅所形成。

9.一种用于制造半导体器件的方法,包括如下步骤:

在半导体基片的器件区形成晶体管;

在所述半导体基片的第一表面上、靠近所述器件区的电阻区之上形成电感器元件;

在与所述电感器元件相面对的半导体基片的第二表面上形成凹陷部分,以防止出现由所述电感器元件的磁场所感生的涡电流,所述凹陷部分的面积等于或大于所述电感器元件所占面积。

半导体器件

5 对相关申请的交叉引用

本专利申请基于在 2002 年 7 月 4 递交的日本专利申请 No.2002-196118 的，其全部内容被包含于此以供参考。

技术领域

10 本发明涉及一种半导体器件，例如用于从几 MHz 至几 GHz 的频带中的蜂窝式电话、PDA（个人数字助理）等等，以及用于制造半导体器件的方法，特别涉及包括双极型器件、MOS 器件以及其他带有电感器元件这样的被动元件的其他主动元件的半导体器件，及其制造方法。

15 背景技术

通常，通过把电感器、电容器或其他被动元件与主动元件一同安装在一个电子电路板上而形成一个电子电路装置。但是，非常需要减小电子电路装置的尺寸、厚度或重量，特别对于移动电话和 PDA 来说尤其如此。为了满足这种需要，人们对于进一步增加电子电路装置的紧凑性和集成度已经进行了研究和开发。作为增加封装密度的一种方法，已经

20 开发出 MMIC（单片微波集成电路）。该 MMIC 是一个通过在半导体工艺中集成的形成例如晶体管这样的主动元件和例如电阻器和电感器这样的被动元件而获得的高频集成电路。

图 1 为形成有电感器元件的现有技术的 CMOS 器件的透视图。参见图 1，CMOS 器件 100 包括形成在一个半导体基片的 101 上的 MOS 晶体管 102 和元件分离区 103、形成在该半导体基片 101 上并且连接到 MOS 晶体管 102 的互连结构 104、以及以螺旋的形状形成在该互连结构 104 上的电感器元件 105。

通过按照这种方式把电感器元件形成在 CMOS 之上，与附加一个外部电感器相比可以获得较高的集成度，因此这适用于移动电话。

转到要由本发明所解决的问题，众所周知电感器元件的 Q 值（品质因数）越高则其性能越高。但是，例如如果电感器元件 105 形成在 CMOS 器件 100 之上，由于电感器元件 105 和半导体基片 101 之间的电耦合和电容耦合，电感器元件 105 的 Q 值降低。例如，如图 2 中所示，如果半导体基片 101 的电阻率较低，则由电感器元件 105 所产生的磁场在半导体基片 101 中感应涡电流。该电流在妨碍由电感器元件所产生的磁场变化的方向流动，因此降低 Q 值。

为了解决该问题，存在有一种方法涉及降低基片的电阻率，以增加电感器元件的 Q 值。图 3 示出电感器元件的 Q 值与该基片的电阻率之间的关系。

参见图 3，可以清楚地看出当基片的电阻率增加时 Q 值增加。

但是，例如在 CMOS 制造工艺中，由于杂质元素被注入并且在半导体基片中扩散，以形成杂质扩散区，例如阱区；在这些区域中的电阻率减小，并且容易感应涡电流。在下文中，作为一个例子，将描述 CMOS 器件的制造工艺。

图 4A 至 4C 示出 CMOS 器件的制造工艺。

在图 4A 所示的步骤中，通过 STI，二氧化硅被埋入硅基片 111，其具有例如 $1\text{k}\Omega \cdot \text{cm}$ 的基片电阻率，并且形成具有 300 纳米的深度的元件隔离区 112，以分离器件区 113A 和 113B。

另外，在图 4A 所示的步骤中，通过光刻处理，一个器件区 113B 被光刻胶所覆盖。然后通过离子注入，把 p 型掺杂剂离子 B^+ 加速到 300keV，并且以 $1 \times 10^{13} \text{cm}^{-2}$ 的密度注入到其他器件区 113A，以形成一个 p 阱区 114。

接着，除去光刻胶，并且通过使用一个与在上述光刻步骤中所使用的掩膜相反的掩膜，覆盖用于 p 阱区 114 和其他部分的器件区 113A 按照相同的方式，把 n 型掺杂剂离子 P^+ 注入，以形成一个 n 阱区 115。请注意，一个杂质扩散区 116 也形成在未被覆盖的区域 112C 之下。

接着，在图 4B 所示的步骤中，一个栅氧化膜 117 被淀积在该器件区之上具有 2 纳米的厚度，一个多晶硅薄膜被淀积为具有 180 纳米的厚度，然后通过光刻处理形成栅极 118。

另外，在如图 4B 所示的步骤中，形成 100 纳米厚的二氧化硅膜，并且通过 RIE（反应离子蚀刻）执行腐蚀，以形成侧壁 119。接着，按照与形成在阱区相同的方式，注入掺杂剂离子，以形成源区和漏区 120。

接着，在如图 4C 所示的步骤中，形成层间绝缘膜 121 和插塞 122 以及互连层 123。然后，通过 CMP（化学机械抛光）执行抛光和平整，以形成多层互连结构。

在如图 4C 所示的步骤中，另外通过在多层互连结构上执行溅射以淀积由铝或其他金属所制成的 150 纳米厚的薄膜，并且通过光刻和干法蚀刻形成螺旋状的电感器元件 124。按照这种方式，形成在其表面上具有一个电感器元件的 CMOS 器件。

如图 4A 中所示，当注入 B^+ 掺杂剂离子时，由于正好在该电感器元件 124 下方的元件分离区 112C 不被覆盖，并且杂质扩散区 116 还形成在该元件分离区 112C 的下方。尽管在固有状态的半导体基片 111 具有高电阻率，但是在这样的杂质扩散区中，该半导体基片 111 变为导电。从而在该元件分离区 112C，由电感器元件 124 所产生的 AC（交流）磁场感应涡电流。当涡电流在妨碍磁场变化的方向上流动时，导致上述问题，即 Q 值减小。

发明内容

相应地，本发明的一般目的是解决现有技术的上述问题。

本发明的一个更加具体的目的是提供一种半导体器件，其能够抑制和防止由于电感器元件的磁场所感应的涡电流，因此能够防止电感器元件的性能下降，以及提供一种用于制造该半导体器件的方法。

为了实现上述目的，根据本发明第一方面，在此提供一种半导体器件，其中包括具有预定基片电阻率的半导体基片、形成在该半导体基片中的器件区、形成在该器件区中的杂质扩散区、形成在该半导体基片的

第一表面上的一个电感器元件；以及形成在与该电感器元件相面对的半导体基片中的一个高电阻区域，其具有比该半导体基片的电阻率更高的电阻率。

5 根据上述发明，通过在面对该电感器元件的半导体基片中，换句话说，在该电感器元件中形成一个高电阻区域，由于该高电阻区域的高电阻率，从而在该电感器元件下方的电感器元件的磁场不会感应涡电流。

最好，该高电阻区域相对于该半导体基片的第一表面形成在远离杂质扩散区的一个位置处。

10 根据上述发明，由于该高电阻区域被形成在相对于在半导体基片的表面远离杂质扩散区的位置处，换句话说，相对于在半导体基片的表面比该杂质扩散区更加深入在该半导体基片中，杂质扩散区布线层不在高电阻区域的下方，该区的电阻率比杂质扩散区的电阻率更高。因此，即使在高电阻区的下方也难以出现涡电流的感应，这样防止由于涡电流感应所造成的电感器元件的性能下降。

15 最好，按照这样的方式形成高电阻区域，使得没有任何所述杂质区存在于所述高电阻区域和具有基片电阻率的所述半导体基片区之间。

根据上述发明，在此没有任何形成在该半导体基片中的高电阻区域下方的杂质扩散区。因此，在具有比杂质区更高的电阻率的半导体基片中不容易出现涡电流的感应，这样能够防止由于涡电流的感应所造成的电感器元件的性能下降。

20 最好，高电阻区域包括凹槽。由于在高电阻区域中的凹槽，即使在该区域中产生涡电流，该涡电流被分割。

另外，该高电阻区域具有一个多孔部分。由于多孔材料提供复杂形状的空间，应是涡电流难以在该材料中形成一个闭合的电路，因此涡电流的感应被抑制。

25 最好，一个凹陷部分形成在与所述电感器元件相面对的半导体基片的第二表面上。

根据上述发明，一个凹陷部分形成在与所述电感器元件相面对的半导体基片的第二表面上，例如，在该半导体基片的后表面上。因此，在

出现涡电流感应的半导体基片的体积被减小，从而抑制涡电流。这样防止由于涡电流感应所造成的电感器元件的性能下降。

为了实现上述目的，根据本发明第二方面，在此提供一种用于制造半导体器件的方法，其中包括如下步骤：在一个半导体基片中形成一个高电阻区域，所述高电阻区域具有比该半导体基片的电阻率更高的电阻率，在形成于该高电阻区域周围的器件区中形成一个晶体管，以及在该高电阻区域上形成一个电感器元件，其中在形成晶体管的步骤中，当把杂质元素注入到该器件区时覆盖该高电阻区域。

根据上述发明，当形成一个晶体管时，该高电阻区域被覆盖，并且杂质元素被注入到该器件区。因此，杂质元素被注入到高电阻区域，并且该保持为一个高电阻区域。因此，涡电流的感应被抑制。

从下文参照附图对优选实施例的详细描述中本发明的这些和其他目的以及优点将变得更加清楚。

附图说明

图 1 为示出其中形成有一个电感器元件的现有 CMOS 器件的透视图；

图 2 为用于说明由一个电感器元件感应涡电流的示意图；

图 3 为示出在 Q 值和基片电阻率之间的关系示意图；

图 4A 至 4C 为示出用于制造现有的 CMOS 的工艺示意图；

图 5 为根据本发明第一实施例的 CMOS 器件的透视图；

图 6 为根据第一实施例的 CMOS 器件的截面视图；

图 7A 至 7D 为示出用于制造根据第一实施例的 CMOS 器件的工艺示意图（部分 1）；

图 8E 和 8F 为示出用于制造根据第一实施例的 CMOS 器件的工艺示意图（部分 2）；

图 9 为根据本发明第二实施例的 CMOS 器件的截面视图；

图 10A 和 10B 为示出用于制造根据第二实施例的 CMOS 器件的工艺示意图；

图 11A 和 11B 为示出用于制造根据第二实施例的变型的 CMOS 器件的示意图；

图 12 为根据本发明第三实施例的 CMOS 器件的截面视图；

图 13A 至 13C 为示出由于制造根据第三实施例的 CMOS 器件的示意图；

图 14 为根据本发明第四实施例的 CMOS 器件的透视图；

图 15 为根据本发明第四实施例的 CMOS 器件的截面视图；

图 16 为示出根据本发明第五实施例的设计方法的一个例子的流程图；

图 17A 和 17B 为示出利用根据第五实施例的设计方法的制造处理的示意图；以及

图 18 个为示出根据本发明第五实施例的一个变型的设计方法的一个例子的流程图。

具体实施方式

下面将参照附图详细描述本发明的优选实施例。

第一实施例

本发明涉及 CMOS 器件的一个例子，其中在一个电感器元件正下方的高电阻区域被形成为比杂质扩散区更深。

图 5 为本发明第一实施例的 CMOS 器件的透视图，以及图 6 为其截面视图。

参见图 5 和图 6，本实施例 CMOS 的器件 10 包括一个半导体基片 11、形成在该半导体器件基片 11 上的元件分离区 12、由元件分离区 12 所分离的器件区 13A 和 13B、形成在该器件区 13A 和 13B 中的 p 沟道和 n 沟道 MOS 晶体管 14A 和 14B、连接到 p 沟道和 n 沟道 MOS 晶体管 14A 和 14B 的插塞 16 和互连层 17、层间绝缘膜 18、以及与插塞 16 和互连层 17 相连接的电感器元件 19。另外，在电感器元件 19 的正下方的高电阻区域被形成为比 p 沟道和 n 沟道 MOS 晶体管 14A 和 14B

的阱区 21A 和 21B 更深。在下文中,将给出对本实施例 CMOS 器件 10 的详细描述。

5 半导体基片 11 由例如具有 $1\text{k}\Omega \cdot \text{cm}$ 的电阻率的硅所形成。从抑制由电感器元件 19 的磁场所感应的涡电流的观点来看,最好使得基片电阻率更高。

p 沟道 MOS 晶体管 14A 包括通过把 n 型掺杂剂离子扩散到半导体基片 11 中所形成的 n 型阱区 21A、通过扩散 p 型掺杂剂离子所形成的源区和漏区 22A 和 22B、由在该半导体基片 11 的表面的 2 纳米厚的二氧化硅膜所形成的栅绝缘膜 23、由 180 纳米厚的多晶硅膜所形成的栅极 24、以及侧壁绝缘膜 25。

通过离子注入, n 型掺杂剂离子, 例如 P^+ 离子, 被加速到 600 电子伏特并且以 $1 \times 10^{13} \text{cm}^{-2}$ 的密度注入到 n 型阱区 21 A。该 n 阱的深度例如相对于该半导体基片 11 的表面为 1000 纳米左右。

15 另一方面, n 沟道 MOS 晶体管 14B 包括通过扩散具有与 p 沟道 MOS 晶体管相反导电型的掺杂剂离子而形成的 p 型阱区 21B、通过扩散 n 型掺杂剂离子所形成的源区和漏区 22C 和 22D、由在该半导体基片 11 的表面上形成的 2 纳米厚的二氧化硅膜所形成的栅绝缘膜 23、由 180 纳米厚的多晶硅膜所形成的栅极 24、以及侧壁绝缘膜 25。

20 具体来说, 通过离子注入, p 型掺杂剂离子, 例如 B^+ 离子, 被加速到 300keV, 并且以 $1 \times 10^{13} \text{cm}^{-2}$ 的密度注入到 p 型阱区 21B。p 阱的深度例如相对于该半导体基片 11 的表面为 1000 纳米左右。另外, 由于杂质被扩散, 因此 n 阱 21A 和 p 阱 21B 的电阻率变为几十 $\Omega \cdot \text{cm}$, 低于半导体基片 11 的电阻率。

25 该互连结构包括由连接 MOS 晶体管和它们的互连层的钨 (W) 所形成的插塞 16, 该互连层 17 由大约 150 纳米厚的铝 (Al) 或者其他金属膜所形成, 并且该层间绝缘膜 18 由 300nm 的二氧化硅所形成。

例如, 电感器元件 19 以螺旋形状形成在该互连结构上, 并且其两端通过插塞 16 连接到该互连层 17。

该电感器元件 19 由 150nm 的铝 (Al) 或其他金属膜所形成。具体

来说,电感器元件 19 具有 $40000\mu\text{m}^2$ 至 $250000\mu\text{m}^2$ 的面积,以及 135 纳米至 165 纳米的厚度。请注意,对于电感器元件 19,除了螺旋状电感器元件之外还可以使用曲折电感器或其他电感器。

在该半导体基片 11 并且正在电感器元件 19 的下方,形成高电阻区域 20。通过在下文中所示的制造步骤,通过在半导体基片 11 中形成的凹槽内掩埋例如二氧化硅膜、氮氧化硅膜和氮化硅膜这样的绝缘材料,而形成高电阻区域 20。

另外,高电阻区域 20 被形成为比该元件分离区 12 更深,并且比 p 阱 21B 和 n 阱 21A 的下端更深。高电阻区域 20 的深度例如被设置为相对于半导体基片 11 的表面为 1200 纳米至 1500 纳米。也就是说,杂质区不形成在高电阻区域 20 的下方。因此,在高电阻区域 20 的下方的区域的电阻率用于该基片的电阻率,即高于 p 阱 21B 和 n 阱 21A 的电阻率。

通过这种结构,即使当在电感器元件 19 中的电流所产生的磁通量作用于半导体基片 11 时,由于高电阻区域 20 被绝缘,因此涡电流的感应被抑制。另外,由于在高电阻区域 20 下方的区域是半导体基片 11 的一部分而没有扩散的杂质,因此涡电流的感应被高基片电阻所抑制。从而,可以防止电感器元件 19 的性能下降。

接着,将说明用于制造本实施例的 CMOS 器件的方法。

图 7A 至 7D 以及 8E 和 8F 为示出用于制造根据第一实施例的 CMOS 器件的工艺示意图。

参见图 7A,通过光刻和干法蚀刻处理,在例如具有 $1\text{k}\Omega\cdot\text{cm}$ 的基片电阻率的硅基片 11 中,在电感器元件 19 的正下方,如图 5 和图 6 中所示,例如,形成 1000nm 深的沟槽 11-1。更加具体来说,该沟槽 11-1 的深度被选择使得它与要在下一个步骤中除去的深度之和大于在下文中所述的 n 阱 21A 和 p 阱 21B 的深度。

接着,在如图 7B 所示的步骤中,仍然通过光刻和干法蚀刻,在包括已经形成的沟槽 11-1 的一个较宽区域中,例如形成一个 300nm 深的沟槽 11-3,并且同时形成用于分离 MOS 晶体管的沟槽 11-2A 和 11-2B。

通过该步骤, 在该电感器元件的正下方的该半导体基片 11 中形成一个 1300nm 深的沟槽 11-3。

另外, 在如图 7B 所示的步骤中, 通过 CVD (化学汽相淀积) 等等, 淀积一个二氧化硅膜为具有 1600nm 的厚度, 并且通过该二氧化硅埋住该沟槽 11-2A、11-2B 和 11-3。

另外, 在如图 7B 所示的步骤中, 通过 CMP 方法对该二氧化硅膜进行抛光, 直到半导体基片 11 被暴露。通过上述步骤, 形成高电阻区域 20 和元件分离区 12。

接着, 在如图 7C 所示的步骤中, 通过光刻处理, 使用 p 阱掩膜执行构图, 用光刻胶 31 覆盖除了要被形成的 n 沟道 MOS 晶体管 14B 的区域之外其他基片表面。通过离子注入, 把 B⁺掺杂剂离子加速到 300keV, 并且以 $1 \times 10^{13} \text{cm}^{-2}$ 的密度注入到该器件区 13B, 以形成 p 阱区 21B。

具体来说, 通过离子注入, 例如把 B⁺掺杂剂离子加速到从 285keV 至 315keV 的预定范围, 并且相对于该半导体基片 11 的表面扩散到从 700nm 至 1000nm 的深度, 以形成 p 阱区 21B。

接着, 在如图 7D 所示的步骤中, 除去光刻胶 31, 并且通过使用把在上述光刻步骤中所用的 p 阱掩膜反转所获得的 n 阱掩膜, 用光刻胶 32 覆盖已经形成 p 阱区 21B 的器件区。接着, 通过离子注入, 把 P⁺掺杂剂离子加速到 600keV, 并且以 $1 \times 10^{13} \text{cm}^{-2}$ 的密度注入到该器件区 13B, 以形成 p 阱区 21A。

具体来说, 通过离子注入, 例如把 P⁺掺杂剂离子加速到从 570keV 至 630keV 的预定范围, 并且相对于该半导体基片 11 的表面扩散到从 700nm 至 1000nm 的深度, 以形成 n 阱区 21A。

在该步骤中, 当注入 P⁺掺杂剂离子时, 光刻胶掩膜不形成在该电感器元件 19 正下方的高电阻区域 20 中。结果, 掺杂剂离子还被注入到该高电阻区域 20。但是, 该高电阻区域 20 被形成为比该掺杂剂离子可以到达的深度更深, 即, 比 n 阱和 p 阱更深, 结果, 没有杂质扩散区形成在该高电阻区域 20 的下方。

另外，在图 7D 所示的步骤中，除去光刻胶 32，在 1000℃ 的温度下执行退火，用于激活。

接着，在如图 8E 所示的步骤中，通过该半导体基片 11 的表面进行热氧化，淀积具有 2nm 厚的栅氧化膜 23，并且在该栅氧化膜 23 上，
5 通过 CVD 形成 180nm 厚的多晶硅膜。接着，在使用光刻方法进行构图之后通过干法蚀刻形成栅极 24。

另外，在如图 8E 所示的步骤中，通过光刻处理用掩膜覆盖一个器件区 13B。通过离子注入，把 BF_2^+ 掺杂剂离子加速到 10keV，并且以 $1 \times 10^{14} \text{cm}^{-2}$ 的密度注入到其他器件区 13A，以形成 p 型 LDD（轻掺杂漏极）区（未示出）。另外， As^+ 掺杂剂离子被加速到 10keV，并且以 $1 \times 10^{14} \text{cm}^{-2}$ 的密度注入到其他器件区 13A，以形成 n 型 LDD 区（未示出）。
10

另外，在如图 8E 所示的步骤中，通过 CVD 方法形成一个 100nm 厚的二氧化硅膜，并且通过 RIE 执行蚀刻，以形成侧壁 25。接着，按照与形成 LDD 区域相同的方式，形成源区和漏区 22A 至 22D。

另外，在如图 8E 所示的步骤中，通过 RTA（快速热退火），在 1000℃ 的温度下执行 3 秒钟的热处理，用于激活。
15

接着在如图 8F 所示的步骤中，通过 CVD 方法把一个二氧化硅膜淀积在该基片的表面上。接着通过 CVD 方法执行平整，以形成层间绝缘膜 18A。然后，通过光刻和干法蚀刻开出接触孔，并且通过 CVD 方法把一个钨膜淀积为 300nm 的厚度，然后通过 CMP 执行抛光，以在该接触孔中形成插塞 16。
20

另外，在如图 8F 所示的步骤中，通过溅射形成一个 150nm 厚的 Al 膜，并且通过光刻和干法蚀刻形成该互连层 17。接着，通过 CVD 形成一个 300nm 的二氧化硅膜，并且通过 CMP 执行平整，以形成层间绝缘膜 18B。然后，按照与上文所述相同的方式形成互连层 17 和插塞 16。
25

另外，在如图 8F 所示的步骤中，通过溅射方法把一个 Al 或其他金属膜淀积在该互连结构上具有 150nm 的厚度，并且通过光刻和干法蚀刻形成一个螺旋状的电感器元件 19。

按照这种方式，形成本实施例的 CMOS 器件 10。

如上文所述, 根据本实施例, 在该电感器元件 19 的正下方的高电阻区域 20 被形成作为比杂质区的 p 阱和 n 阱 21 的下端更深。由于高电阻区域 20 为一个绝缘体, 它防止涡电流的感应, 从而在该高电阻区域下方不形成杂质区, 并且高基片电阻率防止涡电流的感应。相应地, 可以避免电感器元件 19 的性能下降。

第二实施例

本实施例涉及一种 CMOS 器件的一个例子, 其中包括多个凹槽的分割图案被形成在电感器元件的正下方的高电阻区域的下方表面上。除了形成分割图案之外, 本实施例与第一实施例相同。

图 9 根据本发明第二实施例的 CMOS 器件的截面视图。在图 9 中, 相同的参考标号被分配给与上文所述相同的部件, 并且将省略对它们的描述。

参见图 9, 本实施例的 CMOS 器件 40 包括半导体基片 11、形成在该半导体基片 11 上的元件分离区 12、由该元件分离区 12 所分离的器件区 13A 和 13B、形成在器件区 13A 和 13B 中的 p 沟道和 n 沟道 MOS 晶体管 14A 和 14B、连接到 p 沟道和 n 沟道 MOS 晶体管 14A 和 14B 的插塞 16 和互连层 17、层间绝缘膜 18、以及与插塞 16 或互连层 17 相连接的电感器元件 19。另外, 多个凹槽 41-1 形成在电感器元件 19 的正下方的高电阻区域 41 的底部表面上。

在电感器元件 19 的正下方的高电阻区域 41 的底部表面例如被形成成为分别具有 $0.1\mu\text{m}$ 至 $200\mu\text{m}$ 的宽度 (最好为 $1.0\mu\text{m}$ 至 $2.0\mu\text{m}$)、在凹槽之间的间隔为 $0.1\mu\text{m}$ 至 $50\mu\text{m}$ (最好为 $0.5\mu\text{m}$ 至 $1.0\mu\text{m}$) 以及相对于半导体基片 11 的表面的深度为 1200nm 至 1400nm , 并且至少沿着该半导体基片 11 的表面内部的一个方向上形成。与第一实施例相同, 在高电阻区域 41 和凹槽 41-1 中, 掩埋例如二氧化硅膜这样的绝缘材料。

另外, 在凹槽 41-1 之间的半导体基片 11 中形成杂质扩散区 42。当形成 n 阱区 21A 时, 由于 n 型掺杂剂离子被注入到而没有光刻胶掩膜提供于高电阻区域 41 中, 该杂质扩散区 42 被形成成为延伸到大约与 n

阱区 21A 相同的深度。

通过这样一种结构, 即使当在电感器元件 19 中流动的电流所产生的磁通量几乎与半导体基片 11 相垂直时, 涡电流的感应也没有出现在高电阻区域 41 中, 正如在第一实施例中那样。在凹槽 41-1 之间的高电阻区域 41 的杂质扩散区 42 中, 由于该电阻率低于基片的电阻率, 因此, 在此可能容易地感应涡电流。但是, 由于通过在高电阻区域 41 中的凹槽 41-1 分割感应的涡电流, 因此感应的涡电流被抑制。从而, 可以防止电感器元件 19 的性能下降。

接着, 将描述用于制造本实施例的 CMOS 器件的一种方法。

图 10A 和 10B 为示出用于制造根据第二实施例的 CMOS 器件的一种处理。在下文中, 将省略与第一实施例相重复的描述。

在如图 10A 的所示的步骤中, 通过光刻和干法蚀刻, 在例如具有 $1\text{k}\Omega \cdot \text{cm}$ 的基片电阻率的硅基片 11 中, 形成 1000 纳米深的沟槽 11-4。更加具体来说, 例如沟槽 11-4 被设置为 900 纳米至 1100 纳米深, $0.1\ \mu\text{m}$ 至 $200\ \mu\text{m}$ (最好为 $1.0\ \mu\text{m}$ 至 $2.0\ \mu\text{m}$) 宽, 以及在该沟槽之间的间距为 $0.1\ \mu\text{m}$ 至 $50\ \mu\text{m}$ (最好为 $0.5\ \mu\text{m}$ 至 $1.0\ \mu\text{m}$)。这种沟槽 11-4 被形成在该对电感器元件 19 的正下方的硅基片 11 中。

接着, 在如图 10B 所示的步骤中, 仍然通过光刻和干法蚀刻方法形成 300 纳米深的沟槽 11-5。被切割为包含上述沟槽 11-4 的沟槽 11-5 从该半导体基片 11 表面至沟槽 41-1 底部的深度为 1200 纳米至 1400 纳米。另外, 还形成用于分割 MOS 晶体管的沟槽 11-2。

另外, 在如图 10B 所示的步骤中, 通过 CVD 或者其他方法, 淀积 1600 纳米厚的二氧化硅膜, 然后通过 CMP 方法进行抛光和平整, 以形成高电阻区域 42 和元件分离区 12。

接着, 在如图 10B 的所示的步骤中, 如图 7C 和 7D 中所示, 形成 p 阱和 n 阱区 21。如图 7D 中所示, 当形成 n 阱区时, 光刻胶掩膜不形成在高电阻区域 41 中, 并且 n 型杂质扩散区 42 形成在高电阻区域 41 中的沟槽 41-1 之间。

后续步骤与第一实施例中的图 8E 和 8F 中所示的步骤相同, 并且

通过这些步骤形成如图 9 中所示的本实施例的 CMOS 器件。

如上文所述, 根据本实施例, 形成在电感器元件 19 的正下方的高电阻区域 41, 在其底部表面上具有多个沟槽 41-1, 从而分割感应涡电流, 并且涡电流的感应被抑制。另外, 由于在高电阻区域的底部的凹槽, 5 可以减小在通过 CMP 方法的平整步骤过程中所产生的凹陷或其他局部的下陷。

请注意, 在本实施例中, 如上文所述, 当形成 n 阱区 21A 时, 注入 n 型掺杂剂离子, 而没有在高电阻区域 41 中形成光刻胶掩膜, 但是如图 11A 和 11B 中的步骤所示, 光刻胶掩膜也形成在高电阻区域 41 中。

10 图 11A 和 11B 为示出用于制造根据第二实施例的一个变型的 CMOS 器件的处理的示意图。

参见图 11A, 如在第二实施例的图 10B 的步骤的中, 形成一个 p 阱区。具体来说, 通过光刻胶 31 覆盖 n 阱区 21A 和高电阻区域 41 的侧面上的器件区 13A, 并且通过离子注入, B^+ 掺杂剂离子被加速到 15 300keV, 并且以 $1 \times 10^{13} \text{cm}^{-2}$ 的密度注入到该器件区 13B, 以形成 p 阱区 21B。

接着, 在如图 11B 所示的步骤中, 除去光刻胶 31, 并且通过光刻胶 33 覆盖在 p 阱区 21B 和高电阻区域 41 的侧面上的器件区 13B。通过离子注入, 把 P^+ 掺杂剂离子加速到 600keV, 并且以 $1 \times 10^{13} \text{cm}^{-2}$ 的密度 20 注入到该器件区 13A, 以形成 n 阱区 21A。

按照这种方式, 由于掺杂剂离子没有被注入到高电阻区域 41, 因此杂质区不形成在凹槽 41-1 之间的基片中。相应地, 该基片区具有基片电阻率并且出于高电阻状态, 从而不容易出现涡电流的感应, 并且涡电流的感应被抑制。因此, 可以防止电感器元件 19 的性能下降。

25

第三实施例

本实施例涉及 CMOS 器件的一个例子, 其中多孔层形成在电感器元件的正下方的高电阻区域中。除了形成多孔层之外, 本实施例与第一实施例相同。

图 12 为根据本发明第三实施例的 CMOS 器件的截面视图。在图 12 中, 相同的参考标号表示与上文所述相同的元件, 并且将省略对它们的说明。

参见图 12, 本实施例的 CMOS 器件 50 包括半导体基片 11、形成在半导体基片上的元件分离区 12、由该元件分离区 12 所分离的器件区 13A 和 13B、形成在器件区 13A 和 13B 中的 p 沟道和 n 沟道 MOS 晶体管 14A 和 14B、连接到 p 沟道和 n 沟道 MOS 晶体管 14A 和 14B 的插塞 16 和互连层 17、层间绝缘膜 18、以及与插塞 16 或互连层 17 相连接的电感器元件 19。另外, 多孔层 52 形成在电感器元件 19 的正下方的高电阻区域 51 的底部表面上。

多孔层 52 是通过把一部分半导体基片 11 的硅转换为多孔状态而获得的。例如, 其厚度被设置为 900 纳米至 1100 纳米。由于多孔硅形成一个复杂形状的空间, 因此难以在该材料中形成闭合回路的涡电流, 并且抑制涡电流的感应。因此, 可以防止电感器元件的性能下降。

接着, 将描述用于制造本实施例的 CMOS 器件的一种方法。

图 13A 至 13C 为示出用于制造根据第三实施例的 CMOS 器件的处理的示意图。

参见图 13A, 通过光刻和干法蚀刻, 在硅基片 11 中, 形成 300 纳米深的沟槽 11-2A、11-2B、11-6 为 300nm 的深度。对于元件分离区 12 和在电感器元件 19 的正下方的高电阻区域 51 形成这些沟槽。

接着, 在如图 13B 所示的步骤中, 通过光刻方法形成光刻胶 34, 使其具有对应于在该电感器元件 19 的正下方的沟槽 11-6 的位置处的开口。

接着, 在图 13C 所示的步骤中, 在半导体基片 11 中的开孔 34-1 的中形成的多孔层 52。具体来说, 例如通过阳极氧化, 在 HF 溶液中, 使用 Pt 作为阴极, 把转换电流设置为 $100\text{mA}/\text{cm}^2$, 并且在该半导体基片 11 中提供大于 12 分钟的转换电流。结果, 形成 1000 纳米厚的多孔层 52。

另外, 在如图 13C 所示的步骤中, 通过 CVD 或者其他方法, 淀积

400 纳米厚的二氧化硅膜，然后，通过 CMP 进行抛光和平整，以形成高电阻区域 51 和元件分离区 12。

如上文所述，根据本实施例，在电感器元件 19 的正下方的高电阻区域 51 之下，形成一个多孔层，并且由于该多孔层的形状，使得几乎不会出现涡电流的感应，从而可以抑制电感器元件 19 的性能下降。另外，在电感器元件的正下方的元件分离区被形成为与用于分离 MOS 晶体管的元件分离区相同的深度。因此，可以减小在通过 CMP 进行平整的步骤过程中出现凹陷或者局部下陷。

第四实施例

本实施例涉及 CMOS 器件的一个例子，其中在电感器元件的正下方的半导体基片的后表面被研磨和除去。

图 14 为根据本发明第四实施例的 CMOS 器件的截面视图。图 15 为其截面视图。在图 14 和 15 中，相同的参考标号表示与上文所述相同的元件，并且将省略对它们的说明。

参见图 14 和 15，本实施例的 CMOS 器件 60 包括半导体基片 11、形成在半导体基片 11 上的元件分离区 12、由该元件分离区 12 所分离的器件区 13A 和 13B、形成在器件区 13A 和 13B 中的 p 沟道和 n 沟道 MOS 晶体管 14A 和 14B、连接到 p 沟道和 n 沟道 MOS 晶体管 14A 和 14B 的插塞 16 和互连层 17、层间绝缘膜 18、以及与插塞 16 或互连层 17 相连接的电感器元件 19。另外，仅仅高电阻区域 61 在电感器元件 19 的正下方，并且从该后表面上除去该半导体基片的一部分，形成一个凹陷 62。换句话说，在对应于电感器元件 19 的半导体基片 11 的后表面上，提供一个凹陷 62，使其具有等于或大于由该电感器元件 19 所占据的面积的一个面积。

例如，该凹陷 62 可以按照如下方式而形成。

首先，预先形成定位孔，以从其主表面穿过该半导体基片 11 到达其后表面。这些孔可以被用作为在对应于该电感器元件 19 的半导体基片 11 的后表面上进行光刻处理的过程中用于掩膜的位置参考。请注意，

还可以使用双侧校准器在该半导体基片 11 的后表面上执行构图。

在形成光刻胶之后，使用该光刻胶作为掩膜，通过干法蚀刻执行腐蚀以形成凹陷 62。

根据本实施例，当在形成于该半导体基片 11 上的电感器元件 19 中具有电流流动时，产生磁通量，并且几乎与该半导体基片 11 相垂直。但是，由于仅仅高电阻区域 61 形成在该电感器元件的正下方，因此可以防止涡电流的感应。从而，可以避免电感器元件 19 的性能下降。

请注意，可以在形成元件分离区 12 之前或者在形成电感器元件之后执行对该半导体基片 11 的后表面的腐蚀的步骤。另外，在本实施例中，高电阻区域 61 的深度可以被设置为与用于分离 MOS 晶体管的元件分离区 12 的深度相同，但是与第一实施例中相同，在该电感器元件 19 的正下方的高电阻区域 61 可以被形成得更深，这样减小用于形成凹陷 62 的腐蚀量。

另外，可以提供多个凹陷 62。例如，在该后表面上，可以在等于或大于由该电感器元件 19 所占据的面积的区域上以格子的方式形成沟槽。最好，每个凹槽的底部到达高电阻区域 61，从而该感应的涡电流被分割。

第五实施例

本实施例涉及用于在制造 CMOS 器件的过程中形成杂质区时对光刻胶进行构图的掩膜。

图 16 为示出根据本发明第五实施例的设计方法的一个例子的流程图。在下文中将参照图 16 给出描述。

首先，从 CMOS 器件电路设计数据，通过众所周知的方法产生包括器件区、元件分离区等等的基片区的图案（步骤 201）。接着，根据这些图案，产生用于仅仅在形成 p 阱的位置处制作开孔的掩膜数据（步骤 202）。接着，根据这些图案，产生用于仅仅在形成 n 阱的位置处制作开孔的掩膜数据（步骤 203）。通过这些步骤，产生用于 p 阱和 n 阱的掩膜数据。

图 17A 和 17B 示出在使用通过上述方法所产生的 p 阱掩膜数据和 n 阱掩膜数据制作掩膜之后通过光刻对光刻胶进行构图的例子。在此，将以第二实施例的 CMOS 器件 40 为例。

参见图 17A，首先使用由 p 阱数据所制作的掩膜，用该掩膜 35 覆盖该 n 阱器件区 13A 和高电阻区域 41。通过在第一实施例中所述的步骤，把 p 型杂质元素注入以形成一个 p 阱区 21B。

接着，在图 17B 所示的步骤中，使用由该 n 阱数据所制作的掩膜，通过光刻胶 36 覆盖 p 阱器件区 13B 和高电阻区域 41。通过相同的处理，把 n 型杂质元素注入以形成一个 n 阱区 21A。

按照这种方式产生掩膜数据，杂质元素不被注入到高电阻区域 41 中，因此不把杂质元素注入在高电阻沟道之间的半导体基片，并且保持高基片电阻率，从而几乎不出现涡电流的感应，并且涡电流的感应被抑制。因此，可以防止电感器元件 19 的性能下降。

作为对第五实施例的变型，可以按照如下方式设计一个掩膜。

图 18 为示出根据本实施例的一种设计方法的另一个例子。在下文中，将参照图 18 进行说明。

首先，从 CMOS 器件电路设计数据，通过众所周知的方法产生包括器件区、元件分离区等等的基片区的图案（步骤 211）。接着，根据这些图案，产生用于仅仅在形成 p 阱的位置处制作开孔的掩膜数据（步骤 212）。

接着通过反转该数据，产生用于在除了形成 p 阱的位置是外的其它位置处制作一个开孔的掩膜数据（被称为 n 阱掩膜数据）（步骤 213）。接着，由于在电感器元件的正下方的高电阻区域被打开，因此产生电感器区域数据（步骤 214），并且附加到和与 n 阱掩膜数据相组合（步骤 215）。按照这种方式，产生 p 阱掩膜数据和 n 阱掩膜数据。

通过使用按照这种方式产生的数据制作的掩膜具有与第五实施例相同的效果。另外，当按照这种方式产生掩膜数据时，电感器区域数据的量远小于 n 阱数据的量。并且，与分别产生 p 阱数据和 n 阱数据的情况相比，可以大大地减小使用 CAD 或其他方法的设计工作。

尽管已经参照用于说明的目的的具体实施例对本发明进行描述，但

是显然本发明不限于这些实施例，本领域的普通技术人员可以作出各种变型而不脱离本发明的基本思想和范围。

例如，尽管在上述实施例中使用 CMOS 器件作为例子进行描述，但是本发明还可以应用于 BiCMOS 器件和硅双极型器件。

- 5 总结本发明的效果，如上文清楚地示出，根据本发明，通过在比杂质扩散区更深的位置处在一个半导体基片中形成高电阻区域，可以抑制由于在半导体基片上提供的电感器元件所产生的磁场导致在高电阻区域中感应涡电流。另外，通过在高电阻区域中形成凹槽或多孔部分，涡电流被分割。结果，可以提供一种能够防止电感器元件的性能下降的半
- 10 导体器件。

图1

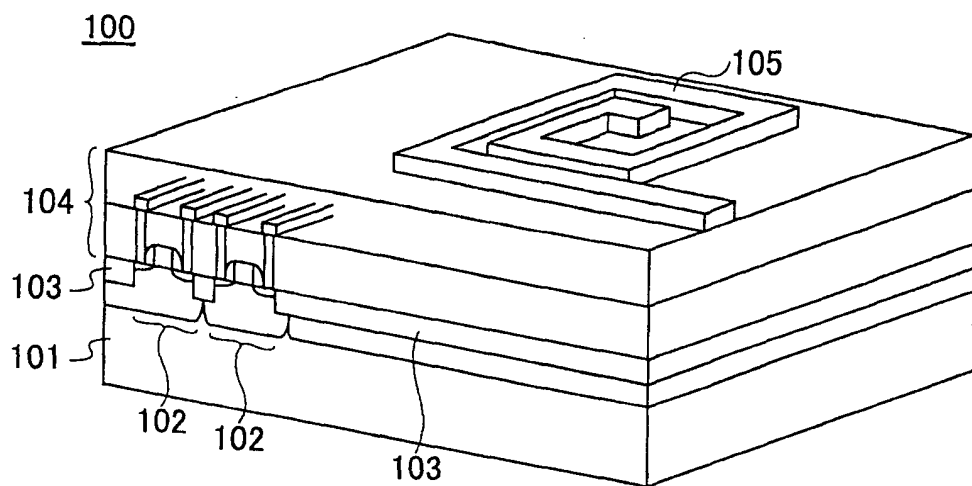


图2

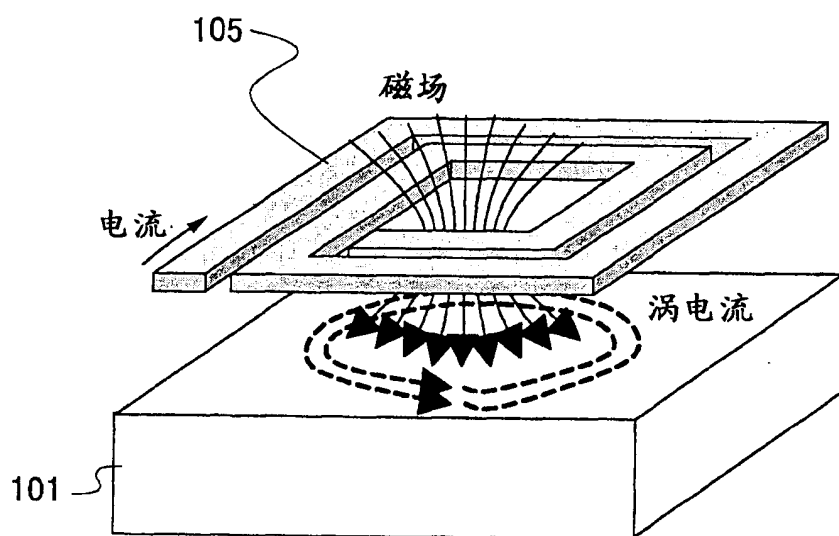


图 3

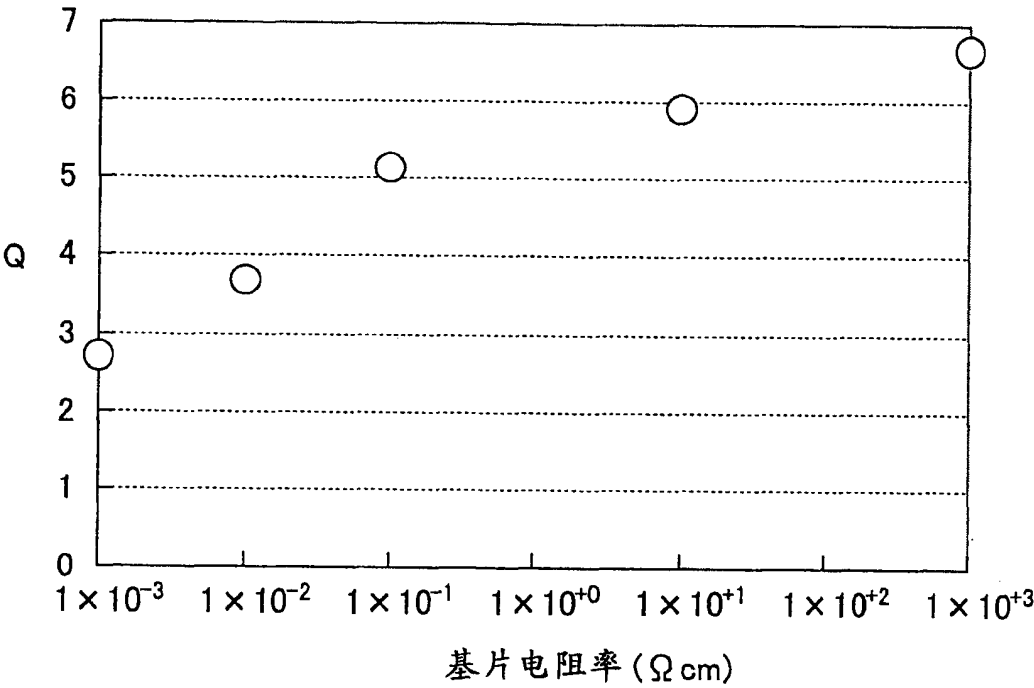


图 4A

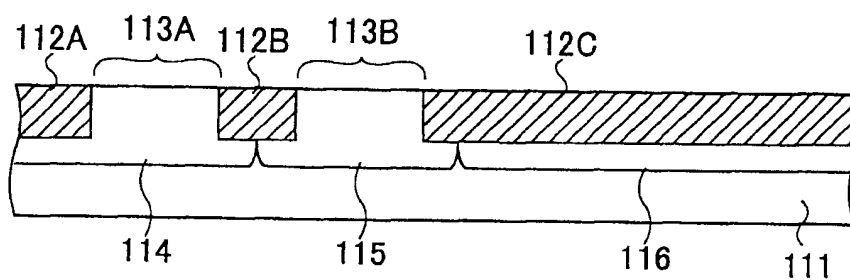


图 4B

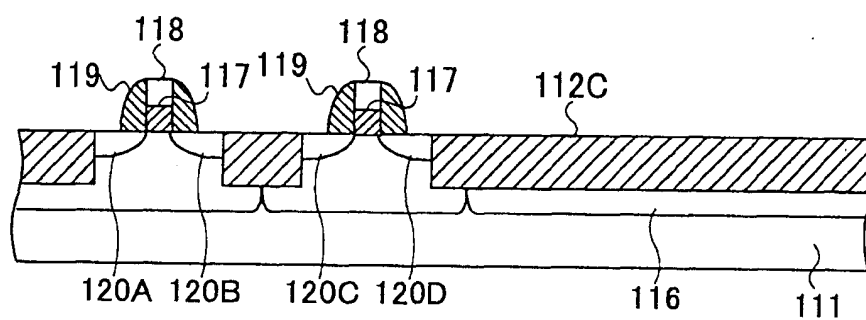


图 4C

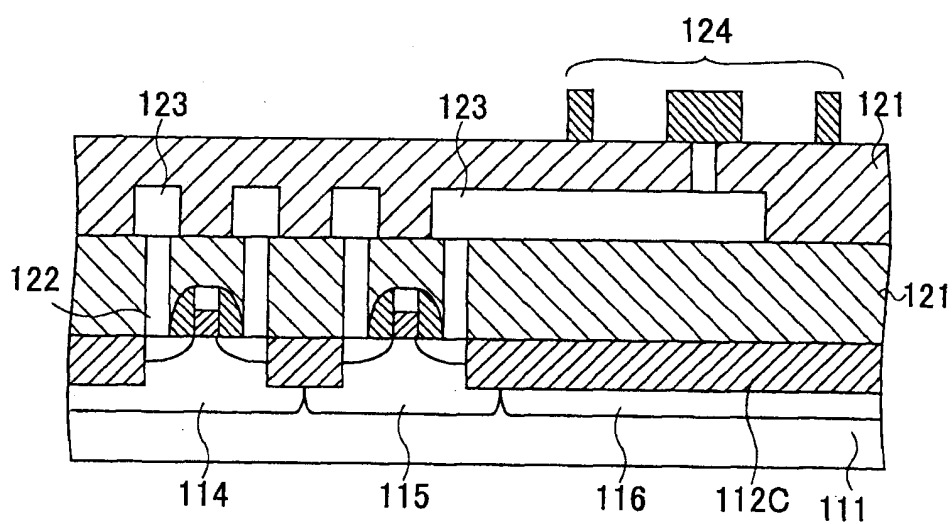


图5

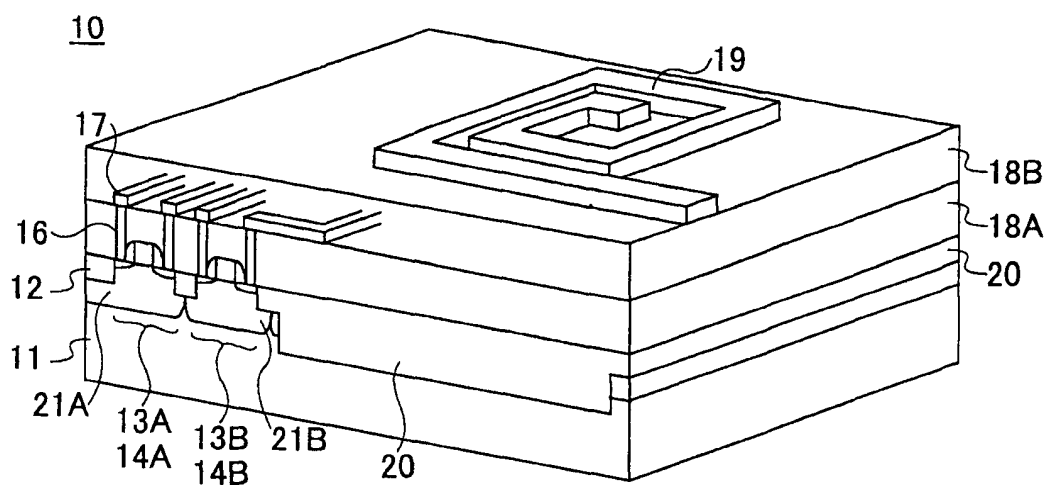


图6

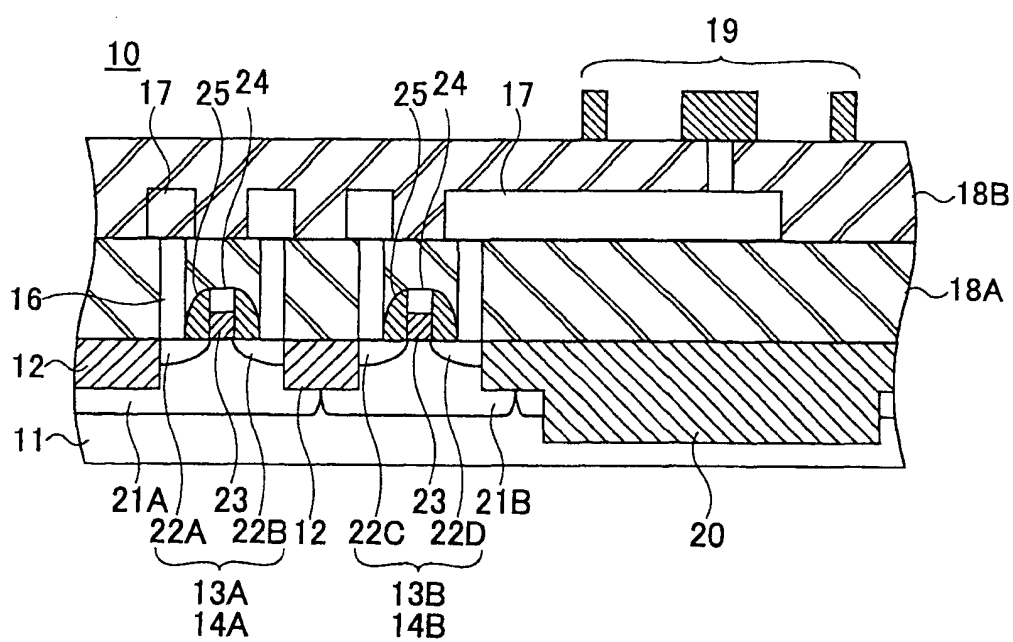


图 7A

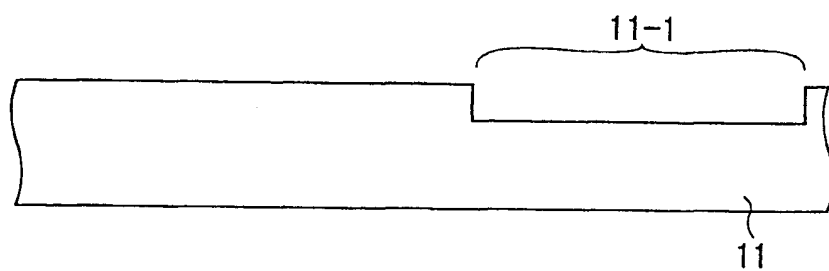


图 7B

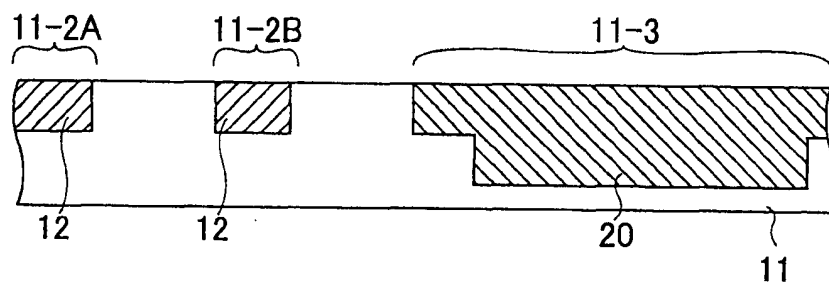


图 7C

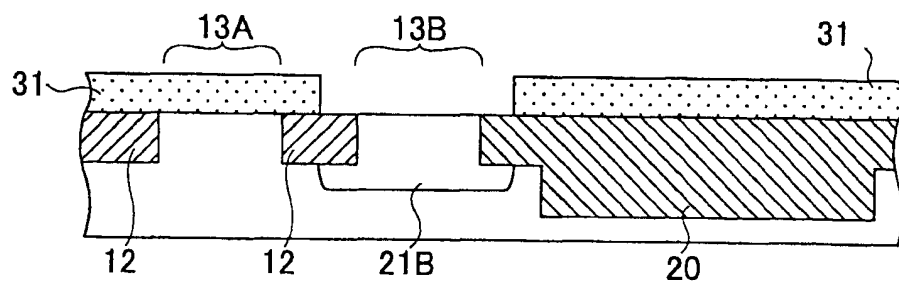


图 7D

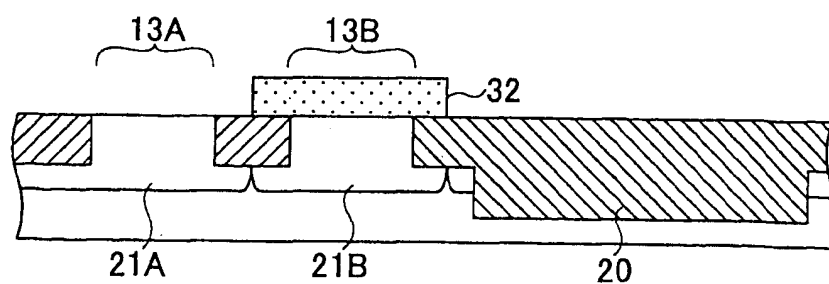


图 8E

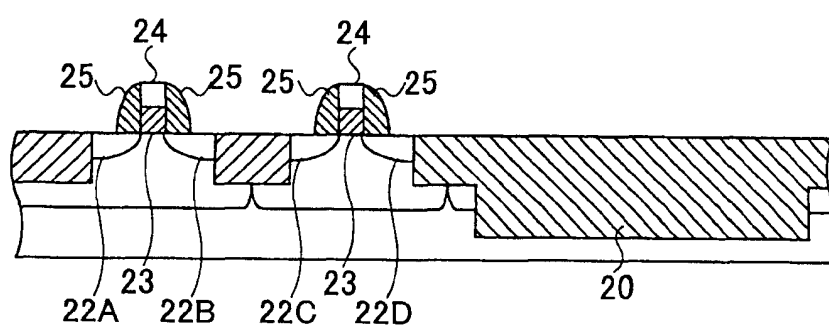


图 8F

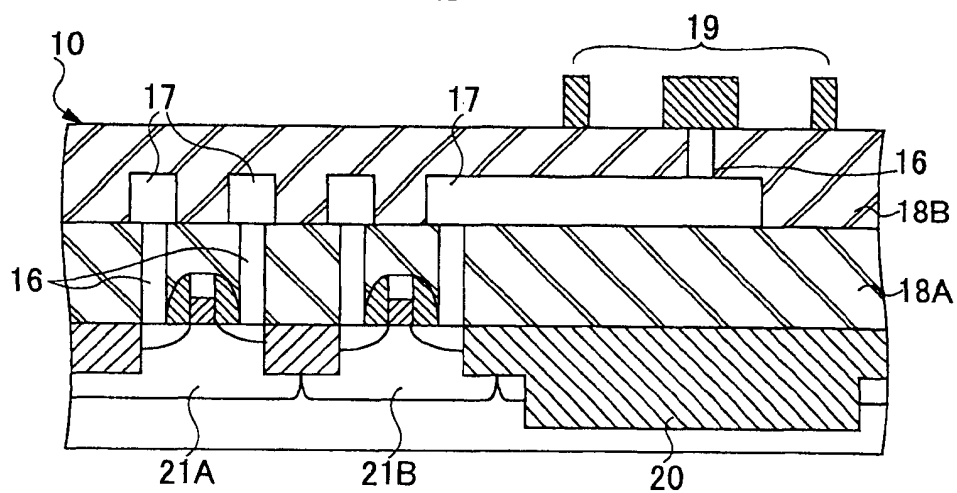


图 9

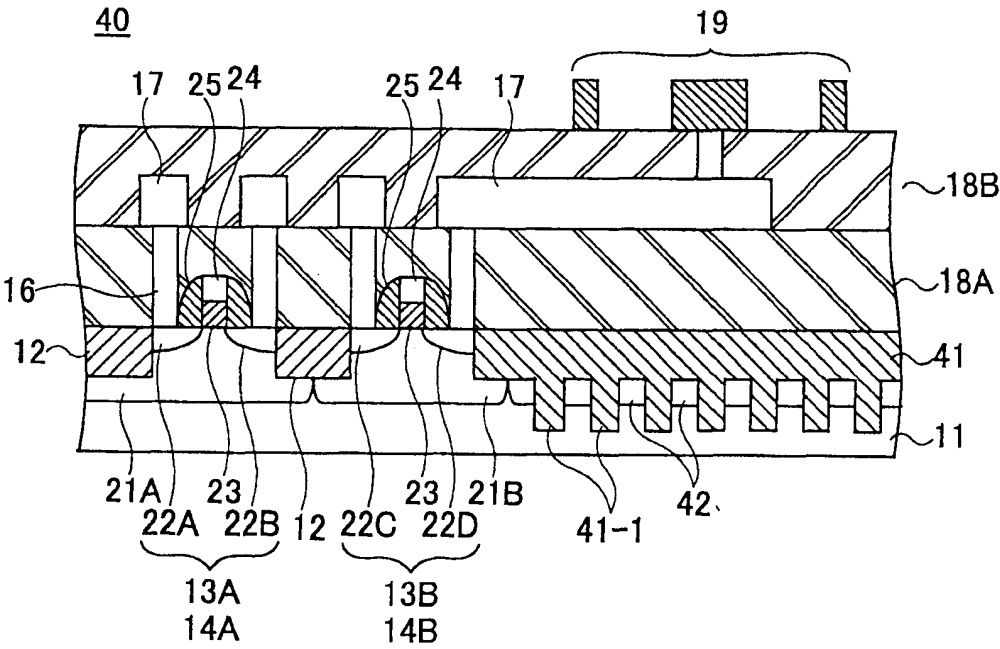


图 10A

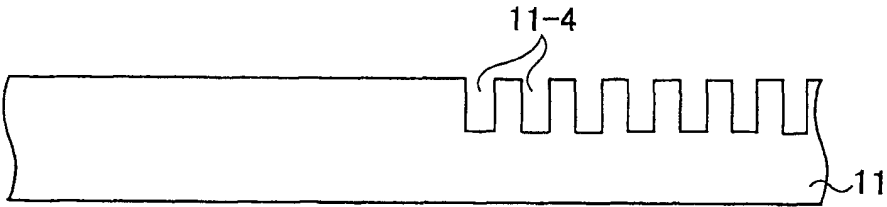


图 10B

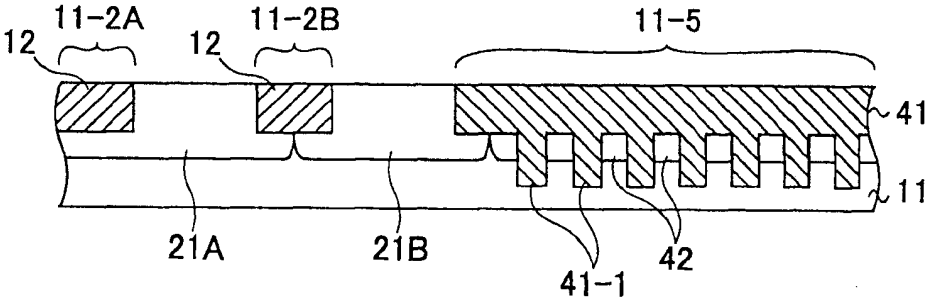


图 11A

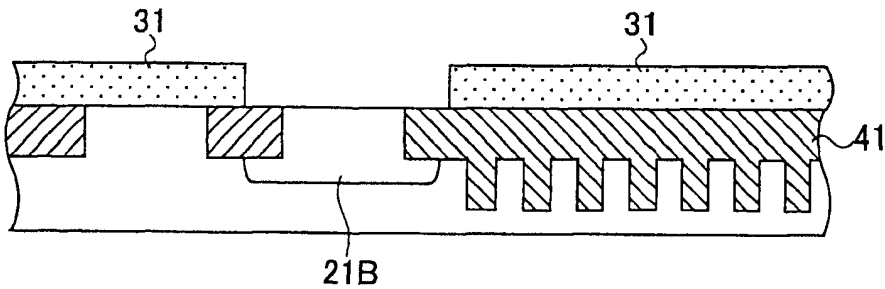


图 11B

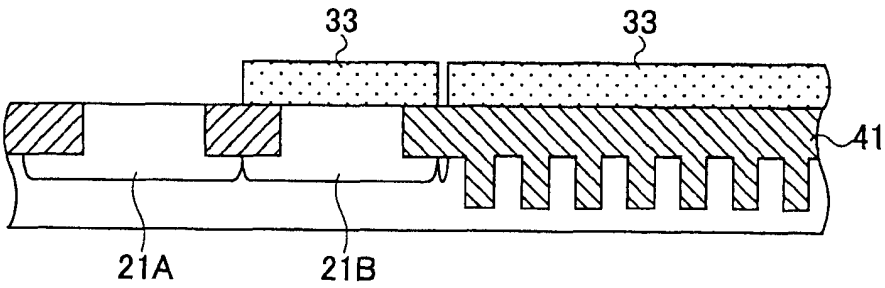


图 12

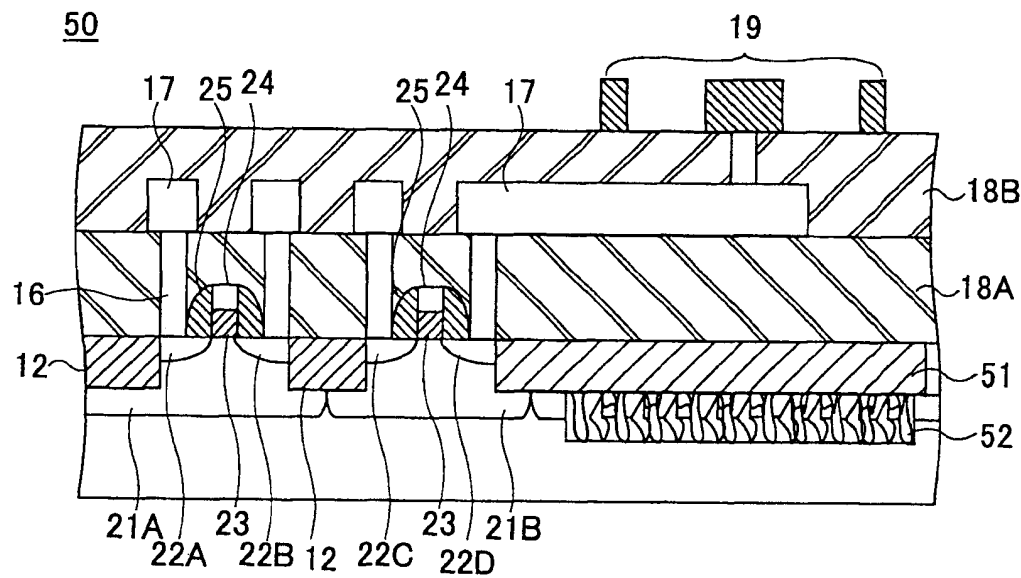


图 13A

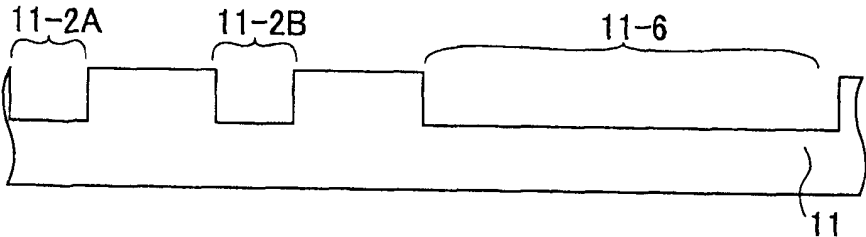


图 13B

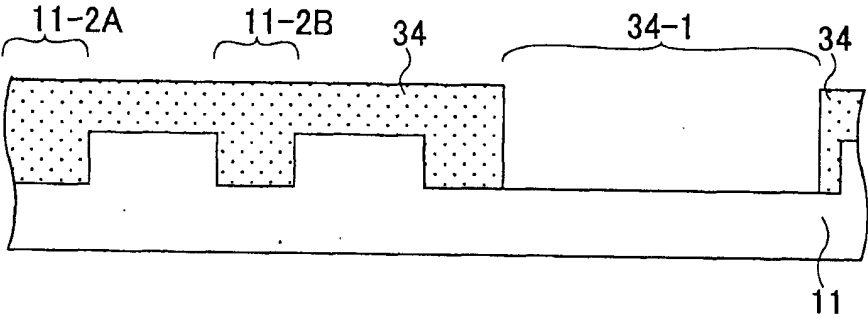


图 13C

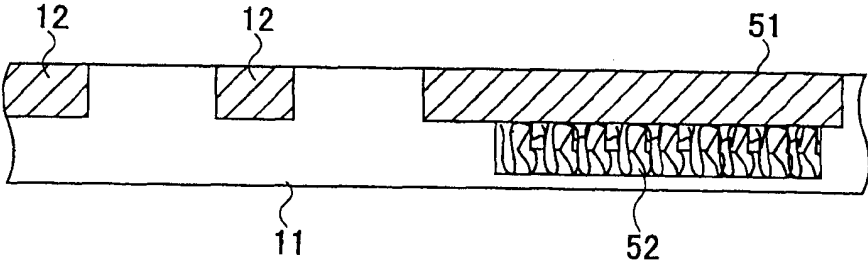


图 14

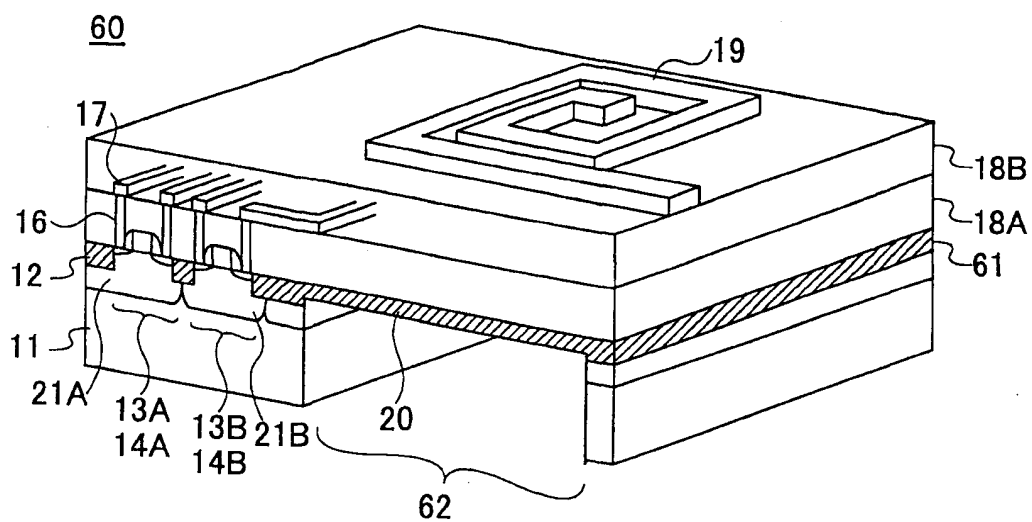


图 15

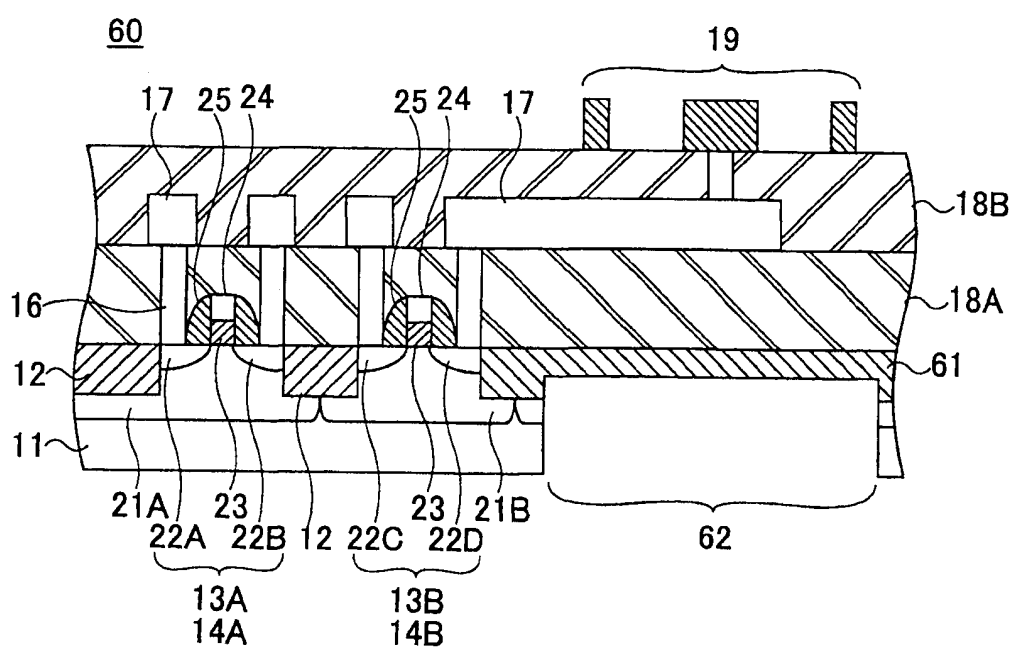


图16

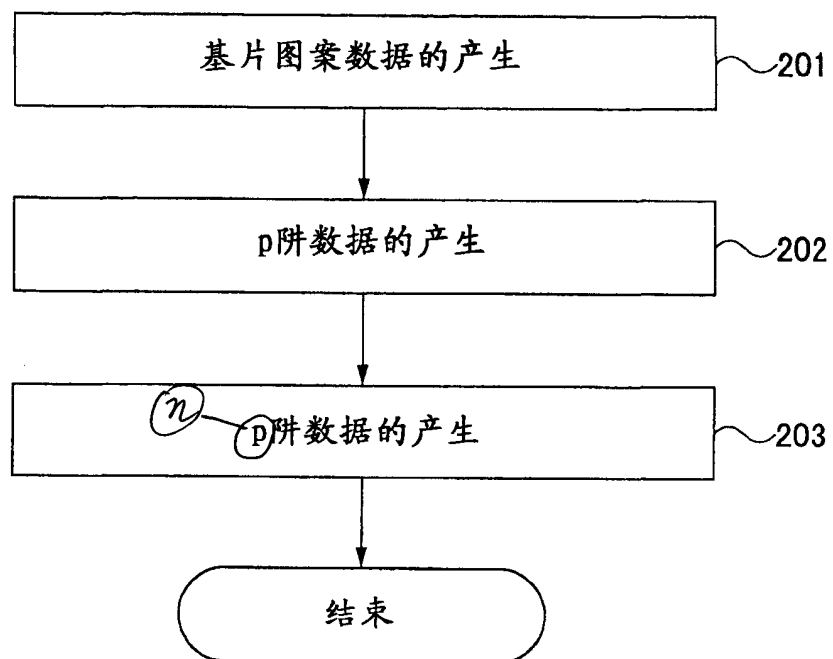


图17A

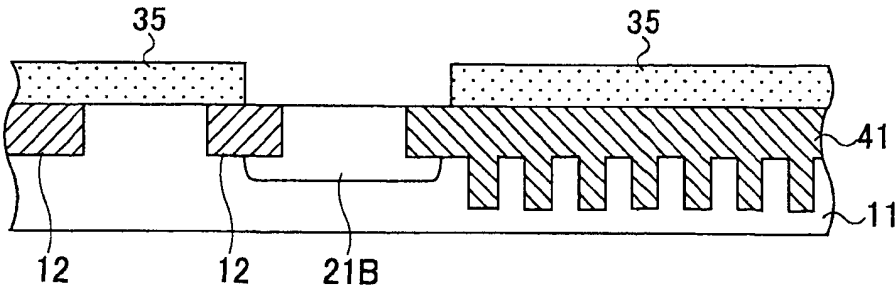


图17B

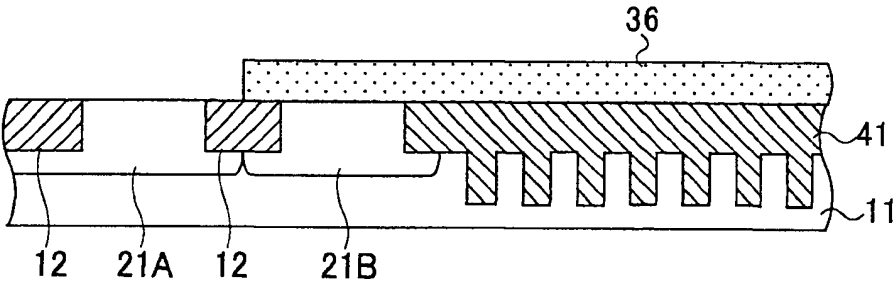


图18

