



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0030630
(43) 공개일자 2015년03월20일

(51) 국제특허분류(Int. Cl.)
G11C 16/14 (2006.01) G11C 16/16 (2006.01)
(21) 출원번호 10-2014-0121004
(22) 출원일자 2014년09월12일
심사청구일자 없음
(30) 우선권주장
14/025,327 2013년09월12일 미국(US)

(71) 출원인
시게이트 테크놀로지 엘엘씨
미국 캘리포니아 95104 쿠퍼티노 사우스 디 엔자
블러바드 10200
(72) 발명자
파타포우티안, 아라
미국 01748 매사추세츠 홉킨톤 리포드 로드 5
고스, 리안 제임스
미국 55372 미네소타 프라이어 레이크 폰드셋지
레인 5088
(뒷면에 계속)
(74) 대리인
특허법인 남앤드남

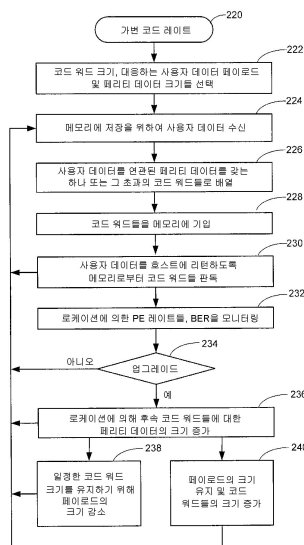
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 가변 코드 레이트를 갖는 메모리 디바이스

(57) 요약

플래시 메모리 같은 메모리에 데이터를 저장하기 위한 방법 및 장치가 개시된다. 몇몇 실시예들에 따라, 장치는 고체-상태 비-휘발성 메모리 및 선택된 로케이션에 데이터를 기입하도록 구성된 프로세싱 회로를 가진다. 데이터는 사용자 데이터 페이로드 및 사용자 데이터 페이로드 내의 하나 또는 그 초과 비트 에러들을 정정하도록 구성된 연관된 페리티 데이터를 각각 포함하는 멀티-비트 코드 워드들의 형태로 배열된다. 프로세싱 회로는 적어도 코드 워드들의 크기 중 선택된 크기, 사용자 데이터 페이로드들의 크기, 또는 선택된 로케이션에 액세스 동작들의 누적된 카운트 중 적어도 선택된 카운트 또는 선택된 로케이션과 연관된 에러 레이트에 응답하는 페리티 데이터의 크기를 조절한다.

대표도 - 도15



(72) 발명자

게르트너, 마크 알렌

미국 55127 미네소타 바라니스 헤이즈 코스타 드라이브 3273

부크, 브루스 더글라스

미국 01584 매사추세츠 웨스트버러 올드 너스 스트리트 21

스리드하란, 아르빈드

미국 80503 콜로라도 롱몬트 투스카니 코트 1702

특허청구의 범위

청구항 1

장치로서,

고체-상태 비-휘발성 메모리; 및

사용자 데이터 페이로드 및 상기 사용자 데이터 페이로드 내의 하나 또는 그 초과 비트 에러들을 정정하도록 구성된 연관된 페리티 데이터를 각각 포함하는 멀티-비트 코드 워드들의 형태로 메모리의 선택된 로케이션에 데이터를 기입하도록 구성된 프로세싱 회로 - 상기 프로세싱 회로는 상기 선택된 로케이션 상에서의 액세스 동작들의 누적된 카운트 또는 상기 선택된 로케이션과 연관된 에러 레이트 중 적어도 선택된 하나에 응답하여 코드 워드들의 크기, 상기 사용자 데이터 페이로드들의 크기, 또는 페리티 데이터의 크기 중 적어도 선택된 하나를 조절함 -

를 포함하는,

장치.

청구항 2

제 1 항에 있어서,

상기 메모리는 메모리 셀들의 복수의 행들을 각각 포함하는 복수의 소거 블록들로 배열되고, 각각의 행은 선택된 데이터 용량을 가지며, 상기 프로세싱 회로는 각각의 행에 코드 정수의 코드 워드들을 저장하는,

장치.

청구항 3

제 1 항에 있어서,

상기 프로세싱 회로는 사용자 데이터 페이로드 대 페리티 데이터의 제 1 비트들 비를 가진 코드 워드들의 제 1 세트에 데이터의 제 1 세트를 저장하고 사용자 데이터 페이로드 대 페리티 데이터의 상이한, 제 2 비를 가진 코드 워드들의 제 2 세트에 데이터의 제 2 세트를 저장하고, 코드 워드들의 각각의 제 1 및 제 2 세트들에서 상기 코드 워드들 각각은 공통 전체 길이를 가지는,

장치.

청구항 4

제 1 항에 있어서,

상기 프로세싱 회로는 사용자 데이터 페이로드 대 페리티 데이터의 제 1 비트들 비를 가진 코드 워드들의 제 1 세트에 데이터의 제 1 세트를 저장하고 사용자 데이터 페이로드 대 페리티 데이터의 상이한 제 2 비를 가진 코드 워드들의 제 2 세트에 데이터의 제 2 세트를 저장하고, 코드 워드들의 각각의 제 1 및 제 2 세트들에서 코드 워드들 각각은 공통 전체 수의 사용자 데이터 페이로드의 비트들을 가진,

장치.

청구항 5

제 1 항에 있어서,

상기 프로세싱 회로는 사용자 데이터 페이로드 대 페리티 데이터의 제 1 비트들 비를 가진 코드 워드들의 제 1 세트에 데이터의 제 1 세트를 저장하고 사용자 데이터 페이로드 대 페리티 데이터의 상이한 제 2 비를 가진 코드 워드들의 제 2 세트에 데이터의 제 2 세트를 저장하고, 코드 워드들의 각각의 제 1 및 제 2 세트들에서 코드 워드들 각각은 공통 전체 수의 페리티 데이터의 비트들을 가진,

장치.

청구항 6

제 1 항에 있어서,

상기 프로세싱 회로는 선택된 메모리 로케이션에 리드백(readback) 동작들 동안 비트 에러 레이트(BER)을 측정하는 BER 측정 회로를 더 포함하고, 상기 프로세싱 회로는 측정된 BER에 응답하여 상기 코드 워드들의 크기, 상기 사용자 데이터 페이로드들의 크기 또는 페리티 데이터의 크기 중 적어도 선택된 하나를 조절하는,

장치.

청구항 7

제 1 항에 있어서,

상기 메모리는 소거 블록 내에서 메모리 셀들의 행을 따라 복수의 A 메모리 셀들을 가진 플래시 메모리를 포함하고, 상기 프로세싱 회로는 선택된 행의 상기 A 메모리 셀들에 복수(N)의 코드 워드들을 저장하고, N 코드 워드들의 각각은 공통 비트 길이를 가진,

장치.

청구항 8

제 7 항에 있어서,

상기 선택된 행을 따르는 상기 A 메모리 셀들은 동일한 셀들에 데이터의 제 1 및 제 2 페이지들을 저장하는 멀티-레벨 셀(MLC)들로서 구성되고, 상기 제 1 페이지는 제 1 총 수의 페리티 데이터 비트들을 각각 가진 코드 워드들의 제 1 세트를 포함하고 상기 제 2 페이지는 상이한, 제 2 총 수의 페리티 데이터 비트들을 각각 가진 코드 워드들의 제 2 세트를 포함하는,

장치.

청구항 9

제 1 항에 있어서,

상기 프로세싱 회로는 제 1 입력 데이터를, 상기 선택된 로케이션과 연관된 비교적 작은 액세스 카운트에 응답하여 페리티 데이터에서 제 1, 비교적 낮은 에러 정정 코드(ECC) 세기를 가진 코드 워드들로 배열하고, 상기 프로세싱 회로는 후속하여 제 2 입력 데이터를, 상기 선택된 로케이션과 연관된 비교적 높은 액세스 카운트에 응답하여 페리티 데이터에서 제 2, 비교적 높은 ECC 세기를 가진 코드 워드들로 배열하는,

장치.

청구항 10

장치로서,

행들 및 열들로 배열된 비-휘발성 플래시 메모리 셀들의 어레이를 포함하는 플래시 메모리 - 상기 플래시 메모리 셀들은 소거 동작 동안 각각 개별적으로 소거 가능한 소거 블록들로 추가로 배열되고, 각각의 소거 블록은 복수의 A 셀들을 각각 가진 복수의 행들을 포함함 -; 및

호스트 디바이스로부터의 입력 데이터에 응답하여, 상기 입력 데이터를 선택된 소거 블록의 선택된 행에 저장하기 위한 복수의 코드 워드들로 배열하도록 구성된 프로세싱 회로 - 각각의 코드 워드는 K 바이트들의 사용자 데이터 페이로드 및 R 바이트들의 연관된 페리티 데이터를 포함하고, 상기 연관된 페리티 데이터는 상기 사용자 데이터 페이로드 내의 에러들의 선택된 수까지 정정하도록 배열되고, 상기 프로세싱 회로는 적어도 상기 선택된 행과 연관된 액세스 동작들의 누적된 수 또는 상기 선택된 행과 연관된 측정된 비트 에러 레이트(BER) 중 적어도 선택된 하나에 응답하여 각각의 K 및 R 바이트 값들을 선택함 -

을 포함하는,

장치.

청구항 11

제 10 항에 있어서,

상기 프로세싱 회로는 데이터의 제 1 세트를, 사용자 데이터 페이로드 대 페리티 데이터의 제 1 비트들 비를 가진 코드 워드들의 제 1 세트로서 제 1 선택된 행에 저장하고 데이터의 제 2 세트를, 사용자 데이터 페이로드 대 페이로드 데이터의 상이한, 제 2 비를 가진 코드 워드들의 제 2 세트로서 상이한, 제 2 선택된 행에 저장하고, 코드 워드들의 각각의 제 1 및 제 2 세트들에서 코드 워드들 각각은 공통 전체 길이를 가지는,

장치.

청구항 12

제 10 항에 있어서,

상기 프로세싱 회로는 데이터의 제 1 세트를, 사용자 데이터 페이로드 대 페리티 데이터의 제 1 비트들 비를 가진 코드 워드들의 제 1 세트로서 제 1 선택된 행에 저장하고 데이터의 제 2 세트를 사용자 데이터 페이로드 대 페리티 데이터의 상이한 제 2 비를 가진 코드 워드들의 제 2 세트로서 상이한, 제 2 선택된 행에 저장하고, 코드 워드들의 각각의 제 1 및 제 2 세트들에서 코드 워드들 각각은 공통 전체 수의 사용자 데이터 페이로드를 가진,

장치.

청구항 13

제 10 항에 있어서,

상기 프로세싱 회로는 데이터의 제 1 세트를, 사용자 데이터 페이로드 대 페리티 데이터의 제 1 비트들 비를 가진 코드 워드들의 제 1 세트로서 제 1 선택된 행에 저장하고 데이터의 제 2 세트를, 사용자 데이터 페이로드 대 페리티 데이터의 상이한 제 2 비를 가진 코드 워드들의 제 2 세트로서 상이한, 제 2 선택된 행에 저장하고, 코드 워드들의 각각의 제 1 및 제 2 세트들에서 코드 워드들 각각은 공통 전체 수의 페리티 데이터의 비트들을 가지는,

장치.

청구항 14

제 10 항에 있어서,

상기 프로세싱 회로는 상기 선택된 메모리 로케이션에 리드백 동작들 동안 비트 에러 레이트(BER)를 측정하는 BER 측정 회로를 더 포함하고, 상기 프로세싱 회로는 상기 측정된 BER에 응답하여 상기 코드 워드들의 크기, 상기 사용자 데이터 페이로드들의 크기 또는 상기 페리티 데이터의 크기 중 적어도 선택된 하나를 조절하는,

장치.

청구항 15

방법으로서,

고체-상태 비-휘발성 메모리를 복수의 메모리 로케이션들에 배열하는 단계;

선택된 메모리 로케이션 상에서 액세스 동작들의 누적된 카운트를 식별하는 단계;

상기 선택된 메모리 로케이션과 연관된 에러 레이트를 측정하는 단계; 및

데이터를, 사용자 데이터 페이로드 및 상기 사용자 데이터 페이로드 내의 적어도 하나의 비트 에러를 정정하도록 구성된 연관된 페리티 데이터를 각각 포함하는 멀티-비트 코드 워드들의 형태로 선택된 메모리 로케이션에 기입하는 단계 - 정수의 상기 코드 워드들은 상기 선택된 메모리 로케이션에 기입되고, 적어도 상기 코드 워드들의 크기, 상기 사용자 데이터 페이로드들의 크기 또는 상기 페리티 데이터의 크기 중 적어도 선택된 하나는 액세스 동작들의 누적된 카운트 또는 측정된 에러 레이트 중 적어도 선택된 하나에 응답하여 선택됨 -

를 포함하는,

방법.

청구항 16

제 15 항에 있어서,

상기 메모리는 메모리 셀들의 복수의 행들을 각각 포함하는 복수의 소거 블록들로 배열되고, 각각의 행은 선택된 데이터 용량을 가지며, 정수의 코드 워드들은 각각의 행에 기입되는,

방법.

청구항 17

제 15 항에 있어서,

상기 기입 단계는 사용자 데이터 페이로드 대 페리티 데이터의 제 1 비트들 비를 가진 코드 워드들의 제 1 세트에 데이터의 제 1 세트를 저장하는 단계 및 사용자 데이터 페이로드 대 페리티 데이터의 상이한 제 2 비를 가진 코드 워드들의 제 2 세트에 데이터의 제 2 세트를 저장하는 단계를 포함하고, 코드 워드들의 각각의 제 1 및 제 2 세트들에서 코드 워드들의 각각은 공통 전체 길이를 가지는,

방법.

청구항 18

제 15 항에 있어서,

상기 기입하는 단계는 사용자 데이터 페이로드 대 페리티 데이터의 제 1 비트들 비를 가진 코드 워드들의 제 1 세트에 데이터의 제 1 세트를 저장하는 단계 및 사용자 데이터 페이로드 대 페리티 데이터의 상이한 제 2 비를 가진 코드 워드들의 제 2 세트에 데이터의 제 2 세트를 저장하는 단계를 포함하고, 코드 워드들의 각각의 제 1 및 제 2 세트들에서 상기 코드 워드들 각각은 공통 전체 수의 사용자 데이터 페이로드의 비트들을 가지는,

방법.

청구항 19

제 15 항에 있어서,

상기 기입하는 단계는 사용자 데이터 페이로드 대 페리티 데이터의 제 1 비트들 비를 가진 코드 워드들의 제 1 세트에 데이터의 제 1 세트를 저장하는 단계 및 사용자 데이터 페이로드 대 페리티 데이터의 상이한 제 2 비를 가진 코드 워드들의 제 2 세트에 데이터의 제 2 세트를 저장하는 단계를 포함하고, 코드 워드들의 각각의 제 1 및 제 2 세트들에서 코드 워드들 각각은 공통 수의 페리티 데이터의 비트들을 가지는,

방법.

청구항 20

제 15 항에 있어서,

상기 코드 워드들의 크기, 상기 사용자 데이터 페이로드들의 크기 및 상기 페리티 데이터의 크기 각각은 선택된 메모리 로케이션에 정수의 상기 코드 워드들을 유지하면서 상기 선택된 메모리 로케이션에 저장된 후속 데이터를 위해 조절되는,

방법.

명세서

발명의 내용

[0001] 본 개시물의 다양한 실시예들은 일반적으로, 이에 제한되지는 않지만 플래시 메모리와 같은 메모리에서 데이터의 관리에 관한 것이다.

[0002] 몇몇 실시예들에 따라, 장치는 고체-상태 비-휘발성 메모리, 그리고 메모리의 선택된 로케이션에 데이터를 기입

하도록 구성된 프로세싱 회로를 갖는다. 데이터는 멀티-비트 코드 워드들의 형태로 배열되고, 멀티-비트 코드 워드들 각각은 사용자 데이터 페이로드 그리고 사용자 데이터 페이로드에서 하나 또는 그 초과 비트 에러들을 정정하도록 구성된 연관된 페리티 데이터를 포함한다. 프로세싱 회로는, 선택된 로케이션 상에서의 액세스 동작들의 누적된 카운트 또는 선택된 로케이션과 연관된 에러 레이트 중 적어도 선택된 하나에 응답하여, 코드 워드들의 크기, 사용자 데이터 페이로드들의 크기 또는 페리티 데이터의 크기 중 적어도 선택된 하나를 조절한다.

[0003] 이러한 피쳐들 및 다양한 실시예들을 특징지을 수 있는 다른 피쳐들이 다음의 상세한 논의 및 동반된 도면들을 고려하여 이해될 수 있다.

도면의 간단한 설명

[0004] 도 1은 다양한 실시예들에 따라 호스트 디바이스와 통신하도록 배열된 데이터 저장 디바이스의 기능적 블록 표현을 제공한다.

도 2는 도 1의 플래시 메모리 어레이의 일부분의 개략적 묘사이다.

도 3은 플래시 메모리 어레이의 소거 블록에 대한 예시적 포맷을 예시한다.

도 4는 GCU(garbage collection unit)들로 배열된 다수의 소거 블록들을 예시한다.

도 5는 몇몇 실시예들에 따라 포맷팅된 코드 워드들로 도 3-도 4의 소거 블록들로의 데이터의 저장을 도시한다.

도 6은 상이한 각각의 양들의 페리티 데이터 및 사용자 데이터 페이로드들을 갖는, 도 5의 코드 워드들에 대한 상이한 코드 인덱스들을 예시한다.

도 7은 도 5-도 6에 의해 전개된 바와 같은 코드 워드들로 데이터를 배열하기 위해 몇몇 실시예들에 따라 동작 가능한 코드 워드 제어 회로의 기능적 블록 표현이다.

도 8은 도 1의 디바이스의 동작 수명에 걸쳐서 BER(bit error rate) 및 코드 인덱스들을 그래픽적으로 예시한다.

도 9는 디바이스의 동작 수명에 걸쳐서 WA(write amplification) 데이터를 그래픽적으로 예시한다.

도 10은 MLC(multi-level cell)들의 상이한 과포레이션들을 도시한다.

도 11은 도 2의 어레이에서 플래시 메모리 셀들의 동일한 행에 기입된 데이터의 두 개의 상이한 페이지들을 표현한다.

도 12는 페리티 데이터 크기들이 증가되고 사용자 데이터 페이로드 크기들이 일정하게 유지되는 다른 실시예에 대한 상이한 코드 인덱스들을 예시한다.

도 13은 사용자 데이터 페이로드들이 감소되고 페리티 데이터 크기들이 일정하게 유지되는 다른 실시예에 대한 상이한 코드 인덱스들을 예시한다.

도 14는 사용자 데이터 페이로드 및 페리티 데이터 크기들 둘 다 조절되는 다른 실시예에 대한 상이한 코드 인덱스들을 예시한다.

도 15는 다양한 실시예들에 따라 도 1의 디바이스에 의해 수행되는 단계들을 예시하는 VARIABLE CODE RATE 루틴에 대한 흐름 차트이다.

발명을 실시하기 위한 구체적인 내용

[0005] 본 개시물은 일반적으로, 이에 제한되지는 않지만 데이터 저장 디바이스의 플래시 메모리와 같은 메모리 모듈에 저장되는 데이터를 관리하는 것에 관한 것이다.

[0006] 폭넓게 다양한 데이터 저장 메모리들이 기술분야에서 알려져 있다. 몇몇 메모리들은, 예컨대 플래시 메모리에 대해, 부동 게이트 구조상에 누적 전하량에 관련하여 데이터를 저장하는 고체-상태 메모리 셀들의 형태를 취한다. 일반적으로, 새로운 데이터가 주어진 플래시 메모리 로케이션에 기입될 수 있기 이전에, 소거 동작이 요구된다.

[0007] 플래시 메모리 셀들은, 각각의 셀이 단일 비트(예컨대 논리 0 또는 1)를 저장하기 위한 SLC(single-level cell)들로서, 또는 각각의 셀이 다수의 비트들(두 개의 비트들 또는 그 초과)을 저장하기 위한 MLC(multi-level

cell)들로서 구성될 수 있다. MLC들은 셀들의 동일한 그룹(예컨대, 행)을 가로질러 상이한 데이터 블록들을 저장한다. 행을 따라서 셀들의 프로그래밍된 상태들의 LSB(least significant bit)들이 데이터의 제1 블록(페이지)을 표현할 수 있고, 행을 따라서 셀들의 프로그래밍된 상태들의 MSB(most significant bit)들이 데이터의 제2 페이지를 표현할 수 있다.

[0008] 데이터는 사용자 데이터 페이로드 및 연관된 페리티 데이터의 형태로 플래시 메모리에 저장될 수 있다. 때때로 일반적으로 ECC(error correction code)들로 지칭되는 페리티 데이터는 관독 동작 동안 선택된 개수의 비트 에러들이 페이로드에서 검출 및 정정되도록 인에이블링한다. 페리티 데이터는 BCH(Bose, Chaudhuri and Hocquenghem) 코드들, Reed Solomon ECC 코드들, LDPC(low density parity check) 코드들, Hamming 코드들, 체크섬들 등등과 같은 다양한 형태들을 취할 수 있다.

[0009] 플래시 메모리는 비교적 제한된 동작 수명을 갖는 경향이 있고, 점점 더 많은 프로그램/소거(PE) 사이클들이 메모리에 의해 경험되는 시간에 걸쳐 비트 에러 레이트(BER)의 증가를 나타낼 수 있다. 몇몇 경우들에서, 메모리의 동작 수명의 말미에서 나타날 것으로 예상되는 최악의 경우의 BER 레이트가 식별된다. 이러한 최악의 경우의 BER 레벨에서 에러들을 검출 및 정정할 수 있는 페리티 방식이 채택되고, 이러한 페리티 방식은 메모리의 동작 수명 전체에 걸쳐 이용된다.

[0010] 동작가능한 동안, 이러한 방식은 자원 관점에서 낭비적인데, 그 이유는 메모리의 동작 수명의 이른 및 중간-수명 부분들이, 페리티 방식의 능력보다 훨씬 더 낮은 BER 레벨들을 갖는 경향이 있을 것이기 때문이다. 게다가, 메모리의 전체적인 데이터 용량이 감소되는데, 그 이유는 페리티 데이터 저장 풋프린트가, 정확하게 필요한 것보다 더 크기 때문이며, 이는 사용자 페이로드 데이터의 저장을 위해 이용가능한 공간을 감소시킨다.

[0011] 따라서, 본원의 다양한 실시예들은 일반적으로, 플래시 메모리와 같은(그러나, 반드시 플래시 메모리로 한정되지 않음) 메모리의 데이터를 관리하기 위한 장치 및 방법에 관한 것이다.

[0012] 아래에서 설명되는 바와 같이, 사용자 데이터 페이로드 및 연관된 페리티 데이터를 갖는 코드 워드들이 형성된다. 각각의 코드 워드에 대해, 페리티 데이터의 적합한 세기는, 코드 워드들이 저장되는 메모리 위치의, 당시에 존재하는(then-existing) BER 특징들에 기초하여 제공된다. 페리티 데이터의 세기가 더 낮을수록(ECC), 일반적으로 코드 워드 내의 ECC의 풋프린트가 더 작고, ECC의 세기가 더 높을수록, 일반적으로 코드 워드 내의 ECC의 풋프린트가 더 크다.

[0013] 몇몇 실시예들에서, 더 많은 사용자 데이터 페이로드가, 더 낮은 세기의 ECC 방식들을 위해 각각의 코드 워드에 저장되도록, 그리고 더 적은 사용자 데이터 페이로드가, 더 높은 세기의 ECC 방식들을 위해 각각의 코드 워드에 저장되도록, 코드 워드들의 전체적인 크기는 상수값으로 유지된다. 이러한 접근방식은 메모리 셀들의 각각의 행에 대해 정수(n)의 코드 워드들을, 이를 테면 페이지당 16개의 코드 워드들을 저장할 수 있다(n=16).

[0014] 다른 실시예들에서, 더 높은 세기의 ECC 방식들의 구현을 이용하여 코드 워드들이 더 커지도록, 각각의 코드 워드의 사용자 데이터 페이로드들의 전체적인 크기는 상수값으로 유지된다. 이러한 후자의 경우에서, 코드 워드들은 코드 워드들 및 행들의 상대적인 크기들에 따라 메모리 셀들의 다수의 행들에 걸쳐 랩핑(wrap)될 수 있다.

[0015] 각각의 코드 워드들의 위치들 및 상태들을 추적하기 위해, 메타데이터가 발생 및 이용된다. 상이한 위치들에 적합한 코드 워드들을 선택하기 위해, 비트 에러 레이트들(BER들), 프로그램/소거(PE) 카운트들, 및 다른 성능 파라미터들이 추적 및 이용된다. 비록 반드시 요구되는 것은 아니지만, 플래시 메모리 내의 메모리 블록들 모두가 실질적으로 유사한 수들의 PE 카운트들(더욱 일반적으로는, 액세스 동작들)을 갖도록, 웨어 레벨링(wear leveling)이 구현될 것이 고려된다. 이러한 경우, ECC 세기(새로운 코드 인덱스들)의 계단식 변화들이 전역적으로(globally) 구현될 수 있다. 그러나, 다른 경우들에서, 상이한 메모리 위치들은 상이한 시간들에서 상이한 코드 인덱스들을 이용할 수 있다.

[0016] 다양한 실시예들의 이들 및 다른 피쳐들은, 제어기(102) 및 고체-상태 메모리 모듈(104)을 갖는 데이터 저장 디바이스(100)의 간략화된 블록도를 제공하는 도 1의 리뷰를 시작할 때 이해될 수 있다. 제어기(102)는 하드웨어-기반 또는 프로그램가능 프로세서일 수 있다. 메모리 모듈(104)은 다양한 형태들을 취할 수 있다. 구체적인 예를 제공하는 목적들을 위해, 디바이스(100)는 고체 상태 드라이브(SSD)를 포함하는 것으로 고려될 것이고, 메모리 모듈(104)은 플래시 메모리를 포함할 것이다. 다른 구성들이 이용될 수 있다.

[0017] 모듈(104)의 플래시 메모리는 도 2에 도시된 바와 같이 개별적인 플래시 메모리 셀들(106)을 포함한다. 도 2의 플래시 메모리 셀들은, 셀들의 열들(108)이 비트 라인들(BL)(110)을 통해 연결되고 셀들의 행들(112)이 워드 라

인들(WL)(114)을 통해 연결되도록, NAND 구성으로 배열된다.

- [0018] 각각의 플래시 메모리 셀(106)은, 드레인, 소스, 및 제어 게이트 단자들을 갖는 nMOSFET(n-channel metal oxide semiconductor field effect transistor)의 일반적인 형태를 취한다. 각각의 셀은, 적합한 전압들의, BL 및 WL 제어 라인들(110, 114)을 통한 각각의 드레인, 소스, 및 제어 게이트 단자들로의 선택된 인가에 의한 프로그래밍(기입) 동작 동안 전하를 축적하는 절연 플로팅 게이트 구조(isolated floating gate structure)를 포함한다. 소거(소거) 동작(erasure (erase) operation)은 셀들의 그룹의 플로팅 게이트 구조들로부터 전하를 제거하고, 셀들을 초기 소거 상태(initial erased state)로 리턴한다.
- [0019] 초기 소거 상태에서, 셀은 일반적으로, 제어 게이트로의 전압의 인가 없이 개입 채널(intervening channel)에 걸쳐 드레인-소스 전도율(drain-source conductivity)을 나타내는 경향이 있을 것이다. 일단 전하가 플로팅 게이트 상에 축적되었으면, 드레인-소스 경로는, 충분히 높은 게이트 제어 전압이 제어 게이트에 인가되지 않는 한 비-전도성일 것이고, 이러한 포인트에서 셀은 전도성이 된다. 셀의 프로그래밍된 상태는, 드레인-소스 전류가 셀을 통과하도록 허용하기 위해 요구되는 제어 게이트 전압의 레벨을 감지함으로써 결정될 수 있고, 이는 일반적으로 플로팅 게이트 상에 축적된 전하의 양과 상관된다.
- [0020] 메모리 셀들(106)은 단일-레벨 셀들(SLCs) 또는 멀티-레벨 셀(MLCs)로서 구성될 수 있다. SLC는 단일 비트를 저장하며; 보통의 규정(convention)은 소거되는 셀(실질적으로 어떠한 누적 전하(accumulated charge)도 없음)에 1의 논리 비트 값을 할당하고, 프로그램되는 셀(누적 전하의 선택된 임계치가 존재함)에 0의 논리 비트 값을 할당하는 것이다. MLC는 다수의 비트들, 이를 테면 2개의 비트들을 저장한다. 일반적으로, 2^n 개의 저장 상태들을 이용하여, n개의 비트들이 저장될 수 있다. 보통의 규정은, 전하 C0(실질적으로 어떠한 누적된 전하도 없음)을 갖는 소거되는 셀에 멀티-비트 논리 값 11을 할당한 다음, 점점 더 높은 전하 레벨들 C1, C2 및 C3에 나머지 멀티-비트 논리 값들 01, 00 및 10을 순차적으로 할당하는 것이다.
- [0021] 도 3 및 4에 도시된 바와 같이, 메모리 셀들은 소거 블록들(120)로 그룹화될 수 있다. 각각의 소거 블록(120)은 개별적으로 액세스가능한 메모리 블록일 수 있으며, 한번에 동시에 소거될 수 있는 가장 작은 메모리 단위를 나타낸다. 각각의 소거 블록(120)은 메모리 셀들의 복수의 행(row)들(122)로서 배열될 수 있으며, 각각의 행은 공통 워드 라인(도 2)을 공유하며, 선택된 양의 사용자 데이터의 저장을 수용한다(accommodate). 요구되는 바에 따라, 셀들의 다른 내부 배열들 및 상호연결들이 이용될 수 있다. 하나의 예시적인 소거 블록 크기는 8192 바이트들(B) × 128 행들이다. 다른 크기들이 이용될 수 있다.
- [0022] 다양한 블록들(120)의 소거 및 기입 상태를 트래킹하기 위해, 블록-레벨 마모 레벨링(block-level wear leveling)이 이용될 수 있다. 새롭게 수신되는 데이터를 수용하기 위해 요구될 때의 용도를 위해, 새로운 블록들이 할당될 것이다. 몇몇 실시예들에서, 블록들(120)의 그룹들은 보다 큰 GCU(garbage collection unit)들(124)로 누적되며, 이러한 GCU들은 유닛(unit)으로서 할당되고, 이용되고, 소거된다. GCU들(124)은 임의의 적합한 크기를 가질 수 있다.
- [0023] 도 4는 메모리 모듈(104)(도 1)의 일부를 형성할 수 있는 판독/기입/소거(R/W/E) 회로(126)를 더 나타낸다. R/W/E 회로(126)는, 시스템으로 하여금 각각의 소거 블록들(122)에 데이터를 기입할 수 있도록 하기 위해 다양한 컬럼 및 행 디코더들, 드라이버들, 센서들 등을 포함한다. 몇몇 실시예들에서, 전체 행 가치의 데이터(entire row's worth of data)(예를 들어, 8192B 등)는 한번에 기입되며, 그리고 전체 행 가치의 데이터는 한번에 리드백(read back)될 수 있다. 이러한 데이터 블록들은 페이지들로서 지칭된다.
- [0024] 디바이스 동작 동안 R/W/E 회로(126)에 의해 이용될 수 있도록, 메타데이터가 로컬 메모리(128)에 로딩될 수 있다. 메타데이터는 일반적으로, 메모리(104) 내에서의 데이터의 위치들을 설명하며, 그리고 성능 파라미터들, 누적된 카운트들 등과 같은 다른 제어 정보를 제공한다. 메타데이터는 호스트 레벨에서 이용되는 논리 어드레스들(이를 테면, 논리 블록 어드레스들, LBAs)로부터 메모리 모듈 레벨에서 이용되는 물리 어드레스들(이를 테면, 물리 블록 어드레스들, PBAs)로의 변환을 가능하게 한다.
- [0025] 메모리 모듈(104)로의 저장을 위해 LBA들의 주어진 세트가 제공될 때마다, R/W/E 회로(126)는 새로운 위치에 데이터를 기입할 것이며, LBA들의 더 오래된(older) 버전(version)(들)은 스테일(stale) 상태로서 마킹될 것이다. 이후의 판독 동작 동안 R/W/E 회로(126)가 데이터의 가장 최신의 버전의 위치를 찾을 수 있도록(locate) 메타데이터에 포워드 포인터(forward pointer)들이 부가될 것이다. 일단 주어진 GCU 내의 충분한 양의 데이터가 스테일 상태이면, 가비지 컬렉션(garbage collection) 동작을 수행하여, 나머지 현재 데이터를 새로운 위치들로 이동시키고, GCU 내의 소거 블록들을 소거하고, 새로운 데이터의 저장을 위해 이후의 할당을 기다리는(pending)

할당 풀(pool)로 GCU를 리턴(return)시킬 수 있다.

[0026] 도 4는 코드 워드(CW) 제어 회로(130)를 더 나타낸다. CW 제어 회로(130)는 메모리 모듈(104)로의 데이터의 저장에 위해 이용하기 위한 적용가능한 코드 워드 스킴(scheme)들 (코드 인덱스들(code indices))을 확립하도록 동작한다. CW 제어 회로(130)의 적어도 일부들이 제어기(102)(도 1) 내에 통합될 것이 고려되지만, 이것이 반드시 요구되는 것은 아니다.

[0027] 도 5는 도 4의 CW 제어 회로(130)에 의해 확립되는 코드 워드들에 대한 예시적인 포맷을 나타낸다. 도 5에서, 총 N개의 코드 워드들(132)(CW 1 내지 CW N)이 각각의 행(122)(도 3)에 저장된다. 각각의 행은 A 바이트들(B)의 행 길이를 가지며, 각각의 코드 워드는 X 바이트들의 코드 워드 길이를 가지며, 이에 따라 $X = A/N$ 이다. 각각의 코드 워드(132)는 사용자 데이터 페이로드(134)(K 바이트들) 및 페리티 데이터(136)(R 바이트들)(이에 따라, $X = K + R$)를 포함한다. 도 5의 예에서, 코드 워드 길이 X는 고정된 값으로 설정되며, 그리고 이러한 값은 디바이스(100)의 동작 수명을 통해 모든 코드 워드들에 대해 유지된다.

[0028] 몇몇 플래시 메모리들(이를 테면, 104)은 각각의 행(122)(도 3)을 따라서 사용자 데이터 영역 및 관련 ECC 영역을 구비한다. ECC 영역은 사용자 데이터 영역 내에 저장된 데이터를 정정하기 위해 ECC 데이터를 수용하도록 설계된다. 현재 이용되는 하나의 구성은 8192B의 사용자 데이터 영역 및 1024 바이트들의 ECC 데이터 영역을 제공한다. 사용자 데이터 영역과 ECC 데이터 영역 모두가 코드 워드들(132)의 저장을 위해 이용가능하기 때문에, 이는 9216B($A=8192B+1024B$)의 총 행 길이를 제공한다. 총 16개의 코드 워드들이 각각의 행(페이지)에 제공된다고 가정하면, 코드 워드 길이는 1152B($X=1152B$)로서 특정될 수 있다.

[0029] 도 6에 나타난 바와 같이, 페이로드(K 바이트들) 및 페리티 데이터(R 바이트들)의 상대적인 크기들은 달라질 수 있다. 보다 구체적으로, 도 6은 코드 인덱스들(CI-1 내지 CI-6)로서 지칭되는 6개(6)의 상이한 코드 워드 스킴들을 도시한다. 다른 배열들이 이용될 수 있다. 코드 인덱스들은 낮은 세기(strength) ECC 스킴(CI-1)부터 높은 세기 ECC 스킴(CI-6)의 범위에 이른다.

[0030] 도 6에서 볼 수 있는 바와 같이, 페리티 데이터의 크기들(도 5로부터의 R 바이트들)은 48B 내지 112B의 범위를 가질 수 있고, 사용자 데이터 페이로드의 크기들(도 5로부터의 K 바이트들)은 1104B 내지 1040B의 범위를 가질 수 있다. 각각의 경우에서, 코드 워드들의 총 크기는 1152B로 일정하게 유지된다. ECC 세기가 증가함에 따라, 페리티 데이터의 풋프린트가 증가하고, 사용자 데이터 페이로드의 풋프린트가 감소한다. 코드 레이트(CR)는 다음과 같이 정의될 수 있다.

$$CR = \frac{K}{K+R} (100\%) \quad (1)$$

[0031] 시간에 걸쳐, R이 증가함에 따라 K가 감소할 것이고, 코드 레이트 CR이 감소될 것이다. 참고로, CI-1은 약 95.8 %의 코드 레이트를 제공하고, CI-6은 약 90.2 %의 코드 레이트를 제공한다. 위에서 기재된 바와 같이, 다른 각각의 값들이 사용될 수 있다.

[0033] 페이로드 바운더리들(boundaries)은 변화하고, 논리 어드레스 바운더리들(예를 들어, 4096B의 LBA 크기들 등)과 정렬되지 않을 수 있다. LBA들의 선택된 세트들을 위한 데이터 복구(recovery) 동작은, LBA들에 대응하는 페이로드 데이터를 갖는 코드 워드들(132)의 리드백(readback), 그리고, 후속되는, 비트 에러들을 검출 및 정정하기 위한 페리티 데이터의 적용, 및 요청하는 호스트 디바이스에 전달하기 위한 오리지널 LBA 데이터 세트들로의 복구된 데이터의 어셈블리를 수반할 수 있다.

[0034] 도 7은 일부 실시예들에 따른 도 4로부터의 코드 워드(CW) 회로(130)의 기능 블록 표현이다. CW 회로(130)는 사용자 데이터의 저장을 위한 적절한 코드 인덱스들을 선택하기 위해 다수의 입력들을 수신하는 코드 워드 분석 엔진(140)을 포함한다. 이들 입력들은, BER 모니터(142)로부터의 비트 에러 레이트(BER) 데이터, PE 카운터(144)로부터의 프로그램/소거(PE) 카운트, 온도(temp) 센서(146)로부터의 온도 데이터, 및 CW 테이블(148)로부터의 CW 데이터를 포함한다.

[0035] 코드 인덱스들이 개별적인 메모리 위치들의 상태에 기초하여 선택되기 때문에, 메모리 위치(예컨대, PBA 등)가 또한 분석 엔진(140)에 제공된다. 분석 엔진(140)은 결국에, R/W/E 회로(126)에 의한 사용을 위해, 선택된 코드 인덱스, 페리티 타입(예를 들어, BCH, RS, LDPC 등), 그리고 원하는 경우에, 업데이트된 메타데이터 정보를 출력한다. R/W/E 회로(126)는, 페리티 데이터의 생성을 포함하여, 수신된 사용자 데이터를 적절한 코드 워드들

로 포맷하기 시작하고, 선택된 메모리 위치에 코드 워드들을 기록한다.

- [0036] 도 8은, 프로그램/소거(PE) 카운트 x-축(152) 및 유효 BER y-축(154)에 대해 도시된 비트 에러 레이트(BER) 커브(150)의 그래프 표현이다. PE 카운트는 일반적으로, 플래시 메모리 모듈(104)의 선택된 메모리 위치(예를 들어, 행 122, 도 3) 상의 PE(액세스) 동작들의 누적된 카운트를 표현한다. 메모리 모듈(104)은 특정된 수명, 예를 들어, 약 35,000 PE 동작들을 가질 수 있고, 도 8의 커브는 그 레벨까지 연장될 수 있거나 또는 그 레벨을 넘어서 연장될 수 있다. 유효 BER은 사용자 데이터 페이로드들에 페리티 데이터가 적용된 BER 레이트를 표시한다.
- [0037] 커브(150)는, 다른 형상들이 조우될 수 있음에도, 실질적으로 선형인 것으로 도시되어 있다. 커브(150)는, 예를 들어, 도 7의 BER 모니터 회로(142)를 사용하여 플래시 메모리 디바이스의 유효 BER을 시간에 걸쳐 모니터링함으로써 생성될 수 있다.
- [0038] 도 8은 추가로 코드 인덱스 커브(156)를 도시한다. 코드 인덱스(CI) 커브(156)는 계단 함수 형상을 취한다. 각각의 플래토(plateau)는 도 6으로부터의 상이한 코드 인덱스를 표현한다. 이는 단지 예시적인데, 그 이유는 모든 이용가능한 코드 인덱스들이 반드시 사용될 필요는 없고, 또한 이들이 반드시 도시된 순서로 사용될 필요는 없기 때문이다. 추가로, 일부 또 다른 실시예들에서, 주어진 PE 카운트에 대해 더 높은 코드 레이트를 제공하기 위해, 부가적인 코드 인덱스들이 채용될 수 있다. 비교를 위하여, 최악의 경우 페리티 레벨이 파선(158)으로 도시되어 있다. 위에서 기재된 바와 같이, 최악의 경우 페리티 레벨은 일반적으로, 디바이스가 그 디바이스의 동작 수명의 끝에 도달할 때 조우될 것으로 예측되는 BER 성능에 기초하여 선택된 페리티 레벨을 표현한다.
- [0039] 도 8에서 볼 수 있는 바와 같이, 상이한 코드 인덱스들이 디바이스(100)의 동작 수명에 걸쳐 활용된다. 처음에, CI-1이 사용되고, 그에 따라, 1104B의 페이로드 데이터 및 48B의 페리티 데이터를 갖는 코드 워드들에 데이터가 저장된다. 이는, CI-2로의 전환 등에 의해 표시되는 바와 같이, 관찰되는 유효 BER의 증가가 ECC 세기에서 계단식 증가를 보장할 때까지 계속된다. 임의의 적합한 CI 프로파일이 사용될 수 있다.
- [0040] 임의의 포인트에서의 실질적으로 선형인 BER 커브(150)와 계단 함수 CI 커브(156) 사이의 거리는 그 시점에서의 시스템에 의한 에러 정정 능력의 오버프로비저닝(overprovisioning)을 표현한다는 것이 인식될 것이다. 이 거리를 최소로 감소시키는 것은, 사용자 데이터의 저장을 위한 당시 이용가능한(then-available) 메모리의 양을 증가시킴으로써, 그리고 시스템의 당시 존재하는 BER 성능에 적합한 에러 정정 능력들을 제공함으로써, 성능을 개선하는 경향이 있을 것이다. 반대로, 최악의 경우 라인(158)과 커브(150) 사이의 상당한 거리는, 디바이스의 동작 수명의 대부분에 대해, 최악의 경우 ECC 스킴(scheme)을 사용하는 것이 낭비적이고 불필요하다는 것을 나타낸다.
- [0041] 일부 실시예들에서, 높은 코드 레이트들(예를 들어 CI-1)에서, 페리티 데이터를 위해 BCH 스킴이 사용될 수 있다. 시간에 걸쳐, 분석 엔진(140)(도 7)은, 그 동일한 타입의 ECC의 더 강한 버전으로 전환할 수 있거나, 또는 인터랙티브(interactive) LDPC 접근법과 같은 새로운 스킴을 선택할 수 있다. ECC의 부가적인 계층들이 또한, 일부 스킴들에서 구현될 수 있다.
- [0042] 도 9는 도 8의 단계적 ECC 세기 강화들(step-wise ECC strength enhancements)을 사용하여 달성될 수 있는 기입 증폭 이점들을 도시한다. 당업자들이 알게 될 바와 같이, 기입 증폭(WA)은 일반적으로, 메모리에 기입된, 주어진 데이터 세트의 복사본들의 개수를 기술한다. 초기에 데이터를 처음 기입하는 것은 1회 기입으로 카운트된다. 이후에 데이터가, 가비지 콜렉션 작동 또는 다른 이유들(검출된 판독 장애, 등)의 결과로서 새로운 로케이션으로 옮겨지는 경우에, 이는 1회의 추가적인 기입으로 카운트된다.
- [0043] 데이터의 주어진 세트가 메모리 모듈(104)에 기입되는 회수가 많아질수록, 오버헤드 프로세싱이 더 많아지고 새로운 데이터를 수용할 가용 메모리는 더 적어진다. 따라서 상대적으로 낮은 WA 값을 유지하는 것이 바람직할 수 있다. 예시적인 WA 값은 대략 약 3.2일 수 있고, 이는 평균적으로, 데이터가 시스템에 존재하는 시간의 과정 동안 데이터의 각각의 세트가 평균 3.2회 기입된다는 것을 의미한다. 작업 부하량(workload)을 포함하는 다수의 인자들에 기초하여 다른 값들이 사용될 수 있다.
- [0044] 도 8의 테일러식(tailored) ECC 방식들을 사용하여, 기입 증폭(WA) 커브(160)에 의해 표현된 바와 같이, 디바이스(100)의 작동 수명 내내 시스템이 WA의 단계적 변화를 경험할 것이 고려된다. WA 커브(160)는 PE 카운트(x-축)(162) 및 기입 증폭(WA)(y-축)(164)에 대해 그려진다. 도 8 및 도 9의 각각의 커브들(156, 160)의 비교에 의해 볼 수 있는 바와 같이, 실증적인 데이터는, WA 커브가 CI 커브를 밀접하게 반영할 수 있다는 것을 시사한다.

다. 평균적인 WA 레벨은 파선(166)에 의해 표시된다. 도 8의 코드 인덱스들의 사용이, 도 8의 선(158)에 의해 표시되는 바와 같은 최악의-경우 페리티의 사용과 비교하여, 시스템이 경험하는 평균적인 WA를 바람직하게 감소시킬 수 있다는 것이 일부 경우들에서 발견되었다.

[0045] 도 10은 메모리 모듈(104)의 플래시 메모리 셀들(106)에 데이터를 저장하기 위한 멀티-레벨 셀들(MLCs)의 사용의 도해적 표현이다. 더 구체적으로, 도 10은, 도 2의 어레이의 다양한 플래시 메모리 셀들(106)에 저장된 전하(charge)의 상이한 레벨들에 대한 예시적인 정규화된 전하 분포들(normalized charge distributions; 170, 172, 174 및 176)을 도시한다. 분포들은 전압 크기를 나타내는 공통 x-축(178) 및 셀 집단 카운트(cell population count)를 나타내는 공통 y-축(180)에 대해 그려진다.

[0046] 분포들(170, 172, 174 및 176)은 명목상의 축적된 전하 상태들(C0<C1<C2<C3)에 대한, 그리고 MLC 프로그래밍된 상태들(11, 01, 00 및 10)에 대응하는 변화들을 나타낸다. 다른 인코딩 방식들이 사용될 수 있다. 분포(170)는 상태(11)로 프로그래밍된, 어레이의 메모리 셀들의 전하의 양의 변화를 나타내고, 분포(172)는 상태(01)에 대응하며, 분포(174)는 상태(00)에 대응하고, 그리고 분포(176)는 상태(10)에 대응한다. 집단(176)의 셀들은 최대 축적된 전하를 갖고, 집단(170)의 셀들은 최저로 축적된 전하를 갖는다.

[0047] 프로그래밍된 상태들(11, 01, 00 및 10)은 각각의 셀의 데이터의 2개의 상이한 페이지들(블록들)에 대한 데이터를 나타낼 수 있다. 이 경우에, 프로그래밍된 상태의 최하위 비트(LSB)는 제 1 페이지에 대한 비트 값을 제공할 수 있고, 프로그래밍된 상태의 최상위 비트(MSB)는 제 2 페이지에 대한 비트 값을 제공할 수 있다. 상기 주지된 바와 같이, 각각의 페이지의 데이터는 코드 워드들(132)의 형태로 배열될 것이다. 각각의 페이지는 상이한 코드 인덱스를 사용하여 기입될 수 있다.

[0048] 각각의 전하 분포들(150-156)은 이상적으로 비-겹침식이어서 적절한 판독-임계 전압들(read-threshold voltages; T1, T2, T3 및 T4)의 응용에 다양한 프로그래밍된 상태들 사이를 구분할 수 있게 한다. 임계(T1)는 명목상으로, 분포(170)의 모든 메모리 셀들을 소스-드레인 전도 상태로 위치시키기에는 충분하지만 분포들(172, 174 및 176)의 셀들을 전도 상태로 위치시키기에는 불충분한 전압 레벨을 제공한다. 임계(T4)는 일반적으로, 모든 셀들을 그들의 프로그래밍된 상태와 관계없이 전도 상태로 위치시키기에 충분히 크다.

[0049] 선택된 플래시 메모리 셀의 프로그래밍된 상태는 비트 선(110)(도 2)을 선택된 셀에 대해 적절한 순방향 전압(예를 들어, +3V, 등)에 위치시킴으로써, 그리고 남은 미-선택된 비트 선들을 일부 다른 더 낮은 기준 전압(예를 들어, 0V)에 위치시킴으로써 판독될 수 있다. 선택된 셀들을 포함하지 않는 열들을 위한 미-선택된 워드 선들(114)은 가장 높은 임계(T4)에 위치될 수 있고, 이에 따라, 선택된 셀 이외의, 선택된 컬럼의 모든 셀들이 소스-드레인 전도 상태에 위치된다.

[0050] 하나 또는 그 초과 판독-임계 전압들은 그 후에, 선택된 셀과 연관된 WL(114)에 인가될 수 있고, 그리고 선택된 셀의 프로그래밍된 상태는 전류가 비트 선(110)을 통해서 그리고 선택된 컬럼의 다른 셀들을 통해서 흐르는지와 관련하여 결정될 수 있다. 따라서 판독 동작은 주어진 판독-임계 전압이 선택된 셀을 전도 상태에 위치시키기에 충분한가를 평가하고; 컬럼을 통하는 전류 흐름을 획득하는데 요구되는 인가된 전압이 높을수록, 더 많은 양의 축적된 전하가 플로팅 게이트에 존재한다.

[0051] 일부 실시예들에서, 데이터의 제 1 페이지는 코드 워드들(132)의 제 1 세트로서 SLC 모드의 셀들의 선택된 열을 따라 셀들에 기입된다. 데이터의 제 1 페이지는 어떤 순서의 논리적 0들과 1들의 비트 시퀀스(예를 들어, 001011110100100...)를 구성할 것이다. 하나의 비트가 각각의 셀에 저장될 것이다. 논리적 1이 저장될 셀들은 "11" 분포(170)내에 포함되는 전하 레벨을 갖도록 아무런 프로그래밍 수고를 받지 않을 수 있다(또는 최소의 프로그래밍 수고를 받음). 논리적 0이 저장될 셀들은 전하 레벨이 "00" 분포(174)내에 포함되도록 상승시키기에 충분한 프로그래밍 수고를 받을 것이다.

[0052] SLCs로부터의 저장된 비트 시퀀스를 리드백(read back)하기 위해, 판독 임계 전압(T2)이 차례대로 각각의 셀에 인가될 수 있고, 저장된 상태(논리적 1 또는 0)는, 셀들이, 인가된 판독 임계 전압의 결과로서 전도 상태로 위치되었는지와 관련하여 결정될 수 있다.

[0053] 후속하여 셀들을 MLC 형태로 전환하기 위해 데이터의 제 2 페이지가 SLC 셀들로 겹쳐 써질 수 있다. 이전과 같이, 데이터의 제 2 페이지는 코드 워드들의 시퀀스로서 배열될 것이며, 각각의 셀에 저장된 데이터의 제 2 페이지로부터의 1 비트로 논리 0s와 1s의 비트 시퀀스를 구성할 것이다. 논리 1이 저장될 그러한 셀들은 추가의 프로그래밍 노력을 수용하지 않을 것이다. 논리 0이 저장될 그러한 셀들은 후속의 보다 높은 분포로 전하 레벨을 증가시키기 위해 충분한 추가의 전하를 수용할 것이다.

- [0054] 논리 1이 "11" 분포(170)로 프로그램화된 메모리 셀에 기록되어야 하는 경우, 추가의 전하가 "01" 분포(172)로 셀을 전이시킬 것이다. 유사하게, 논리 1이 "00" 분포(174)로 프로그램화된 메모리 셀에 기록되어야 하는 경우, 추가의 전하가 "10" 분포(176)로 셀을 전이시킬 것이다. 각각의 경우, 프로그램화된 셀의 LSB(최우측 비트)는 데이터의 제 1 페이지에 대한 비트 값을 나타내며, 프로그램화된 셀의 MSB(최좌측 비트)는 데이터의 제 2 페이지에 대한 비트 값을 나타낸다.
- [0055] 도 11은 선택된 삭제 블록(120)의 선택된 열(122)에서 물리적 메모리 셀들(106)의 선택된 열에 기록된(도 2-3 참조), 페이지 N과 페이지 N+1의 2가지 상이한 페이지들의 사용을 도시한다. 제 1 페이지인 페이지 N은 제 1 코드 인덱스 A(예를 들어, CI-3)를 이용하여 기록된다. 제 2 페이지인 페이지 N+1은 상이한 제 2 코드 인덱스 B(예를 들어, CI-5)를 이용하여 기록된다. 그에 따라, 도 11은 공통 코드 인덱스가 주어진 메모리 위치에 대해 이용될 수 있음이 이해되는 반면, MLC 리코딩에 관련하여, 상이한 코드 워드들이 동일한 위치에 대해 기록된 데이터의 상이한 페이지들에 대해 적용될 수 있음을 나타낸다.
- [0056] 도 12는 가변 길이를 갖는 코드 워드들(190)이 제공되는 대안적인 실시예를 도시한다. 이전과 같이, 각각의 코드 워드(190)은 사용자 데이터 페이로드(192) 및 관련 페리티 데이터(194)를 포함한다. 또한 이전과 같이, 코드 워드들은 연속적으로 증가된 세기들의 ECC(및 관련 페리티 데이터 풋프린트들)를 갖는 상이한 코드 인덱스들(CI-1 내지 CI-6로 식별됨)로 배열된다. 그러나 도 12에서, 사용자 데이터 페이로드의 양은 일정하게 유지되어(예를 들면, 1204B), ECC 세기가 증가할 때, 코드 워드들(190)의 크기가 또한 증가한다.
- [0057] 도 12의 체계의 이득은 사용자 데이터 페이로드들이 LBA 경계들과의 보다 밀접한 정렬(align)을 유지한다는 것이다. 예를 들어, 4096B의 LBA 크기를 이용하여, 각각의 LBA가 그 내부에 사용자 데이터를 저장하기 위해 4개의 코드 워드들(190)을 요구할 것이다. 한편, (CI-1에 대해 1072B로부터 CI-6에 대해 1136B의 범위인) 도 12에 제공된 비표준 코드 워드 크기들로 인해, 페이지 경계들과 정렬되도록 필러 비트들이 요구될 수 있으며, 1 페이지로부터 후속 페이지로 분할하도록 일부 코드 워드들이 필요로 될 수 있다.
- [0058] 도 13은 도 4-5의 코드 워드 제어 회로(130)에 의해 생성된 코드 워드들(200)에 대한 다른 예시 포맷을 도시한다. 코드 워드들(200)은 일정한 크기의 페리티 데이터(202)를 유지하지만, 대응하는 사용자 데이터 페이로드(204)를 연속적으로 감소시킨다. 따라서, 코드 워드들(200)은 연속적으로 더 짧아지게 되며, 이는 페리티 데이터에서 동일한 ECC 체계가 연속적으로 더 작은 양들의 페이로드에서 비트 에러들을 탐지/교정하도록 요구됨을 의미한다. ECC 체계는 코드 인덱스들(CI-1 내지 CI-6)에 대해 일정하게 유지될 수 있거나, 전체 풋프린트가 일정하게 유지되는 한 변화될 수 있다.
- [0059] 페리티 및 페이로드 풋프린트들에 대한 ECC 세기의 변화들의 임의의 개수의 조합들이 요구되는 바에 따라 통합될 수 있다. 예를 들어, 도 14는 모두 각각의 코드 인덱스에 대해 변화하는 사용자 데이터 페이로드(212) 및 페리티 데이터(214)를 갖는 코드 워드들(210)을 도시한다. 일부 ECC 체계들은 페이로드 데이터의 상이한 전체 양들에 더 적합하여서, 일부 경우들에 ECC 세기가 증가할 때, (페이로드 및 페리티뿐만 아니라) 코드 워드 크기들이 증가하고 및/또는 감소할 수 있는 것으로 이해된다. 일부 경우들에, 코드 워드 파라미터들(예를 들어, 코드 워드 크기, 페이로드 크기 및 페리티 데이터 크기)의 일부 또는 전부는 페이지(또는 다른 데이터 영역 크기) 당 정수의 코드 워드들을 여전히 유지하면서 조절될 수 있다.
- [0060] 전술한 코드 워드 포맷들의 각각은 연속된 페이로드 영역 이후에 연속된 페리티 데이터 영역을 제공하였다(도 5-6, 12-14 참조). 페이로드 데이터와 페리티 데이터의 혼합, 페이로드 데이터 앞에 페리티 데이터의 배치 등을 포함하는 다른 배열들이 이용될 수 있다.
- [0061] 도 15는 전술한 설명에 따라 실행될 수 있는 일부 단계들을 나타내는 가변 코드 비율 루틴(VARIABLE CODE RATE routine; 220)에 대한 흐름도이다. 다른 단계들이 활용될 수 있으며, 도 15에 도시된 단계들은 변형되고, 생략되고 및/또는 상이한 순서로 실시될 수 있다. 도 15는 플래시 메모리 모듈(104)에 데이터를 저장하기 위한 디바이스(100)의 작동을 설명하지만, 다른 유형들의 비휘발성 메모리가 사용될 수 있으므로, 그러한 것은 단지 예시적인 것이며 비제한적임이 이해된다.
- [0062] 단계(222)에서, 초기 코드 워드 크기, 대응하는 사용자 데이터 페이로드 크기 및 페리티 데이터 크기가 선택된다. 이는, 예를 들어 도 6 또는 도 12-14에서 코드 인덱스(CI-1)와 같은 선택된 코드 인덱스에 대응한다. 초기 코드 인덱스는 메모리의 당시의 상태에 대해 적합한 ECC 세기를 나타낸다. 메모리의 상이한 부분들에 대해 상이한 ECC 세기들이 선택될 수 있다. 다른 파라미터들은 물론, 이를테면 데이터의 우선순위 등에 기초하여 상이한 ECC 세기들이 추가로 선택될 수 있다.

- [0063] 예를 들어, 높은 우선순위 데이터는 CI-5와 같은 보다 높은 ECC 세기를 구비할 수 있는 반면, 보다 낮은 우선순위 데이터는 CI-1과 같은 보다 낮은 ECC 세기를 구비할 수 있다. 이는 데이터 프로세싱 오버헤드에 대한 반응 시간과 회복 신뢰도 사이의 트레이드 오프(tradeoff)를 수반한다. 일부 경우들에, 메모리(104)의 제 1 부분은 초기에 제 1 코드 인덱스 체계(예를 들어, CI-1)의 영향하에 놓일 수 있으며, 메모리(104)의 다른 부분은 초기에 상이한 제 2 코드 인덱스 체계(예를 들어, CI-2)의 영향하에 놓일 수 있다.
- [0064] 도 15를 계속하면, 단계(224)에서, 메모리에 저장을 위하여 호스트 디바이스로부터 사용자 데이터가 수신된다. 데이터는 논리 어드레스들(예를 들어, LBA들)의 형태일 수 있으며, 제 1 LBA 크기(예를 들어, LBA당 4096B 등)로 그룹화될 수 있다.
- [0065] 단계(226)에서, 수신된 사용자 데이터는 하나 또는 둘 이상의 코드 워드들 상으로 배열되고, 이로 인해, 연관된 페리티 데이터가 생성된다. 다음으로, 단계(228)에서, 생성된 코드 워드들은 메모리 내의 선택된 로케이션에 기록된다. 이것은, 시스템이 데이터를 이후에 리트리브하는 것을 가능하게 하기 위하여, 메모리의 하나 또는 둘 이상의 페이지들에의 코드 워드들의 기록뿐만 아니라, 적절한 메타데이터의 생성 및 업데이트(필요에 따라)를 포함할 수 있다. 메타데이터는 코드 워드 인덱스 방식, 연관된 LBA들, 일-시 스탬프 정보 등을 레코딩할 수 있다. 프로그램(기록) 카운트들과 같은 카운터들은 도 5의 PE 카운터(144)와 같은 회로에 의해 증분될 수 있다.
- [0066] 이후에, 코드 워드들은 요청 호스트 디바이스로의 사용자 데이터를 리트리브하기 위하여 단계(230)에서의 관독 동작 동안 관독된다. 이것은 선택된 논리 어드레스(예를 들어, LBA들의 세트 등)과 연관된 데이터를 리트리브하기 위하여 요청 호스트 디바이스로부터의 관독 요청에 응답하여 스케줄링될 수 있다. 단계(230)는 관독 요청을 만족시키기 위하여 하나 또는 둘 이상의 로케이션들에서의 하나 또는 둘 이상의 코드 워드들과 연관된 비트 값들의 복원을 포함할 수 있다. 페리티 데이터는 복원된 사용자 데이터 페이로드들의 비트 에러들을 정정하는데 사용될 것이고, 복원 및 정정된 데이터는 요청된 LBA들로 어셈블리되며, 요청 호스트 디바이스에 리턴될 것이다.
- [0067] 단계들(222-230)의 동작 동안, 도 5에서 위에서 논의된 바와 같은 다양한 모니터링 회로들은 BER, PE 카운트들, 온도 등과 같은 다양한 성능 통계들을 누적시킬 수 있다. 이것은, 이러한 GCU, 삭제 블록(erasure block), 행(row), 페이지 및/또는 개별 셀 레벨에서, 로케이션 기반으로 수행될 수 있다. 성능 통계는, 추가적으로 또는 대안적으로, 다이, 어레이, 스트라이프 등의 레벨들에서 유지될 수 있다. 도시되지 않았지만, 호스트 기록 및 관독 커맨드들을 만족시키기 위해서 수요에 따라 앞의 동작들을 시스템에 의해 수행을 계속할 것이 이해될 것이다. 배경에서, 가비지(garbage) 수집 및 다른 데이터 관리 동작들은, 웨어 레벨링(wear leveling)을 수행하고, 관독 및 기록 방해 효과(disturb effect)들을 감소시키며, 기록 증폭(write amplification)을 감소시키는 등의 식에 의해, 메모리를 관리하도록 수행될 수 있다.
- [0068] 결정 단계(234)는, 주어진 메모리 로케이션에 대한 것이든 전체 메모리에 대한 것이든, 상대적으로 더 강한 ECC 능력을 이용하여 새로운 코드 인덱스로 업그레이드할 시간인지 여부를 결정한다. 이것은 검출된 BER 레벨들, 검출된 PE 카운트들 등에 기초하여 수행될 수 있다. 코드 인덱스 변화가 보증되면, 루틴은 단계(236)로 전달되며, 여기서, 적어도 일부 경우들에서, 도 6 및 도 12-13에 도시된 바와 같은 후속 코드 워드들에 대한 페리티 데이터의 크기가 증가된다. 단계(238)에서, 페이로드는 도 6에서 위에서 논의된 바와 같이 일정한 코드 워드 크기를 유지하기 위해 대응하는 양만큼 감소된다. 대안적으로, 단계(240)에서, 도 12에서 위에서 논의된 바와 같이, 페이로드는 일정한 크기로 유지되고, 코드 워드들의 전체 크기는 감소된다. 앞의 단계들은 새로운 코드 인덱스를 사용하여 반복된다.
- [0069] 도 15에 도시되지 않았지만, 동일한 페리티 데이터 풋프린트의 유지(도 13에서와 같음) 또는 페리티 데이터 풋프린트 및 페이로드 풋프린트 둘 모두의 조절 (도 14에서와 같음)과 같은 다른 대안들이 수행될 수 있다는 것이 인식될 것이다. 각각의 경우, ECC 세기가 증가되고, 이에 의해 메모리의 에이지(age)로부터 나오는 BER의 증가들을 수용하기 위해 시스템의 능력을 증가시킨다.
- [0070] 요컨대, 다양한 실시예들은 데이터를 코드 워드들로 배열하도록 동작하며, 이들 각각은 사용자 데이터 페이로드 및 대응하는 페리티(ECC) 데이터를 갖는다. 각각의 경우, 에이징으로 인한 메모리의 BER 저하(degradation)를 보상하기 위해서 강화된 ECC 세기를 제공하도록 코드 레이트가 증가된다. 일부 경우들에서, 코드 워드들의 전체 크기는 일정한 크기로 유지된다. 다른 경우들에서, 페이로드의 전체 크기는 일정한 크기로 유지되고, 페리티 데이터 풋프린트는 증가된다. 또 다른 경우들에서, 페리티 데이터의 전체 크기는 일정한 크기로 유지되고, 사용자 데이터 페이로드는 감소된다. 또 다른 경우들에서, 페리티 및 페이로드 크기들 둘 다는 ECC 세기의 연

속적인 증가들을 제공하도록 조절된다.

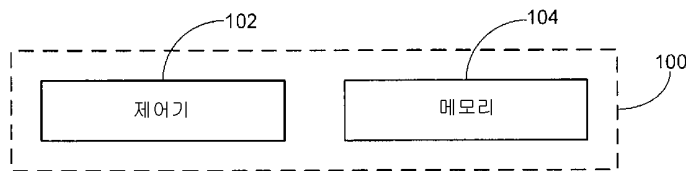
[0071] 이러한 방식으로, 적절한 레벨의 ECC가 메모리의 당시(then-existing) 상태에 대하여 적용된다. 상이한 코드 워드 인덱스들은 메모리 셀들의 동일한 세트에 기록되는 상이한 페이지들의 경우를 포함하여, 동시에 상이한 로케이션들에서 사용될 수 있다(예를 들어, 도 11). 일부 실시예들에서, 제 1 코드 인덱스를 사용하여 미리 저장된 데이터가 새로운 로케이션으로의 가비지 수집 동작 동안 리로케이팅(relocate)될 수 있고, 데이터 상에서의 카피된 것들은 상이한 코드 인덱스 방식을 사용하여 재기록될 수 있다는 것이 고려된다.

[0072] 다양한 실시예들은 플래시 메모리에 관련된 것이지만, 이러한 것은 단지 예시적일 뿐이며, 필수적인 것은 아니다. 다양한 실시예들은 STRAM(spin-torque transfer random access memory), RRAM(resistive random access memory), PCRAM(phase change random access memory), MRAM(magnetic random access memory) 등을 포함하는 (그러나 이에 한정되는 것은 아님) 다른 형태들의 고체-상태(solid-state) 메모리로 쉽게 구현될 수 있다.

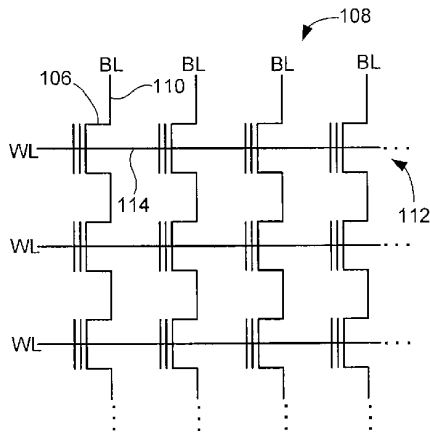
[0073] 본 개시의 다양한 실시예들의 많은 특성들 및 이점들이 다양한 실시예들의 구조 및 기능의 세부사항들과 함께 앞의 설명에서 기술되었음에도 불구하고, 특히, 본 개시의 원리들 내의 부분들의 구조 및 배열들에 관하여, 첨부된 청구항들이 표현되는 용어들의 넓은 보편적 의미에 의해 표시되는 전체 범위의 세부사항들의 변경들이 이루어질 수 있다는 것이 이해될 것이다.

도면

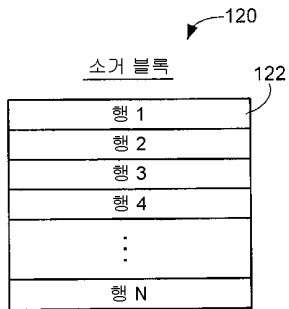
도면1



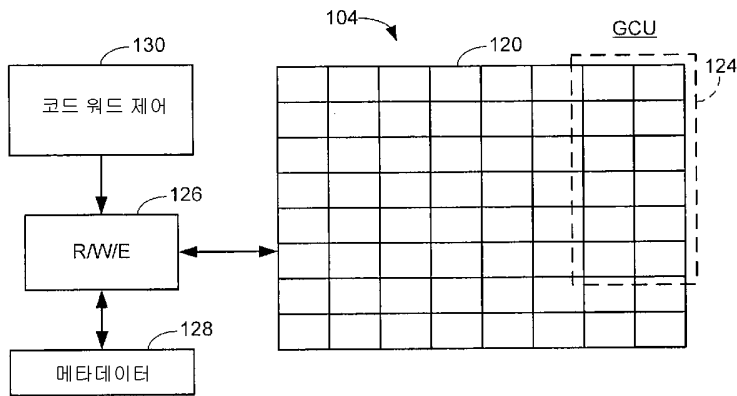
도면2



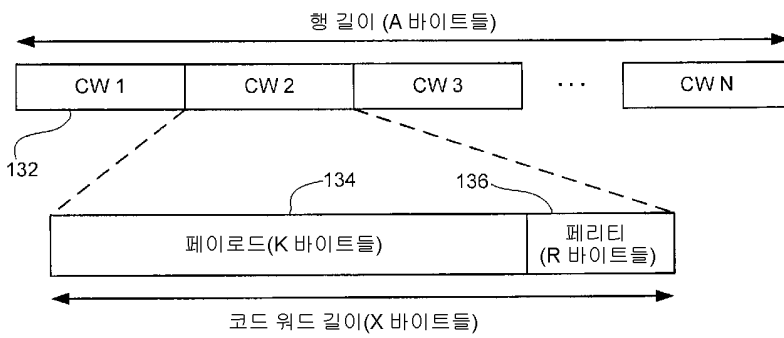
도면3



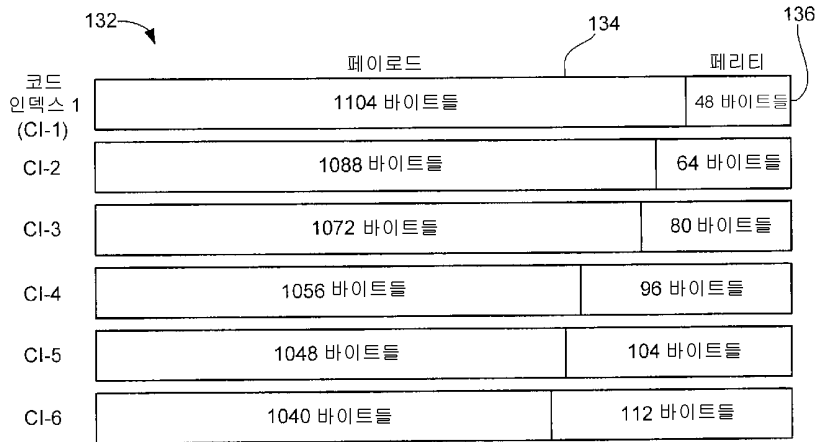
도면4



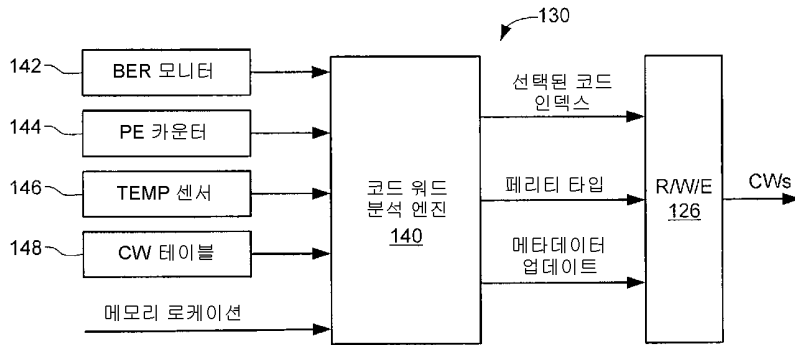
도면5



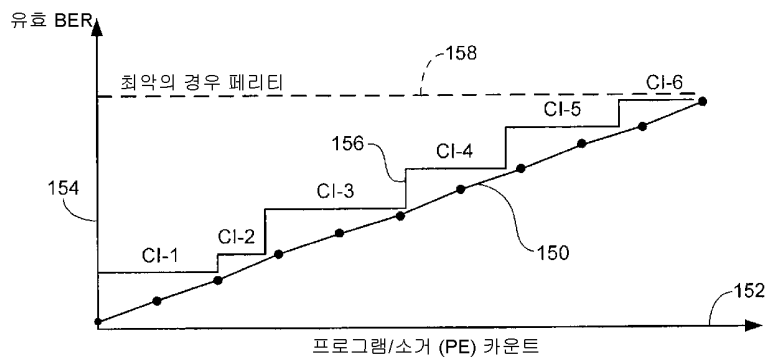
도면6



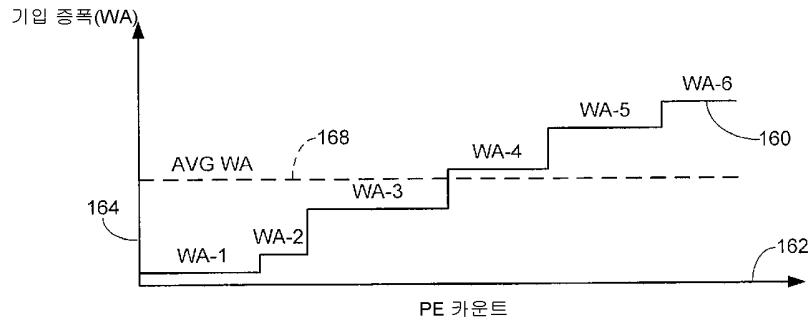
도면7



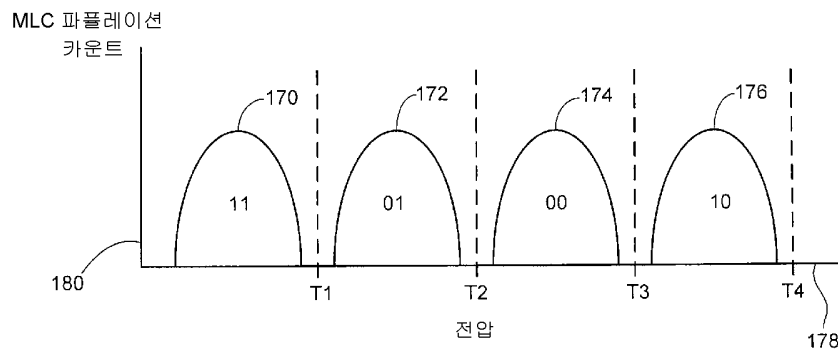
도면8



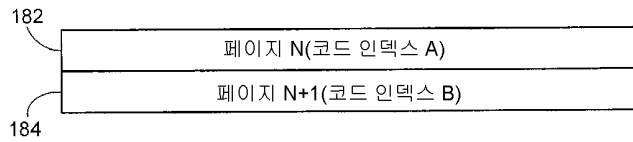
도면9



도면10



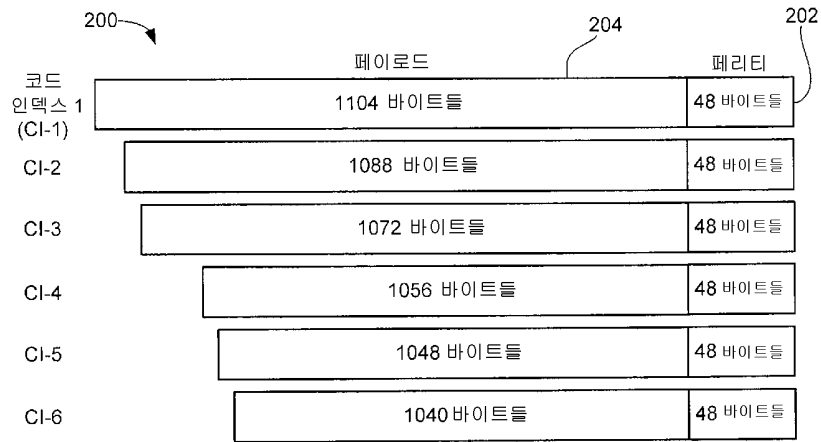
도면11



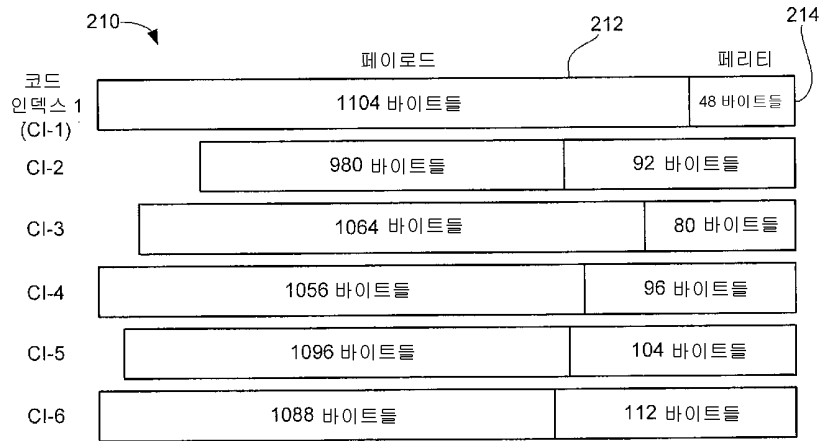
도면12

	페이지로드 (Page Load)	페리티 (Parity)
코드 인덱스 1 (CI-1)	1024 바이트들	48 바이트들
CI-2	1024 바이트들	64 바이트들
CI-3	1024 바이트들	80 바이트들
CI-4	1024 바이트들	96 바이트들
CI-5	1024 바이트들	104 바이트들
CI-6	1024 바이트들	112 바이트들

도면13



도면14



도면15

