



Patent dodatkowy
do patentu nr _____

Zgłoszono: 16.06.76 (P. 190484)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 19.12.77

Opis patentowy opublikowano: 30.07.1979

Int. Cl.² G05F 5/00
H02M 1/14

CZYTELNIA

Urzędu Patentowego
Pol. of. Rzeczypospolitej Ludowej

Twórca wynalazku: Marek Stabrowski

Uprawniony z patentu: Politechnika Warszawska, Warszawa (Polska)

Analogowo-cyfrowy stabilizator napięcia stałego

1

Przedmiotem wynalazku jest analogowo-cyfrowy stabilizator napięcia stałego odznaczający się zerowym błędem stabilizacji napięcia wyjściowego w stanie ustalonym oraz szybkim osiąganiem stanu ustalonego.

Znane są stabilizatory napięcia stałego zawierające tranzystor regulacyjny włączony w przewód wyjściowy, załączony w układzie wspólnego emitera oraz wzmacniacz sygnału błędu z pętlą sprzężenia zwrotnego włączoną między wyjście stabilizatora i regulowane źródło napięcia odniesienia.

Istota wynalazku polega na wyposażeniu stabilizatora napięcia stałego w korekcyjną cyfrową pętlę sygnału błędu zawierającą przetwornik analogowo-cyfrowy, którego wejście jest połączone z wyjściem stabilizatora a którego wyjście jest połączone z jednym z wejść układu dodawania słów cyfrowych, przy czym drugie wejście układu odejmowania słów cyfrowych jest połączone ze źródłem wzorcowych słów cyfrowych wytwarzającym słowo zależnie od nastawy rezystora nastawczego: analogowej pętli sygnału błędu stabilizatora a wyjście układu odejmowania słów cyfrowych jest połączone z jednym z wejść układu dodawania słów cyfrowych, przy czym wyjście układu dodawania słów cyfrowych jest połączone z wejściem rejestru sterującego a drugie wejście układu dodawania słów cyfrowych jest połączone pętlą sprzężenia zwrotnego z wyjściem rejestru sterującego, na które jest załączony przetwornik cyfrowo-analogowy,

2

którego wyjście jest połączone poprzez rezystor sprzęgający z wejściem analogowego wzmacniacza sygnału błędu.

Przedmiot wynalazku jest pokazany w przykładowym wykonaniu na rysunku analogowo-cyfrowego stabilizatora napięcia stałego, na którym fig. 1 przedstawia korekcyjną pętlę sygnału błędu, a fig. 2 schemat blokowy stabilizatora.

W stabilizatorze napięcia tranzystor regulacyjny T_p jest połączony swym korektorem z dodatnim biegunem zasilacza sieciowego E_u , emiterem z ujemnym biegunem źródła napięcia wzorcowego E_p , dodatnią końcówką wyjściową stabilizatora i masą wzmacniacza sygnału błędu A , a bazą z wyjściem wzmacniacza błędu A . Dodatni biegun źródła napięcia wzorcowego E_r połączony jest poprzez rezystor R_p z wejściem wzmacniacza błędu A i rezystorem R_{vc} .

Druga końcówka rezystora R_{vc} jest połączona z ujemną końcówką zasilacza sieciowego E_u , która z kolei jest identyczna z ujemną końcówką wyjściową stabilizatora. Korekcyjna pętlę sygnału błędu posiada przetwornik analogowo-cyfrowy AC , którego wejścia są połączone z wyjściem stabilizatora. Wyjście przetwornika analogowo-cyfrowego AC jest połączone z jednym z wejść układu odejmowania słów cyfrowych SUB . Do drugiego wejścia układu odejmowania SUB dołączone jest źródło wzorcowych słów cyfrowych CO . Wyjście układu odejmowania połączone jest z jednym wej-

ściem układu dodawania słów cyfrowych **AD**. Wyjście układu dodawania **AD** jest połączone z rejestrem sterującym **RS**. Rejestr sterujący **RS** ma wejście połączone z drugim wejściem układu dodawania **AD** i z wejściem przetwornika cyfrowo-analogowego **CA**. Działanie korekcyjnej pętli cyfrowej polega na dodatkowym oddziaływaniu poprzez wzmacniacz sygnału błędu **A** w taki sposób, by skompensować resztkowy błąd stabilizacji napięcia wynikający z niedoskonałego działania stabilizatora. Ten resztkowy błąd stabilizacji przejawia się jako różnica spadku napięcia na rezystorze R_{vc} służącym do nastawiania napięcia i napięcia wyjściowego E_o stabilizatora. Pętla korekcyjna napięcia **K** wytwarza na swym wyjściu dodatkowy prąd, który poprzez rezystor sprzęgający R_k jest dostarczany do rezystora R_{vc} i tym samym redukuje do zera błąd stabilizacji.

Działanie pętli korekcyjnej w przypadku występowania jakiegokolwiek błędu stabilizacji rozpoczyna się od wytworzenia w układzie odejmowania **SUB** różnicy słowa wyjściowego przetwornika analogowo-cyfrowego **AC** zależnego od napięcia wyjściowego E_o i słowa wytwarzanego przez źródło słów wzorcowych **CO**. Słowo różnicowe jest różne od zera, gdy występuje błąd stabilizacji. Słowo różnicowe dodawane jest przez układ dodawania **AD** do poprzedniej zawartości rejestru sterującego **RS**, a powstała w ten sposób suma jest umieszczana w rejestrze sterującym **RS**. Nowa zawartość rejestru sterującego **RS** po przetworzeniu przez przetwornik cyfrowo-analogowy **CA** w napięcie oddziałuje poprzez dzielnik rezystorowy $R_k - R_{vc}$ i wzmacniacz błędu **A** na tranzystor regulacyjny T_p . Wskutek tego zmienia się spadek napięcia kolektor-emiter tranzystora T_p , a w rezultacie zmniejsza się błąd stabilizacji.

Po ewentualnym powtórzeniu tego cyklu błąd stabilizacji przybiera wartość mniejszą od najmniej znaczącego bitu przetwornika analogowo-cyfrowego **AC**, a więc nie można odróżnić go od zera. Dzięki zastosowaniu w stabilizatorze napięcia

stałego cyfrowej pętli korekcyjnej według wynalazku zredukowany został do zera błąd stabilizacji napięcia w stanie ustalonym. Osiąganie stanu ustalonego jest przyspieszone wskutek pozostawienia w stabilizatorze źródła napięcia wzorcowego. Ponieważ korektor wytwarza jedynie napięcie korygujące resztkowy błąd stabilizacji, jego wyjściowy przetwornik cyfrowo-analogowy jest układem prostym i tanim.

Zastrzeżenie patentowe

Analogowo-cyfrowy stabilizator napięcia stałego zawierający tranzystor regulacyjny włączony w przewód wyjściowy załączony w układzie wspólnego emitera oraz analogowe źródła napięcia wzorcowego i wzmacniacza sygnału błędu z analogową pętlą sprzężenia włączoną między wyjście stabilizatora i analogowe źródło napięcia wzorcowego, znamienny tym, że posiada korekcyjną cyfrową pętlę sygnału błędu zawierającą przetwornik analogowo-cyfrowy (**AC**), którego wejście jest połączone z wyjściem stabilizatora a którego wyjście jest połączone z jednym z wejść układu odejmowania słów cyfrowych (**SUB**), przy czym drugie wejście układu odejmowania słów cyfrowych (**SUB**) jest połączone z źródłem wzorcowych słów cyfrowych (**CO**) wytwarzającym słowo zależne od nastawień rezystora nastawczego (R_{vc}) analogowej pętli sygnału błędu, a wyjście układu odejmowania słów cyfrowych (**SUB**) jest połączone z jednym z wejść układu dodawania słów cyfrowych (**AD**), przy czym wyjście układu dodawania słów cyfrowych (**AD**) jest połączone z wejściem rejestru sterującego (**RS**) a drugie wejście układu dodawania słów cyfrowych (**AD**) jest połączone pętlą sprzężenia zwrotnego z wyjściem rejestru sterującego (**RS**) na które jest załączony przetwornik cyfrowo-analogowy (**CA**) którego wyjście jest połączone poprzez rezystor sprzęgający (R_k) z wejściem analogowego wzmacniacza sygnału błędu (**A**).

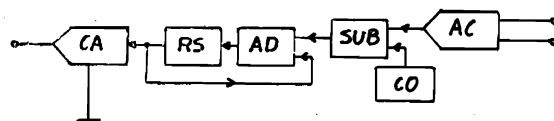


Fig. 1.

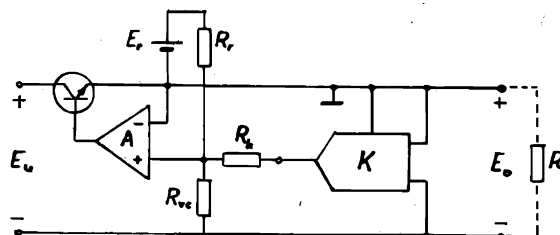


Fig. 2.